



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

248 432

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 31 10 84
(21) PV 8261-84

(51) Int. Cl. 4

G 05 B 23/02

(40) Zveřejněno 12 06 86
(45) Vydáno 01 07 88

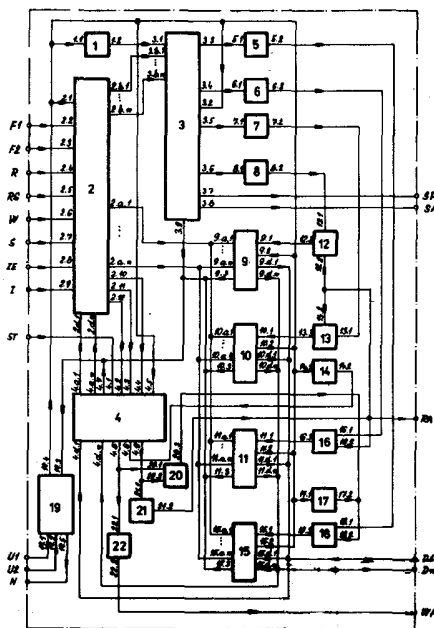
(75)
Autor vynálezu

HORÁČEK FRANTIŠEK,
HABADA OLDŘICH,
BREJŠKA JIŘÍ ing.,
BUGÁR JÁN ing., PŘÍBRAM

(54)

Zapojení pro řízení logických binárních funkcí,
zejména pro řídicí jednotky důlních automatik

Zapojení pro řízení logických binárních funkcí je určeno zejména pro řídicí jednotky důlních automatik. Zapojení sestává z nepřizpůsobovacích členů, řídicích členů, dekodovacího členu, negačních členů, paměťových členů, součinných členů a napájecího členu. Zapojení je určeno pro řízení logických binárních funkcí řídicích jednotek důlních automatik. Umožňuje nové propojení jednotlivých členů, kterým lze zmenšit rozsah důlních automatik při dosažení vyšších technických parametrů řídicího systému.



Vynález řeší zapojení pro řízení logických binárních funkcí, zejména pro řídící jednotky důlních automatik, sestávající z přizpůsobovacích členů, řídících členů, dekodovacího členu, negačních členů, paměťových členů, součinnových členů a napájecího členu.

V současné době jsou podobná zařízení řešena různými způsoby jak z hlediska použitých prvků pro jednotlivé komponenty, tak jejich struktury a vzájemných vazeb. Nevýhody stávajících řešení spočívají především ve složitosti těchto zařízení a obtížnosti obecnějšího využití jejich zapojení.

Uvedený nedostatek do značné míry odstraňuje zapojení pro řízení logických binárních funkcí podle vynálezu, sestávající z přizpůsobovacích členů, řídících členů, dekodovacího členu, negačních členů, paměťových členů, součinnových členů a napájecího členu. Podstata vynálezu spočívá v tom, že napájecí člen je svým prvním vstupem spojen s prvním napěťovým vstupem, svým druhým vstupem je spojen s druhým napěťovým vstupem a svým druhým výstupem je spojen s napěťovým výstupem. První výstup napájecího členu je spojen s prvním vstupem prvního řídícího členu, se vstupem prvního přizpůsobovacího členu s pátým vstupem druhého řídícího členu, s druhým vstupem dekodovacího členu, s druhým vstupem prvního paměťového členu, s druhým vstupem druhého paměťového členu, se vstupem druhého paměťového členu, s druhým vstupem třetího paměťového členu, se vstupem třetího přizpůsobovacího členu a s druhým vstupem čtvrtého paměťového členu. Výstup čtvrtého paměťového členu je spojen s výstupem třetího paměťového členu, s výstupem druhého paměťového členu, s výstupem prvního paměťového členu, s prvním výstupem druhého řídícího členu, s třetím vstupem napájecího členu a se sedmým výstupem dekodovacího členu. První vstup dekodovacího

členu je spojen s výstupem prvního přizpůsobovacího členu. První až n-tý adresovací vstup dekódovacího členu je spojen s prvním až n-tým adresovým výstupem druhého stupně prvního řídícího členu, jehož druhý vstup je spojen s prvním řídícím vstupem. Třetí vstup prvního řídícího členu je spojen s druhým řídícím vstupem. Čtvrtý vstup prvního řídícího členu je spojen s kontrolním vstupem. Pátý vstup prvního řídícího členu je spojen s resetovacím vstupem. Šestý vstup prvního řídícího členu je spojen se třetím řídícím vstupem. Sedmý vstup prvního řídícího členu je spojen s prvním synchronizačním vstupem. Osmý vstup prvního řídícího členu je spojen s uvolňovacím vstupem a desátý vstup prvního řídícího členu je spojen s přerušovacím vstupem. První až n-tý adresový výstup prvního stupně prvního řídícího členu je spojen s prvním až n-tým adresovým vstupem prvního paměťového členu, s prvním až n-tým adresovým vstupem druhého paměťového členu, s prvním až n-tým adresovým vstupem třetího paměťového členu a s prvním až n-tým adresovým vstupem čtvrtého paměťového členu, jehož první až n-tý obousměrný datový vstup je spojen jednak s prvním až n-tým datovým vstupem, jednak s prvním a n-tým datovým obousměrným výstupem a současně s prvním až n-tým datovým vstupem třetího paměťového členu, s prvním až n-tým datovým výstupem druhého paměťového členu a s prvním až n-tým datovým výstupem prvního paměťového členu. První vstup prvního paměťového členu je spojen s výstupem prvního součinnového členu, jehož druhý vstup je spojen s druhým vstupem druhého součinnového členu, s prvním podmínovacím výstupem, s druhým výstupem třetího součinnového členu a s výstupem pátého negačního členu. Vstup pátého negačního členu je spojen s druhým vstupem pátého součinnového členu a se třetím výstupem druhého řídícího členu. První až n-tý datový výstup druhého řídícího členu je spojen s prvním až n-tým datovým vstupem prvního řídícího členu. První výstup prvního řídícího členu je spojen se čtvrtým vstupem druhého řídícího členu, jehož třetí vstup je spojen s druhým výstupem prvního řídícího členu. Třetí výstup prvního řídícího členu je spojen s druhým vstupem druhého řídícího členu, jehož první vstup je spojen s druhým synchronizačním vstupem a jehož šestý vstup je spojen s výstupem druhého přizpůsobovacího členu. Druhý výstup druhého řídícího členu je spojen s prvním vstupem pátého součinnového členu a

se vstupem šestého negačního členu, jehož výstup je spojen s druhým podmiňovacím výstupem. Výstup pátého součinnového členu je spojen s výstupem třetího přízpusobovacího členu a s druhým vstupem čtvrtého součinnového členu, jehož výstup je spojen s prvním vstupem čtvrtého paměťového členu a jehož první vstup je spojen s výstupem prvního negačního členu. Vstup prvního negačního členu je spojen s prvním výstupem dekódovacího členu, jehož druhý výstup je spojen se vstupem druhého negačního členu. Výstup druhého negačního členu je spojen s prvním vstupem třetího součinnového členu, jehož výstup je spojen s prvním vstupem třetího paměťového členu. Třetí výstup dekódovacího členu je spojen se vstupem třetího negačního členu, jehož výstup je spojen s prvním vstupem druhého součinnového členu. Výstup druhého součinnového členu je spojen s prvním vstupem druhého paměťového členu. Čtvrtý výstup dekódovacího členu je spojen se vstupem čtvrtého negačního členu, jehož výstup je spojen s prvním vstupem prvního součinnového členu. Pátý výstup dekódovacího členu je spojen s prvním adresovacím výstupem a šestý výstup dekódovacího členu je spojen s druhým adresovacím výstupem.

Zapojení podle vynálezu umožňuje nový způsob propojení a využití známých prvků respektive komponent řídicích systémů s tím, že dochází k podstatnému zjednodušení automatiky a celkovému zmenšení jejího rozsahu. Výhoda zapojení podle vynálezu spočívá především v tomto značném zjednodušení celé automatiky při dosažení vysoké odolnosti vůči rušivým signálům a v tom, že umožňuje stavebnicovou výstavbu řídicího systému při vysokých požadavcích na spolehlivost důlních automatik.

Na přiloženém výkresu je znázorněno příkladné schema zapojení pro řízení logických binárních funkcí podle vynálezu.

Zapojení pro řízení logických binárních funkcí sestává ze tří přízpusobovacích členů 1, 14, 17, které obsahují odpory, ze dvou řídicích členů 2, 4, z nichž první řídicí člen 2 obsahuje centrální mikroprocesorový obvod a druhý řídicí člen 4 obsahuje řídicí obvod systému a budič sběrnice, z dekódovacího členu 3 obsahujícího n-bitový binární dekodér pro adresaci paměťových a výstupních členů, ze šesti negačních členů 5, 6, 7, 8, 21, 22, které obsahují negátor, ze čtyř paměťových členů 9, 10, 11, 15, které obsahují paměťový obvod typu EPROM kromě čtvrtého paměťového členu 15, který obsahuje paměťový obvod

typu RAM, z pěti součinových členů 12, 13, 16, 18 a 20, z nichž každý obsahuje dvouvstupový integrovaný obvod typu NAND a z napájecího členu 19, který obsahuje napájecí a filtrační obvody.

Napájecí člen 19 je svým prvním vstupem 19.1 spojen s prvním napěťovým vstupem U1, svým druhým vstupem 19.2 je spojen s druhým napěťovým vstupem U2 a svým druhým výstupem 19.5 je spojen s napěťovým výstupem N. První výstup 19.4 napájecího členu 19 je spojen s prvním vstupem 2.1 prvního řídícího členu 2, se vstupem 1.1 prvního přizpůsobovacího členu 1, s pátým vstupem 4.5 druhého řídícího členu 4, s druhým vstupem 3.2 dekódovacího členu 3, s druhým vstupem 9.2 prvního paměťového členu 9, s druhým vstupem 10.2 druhého paměťového členu 10, se vstupem 14.1 druhého paměťového členu 14, s druhým vstupem 11.2 třetího paměťového členu 11, se vstupem 17.1 třetího přizpůsobovacího členu 17 a s druhým vstupem 15.2 čtvrtého paměťového členu 15. Výstup 15.3 čtvrtého paměťového členu 15 je spojen s výstupem 11.3 třetího paměťového členu 11, s výstupem 10.3 druhého paměťového členu 10, s výstupem 9.3 prvního paměťového členu 9, s prvním výstupem 4.7 druhého řídícího členu 4, se třetím vstupem 19.3 napájecího členu 19 a se sedmým výstupem 3.9 dekódovacího členu 3. První vstup 3.1 dekódovacího členu 3 je spojen s výstupem 1.2 prvního přizpůsobovacího členu 1. První až n-tý adresovací vstup 3.b.1 až 3.b.n dekódovacího členu 3 je spojen s prvním až n-tým adresovým výstupem 2.b.1 až 2.b.n druhého stupně prvního řídícího členu 2. První řídící člen 2 je svým druhým vstupem 2.2 spojen s prvním řídícím vstupem F1, svým třetím vstupem 2.3 je spojen s druhým řídícím vstupem F2, svým čtvrtým vstupem 2.4 je spojen s kontrolním vstupem R, svým pátým vstupem 2.5 je spojen s resetovacím vstupem RS, svým šestým vstupem 2.6 je spojen se třetím řídícím vstupem W, svým sedmým vstupem 2.7 je spojen s prvním synchronizačním vstupem S, svým osmým vstupem 2.8 je spojen s uvolňovacím vstupem IE a svým devátým vstupem 2.9 je spojen s přerušovacím vstupem I. První až n-tý adresový výstup 2.a.1 až 2.a.n prvního stupně řídícího členu 2 je spojen s prvním až n-tým adresovým vstupem 9.a.1 až 9.a.n prvního paměťového členu 9, s prvním až n-tým adresovým vstupem 10.a.1 až 10.a.n druhého paměťového členu 10, s prvním až n-tým adresovým vstupem 11.a.1 až 11.a.n třetího paměťového členu 11 a s prvním až n-tým adresovým vstupem

15.a.1 až 15.a.n čtvrtého paměťového členu 15. První až n-tý obousměrný datový vstup 15.d.1 až 15.d.n čtvrtého paměťového členu 15 je spojen s prvním až n-tým datovým obousměrným výstupem D1 až Dn a současně s prvním až n-tým datovým vstupem 11.d.1 až 11.d.n třetího paměťového členu 11, s prvním až n-tým datovým výstupem 10.d.1 až 10.d.n druhého paměťového členu 10 a s prvním až n-tým datovým výstupem 9.d.1 až 9.d.n prvního paměťového členu 9. První vstup 9.1 prvního paměťového členu 9 je spojen s výstupem 12.3 prvního součinnového členu 12, jehož druhý vstup 12.2 je spojen s druhým vstupem 13.2 druhého součinnového členu 13, s prvním podmiňovacím výstupem RA, s druhým výstupem 16.2 třetího součinnového členu 16 a s výstupem 21.2 pátého negačního členu 21. Výstup 21.1 pátého negačního členu 21 je spojen s druhým vstupem 20.2 pátého součinnového členu 20 a se třetím výstupem 4.9 druhého řídícího členu 4, jehož první až n-tý datový výstup 4.a.1 až 4.a.n je spojen s prvním až n-tým datovým vstupem 2.d.1 až 2.d.n prvního řídícího členu 2. První výstup 2.10 prvního řídícího členu 2 je spojen se čtvrtým vstupem 4.4 druhého řídícího členu 4, jehož třetí vstup 4.3 je spojen s druhým výstupem 2.11 prvního řídícího členu 2, jehož třetí výstup 2.12 je spojen s druhým vstupem 4.2 druhého řídícího členu 4. První vstup 4.1 druhého řídícího členu 4 je spojen s druhým synchronizačním vstupem ST, kdežto jeho šestý vstup 4.6 je spojen s výstupem 14.2 druhého přizpůsobovacího členu 14. Druhý výstup 4.8 druhého řídícího členu 4 je spojen s prvním vstupem 20.1 pátého součinnového členu 20 a se vstupem 22.1 šestého negačního členu 22, jehož výstup 22.2 je spojen s druhým podmiňovacím výstupem WA. Výstup 20.3 pátého součinnového členu 20 je spojen s výstupem 17.2 třetího přizpůsobovacího členu 17 a s druhým vstupem 18.2 čtvrtého součinnového členu 18. Výstup 18.3 čtvrtého součinnového členu 18 je spojen s prvním vstupem 15.1 čtvrtého paměťového členu 15. První vstup 18.1 čtvrtého součinnového členu 18 je spojen s výstupem 5.2 prvního negačního členu 5, jehož vstup 5.1 je spojen s prvním výstupem 3.3 dekódovacího členu 3. Druhý výstup 3.4 dekódovacího členu 3 je spojen se vstupem 6.1 druhého negačního členu 6, jehož výstup 6.2 je spojen s prvním vstupem 16.1 třetího součinnového členu 16, jehož výstup 16.3 je spojen s prvním vstupem 11.1 třetího paměťového členu 11. Třetí

výstup 3.5 dekódovacího členu 3 je spojen se vstupem 7.1 třetího negačního členu 7, jehož výstup 7.2 je spojen s prvním vstupem 13.1 druhého součinnového členu 13, jehož výstup 13.3 je spojen s prvním vstupem 10.1 druhého paměťového členu 10. Čtvrtý výstup 3.6 dekódovacího členu 3 je spojen se vstupem 8.1 čtvrtého negačního členu 8, jehož výstup 8.2 je spojen s prvním vstupem 12.1 prvního součinnového členu 12. Pátý výstup 3.7 dekódovacího členu 3 je spojen s prvním adresovacím výstupem SP a šestý výstup 3.8 dekódovacího členu 3 je spojen s druhým adresovacím výstupem SA.

Adresace paměťových a výstup-ních členů je prováděna prostřednictvím prvního až n-tého adresového výstupu 2.b.1 až 2.b.n prvního řídicího členu 2 a dekódovacího členu 3. Jeho výstupy 3.3 až 3.6 jsou zpracovány v prvním až čtvrtém negačním členu 5 až 8. Výstupy 5.2 až 8.2 těchto členů jsou dále logicky zpracovávány. Signál přiváděný na první vstup 9.1 prvního paměťového členu 9 je podmíněn přítomností signálu na prvním vstupu 12.1 a druhém vstupu 12.2 prvního součinnového členu 12. Signál na druhém vstupu 12.2 prvního součinnového členu 12 je vygenerován z třetího výstupu 4.9 druhého řídicího členu 4. Tento signál je negován v pátém negačním členu 21, z jehož výstupu 21.2 je přiveden jednak na vnější první podmínovací výstup RA, jednak na druhé vstupy 12.2, 13.2 a 16.2 prvního součinnového členu 12, druhého součinnového členu 13 a třetího součinnového členu 16. Tyto členy vytvářejí adresu pro první, druhý a třetí paměťový člen 9, 10, 11. Adresa jednotlivého paměťového prvku v prvním, druhém a třetím paměťovém členu 9, 10, 11 je určena prvním až n-tým adresovým výstupem 2.a.1 až 2.a.n prvního řídicího členu 2. Z paměťových prvků prvního až třetího paměťového členu 9 až 11 lze údaje pouze vybírat prostřednictvím datových výstupů 9.d.1 až 9.d.n, 10.d.1 až 10.d.n a 11.d.1 až 11.d.n, které jsou vzájemně propojeny a vyvedeny na vnější obousměrný datový výstup D1 až Dn. U čtvrtého paměťového členu 15 lze údaje z paměťových míst číst i zapisovat. Příslušný podmínovací signál je odvozen z druhého výstupu 4.8 a třetího výstupu 4.9 druhého řídicího členu 4. Signály jsou v návazném pátém součinnovém členu 20 logicky vynásobeny, znegovány a přivedeny na druhý vstup 18.2 čtvrtého součinnového členu 18, na jehož výstup 18.3 je signál opět

negován. Tímto dochází v podstatě k vytvoření logického součtu signálů pro čtení a zápis, které jsou vždy podmíněny adresovacím signálem odvozeným z prvního výstupu 3.3 dekódovacího členu 3. Vzhledem k tomu, že obousměrný datový výstup D1 až Dn je připojen na první až n-tý datový vstup 4.d.1 až 4.d.n druhého řídicího členu 4, dostávají se touto cestou data ve formě logických kombinací binárních funkcí do prvního řídicího členu 2. V datech přiváděných na vstupy 2.d.1 až 2.d.n je rovněž zakódována informace o paměťových místech v paměťových členech, včetně kódu operací.

Zapojení podle vynálezu je určeno pro řízení logických binárních funkcí řídicích jednotek důlních automatik. Umožňuje nové propojení jednotlivých členů, kterým lze zmenšit rozsah důlních automatik při dosažení vyšších technických parametrů řídicího systému.

PŘEDMĚT VYNÁLEZU

248 432

Zapojení pro řízení logických binárních funkcí, zejména pro řídicí jednotky důlních automatik, sestávající z přizpůsobovacích členů, řídicích členů, dekodovacího členu, negačních členů, paměťových členů, součinnových členů a napájecího členu, vyznačené tím, že napájecí člen (19) je svým prvním vstupem (19.1) spojen s prvním napěťovým vstupem (U1), svým druhým vstupem (19.2) je spojen s druhým napěťovým vstupem (U2) a svým druhým výstupem (19.5) je spojen s napěťovým výstupem (N), zatímco první výstup (19.4) napájecího členu (19) je spojen s prvním vstupem (2.1) prvního řídicího členu (2), se vstupem (1.1) prvního přizpůsobovacího členu (1), s pátým vstupem (4.5) druhého řídicího členu (4), s druhým vstupem (3.2) dekodovacího členu (3), s druhým vstupem (9.2) prvního paměťového členu (9), s druhým vstupem (10.2) druhého paměťového členu (10), se vstupem (14.1) druhého paměťového členu (14), s druhým vstupem (11.2) třetího paměťového členu (11), se vstupem (17.1) třetího přizpůsobovacího členu (17) a s druhým vstupem (15.2) čtvrtého paměťového členu (15), jehož výstup (15.3) je spojen s výstupem (11.3) třetího paměťového členu (11), s výstupem (10.3) druhého paměťového členu (10), s výstupem (9.3) prvního paměťového členu (9), s prvním výstupem (4.7) druhého řídicího členu (4), se třetím vstupem (19.3) napájecího členu (19) a se sedmým výstupem (3.9) dekodovacího členu (3), jehož první vstup (3.1) je spojen s výstupem (1.2) prvního přizpůsobovacího členu (1), zatímco první až n-tý adresovací vstup (3.b.1 až 3.b.n) dekodovacího členu (3) je spojen s prvním až n-tým adresovým výstupem (2.b.1 až 2.b.n) druhého stupně prvního řídicího členu (2), jehož druhý vstup (2.2) je spojen s prvním řídicím vstupem (F1), zatímco jeho třetí vstup (2.3) je spojen s druhým řídicím vstupem (F2), jeho čtvrtý vstup (2.4) je spojen s kontrolním vstupem (R), jeho pátý vstup (2.5) je spojen s resetovacím vstupem (RS), jeho šestý vstup (2.6) je spojen se třetím řídicím vstupem (W), jeho sedmý vstup (2.7) je spojen s prvním synchronizačním vstupem (S), jeho osmý vstup (2.8) je spojen s uvolňovacím vstupem (IE) a jeho devátý vstup (2.9) je spojen s přerušovacím vstupem (I), kdežto první až n-tý adreso-

vý výstup (2.a.1 až 2.a.n) prvního stupně prvního řídícího členu (2) je spojen s prvním až n-tým adresovým vstupem (9.a.1 až 9.a.n) prvního paměťového členu (9), s prvním až n-tým adresovým vstupem (10.a.1 až 10.a.n) druhého paměťového členu (10), s prvním až n-tým adresovým vstupem (11.a.1 až 11.a.n) třetího paměťového členu (11) a s prvním až n-tým adresovým vstupem (15.a.1 až 15.a.n) čtvrtého paměťového členu (15), jehož první až n-tý obousměrný datový vstup (15.d.1 až 15.d.n) je spojen jednak s prvním až n-tým datovým vstupem (4.d.1 až 4.d.n), jednak s prvním až n-tým datovým obousměrným výstupem (D1 až Dn) a současně s prvním až n-tým datovým vstupem (11.d.1 až 11.d.n) třetího paměťového členu (11), s prvním až n-tým datovým výstupem (10.d.1 až 10.d.n) druhého paměťového členu (10) a s prvním až n-tým datovým výstupem (9.d.1 až 9.d.n) prvního paměťového členu (9), jehož první vstup (9.1) je spojen s výstupem (12.3) prvního součinnového členu (12), jehož druhý vstup (12.2) je spojen s druhým vstupem (13.2) druhého součinnového členu (13), s prvním podmiňovacím výstupem (RA), s druhým výstupem (16.2) třetího součinnového členu (16) a s výstupem (21.2) pátého negačního členu (21), jehož vstup (21.1) je spojen s druhým vstupem (20.2) pátého součinnového členu (20) a se třetím výstupem (4.9) druhého řídícího členu (4), jehož první až n-tý datový výstup (4.a.1 až 4.a.n) je spojen s prvním až n-tým datovým vstupem (2.d.1 až 2.d.n) prvního řídícího členu (2), jehož první výstup (2.10) je spojen se čtvrtým vstupem (4.4) druhého řídícího členu (4), jehož třetí vstup (4.3) je spojen s druhým výstupem (2.11) prvního řídícího členu (2), jehož třetí výstup (2.12) je spojen s druhým vstupem (4.2) druhého řídícího členu (4), jehož první vstup (4.1) je spojen s druhým synchronizačním vstupem (ST) a jehož šestý vstup (4.6) je spojen s výstupem (14.2) druhého přizpůsobovacího členu (14), kdežto druhý výstup (4.8) druhého řídícího členu (4) je spojen s prvním vstupem (20.1) pátého součinnového členu (20) a se vstupem (22.1) šestého negačního členu (22), jehož výstup (22.2) je spojen s druhým podmiňovacím výstupem (EA), přičemž výstup (20.3) pátého součinnového členu (20) je spojen s výstupem (17.2) třetího přizpůsobovacího členu (17) a s druhým vstupem (18.2) čtvrtého součinnového členu (18), jehož výstup (18.3) je spojen s prvním vstupem (15.1) čtvrtého paměťového

členu (15) a jehož první vstup (18.1) je spojen s výstupem (5.2) prvního negačního členu (5), jehož vstup (5.1) je spojen s prvním výstupem (3.3) dekódovacího členu (3), jehož druhý výstup (3.4) je spojen se vstupem (6.1) druhého negačního členu (6), jehož výstup (6.2) je spojen s prvním vstupem (16.1) třetího součinnového členu (16), jehož výstup (16.3) je spojen s prvním vstupem (11.1) třetího paměťového členu (11), přičemž třetí výstup (3.5) dekódovacího členu (3) je spojen se vstupem (7.1) třetího negačního členu (7), jehož výstup (7.2) je spojen s prvním vstupem (13.1) druhého součinnového členu (13), jehož výstup (13.3) je spojen s prvním vstupem (10.1) druhého paměťového členu (10), přičemž dále čtvrtý výstup (3.6) dekódovacího členu (3) je spojen se vstupem (8.1) čtvrtého negačního členu (8), jehož výstup (8.2) je spojen s prvním vstupem (12.1) prvního součinnového členu (12), avšak pátý výstup (3.7) dekódovacího členu (3) je spojen s prvním adresovacím výstupem (SP) a šestý výstup (3.8) dekódovacího členu (3) je spojen s druhým adresovacím výstupem (SA).

1 výkres

