

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年6月17日(2010.6.17)

【公開番号】特開2010-56570(P2010-56570A)

【公開日】平成22年3月11日(2010.3.11)

【年通号数】公開・登録公報2010-010

【出願番号】特願2009-273536(P2009-273536)

【国際特許分類】

H 0 1 L 27/146 (2006.01)

G 0 1 T 1/20 (2006.01)

G 0 1 T 1/24 (2006.01)

H 0 1 L 27/14 (2006.01)

H 0 4 N 5/30 (2006.01)

【F I】

H 0 1 L 27/14 C

G 0 1 T 1/20 G

G 0 1 T 1/20 E

G 0 1 T 1/24

H 0 1 L 27/14 K

H 0 4 N 5/30

【手続補正書】

【提出日】平成22年4月26日(2010.4.26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】変更

【補正の内容】

【0 0 2 4】

本発明の放射線検出装置は、放射線を電荷に変換する変換素子と、前記変換素子に接続され前記電荷に応じた電気信号を出力する出力動作を行う出力用薄膜トランジスタと、前記変換素子に一定電位を印加してリセット動作を行うリセット用薄膜トランジスタと、を含む画素を行列状に複数有しており、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタが前記変換素子の同一電極に接続されており、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させる駆動回路と、出力された前記電気信号を処理する信号処理回路と、を有する放射線検出装置であって、前記変換素子は、第 1 の電極層と、センサーバイアス電位が与えられる第 2 の電極層と、前記第 1 の電極層と前記第 2 の電極層との間に設けられた半導体層と、を含み、前記リセット用薄膜トランジスタは、前記駆動回路に接続された制御電極と、前記第 1 の電極層と接続された第 1 の主電極と、第 2 の主電極と、を含み、複数の前記画素の前記リセット用薄膜トランジスタ前記第 2 の主電極は、前記変換素子に前記一定電位であるセンサーリセット電位を印加するためのリセット配線に共通に接続されており、所定の前記画素において、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタと前記変換素子との間に平坦化膜を有し、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタの上に前記第 1 の電極層が配置されて前記変換素子が設けられており、所定行の前記出力動作及び前記リセット動作が前記所定行と異なる行の前記出力動作及び前記リセット動作とは別に行われ、前記出力動作の後に前記制御電極にオン電圧が印加されることにより前記変換素子に前記センサーリセット電位が印加されて前記リセット動作が実行され得る。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の放射線検出装置は、放射線を電荷に変換する変換素子と、前記変換素子に接続され前記電荷に応じた電気信号を出力する出力動作を行う出力用薄膜トランジスタと、前記変換素子に一定電位を印加してリセット動作を行うリセット用薄膜トランジスタと、を含む画素を行列状に複数有しており、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタが前記変換素子の同一電極に接続されており、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させる駆動回路と、出力された前記電気信号を処理する信号処理回路と、を有する放射線検出装置の駆動方法であって、前記変換素子は、第1の電極層と、センサバイアス電位が与えられる第2の電極層と、前記第1の電極層と前記第2の電極層との間に設けられた半導体層と、を含み、前記リセット用薄膜トランジスタは、前記駆動回路に接続された制御電極と、前記第1の電極層と接続された第1の主電極と、第2の主電極と、を含み、複数の前記画素の前記リセット用薄膜トランジスタ前記第2の主電極は、前記変換素子に前記一定電位であるセンサリセット電位を印加するためのリセット配線に共通に接続されており、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタと前記変換素子との間に平坦化膜を有し、且つ、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタの上に前記第1の電極層が配置されて前記変換素子が積層して設けられている所定の画素の前記出力動作の後に前記制御電極にオン電圧を印加することにより前記変換素子に前記センサリセット電位が印加されて前記所定の画素の前記リセット動作を実行し、所定行の前記出力動作及び前記リセット動作を前記所定行と異なる行の前記出力動作及び前記リセット動作とは別に行う。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の光電変換装置は、光を電荷に変換する光電変換素子と、前記光電変換素子に接続され前記電荷に応じた電気信号を出力する出力動作を行う出力用薄膜トランジスタと、前記光電変換素子に一定電位を印加してリセット動作を行うリセット用薄膜トランジスタと、を含む画素を行列状に複数有しており、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタ前記光電変換素子の同一電極に接続されており、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させる駆動回路と、出力された前記電気信号を処理する信号処理回路と、を有する光電変換装置であって、前記光電変換素子は、第1の電極層と、センサバイアス電位が与えられる第2の電極層と、前記第1の電極層と前記第2の電極層との間に設けられた半導体層と、を含み、前記リセット用薄膜トランジスタは、前記駆動回路に接続された制御電極と、前記第1の電極層と接続された第1の主電極と、第2の主電極と、を含み、複数の前記画素の前記リセット用薄膜トランジスタ前記第2の主電極は、前記光電変換素子に前記一定電位であるセンサリセット電位を印加するためのリセット配線に共通に接続されており、所定の画素において、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタと前記光電変換素子との間に平坦化膜を有し、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタの上に前記第1の電極層が配置されて前記光電変換素子が設けられており、所定行の前記出力動作及び前記リセット動作が前記所定行と異なる行の前記出力動作及び前記リセット動作とは別に行われ、前記出力動作の後に前記制御電極にオン電圧が印加されることにより前記光電変換素子に前記センサリセット電位が印加されて前記リセット動作が実行され得る。

## 【手続補正４】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項１】

放射線を電荷に変換する変換素子と、前記変換素子に接続され前記電荷に応じた電気信号を出力する出力動作を行う出力用薄膜トランジスタと、前記変換素子に一定電位を印加してリセット動作を行うリセット用薄膜トランジスタと、を含む画素を行列状に複数有しており、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタが前記変換素子の同一電極に接続されており、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させる駆動回路と、出力された前記電気信号を処理する信号処理回路と、を有する放射線検出装置であって、

前記変換素子は、第１の電極層と、センサバイアス電位が与えられる第２の電極層と、前記第１の電極層と前記第２の電極層との間に設けられた半導体層と、を含み、

前記リセット用薄膜トランジスタは、前記駆動回路に接続された制御電極と、前記第１の電極層と接続された第１の主電極と、第２の主電極と、を含み、複数の前記画素の前記リセット用薄膜トランジスタ前記第２の主電極は、前記変換素子に前記一定電位であるセンサリセット電位を印加するためのリセット配線に共通に接続されており、

所定の前記画素において、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタと前記変換素子との間に平坦化膜を有し、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタの上に前記第１の電極層が配置されて前記変換素子が設けられており、所定行の前記出力動作及び前記リセット動作が前記所定行と異なる行の前記出力動作及び前記リセット動作とは別に行われ、前記出力動作の後に前記制御電極にオン電圧が印加されることにより前記変換素子に前記センサリセット電位が印加されて前記リセット動作が実行され得ることを特徴とする放射線検出装置。

【請求項２】

前記駆動回路は、所定の１行における前記出力用薄膜トランジスタによる出力動作が、当該行の前に前記出力動作を終了した１行の前記リセット用薄膜トランジスタによるリセット動作と、前記所定の１行における前記リセット用薄膜トランジスタによるリセット動作と、の間に実行されるように、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させることを特徴とする請求項１に記載の放射線検出装置。

【請求項３】

前記駆動回路は、所定の１行における前記出力用薄膜トランジスタによる出力動作が、当該行の前に前記出力動作を終了した１行の前記リセット用薄膜トランジスタによるリセット動作の間に実行されるように、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させることを特徴とする請求項１に記載の放射線検出装置。

【請求項４】

所定行の前記画素の前記出力用薄膜トランジスタと、前行の前記画素の前記リセット用薄膜トランジスタとが同一の駆動用配線に接続されていることを特徴とする請求項３に記載の放射線検出装置。

【請求項５】

前記駆動回路は、所定の１行における前記リセット用薄膜トランジスタによるリセット動作が、当該行の後に行われる複数行の前記出力動作を行う期間にわたって実行されるように、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させることを特徴とする請求項１に記載の放射線検出装置。

【請求項６】

前記変換素子は、放射線を可視光に変換するＣｓＩ又はＧＯＳの波長変換部材と、前記半導体層で前記可視光を前記電荷に変換する光電変換素子と、を有することを特徴とする

請求項 1 から 5 のいずれか 1 項に記載の放射線検出装置。

【請求項 7】

前記変換素子は、前記第 1 の電極層と前記半導体層との間に設けられた絶縁層と、前記半導体層と前記第 2 の電極層との間に設けられたキャリアブロッキング層とを更に含む構成であり、前記半導体層は、非単結晶シリコンを用いて構成されたものであることを特徴とする請求項 6 に記載の放射線検出装置。

【請求項 8】

前記変換素子は、放射線を直接電荷に変換する部材から構成されていることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の放射線検出装置。

【請求項 9】

前記出力用薄膜トランジスタは、前記駆動回路に接続された制御電極と、前記第 1 の電極層と接続された第 1 の主電極と、前記信号処理回路と接続された第 2 の主電極と、を有することを特徴とする請求項 1 から 8 のいずれか 1 項に記載の放射線検出装置。

【請求項 10】

放射線を電荷に変換する変換素子と、前記変換素子に接続され前記電荷に応じた電気信号を出力する出力動作を行う出力用薄膜トランジスタと、前記変換素子に一定電位を印加してリセット動作を行うリセット用薄膜トランジスタと、を含む画素を行列状に複数有しており、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタが前記変換素子の同一電極に接続されており、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させる駆動回路と、出力された前記電気信号を処理する信号処理回路と、を有する放射線検出装置の駆動方法であって、

前記変換素子は、第 1 の電極層と、センサーバイアス電位が与えられる第 2 の電極層と、前記第 1 の電極層と前記第 2 の電極層との間に設けられた半導体層と、を含み、

前記リセット用薄膜トランジスタは、前記駆動回路に接続された制御電極と、前記第 1 の電極層と接続された第 1 の主電極と、第 2 の主電極と、を含み、複数の前記画素の前記リセット用薄膜トランジスタ前記第 2 の主電極は、前記変換素子に前記一定電位であるセンサーリセット電位を印加するためのリセット配線に共通に接続されており、

前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタと前記変換素子との間に平坦化膜を有し、且つ、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタの上に前記第 1 の電極層が配置されて前記変換素子が積層して設けられている所定の画素の前記出力動作の後に前記制御電極にオン電圧を印加することにより前記変換素子に前記センサーリセット電位が印加されて前記所定の画素の前記リセット動作を実行し、所定行の前記出力動作及び前記リセット動作を前記所定行と異なる行の前記出力動作及び前記リセット動作とは別に行うことを特徴とする放射線検出装置の駆動方法。

【請求項 11】

所定の 1 行における前記リセット用薄膜トランジスタによるリセット動作が、当該行の後に行われる複数行の前記出力動作を行う期間にわたって実行されるように、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させることを特徴とする請求項 10 に記載の放射線検出装置の駆動方法。

【請求項 12】

光を電荷に変換する光電変換素子と、前記光電変換素子に接続され前記電荷に応じた電気信号を出力する出力動作を行う出力用薄膜トランジスタと、前記光電変換素子に一定電位を印加してリセット動作を行うリセット用薄膜トランジスタと、を含む画素を行列状に複数有しており、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタ前記光電変換素子の同一電極に接続されており、前記出力用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動させる駆動回路と、出力された前記電気信号を処理する信号処理回路と、を有する光電変換装置であって、

前記光電変換素子は、第 1 の電極層と、センサーバイアス電位が与えられる第 2 の電極層と、前記第 1 の電極層と前記第 2 の電極層との間に設けられた半導体層と、を含み、

前記リセット用薄膜トランジスタは、前記駆動回路に接続された制御電極と、前記第 1

の電極層と接続された第 1 の主電極と、第 2 の主電極と、を含み、複数の前記画素の前記リセット用薄膜トランジスタ前記第 2 の主電極は、前記光電変換素子に前記一定電位であるセンサーリセット電位を印加するためのリセット配線に共通に接続されており、

所定の前記画素において、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタと前記光電変換素子との間に平坦化膜を有し、前記出力用薄膜トランジスタ及び前記リセット用薄膜トランジスタの上に前記第 1 の電極層が配置されて前記光電変換素子が設けられており、所定行の前記出力動作及び前記リセット動作が前記所定行と異なる行の前記出力動作及び前記リセット動作とは別に行われ、前記出力動作の後に前記制御電極にオン電圧が印加されることにより前記光電変換素子に前記センサーリセット電位が印加されて前記リセット動作が実行され得ることを特徴とする光電変換装置。