(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 29/78

(45) 공고일자 2004년07월02일
(11) 등록번호 10-0438238
(24) 등록일자 2004년06월22일

(21) 출원번호 10-2001-0058570
(22) 출원일자 2001년09월21일

(65) 공개번호 10-2002-0065324
(43) 공개일자 2002년08월13일

(30) 우선권주장 JP-P-2001-00029779 2001년02월06일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 마키유키오
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

(74) 대리인 김창세

심사관 : 임동우

(54) 반도체 장치 및 그 제조 방법

요약

본 발명에 따른 반도체 장치는, 활성 영역과 분리 영역을 갖는 반도체 기판(1)과, 활성 영역상에 산화막(8)을 거쳐서 형성된 게이트 전극(9)과, 게이트 전극(9)의 양측에 형성된 1세트의 불순물 영역을 구비하고, 활성 영역 표면이 전체에 걸쳐 라운드(round) 형상을 갖고, 분리 영역에 가까이 감에 따라서 아래쪽으로 경사진다. 해당 라운드 형상은 분리 산화막(5)의 형성시에 버즈 비크부(bird's beak portion)를 활성 영역상에서 접속함으로써 형성할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 있어서의 반도체 장치의 단면도,
도 2 내지 도 7은 도 1에 도시하는 반도체 장치의 제조 공정의 제 1 내지 제 6 공정을 나타내는 단면도,
도 8은 도 1의 반도체 장치의 변형예의 단면도,
도 9 및 도 10은 도 8에 도시하는 반도체 장치의 제조 공정의 특징적인 제 1 및 제 2 공정을 나타내는 단면도,
도 11a 및 도 11b는 본 발명의 실시예 2에 있어서의 반도체 장치의 단면도,
도 12a, 도 12b 내지 도 17a, 도 17b는 도 11에 도시하는 반도체 장치의 제조 공정의 제 1 내지 제 6 공정을 나타내는 단면도,
도 18a, 도 18b는 도 11에 도시하는 반도체 장치의 변형예의 단면도,
도 19a, 도 19b와 도 20a, 도 20b는 도 18에 도시하는 반도체 장치의 제조 공정의 특징적인 제 1 및 제 2 공정을 나타내는 단면도,
도 21은 종래의 반도체 장치의 단면도,

도 22 및 도 23은 도 21에 도시하는 반도체 장치의 제조 공정의 특징적인 제 1 및 제 2 공정을 나타내는 단면도,
도 24a, 도 24b는 종래의 반도체 장치의 다른 예의 단면도,
도 25a, 도 25b와 도 26a, 도 26b는 도 24에 도시하는 반도체 장치의 제조 공정의 특징적인 제 1 및 제 2 공정을 나타내는 단면도.

도면의 주요 부분에 대한 부호의 설명

1 : 반도체 기판 2 : 버퍼막
3 : 질화막 4 : 레지스트 패턴
5 : 분리 산화막 6 : 버즈 비크부
7, 8 : 산화막 9 : 게이트 전극
10 : 트렌치 11 : 활성 영역
12 : 리세스부 13, 13a, 13b : 채널 도핑 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 특정적으로는 활성 영역 표면이 전체에 걸쳐 라운드(round) 형상인 MOS(Metal 0xide Semiconductor) 트랜지스터를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.
도 21에, 종래의 MOS 트랜지스터의 단면 구조의 일례를 도시한다. 이 도면 에 도시하는 바와 같이, 반도체 기판(1)의 주표면에 선택적으로 분리 산화막(5)을 형성하고, 분리 산화막(5) 사이에 위치하는 활성 영역(11)상에 산화막(8)을 거쳐서 게이트 전극(9)을 형성한다.
다음에, 도 22 및 도 23을 이용하여, 도 21에 도시하는 MOS 트랜지스터의 제조 방법에 대해서 설명한다. 도 22 및 도 23은 상기 MOS 트랜지스터의 제조 공정의 특징적인 제 1 및 제 2 공정을 나타내는 단면도이다.
우선, 반도체 기판(1)의 주표면상에 마스크막(도시하지 않음)을 형성하고, 이 마스크막을 이용하여 산화 처리를 실행하는 것에 의해 도 22에 도시하는 바와 같이 분리 산화막(5)을 형성한다. 다음에, 도 22에 도시하는 바와 같이, 이온 주입시의 손상(damage) 방지용의 산화막(7)을 형성하고, M0S 트랜지스터 형성을 위한 이온 주입을 실행한다.
그 후, 도 23에 도시하는 바와 같이, 이온 주입시에 이용한 산화막(7)을 HF 등에 의한 습식 에칭으로 제거한다. 이 때, 분리 산화막(5)도 에칭되어, 리세스부(recessed portion)(12)가 형성된다.
다음에, 도 21에 도시하는 바와 같이, MOS 트랜지스터의 게이트 산화막으로 되는 산화막(8)과 게이트 전극(9)을 형성한다.
다음에, 도 24a, 도 24b 도 26a, 도 26b를 이용하여, 다른 종래예에 대하여 설명한다. 도 24a, 도 24b는 종래의 SRAM(Static Random Access Memory)의 메모리 셀에 있어서의 액세스 M0S 트랜지스터부와 드라이버 M0S 트랜지스터부의 단면 구조도이다.
일반적으로, SRAM의 메모리 셀에서는, 셀 동작을 안정시키기 위해서 액세스 MOS 트랜지스터와 드라이버 M0S 트랜지스터의 전류비를 크게 할 필요가 있다. 액세스 M0S 트랜지스터의 전류값은 작은 것이 바람직하고, 드라이버 M0S 트랜지스터 전류값은 큰 것이 바람직하다.
따라서, 드라이버 M0S 트랜지스터의 활성 영역(11)의 폭 Wd는 액세스 M0S 트랜지스터의 활성 영역(11)의 폭 Wa보다도 크고, 드라이버 M0S 트랜지스터의 게이트 길이 Ld는 액세스 MOS 트랜지스터의 게이트 길이 La보다 짧게 되어 있다.
또한, SRAM의 메모리 셀 트랜지스터에 요구되는 특성으로서 다음과 같은 것도 있다. 액세스 M0S 트랜지스터에서는 백 바이어스시의 임계값 전압 Vth가 낮은 쪽이 바람직하고, 또한 게이트 길이도 길기 때문에, 채널 도핑 주입은 백 바이어스 효과가 억제되는 저에너지로 실행하는 것이 바람직하다.
한편, 드라이버 M0S 트랜지스터에 대해서는, 게이트 길이가 짧기 때문에, 펀치 스루(punch-through)를 억제하기 위해서, 채널 도핑 주입은 고에너지로 실행하는 것이 바람직하다.
다음에, 도 24a, 도 24b에 도시하는 SRAM의 메모리 셀의 제조 방법에 대하여 설명한다. 도 25a, 도 25b 및 도 26a, 도 26b는 도 24a, 도 24b에 도시하는 SRAM의 메모리 셀의 제조 공정의 특징적인 제 1 및 제 2 공정을 나타내는 단면도이다.
상술한 M0S 트랜지스터의 경우와 마찬가지로, 반도체 기판(1)상에 마스크막을 형성하고, 이 마스크막을 이용하여 산화 처리를 실행한다. 그것에 의하여, 도 25a, 도 25b에 도시하는 바와 같이 분리 산화막(5)을 형성한다.
다음에, 도 25a, 도 25b에 도시하는 바와 같이 이온 주입시의 손상 방지를 위한 산화막(7)을 형성한 후, 액세스 M0S 트랜지스터 및 드라이버 M0S 트랜지스터 형성을 위한 이온 주입을 실행한다.
이 때, 산화막(7)의 두께는 액세스 MOS 트랜지스터 형성부와 드라이버 M0S 트랜지스터 형성부에서 동일하다.
다음에, 도 26a, 도 26b에 도시하는 바와 같이 산화막(7)을 HF 등을 이용한 습식 에칭으로 제거하고, 그후에 도 24a, 24b에 도시하는 바와 같이, 액세스 MOS 트랜지스터 및 드라이버 MOS 트랜지스터의 게이트 산화막으로 되는 산화막(8) 및 게이트 전극(9)을 형성한다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이, 도 21에 도시하는 MOS 트랜지스터에서는 분리 산화막(5)의 에지에 리세스부(12)가 발생한다. 이 리세스부(12) 때문에, MOS 트랜지스터에서 리크 전류가 발생한다고 하는 문제가 있었다. 이 문제는 도 24에 나타내는 예에서도 마찬가지로 발생할 수 있다.
또한, 상술한 바와 같이, 도 24a, 도 24b에 도시하는 액세스 MOS 트랜지스터 및 드라이버 MOS 트랜지스터의 채널 주입을 실행할 때의 산화막(7)의 두께는 동일하기 때문에, 액세스 M0S 트랜지스터 형성 영역과 드라이버 M0S 트랜지스터 형성 영역의 한쪽을 덮는 마스크막을 형성하는 등의 처리를 행하지 않으면, 액세스 M0S 트랜지스터와 드라이버 M0S 트랜지스터의 채널 도핑 영역의 깊이를 변경시키는 것 은 가능하지 않았다.
또한, 별도의 절연막을 형성하는 공정을 추가하지 않고서, 액세스 M0S 트랜지스터와 드라이버 M0S 트랜지스터의 게이트 절연막의 두께를 변경하는 것도 가능하지 않았다.
즉, 새로운 공정을 추가하는 일없이, SRAM에 있어서의 메모리 셀의 성능을 향상하고, 또한 동작을 안정화하는 것은 곤란하였다.
본 발명은 상기의 문제를 해결하기 위해서 이루어진 것이다. 본 발명의 제 1 목적은 M0S 트랜지스터를 갖는 반도체 장치의 리크 전류를 저감하는 것에 있다. 본 발명의 제 2 목적은 새로운 공정을 추가하는 일없이, SRAM에 있어서의 메모리 셀의 성능을 향상하고, 또한 동작을 안정화하는 것에 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 장치는, 활성 영역과 분리 영역을 갖는 반도체 기판과, 활성 영역상에 절연막을 거쳐서 형성된 게이트 전극을 구비하되, 활성 영역 표면이 전체에 걸쳐 라운드 형상을 갖고, 분리 영역에 가까이 감에 따라서 아래쪽으로 경사진다.
활성 영역 표면이 상기한 바와 같은 형상을 갖는 것에 의해, 분리 영역 근방에 있어서의 상기 절연막의 두께를 두껍게 할 수 있다. 그것에 의하여, 분리 영역의 에지에서 종래예와 같은 리세스부가 발생하는 것을 억제할 수 있다.
상기 반도체 장치는 SRAM을 포함하고, 해당 SRAM은 액세스 MOS 트랜지스터와 드라이버 M0S 트랜지스터를 포함한다. 이 경우, 액세스 M0S 트랜지스터의 활성 영역 표면을 전체에 걸쳐 라운드 형상으로 한다.
그것에 의하여, 액세스 M0S 트랜지스터에 있어서의 리크 전류를 억제할 수 있다.
상기 분리 영역에 분리 절연막을 형성하고, 해당 분리 절연막은 활성 영역상에 연장되는 버즈 비크부(bird's beak portion)를 갖는다. 이 경우, 이 버즈 비크부로 활성 영역을 덮는다.
그것에 의하여, 분리 영역의 에지에 있어서의 절연막의 두께를 결과적으로 두껍게 할 수 있어, 분리 영역의 에지에 종래예와 같은 리세스부가 발생하는 것을 억제할 수 있다.
분리 영역 근방에 위치하는 상기 버즈 비크부의 두께는 활성 영역의 중앙부상에 위치하는 버즈 비크부의 두께보다도 두껍다.
그것에 의하여, 상기의 리세스부가 분리 영역의 에지에 발생하는 것을 효과적으로 억제할 수 있다.
상기 SRAM에 있어서는 액세스 MOS 트랜지스터의 채널 도핑 깊이를 드라이버 M0S 트랜지스터의 채널 도핑 깊이보다도 얕게 하는 것이 바람직하다.
그것에 의해, 액세스 M0S 트랜지스터의 백 바이어스 효과를 억제하면서 드라이버 M0S 트랜지스터에 있어서의 펀치스루를 억제할 수 있어, 메모리 셀의 성능을 향상할 수 있다.
액세스 M0S 트랜지스터의 게이트 절연막의 두께를 드라이버 M0S 트랜지스터 의 게이트 절연막의 두께보다도 두껍게 하는 것이 바람직하다.
그것에 의하여, 액세스 M0S 트랜지스터의 전류량을 감소시킬 수 있어, 메모리 셀의 동작의 안정화를 도모할 수 있다.
본 발명에 따른 반도체 장치의 제조 방법은, 하나의 국면에서는 하기의 각 공정을 구비한다. 반도체 기판의 분리 영역을 노출하여 활성 영역을 덮도록 반도체 기판상에 마스크막을 형성한다. 해당 마스크막을 이용하여 반도체 기판을 선택적으로 산화하는 것에 의해, 활성 영역을 덮는 버즈 비크부를 형성한다. 상기 마스크막을 제거한 후에, 버즈 비크부상에 제 1 절연막을 형성한다. 제 1 절연막 및 버즈 비크부를 통해서 활성 영역에 불순물을 주입한다. 제 1 절연막을 제거한 후에, 활성 영역상에 제 2 절연막을 거쳐서 게이트 전극을 형성한다.
상기한 바와 같이, 버즈 비크부상에 제 1 절연막을 형성하는 것에 의해, 제 1 절연막의 제거시에, 분리 영역 에지에 두꺼운 절연막이 존재하게 되어, 제 1 절연막의 제거후에, 분리 영역 에지에 리세스부가 발생하는 것을 억제할 수 있다.
버즈 비크부의 형성 공정은 활성 영역상에서 버즈 비크부를 접속하는 것에 의해, 활성 영역 표면이 전체에 걸쳐 라운드 형상으로 되도록 버즈 비크부를 형성하는 공정을 포함한다. 그것에 의하여, 제 1 절연막의 제거시에, 분리 영역 에지에 두꺼운 절연막을 확보할 수 있어, 리세스부의 발생을 효과적으로 억제할 수 있다.
본 발명에 따른 반도체 장치의 제조 방법은, 다른 국면에서는 액세스 M0S 트랜지스터와 드라이버 M0S 트랜지스터를 갖는 반도체 장치의 제조 방법으로서, 하기 의 각 공정을 구비한다. 반도체 기판의 분리 영역을 노출하여, 액세스 M0S 트랜지스터가 형성되는 제 1 활성 영역과, 드라이버 M0S 트랜지스터가 형성되는 제 2 활성 영역을 덮도록 반도체 기판상에 제 1 및 제 2 마스크막을 형성한다. 제 1 및 제 2 마스크막을 이용하여 반도체 기판을 선택적으로 산화하는 것에 의해, 제 1 활성 영역 전체를 덮고 또한 제 2 활성 영역의 주연부만을 덮는 버즈 비크부를 형성한다. 제 1 및 제 2 마스크막을 제거한 후에, 제 1 및 제 2 활성 영역상에 제 1 및 제 2 절연막을 각각 형성한다. 제 1 절연막 및 버즈 비크부를 통해서 제 1 활성 영역에 불순물을 주입하고, 또한 제 2 절연막을 통해서 제 2 활성 영역에 불순물을 주입한다. 제 1 및 제 2 절연막을 제거한 후에, 제 1 및 제 2 활성 영역상에 제 3 및 제 4 절연막을 거쳐서 제 1 및 제 2 게이트

전극을 각각 형성한다.
상기한 바와 같이, 버즈 비크부로 제 1 활성 영역 전체를 피복하는 것에 의해, 제 1 및 제 2 활성 영역상에 제 1 및 제 2 절연막을 형성했을 때에, 제 1 활성 영역상에 형성되는 절연막의 두께를 제 2 활성 영역상에 형성되는 절연막의 두께보다도 크게할 수 있다. 이러한 하지(underlying) 절연막을 통해서 채널 도핑 주입을 실행하기 때문에, 채널 도핑 주입시의 하지 절연막의 두께를 제 2 활성 영역 위보다도 제 1 활성 영역 위에서 크게 할 수 있어, 제 1 활성 영역에 있어서의 채널 도핑 깊이를 제 2 활성 영역의 그것보다도 얕게 할 수 있다. 즉, 액세스 M0S 트랜지스터의 채널 도핑 깊이를 드라이버 M0S 트랜지스터의 채널 도핑 깊이보다도 얕게 할 수 있다. 이 때, 제 1 활성 영역상에서 버즈 비크부를 접속하도록 하는 것만으로도 무방하므로, 새로운 공정을 추가할 필요는 없다.
버즈 비크부의 형성 공정은, 바람직하게는 제 1 활성 영역상에서 버즈 비크부를 접속하는 것에 의해, 제 1 활성 영역 표면이 전체에 걸쳐 라운드 형상으로 되도록 버즈 비크부를 형성하는 공정을 포함한다.
그것에 의하여, 액세스 M0S 트랜지스터 주위의 분리 영역 에지에 리세스부가 발생하는 것을 억제할 수 있다.
제 1 및 제 2 절연막의 제거 공정은 제 1 활성 영역상에 버즈 비크부를 남기면서 제 2 활성 영역의 표면을 노출시키는 공정을 포함한다.
그것에 의하여, 액세스 M0S 트랜지스터의 게이트 절연막의 두께를 드라이버 M0S 트랜지스터의 게이트 절연막의 두께보다도 실질적으로 두껍게 할 수 있어, 액세스 M0S 트랜지스터의 전류값을 감소시킬 수 있다. 그 결과, 메모리 셀의 동작을 안정화할 수 있다.
본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.
이하, 도 1 도 20을 이용하여, 본 발명의 실시예에 대하여 설명한다.
(실시예 1)
도 1은 본 발명의 실시예 1에 있어서의 반도체 장치의 M0S 트랜지스터부의 단면도이다. 도 1에 도시하는 바와 같이, 본 실시예에 있어서의 M0S 트랜지스터는 반도체 기판(1)의 주표면에 선택적으로 마련된 분리 영역에 의해 둘러싸이는 활성 영역상에 형성된다.
분리 영역에는 분리 산화막(5) 등의 분리 절연막이 형성된다. 분리 산화막(5)은, 예를 들면 후술하는 LOCOS(Local 0xidation of Silicon)법 등으로 형성되고, 활성 영역상에 연장되는 버즈 비크부를 갖는다. 도 1에 나타내는 예에서는, 버즈 비크부는 활성 영역을 덮고 있지 않지만, 버즈 비크부로 활성 영역을 덮도록 하더라도 무방하다.
도 1에 도시하는 바와 같이, 분리 산화막(5)의 에지에는 종래예와 같은 리세스부가 존재하지 않아, 분리 산화막(5)의 에지 근방에 있어서의 산화막(절연막)의 두께는 커지고 있다. 그것에 의하여, M0S 트랜지스터에 있어서의 리크 전류를 억제할 수 있다.
또한, 분리 산화막(5) 사이에 위치하는 활성 영역의 표면은 전체에 걸쳐 윗쪽으로 볼록한 라운드 형상을 갖고, 분리 영역에 가까이 감에 따라서 아래쪽으로 경사진다. 해당 활성 영역의 표면은, 바람직하게는 그 중앙부로부터 주연부로 향하여 소정의 곡율을 갖는 곡면으로 구성되고, 상기 중앙부로부터 주연부로 향함에 따라서 서서히 아래쪽으로 경사진다. 활성 영역의 표면이 상기의 구조를 갖는 것도, 분리 영역 에지에 있어서의 산화막의 두께를 두껍게 하는 것에 기여할 수 있다.
활성 영역 표면에 채널 도핑 영역(13)을 형성하고, 해당 활성 영역상에 산화막(8)을 거쳐서 게이트 전극(9)을 형성하며, 게이트 전극(9)의 양측에 소스/드레인으로 이루어지는 1세트의 불순물 영역(도시하지 않음)을 형성한다.
다음에, 도 2 도 7을 이용하여 본 실시예에 있어서의 반도체 장치의 제조 방법에 대해서 설명한다. 도 2 도 7은 본 실시예에 있어서의 반도체 장치의 제조 공정의 제 1 공정 제 6 공정을 나타내는 단면도이다.
도 2에 도시하는 바와 같이, 반도체 기판(1)의 주표면상에, CVD(Chemical Vapor Deposition)법 등을 이용하여, 실리콘 산화막, 실리콘 질화 산화막, 폴리실리콘막 등으로 이루어지는 버퍼막(2)을 형성하고, 버퍼막(2)상에 CVD법 등에 의해 질화막(3)을 형성한다. 이 질화막(3)상에 레지스트 패턴(4)을 형성한다.
다음에, 레지스트 패턴(4)을 이용하여 질화막(3)과 버퍼막(2)을 에칭한다. 그것에 의하여, 도 3에 도시하는 바와 같이, 활성 영역상에 질화막(3)과 버퍼막(2)의 적층막(마스크막)을 남길 수 있다. 이 때, 반도체 기판(1)의 주표면은 오버 에칭되어, 약간의 오목부가 형성된다. 그 후, 레지스트 패턴(4)을 제거한다.
다음에, 질화막(3)과 버퍼막(2)을 마스크로 하여 반도체 기판(1)을 선택적으로 열산화시킨다. 그것에 의하여, 도 4에 도시하는 바와 같이, 분리 산화막(5)을 형성한다.
이 때, 버퍼막(2)의 재질, 막 두께 및 질화막(3)의 막 두께를 조절하는 것에 의해 분리 산화막(5)의 버즈 비크부(6)의 길이를 조절할 수 있어, 활성 영역상에서버즈 비크부(6)를 접속할 수 있다. 그것에 의하여, 도 4에 도시하는 바와 같이, 활성 영역을 버즈 비크부(6)로 덮을 수 있다.
예를 들면, 필드 산화를 H_2, O_2 가스내에서, 1050℃의 조건에서 400nm 이하 정도로 실행하는 경우, 버즈 비크부(6)의 길이를 0.25㎛로 할 수 있다. 따라서, 활성 영역폭이 0.5㎛ 이하(활성 영역 폭이 버즈 비크부(6) 길이의 2배 이하)이면, 버즈 비크부(6)를 활성 영역상에서 연결할 수 있다.
또, 상기의 필드 산화에 있어서의 버퍼막(2)의 재질은 실리콘 질화 산화막(SION)이고, 그 막 두께는 10nm 정도이며, 질화막(3)의 막 두께는 63nm 정도이다.
도 4에 도시하는 바와 같이, 분리 영역 근방에 위치하는 상기 버즈 비크부(6)의 두께는 활성 영역의 중앙부상에 위치하는 버즈 비크부(6)의 두께보다도 두껍고, 활성 영역 표면이 전체에 걸쳐 라운드 형상으로 되어 있다. 그것에 의하여, 분리 영역의 에지에 있어서의 산화막(절연막)의 두께를 크게 할 수 있다.
도 5에 도시하는 바와 같이, 질화막(3)과 버퍼막(2)을 에칭 등에 의해 제거한 후, 도 6에 도시하는 바와 같이, 버즈 비크부(6)상에 이온 주입시의 손상 방지를 위한 산화막(7)을 형성한다. 그 후, 산화막(7) 및 버즈 비크부(6)를 통해서 소

정의 불순물을 활성 영역에 주입하고, M0S 트랜지스터 형성을 위한 채널 도핑을 실행한다. 그것에 의하여, 채널 도핑 영역(13)을 형성한다.
다음에, 도 7에 도시하는 바와 같이, HF 등을 이용한 습식 에칭에 의해 산화막(7)을 제거한다. 이 때, 상기한 바와 같이, 분리 영역 에지에 있어서의 산화막의 두께가 두껍게 되어 있기 때문에, 분리 영역 에지에 종래예와 같은 리세스부가 발생하는 것을 억제할 수 있다.
그 후, MOS 트랜지스터의 게이트 산화막으로 되는 산화막(8) 및 게이트 전극(9)을 CVD법 등에 의해 형성하여, 도 1에 나타내는 구조가 얻어진다.
다음에, 본 실시예 1의 변형예에 대하여 도 8 도 10을 이용하여 설명한다. 도 8은 본 변형예에 있어서의 M0S 트랜지스터부의 단면도이다.
상기의 실시예 1에서는 LOCOS 타입의 분리에 본 발명을 적용한 경우에 대하여 설명했지만, 본 발명의 사상은 트렌치 타입의 분리에 대해서도 적용 가능하다.
도 8에 도시하는 바와 같이, 본 변형예에서는 반도체 기판(1)의 주표면에 트렌치(10)를 형성하고, 트렌치(10) 내부에 분리 산화막(5)을 형성하고 있다. 그 이외의 구성에 대해서는 실시예 1의 경우와 거의 마찬가지이기 때문에, 중복 설명은 생략한다. 또, 도 8에 나타내는 본 변형예에 있어서도 버즈 비크부(6)는 활성 영역상에서 불연속으로 되어 있지만, 버즈 비크부(6)를 활성 영역상에서 접속하더라도 무방하다.
다음에 도 9 및 도 10을 이용하여, 본 변형예의 제조 방법에 대하여 설명한다. 도 9 및 도 10은 본 변형예의 제조 공정에 있어서의 특징적인 제 1 및 제 2 공정을 나타내는 단면도이다.
우선, 실시예 1과 마찬가지 방법으로 반도체 기판(1)의 주표면상에 버퍼막(2), 질화막(3) 및 레지스트 패턴(4)을 형성하고, 레지스트 패턴(4)을 마스크로 하여 버퍼막(2) 및 질화막(3)을 패터닝하고, 그 후 반도체 기판(1)을 더 에칭하여 도 9에 도시하는 바와 같이, 트렌치(10)를 형성한다.
다음에, 레지스트 패턴(4)을 제거하고, 버퍼막(2) 및 질화막(3)을 마스크로 하여 선택 산화를 실행하여, 버즈 비크부(6)를 활성 영역상에서 연결한다. 그 후, 산화막을 퇴적시키고, CMP(Chemical Mechanical Polishing)법 등을 이용하여 산화 막을 연마한다. 그것에 의하여, 도 10에 도시하는 바와 같이, 트렌치(10)내에 산화막을 매립할 수 있다.
그 이후는 실시예 1과 마찬가지 공정을 거쳐서 도 8에 나타내는 구조가 얻어진다.
(실시예 2)
다음에, 본 발명의 실시예 2에 대하여 도 11 도 20을 이용하여 설명한다. 도 11a, 도 11b는 본 실시예 2의 반도체 장치에 있어서의 액세스 MOS 트랜지스터부와 드라이버 M0S 트랜지스터부를 나타내는 단면도이다.
본 실시예 2에서는 본 발명을 SRAM에 적용하고 있다. 이 SRAM은 도 11a, 도 11b에 도시하는 바와 같이, 액세스 M0S 트랜지스터와 드라이버 M0S 트랜지스터를 포함한다. 그리고, 액세스 M0S 트랜지스터 형성부의 활성 영역(이하, 「제 1 활성 영역」이라 함) 표면을, 실시예 1의 경우와 마찬가지로, 전체에 걸쳐 윗쪽으로 볼록한 라운드 형상으로 한다.
그것에 의하여, 분리 영역 에지에 있어서의 산화막의 두께를 크게 할 수 있어, 실시예 1의 경우와 마찬가지로 분리 영역 에지에 있어서의 리세스부의 발생을 억제할 수 있다. 그것에 의하여, 액세스 M0S 트랜지스터에 있어서의 리크 전류를 억제할 수 있다.
또한, 액세스 MOS 트랜지스터의 채널 도핑 영역(13a)의 깊이 D1을 드라이버 MOS 트랜지스터의 채널 도핑 영역(13b)의 깊이 D2보다도 얕게 한다.
그것에 의하여, 액세스 M0S 트랜지스터의 백 바이어스 효과를 억제하면서 드라이버 M0S 트랜지스터에 있어서의 펀치 스루를 억제할 수 있어, 메모리 셀의 성능을 향상할 수 있다.
또한, 액세스 MOS 트랜지스터의 게이트 절연막(산화막(8)과 버즈 비크부(6)의 적층막)의 두께 t1을 드라이버 MOS 트랜지스터의 게이트 절연막(산화막(8))의 두께 t2보다도 크게 한다. 그것에 의하여, 액세스 MOS 트랜지스터의 전류량을 감소시킬 수 있어, 메모리 셀의 동작의 안정화를 도모할 수 있다.
또한, 제 1 활성 영역의 폭 W1을 드라이버 M0S 트랜지스터 형성부의 활성 영역(이하, 「제 2 활성 영역」이라 함)의 폭 W2보다도 작게 한다.
그것에 의하여, 액세스 M0S 트랜지스터와 드라이버 M0S 트랜지스터의 전류비를 크게 하여 메모리 셀 동작을 안정화하고, 또한 제 1 활성 영역상에서는 버즈 비크부(6)를 접속하면서 제 2 활성 영역상에서 버즈 비크부(6)를 분리할 수 있다.
다음에, 본 실시예 2에 있어서의 반도체 장치의 제조 방법에 대하여 도 12a, 도 12b 도 17a, 도 17b를 이용하여 설명한다. 도 12a, 도 12b 도 17a, 도 17b는 본 실시예 2에 있어서의 반도체 장치의 제조 공정의 제 1 공정 제 6 공정을 나타내는 단면도이다.
도 12a, 도 12b에 도시하는 바와 같이, 반도체 기판(1)의 주표면상에, CVD법 등을 이용하여, 실리콘 산화막, 실리콘 질화 산화막, 폴리실리콘막 등으로 이루어지는 버퍼막(2)을 형성하고, 버퍼막(2)상에 CVD법 등에 의해 질화막(3)을 형성한다. 제 1 및 제 2 활성 영역상에 위치하는 질화막(3)상에 레지스트 패턴(4)을 형 성한다.
다음에, 레지스트 패턴(4)을 이용하여 질화막(3)과 버퍼막(2)을 에칭한다. 그것에 의하여, 도 13에 도시하는 바와 같이, 제 1 및 제 2 활성 영역상에 질화막(3)과 버퍼막(2)의 적층막(제 1 및 제 2 마스크막)을 남길 수 있다. 이 때, 반도체 기판(1)의 주표면은 오버 에칭되어, 약간의 오목부가 형성된다. 그 후, 레지스트 패턴(4)을 제거한다.
다음에, 질화막(3)과 버퍼막(2)을 마스크로 하여 반도체 기판(1)을 선택적으로 열산화시킨다. 그것에 의하여, 도 14에 도시하는 바와 같이, 제 1 및 제 2 활성 영역의 주위에 분리 산화막(5)을 형성한다.
여기서, 상술한 바와 같이, 제 1 활성 영역폭 W1을 제 2 활성 영역폭 W2보다도 작게 하는 것에 의해, 제 1 활성 영역상에서 버즈 비크부(6)를 연결하고, 제 2 활성 영역상에서 버즈 비크부(6)를 분리할 수 있다. 즉, 제 1 활성 영역 전체

를 버즈 비크부(6)로 덮으면서, 제 2 활성 영역의 주연부만을 버즈 비크부로 덮을 수 있다.
예를 들면, 실시예 1의 경우와 마찬가지의 조건에서 필드 산화를 400nm 이하 정도로 실행하는 경우, 제 1 활성 영역폭 W1을 0.5㎛ 이하로 하고, 제 2 활성 영역폭 W2를 0.7㎛ 이상 정도로 한다. 그것에 의하여, 버즈 비크부(6)를 제 1 활성 영역상에서 연결하면서, 제 2 활성 영역상에서 분리할 수 있다.
상기한 바와 같이, 제 1 활성 영역 전체를 버즈 비크부(6)로 덮는 것에 의해, 도 14a, 도 14b에 도시하는 바와 같이, 제 1 활성 영역의 표면이 전체에 걸쳐 라운드 형상으로 된다.
다음에, 도 15a, 도 15b에 도시하는 바와 같이, 질화막(3)과 버퍼막(2)을 에칭 등에 의해 제거한다. 이 때, 제 1 활성 영역은 버즈 비크부(6)로 덮어져 있지만, 제 2 활성 영역은 노출한다.
다음에, 도 16a, 도 16b에 도시하는 바와 같이, 버즈 비크부(6) 위와 제 2 활성 영역 위에, 이온 주입시의 손상 방지를 위한 산화막(7)을 형성한다. 그 후, 소정의 불순물을 각 활성 영역에 주입하고, 액세스 M0S 트랜지스터 및 드라이버 M0S 트랜지스터 형성을 위한 채널 도핑을 실행한다.
이 때, 제 1 활성 영역에는 산화막(7) 및 버즈 비크부(6)를 통해서 불순물을 주입하고, 제 2 활성 영역에는 산화막(7)을 통해서 불순물을 주입한다. 산화막(7) 및 버즈 비크부(6)를 합한 두께 t3는, 예를 들면 30nm 정도로서, 제 2 활성 영역상의 산화막(7)의 두께 t4(예를 들면, 15nm 정도)보다도 크기 때문에, 제 1 활성 영역의 얕은 위치에 채널 도핑을 실행하면서, 제 2 활성 영역의 깊은 위치에 채널 도핑을 실행할 수 있다.
그것에 의하여, 액세스 MOS 트랜지스터의 채널 도핑 영역(13a)의 깊이 D1(예를 들면, 130nm 정도)을 드라이버 MOS 트랜지스터의 채널 도핑 영역(13b)의 깊이 D2(예를 들면, 145nm 정도)보다도 얕게 할 수 있다.
또한, 제 1 활성 영역상에 버즈 비크부(6)를 남기는 것만으로도 무방하기 때문에, 새로운 공정은 불필요하다.
다음에, 도 17a, 도 17b에 도시하는 바와 같이, HF 등을 이용한 습식 에칭에 의해 산화막(7)을 제거한다. 이 때, 액세스 MOS 트랜지스터 형성부에서는 산화막(7) 밑에 두꺼운 버즈 비크부(6)가 존재하기 때문에, 상기 습식 에칭후에, 제 1 활성 영역상에 버즈 비크부(6)를 남기면서 제 2 활성 영역상의 산화막(7)을 제거할 수 있다.
또한, 액세스 MOS 트랜지스터의 분리 영역 에지에 있어서의 분리 산화막(5)의 두께가 두껍게 되어 있기 때문에, 액세스 M0S 트랜지스터의 분리 영역 에지에 리세스부가 발생하는 것을 억제할 수 있다.
그 후, 각 MOS 트랜지스터의 게이트 산화막으로 되는 산화막(8) 및 게이트 전극(9)을 CVD법 등에 의해 형성하여, 도 11a, 도 11b에 도시하는 구조가 얻어진다. 이 때, 제 1 활성 영역상에서는 산화막(8)의 형성전에 버즈 비크부(6)가 존재하기 때문에, 액세스 M0S 트랜지스터의 게이트 산화막 두께를 드라이버 M0S 트랜지스터의 게이트 산화막 두께보다도 두껍게 할 수 있다.
또, 본 실시예의 사상(思想)도 트렌치 분리에 적용 가능하다. 도 18a, 도 18b에, 트렌치 분리에 적용한 변형예의 구조를 도시한다.
도 18a, 도 18b에 도시하는 바와 같이, 본 변형예에서는 트렌치(10)내에 분리 산화막(5)을 형성하고 있다. 그 이외의 구성에 대해서는 도 11에 나타내는 경우와 거의 마찬가지이기 때문에, 중복 설명은 생략한다. 본 변형예의 경우도 상기의 실시예 2의 경우와 마찬가지의 효과가 얻어진다.
다음에, 도 19a, 도 19b와 도 20a, 도 20b를 이용하여, 본 변형예의 제조 방법에 대하여 설명한다.
도 19a, 도 19b에 도시하는 바와 같이, 실시예 2와 마찬가지의 공정을 거쳐서, 반도체 기판(1)의 주 표면상에 버퍼막(2), 질화막(3) 및 레지스트 패턴(4)을 형성한다. 이 레지스트 패턴(4)을 이용하여 질화막(3)과 버퍼막(2)을 패터닝하고, 또한 반도체 기판(1)의 주표면을 에칭한다. 그것에 의하여, 도 19a, 도 19b에 도시하는 바와 같이, 분리 영역에 트렌치(10)를 형성한다.
다음에, 레지스트 패턴(4)을 제거하고, 버퍼막(2) 및 질화막(3)을 마스크로 해서 선택 산화를 실행하여, 버즈 비크부(6)를 액세스 MOS 트랜지스터 형성부의 활성 영역상에서 연결한다. 그 후, 산화막을 퇴적하고, CMP법 등을 이용하여 산화막을 연마한다. 그것에 의하여, 도 20a, 도 20b에 도시하는 바와 같이, 트렌치(10)내에 산화막을 매립한다. 그 이후는 실시예 2와 마찬가지의 공정을 거쳐서 도 18에 도시하는 구조가 얻어진다.
이상과 같이 본 발명의 실시예에 대하여 설명을 실행했지만, 금번에 개시한 실시예는 모든 점에서 예시로서 제한적인 것은 아니라고 생각해야 할 것이다. 본 발명의 범위는 특허청구범위에 의해서 나타내고, 특허청구범위와 균등의 의미 및 범위내에서의 모든 변경이 포함된다.

발명의 효과

본 발명에 따른 반도체 장치에 의하면, 분리 영역의 에지에 종래예와 같은 리세스부가 발생하는 것을 억제할 수 있기 때문에, 리크 전류를 억제할 수 있다. 그것에 의하여, 반도체 장치의 신뢰성을 향상할 수 있다.
본 발명의 하나의 국면에 있어서의 반도체 장치의 제조 방법에 의하면, 활성 영역상에서 버즈 비크부를 접속하는 것만으로 분리 영역의 에지에 리세스부가 발생하는 것을 억제할 수 있기 때문에, 새로운 공정을 추가하는 일없이 반도체 장치의 신뢰성을 향상할 수 있다.
본 발명의 다른 국면에 있어서의 반도체 장치의 제조 방법에 의하면, 액세스 M0S 트랜지스터의 활성 영역인 제 1 활성 영역을 덮도록 버즈 비크부를 형성하는 것만으로, 액세스 M0S 트랜지스터의 채널 도핑 깊이를 드라이버 M0S 트랜지스터의 그것보다도 얕게 할 수 있다. 그것에 의하여, 새로운 공정을 추가하는 일없이, SRAM 메모리 셀의 성능을 향상할 수 있다.
또한, 제 1 활성 영역을 덮는 상기 버즈 비크부를 남긴 경우에는 새로운 공정을 추가하는 일없이, 액세스 M0S 트랜지스터의 게이트 절연막의 두께를 드라이버 M0S 트랜지스터의 게이트 절연막의 두께보다도 두껍게 할 수 있다. 따라서, 새로운 공정을 추가하는 일없이, SRAM 메모리 셀의 동작을 안정화할 수 있다.

(57) 청구의 범위

청구항 1.

SRAM(Static Random Access Memory)를 포함하는 반도체 장치로서,
활성 영역과 분리 영역을 갖는 반도체 기판과,
상기 분리 영역에 의해 둘러싸인 상기 활성 영역 상에 형성되고, 당해 활성 영역의 표면이 전체에 걸쳐 라운드 형상을 갖는 액세스 MOS(Metal Oxide Semiconductor) 트랜지스터와,
활성 영역의 표면 형상이 상기 라운드 형상과는 상이한 형상인 드라이버 MOS 트랜지스터를 구비하되,
상기 분리 영역은 버즈 비크부를 갖고, 당해 버즈 비크부가 상기 액세스 MOS 트랜지스터의 활성 영역 표면을 덮고 있는
반도체 장치.

청구항 2.

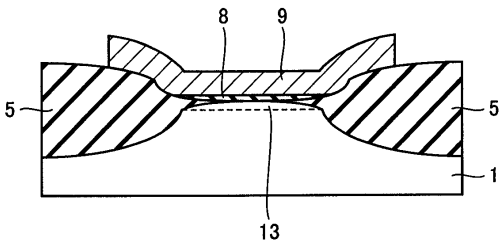
반도체 기판의 분리 영역을 노출하고 활성 영역을 덮도록 상기 반도체 기판상에 마스크막을 형성하는 공정과,
상기 마스크막을 이용하여 상기 반도체 기판을 선택적으로 산화하는 것에 의해, 상기 활성 영역 표면 전체가 라운드 형상이 되도록 상기 활성 영역을 덮는 버즈 비크부를 형성하는 공정과,
상기 마스크막을 제거한 후에, 상기 버즈 비크부상에 제 1 절연막을 형성하는 공정과,
상기 제 1 절연막 및 상기 버즈 비크부를 통해서 상기 활성 영역에 불순물을 주입하는 공정과,
상기 제 1 절연막을 제거한 후에, 상기 활성 영역상에 제 2 절연막을 거쳐서 게이트 전극을 형성하는 공정
을 구비하는 반도체 장치의 제조 방법.

청구항 3.

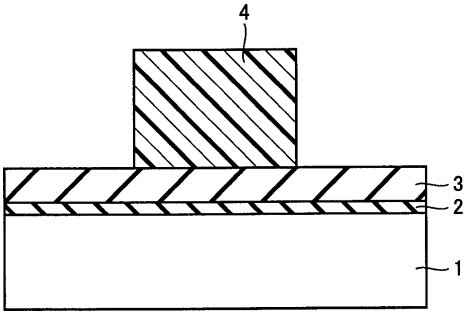
액세스 MOS(Metal 0xide Semiconductor) 트랜지스터와, 드라이버 M0S 트랜지스터를 갖는 반도체 장치의 제조 방법으로서,
반도체 기판의 분리 영역을 노출하고, 상기 액세스 M0S 트랜지스터가 형성되는 제 1 활성 영역과 상기 드라이버 MOS 트랜지스터가 형성되는 제 2 활성 영역을 덮도록, 상기 반도체 기판상에 제 1 및 제 2 마스크막을 형성하는 공정과,
상기 제 1 및 제 2 마스크막을 이용하여 상기 반도체 기판을 선택적으로 산화하는 것에 의해, 상기 제 1 활성 영역 전체를 덮고 또한 상기 제 2 활성 영역의 주연부만을 덮는 버즈 비크부를 형성하는 공정과,
상기 제 1 및 제 2 마스크막을 제거한 후에, 상기 제 1 및 제 2 활성 영역상에 제 1 및 제 2 절연막을 각각 형성하는 공정과,
상기 제 1 절연막 및 상기 버즈 비크부를 통하여 상기 제 1 활성 영역에 불순물을 주입하고, 또한 상기 제 2 절연막을 통해서 상기 제 2 활성 영역에 불순물을 주입하는 공정과,
상기 제 1 및 제 2 절연막을 제거한 후에, 상기 제 1 및 제 2 활성 영역상에 제 3 및 제 4 절연막을 거쳐서 제 1 및 제 2 게이트 전극을 형성하는 공정
을 구비하는 반도체 장치의 제조 방법.

도면

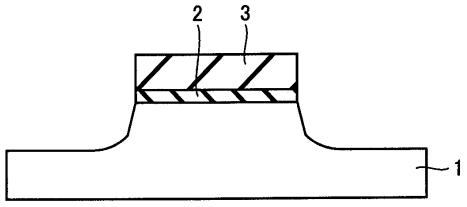
도면1



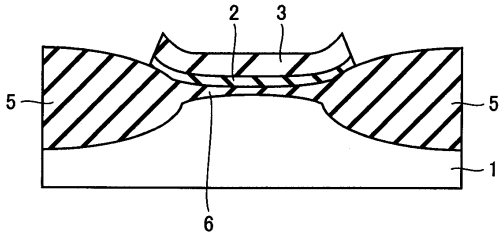
도면2



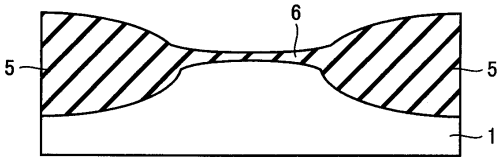
도면3



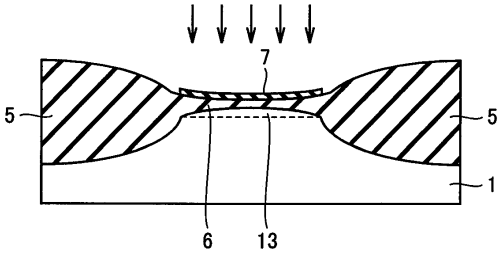
도면4



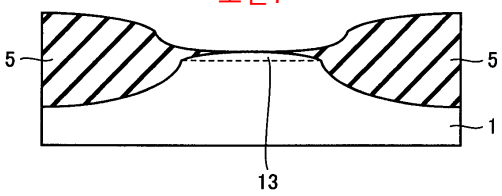
도면5



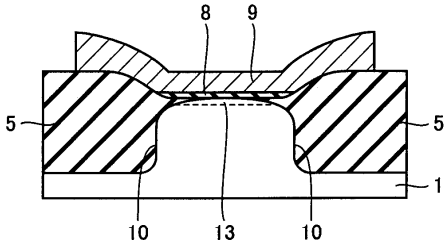
도면6



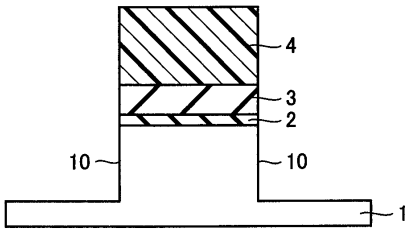
도면7



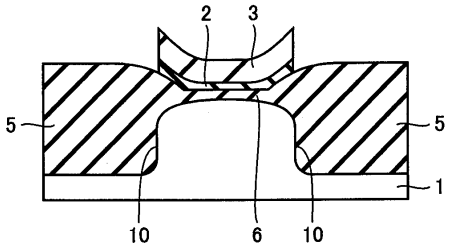
도면8



도면9

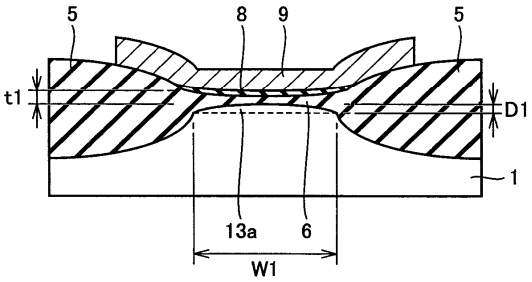


도면10



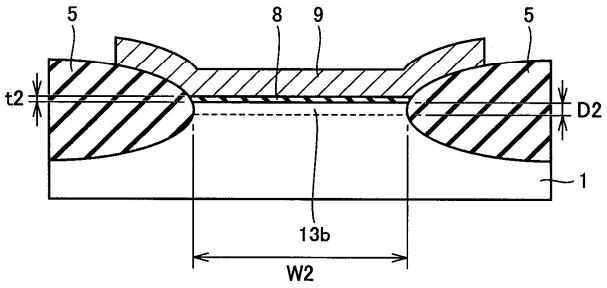
도면11a

<액세스 MOS 트랜지스터부>



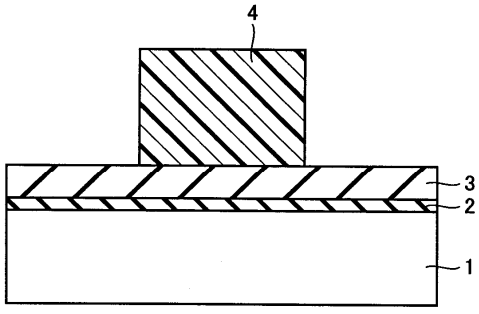
도면11b

<드라이버 MOS 트랜지스터부>



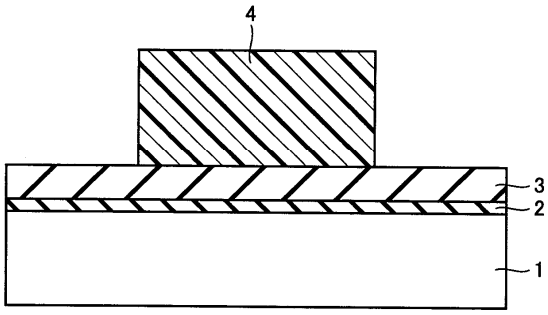
도면12a

<액세스 MOS 트랜지스터부>



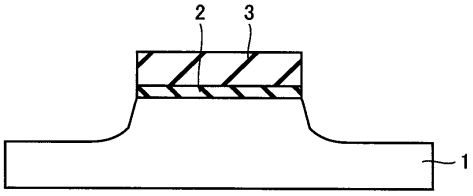
도면12b

<드라이버 MOS 트랜지스터부>



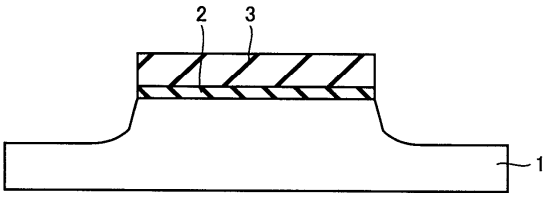
도면13a

<액세스 MOS 트랜지스터부>



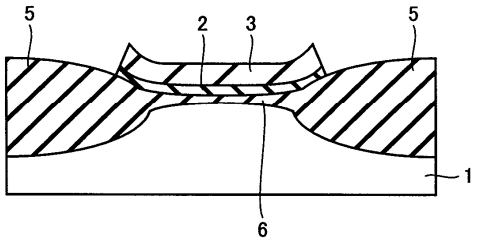
도면13b

<드라이버 MOS 트랜지스터부>

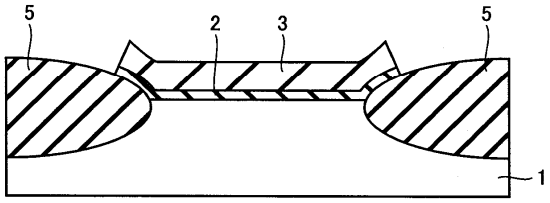


도면14a

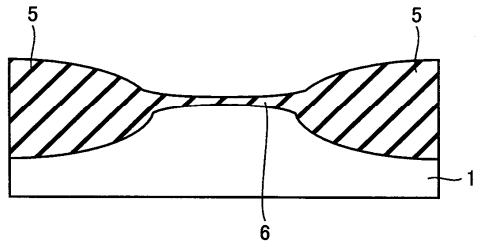
<액세스 MOS 트랜지스터부>



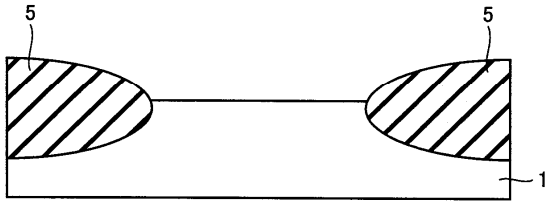
도면14b
<드라이버 MOS 트랜지스터부>



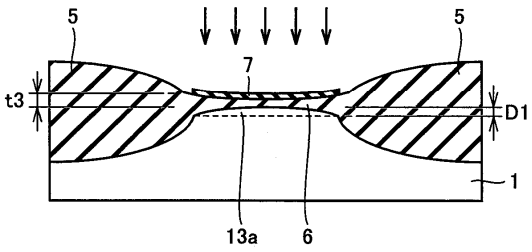
도면15a
<액세스 MOS 트랜지스터부>



도면15b
<드라이버 MOS 트랜지스터부>

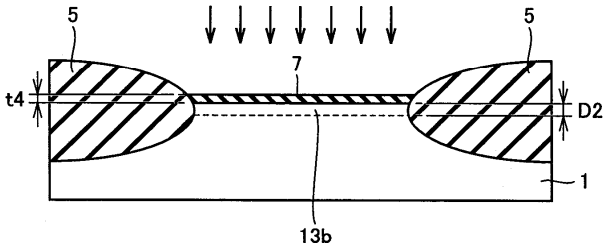


도면16a
<액세스 MOS 트랜지스터부>



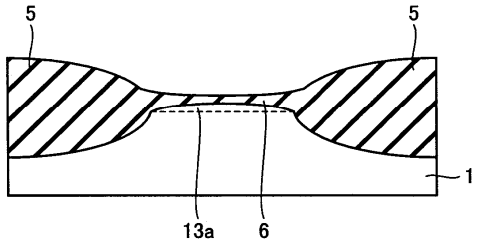
도면16b

<드라이버 MOS 트랜지스터부>



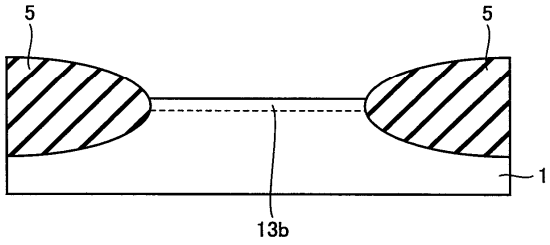
도면17a

<액세스 MOS 트랜지스터부>



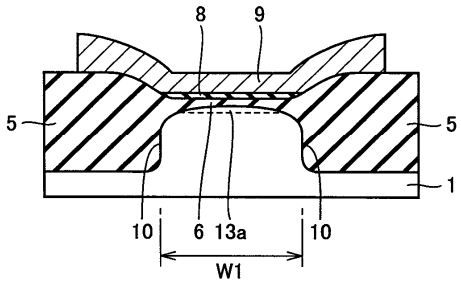
도면17b

<드라이버 MOS 트랜지스터부>

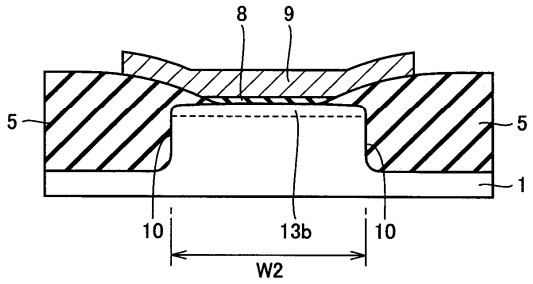


도면18a

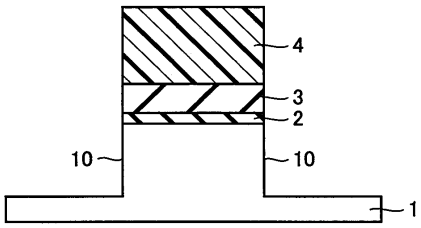
<액세스 MOS 트랜지스터부>



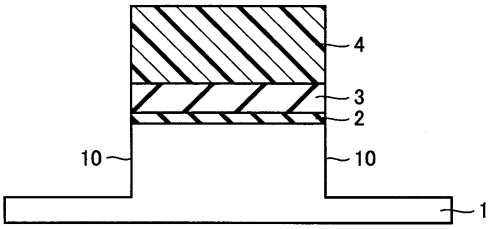
도면18b
<드라이버 MOS 트랜지스터부>



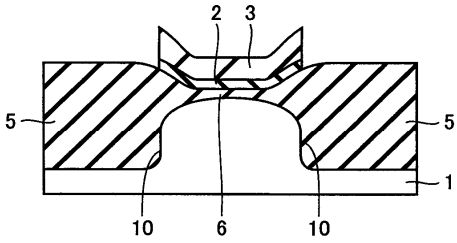
도면19a
<액세스 MOS 트랜지스터부>



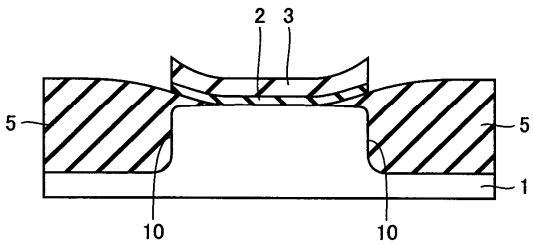
도면19b
<드라이버 MOS 트랜지스터부>



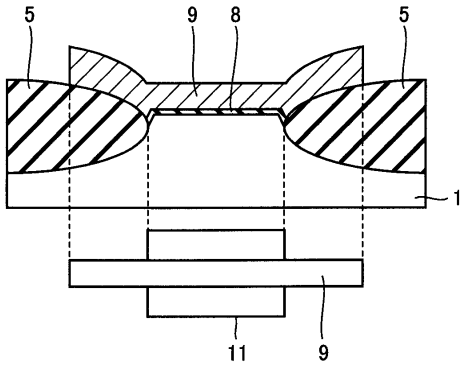
도면20a
<액세스 MOS 트랜지스터부>



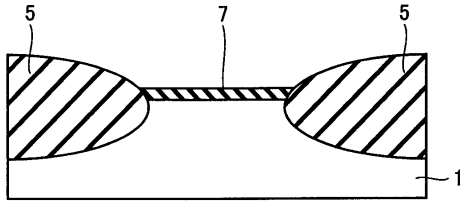
도면20b
<드라이버 MOS 트랜지스터부>



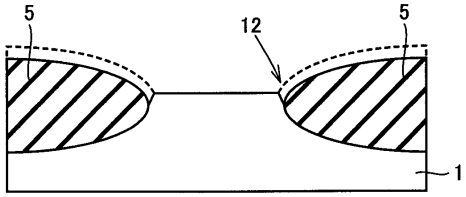
도면21



도면22



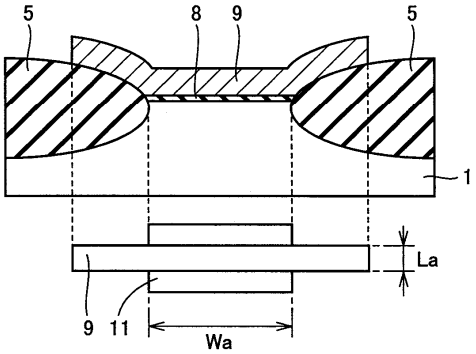
도면23



도면24a

(종래기술)

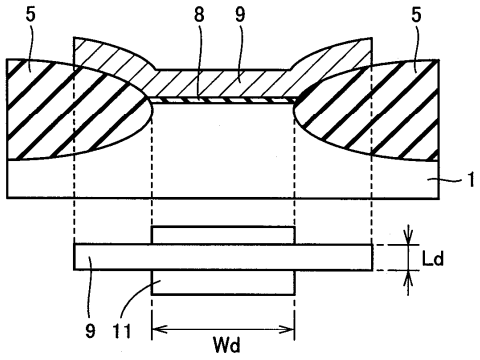
<액세스 MOS 트랜지스터부>



도면24b

(종래기술)

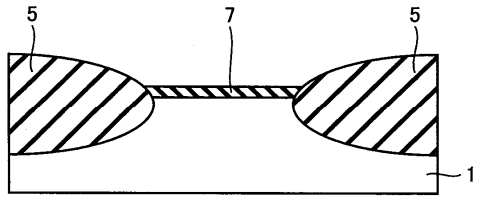
<드라이버 MOS 트랜지스터부>



도면25a

(종래기술)

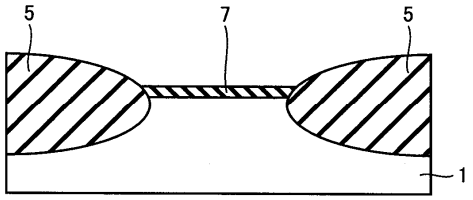
<액세스 MOS 트랜지스터부>



도면25b

(종래기술)

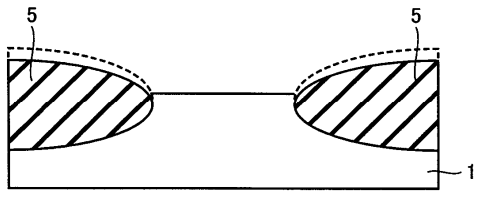
<드라이버 MOS 트랜지스터부>



도면26a

(종래기술)

<액세스 MOS 트랜지스터부>



도면26b

(종래기술)

<드라이버 MOS 트랜지스터부>

