



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0008599
H01L 21/28 (2006.01) (43) 공개일자 2007년01월17일

(21) 출원번호	10-2006-7019469	(87) 국제공개번호	WO 2005/104212
(22) 출원일자	2006년09월21일	(43) 공개일자	2005년11월03일
심사청구일자	없음		
번역문 제출일자	2006년09월21일		
(86) 국제출원번호	PCT/US2005/013601		
국제출원일자	2005년04월21일		

(30) 우선권주장 10/709,204 2004년04월21일 미국(US)

(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자 와이즈, 리차드, 에스.
미국, 뉴욕 12533, 뉴 원저, 샌드게이트 드라이브 429
첸, 보마이, 에이.
미국, 캘리포니아 94015, 쿠퍼티노, 카르멘 로드 10059
해케이, 마르크, 씨.
미국, 버몬트 05454, 페어팩스, 벨로우즈 스트리트 15
얀, 홍웬
미국, 뉴욕 10589, 소머스, 브레어우드 브라이브 208

(74) 대리인 신영무
이용미

전체 청구항 수 : 총 12 항

(54) 레벨내 용량이 저감된 집적 회로의 배선 구조

(57) 요약

집적 회로의 배선 구조물을 형성하는 방법은 유전 재료층(13)에 복수의 형상물(16)을 형성하고, 상기 형상물의 측벽(16s) 상에 스페이서(20)를 형성하는 단계를 포함한다. 다음에 스페이서에 의해 측벽으로부터 분리되게 도체(25)가 형상물에 형성된다. 다음에 스페이서가 제거되어, 측벽에 에어 갭(40)을 형성하므로 도체는 에어 갭에 의해 측벽과 분리되게 된다. 도체 위 아래의 유전층(42, 12)은 도체 간의 유전체 보다 유전 상수가 낮은 저 k 유전체일 수 있다. 도체(25) 각각의 단면은 저 k 유전층(12)과 접촉하는 저부, 다른 저 k 유전체(42)와 접촉하는 상부 및 에어 갭(40)만 접촉하는 측면을 갖는다. 에어 갭은 레벨내 용량을 감소하는 작용을 한다.

대표도

도 6

특허청구의 범위

청구항 1.

집적 회로의 배선 구조물을 제조하기 위한 방법에 있어서,

유전 재료의 층(13)에 복수의 형상물(16)을 형성하는 단계 - 상기 형상물 각각은 측벽(16s) 및 저부를 가짐 -와;

상기 측벽 상에 스페이서(20)를 형성하는 단계와;

상기 형상물에 도체(25)를 형성하는 단계 - 상기 도체는 상기 스페이서에 의해 상기 측벽과 분리됨 - 와;

상기 스페이서를 제거하고, 이에 의해 상기 측벽에 에어 갭(40)을 형성하여 상기 도체가 상기 에어 갭에 의해 상기 측벽과 분리되게 하는 단계

를 포함하는 방법.

청구항 2.

제1항에 있어서, 상기 스페이서를 형성하는 단계는:

각 형상물(16)의 상기 측벽과 저부 상에 스페이서 재료층을 적층하는 단계와;

방향성 에칭 프로세스를 이용하여 상기 스페이서 재료를 상기 저부로부터 제거하는 단계

를 더 포함하는 방법.

청구항 3.

제1항에 있어서, 상기 도체(25)를 형성하는 단계는 상기 스페이서 각각의 상부 표면부(20x)를 노출하는 단계를 더 포함하고,

상기 스페이서를 제거하는 단계는 상기 상부 표면부를 에칭 에이전트에 노출시키는 단계를 포함하는 방법.

청구항 4.

제1항에 있어서, 상기 형상물은 리소그래픽 크기로 특징되는 리소그래피 프로세스를 이용하여 형성되고, 상기 스페이서는 상기 리소그래픽 크기 보다 측면 크기가 더 작게 형성되는 방법.

청구항 5.

제1항에 있어서, 형상물(16)의 형성은 아래 놓인 유전층(12)에서 도전 스테드(15)를 노출하여, 상기 형상물에서의 도체(25)의 형성이 상기 스테드에 전기적 연결을 이루도록 하는 방법.

청구항 6.

제1항에 있어서, 상기 스페이서(20)는 상기 형상물의 상기 상부 보다 상기 형상물의 상기 저부 근처에서 측면 크기가 더 크게 형성되므로, 상기 도체(25) 각각은 상기 저부에서 보다 상부에서 더 넓은 방법.

청구항 7.

제1항에 있어서, 상기 유전 재료층(13)과 상기 도체(25) 위에 놓이는 제2 유전층(42)을 형성하는 단계를 더 포함하고, 상기 제2 유전층은 상기 유전 재료층의 것 보다 유전 상수가 더 작은 방법.

청구항 8.

집적 회로의 배선 구조물에 있어서:

제1 유전층(12)과;

상기 제1 유전층 상에 배치되는 복수의 도체(25) - 상기 도체는 제2 유전층(13)의 일부와 에어 갭(40)에 의해 서로 측면 분리되고, 상기 도체 각각은 상기 도체를 상기 제2 유전층으로부터 분리시키는 에어 갭이 인접하고 있음 - 와; 및

상기 도체 위에 놓이는 제3 유전층(42)

을 포함하고, 상기 도체(25) 각각은 그 상부에서 보다 저부에서 단면적이 더 넓은 상기 에어 갭(40) 각각에 따라서, 저부에서 보다 상부에서 단면적이 더 넓은 배선 구조물.

청구항 9.

제8항에 있어서, 상기 제1 유전층(12) 및 상기 제3 유전층(42)은 각각 제2 유전층(13)의 것 보다 유전 상수가 더 작은 배선 구조물.

청구항 10.

제8항에 있어서, 상기 제1 유전층(12)에서 상기 도체 중 하나와 접촉하는 도전 스톱퍼(15)를 더 포함하는 배선 구조물.

청구항 11.

제9항에 있어서, 상기 제2 유전층(13)은 실리콘 이산화물로 이루어지는 배선 구조물.

청구항 12.

제9항에 있어서, 상기 도체(25) 각각의 단면은 상기 제1 유전층(12)과 접촉하는 저부, 상기 제3 유전층(42)과 접촉하는 상부, 및 상기 에어 갭(40)만 접촉하는 측면을 갖는 배선 구조물.

명세서

기술분야

본 발명은 대규모 집적 반도체 장치의 제조에 관한 것으로, 특히 이런 장치의 금속 형상물 간의 유전층의 용량을 저감하기 위한 구조물과 방법에 관한 것이다.

배경기술

초대규모 집적 (ULSI) 반도체 장치는 통상 유전 재료의 절연층 (레벨간 유전층)에 의해 수직 방향으로 서로 분리된, 장치의 상부 표면에 배치된 금속 배선 형성물 (금속층)을 갖는 몇 개의 층을 포함한다. 이 복수의 배선층과 절연층의 구성은 장치 간의 인터커넥트를 제공하는 데에 필요하다. 금속화와 층간 유전층의 구조물은 보통 다마신 프로세스를 이용하여 실현되며, 이 때 유전층 내에 패터닝이 에칭되고, 이 패터닝된 층은 금속으로 피복된 다음에 연마되고 (에칭된 형상에 금속이 매립되어 있음), 이 금속화 층은 유전 재료의 블랭킷층으로 피복된다. 수직 스텝드 (층간 유전체를 통해 연장된 금속화 바이어)가 하나의 금속화 레벨을 다른 것과 연결하는 데에 이용된다. 본 기술에서 이해되는 바와 같이, 이용되는 유전 재료는 관련되는 에칭과 적층 프로세스와의 호환성을 위해, 또한 전반적인 구조물의 용량을 최소화하도록 (즉, 재료나 재료의 조합물의 유전 상수를 최소화하도록) 선택된다.

ULSI 장치의 크기가 계속적으로 축소됨에 따라, 장치의 성능은 레벨간 유전체의 용량에 의해 크게 제한되게 된다. 예를 들어, 레벨간 유전체의 용량은 (배선과 절연체의 구조물에서의 RC 지연으로 인한) 장치 속도, 장치의 AC 전력 소모 및 크로스토크에 영향을 미친다. 층간 유전체의 용량은 재료의 유전 상수에 따라 변한다. 종래의 반도체 처리 기술에서, 실리콘 이산화물 (약 3.85의 유전 상수 k)이 이용된다. ULSI 장치 성능에 미치는 바람직하지 않은 용량의 영향을 감소시키기 위해서, 더 낮은 유전 상수를 갖는 절연 재료가 현재 이용되고 있다. 저 k 재료의 예들로는 불화 실리콘 이산화물, 비정질 탄소, 블랙 다이아몬드, 및 약간의 중합체가 있다. 또한 에어 갭 (1에 가까운 k 를 가짐)이 층간 유전체의 일부를 형성하는 몇 구조물이 또한 개발되었다.

층간 유전층의 용량은 층간 용량 (즉, 두 수직 분리된 금속화층 간의 용량) 만이 아니라, 레벨내 라인간의 용량 (즉, 유전 재료에 매립된 두 측면 분리된 금속 라인 간의 용량)을 포함한다. ULSI 장치의 크기가 계속 증가함에 따라, 금속 라인의 종횡비도 인접 라인 간의 측면 분리가 감소하면서 계속하여 증가하게 되고, 이 둘은 층내 용량의 증가를 가져온다. 따라서, 층내 라인간의 용량은 인터커넥트의 전체 성능을 결정하는 데에 있어 주요 인자가 되고 있다. 따라서, 저 k 재료를 금속 라인간의 간격으로 유도하여 층내 용량을 저감하는 것이 매우 바람직하다. 가장 바람직하게는, 라인 간의 공간은 물리적으로 강한 구조물을 유지하면서 에어 갭을 포함한다.

발명의 상세한 설명

본 발명은 금속화층에 도체에 인접하는 에어 갭을 형성하기 위한 프로세스를 제공하며, 이 에어갭은 서브미크로그래픽 크기로 되어 있다. 이 형상물은 벌크 유전체의 용량 보다 작은 도체들 간에 직렬 연결된 용량을 초래하고, 이에 의해 층내 용량을 감소시킬 수 있다. 본 발명은 저 k 재료, 에어 갭 및 부가의 저 k 재료의 스택을 제공하여, 프린팅 용량을 최소화하는 샌드위치 구조물을 형성한다.

본 발명의 일 형태에 따르면, 집적 회로의 배선 구조물을 제조하기 위한 방법이 제공되고 있다. 이 방법은 유전 재료의 층에 복수의 형상물을 형성하는 단계와, 이 형상물의 측벽 상에 스페이서를 형성하는 단계를 포함한다. 다음에 도체가 이 형상물에 형성되며, 스페이서에 의해 측벽과 분리된다. 다음에 스페이서가 제거되어, 측벽에 에어 갭을 형성하므로 도체가 에어 갭에 의해 측벽과 분리되게 된다. 이 형상물은 리소그래픽 크기로 특징되는 리소그래피 프로세스를 이용하여 형성되고, 스페이서는 리소그래픽 크기 보다 작은 측면 크기로 형성된다. 형상물의 형성으로 아래 놓이는 유전층에서 도전 스텝드를 노출시키게 되므로, 이 형상물에서의 도체의 형성은 스텝드에 전기적인 연결을 이룬다. 제2 유전층은 유전 재료층과 도체 위에 놓이게 형성되고, 제2 유전층은 유전 재료층 보다 더 작은 유전 상수를 갖는다.

본 발명의 다른 형태에 따르면, 유전층을 위 아래에 갖는 복수의 도체를 포함하는 배선 구조물이 제공된다. 복수의 도체는 제1 유전층 상에 배치되고, 도체는 제2 유전층의 일부와 에어 갭에 의해 서로 측면 분리된다. 도체 각각은 에어 갭이 인접하고 있어 도체를 제2 유전층과 분리시킨다. 제3 유전층은 도체 위에 놓인다. 도체 각각은 그 상부 보다 그 저부에서 단면적이 더 넓은 에어 갭 각각에 따라서, 그 저부 보다 상부에서 단면적이 더 넓다. 제1 및 제3 유전층은 제2 유전층의 것 보다 유전 상수가 더 작다. 따라서, 도체 각각의 단면적은 제1 유전층과 접촉하는 저부, 제3 유전층과 접촉하는 상부, 및 에어 갭만 접촉하는 측면을 갖는다. 에어 갭은 레벨내 용량을 감소시키는 작용을 한다.

실시예

본 발명의 바람직한 실시예에서, 금속 라인은 유전 재료에 매립되고, 에어 갭은 금속 라인의 측면과 유전체 사이에 형성된다. 에어 갭을 형성하기 위한 프로세스는 금속화 및 층간 유전층을 형성하기 위한 다마신 프로세스의 변형으로 여기에서 설명될 것이다.

도 1은 층간 유전층의 구성을 도시하는 것으로, 전체의 층간 유전체(10)는 두개의 다른 유전층(11, 13) 간에 샌드위치된 저 k 재료층(12)을 포함한다. 바이어는 층(11 및 12)에 형성되고 이어서 금속으로 충전되어 스테드(15)를 형성하고, 이는 아래 놓인 레벨(1)에의 전기적 연결을 제공한다. 층(13)은 스테드의 형성 이후에 층(12) 위에 적층된다. 따라서 층(11 및 12)의 조합은 바이어 레벨을 형성하고, 층(13) (때로 배선 레벨이나 트라프 (trough) 레벨로 불림)은 내부에 금속 배선이 매립되어 있도록 패터닝된다.

층(13)은 원하는 배선 패턴에 따라 패터닝 및 에칭되어, 트라프(16)이 형성되고 (도 2); 이 패터닝은 종래의 리소그래픽 기술을 이용하여 행해진다. 층(13)의 배선 패턴과 아래 놓인 레벨 간의 전기적 연결은 금속화 트라프가 스테드(15)와 접촉하는 것을 조건으로 한다. 도 2에 도시한 바와 같이, 층(12)이 부분적으로 에칭되도록 오버에칭이 실행되어, 스테드(15)의 상부 표면(15a)이 노출되는 것을 확실히 한다. 이 리소그래픽 기본 규칙은 스테드가 트라프 측벽(16s) 간에 캡처되는 것을 확실히 하기 위해 트라프(16)에 충분한 폭을 제공하도록 선택된다.

다음에 스페이서(20)는 도 3에서 나타난 바와 같이, 트라프의 측벽 상에 형성된다. 이는 패터닝된 층(13) 위에 스페이서 재료의 콘포멀층을 적층한 다음에, 이 재료를 방향성 에칭 프로세스 (본 기술에서 잘 알려짐)에 의해 제거하는 것으로 행해질 수 있다. 도 3에서 나타난 바와 같이, 스페이서는 통상 상부에서 보다 저부에서 더 넓다. 스페이서 재료는 배선 구조물의 금속과 층(12 및 13)의 유전 재료와 관련하여 선택적으로 에칭될 수 있어야 한다. 바람직한 스페이서 재료는 실리콘 질화물이다. 다른 스페이서 재료로는 비정질 Si 및 (만약 Cu가 배선 구조물에 이용되는 경우) Al를 포함한다.

다마신 프로세스에 따라서, 트라프(16)은 (예를 들어, 전기 분해 또는 CVD에 의해) 금속으로 충전되고, 구조물은 연마된다. 따라서 금속 라인(25)이 유전체에 형성된다 (도 4). 상기 언급된 오버에칭 프로세스는 결과적으로 금속 라인(25)의 저부가 저 k 유전체(12)로 둘러싸이게 하고; 이는 이어서 최종 장치에 프린징 필드의 효과를 완화시킨다. 연마 프로세스는 층(13)의 상부 표면을 노출시키고, 또한 각 측벽 스페이서(20)의 상부에서 표면부(20x)를 노출시킨다.

측벽 스페이서(20)는 다음에 금속 라인(25) 및 층(12 및 13)의 유전 재료와 관련하여 선택적인 에칭 프로세스에서 제거된다. 이는 표면부(20x)를 에칭 에이전트에 노출시키는 것으로 행해지고; 습식 화학 에칭 또는 하류층 에칭 프로세스가 이용될 수 있다. 따라서 에어 갭(40)은 도 5에서 나타난 바와 같이, 금속 라인(25)의 측면과 트라프(16)의 벽 사이에 형성된다 (금속 라인에 의해 측벽으로부터 분리된 소영역의 비에칭된 스페이서 재료는 스테드(15)의 측면 상에 유지될 수 있다). 에어 갭의 폭은 스페이서 재료의 원래의 적층 두께에 좌우되므로, 에어 갭은 서브리소그래픽 두께 크기를 갖는다는 것에 주목할 만하다. 측벽에 대향하는 금속 라인(25)의 측면은 공기와만 접촉하게 되지만, 이들의 저부 표면은 유전층(12) 및/또는 스테드(15)의 상부와 접촉한다. 측벽 스페이서(20)의 원래의 형상으로 인해, 금속 라인의 단면적은 저부에서 보다 상부에서 더 넓다.

저 k 유전 재료의 부가층(42)은 다음에 도 6에서 나타난 바와 같이, 층(13)과 금속 라인(25)의 상부 위에 적층될 수 있다. 따라서 금속 라인은 저 k 재료를 위 아래에 갖고 그 사이에 에어 갭(40)을 갖는 수직 샌드위치 구조물에 캡슐화된다. 금속 라인의 기부와 상부가 저 k 재료로 피복되기 때문에, 프린징 필드의 효과는 최소화된다. 이 실시예에서, 유전층(11 및 13)은 실리콘 이산화물 등의 종래의 재료로 이루어지고, 이는 열 안정성 및 프로세스 간략성의 장점을 제공한다.

본 발명에 의해 제공되는 장점은 도 6의 두 인접한 금속 라인(25-1 및 25-2) 사이에 레벨내 용량을 연산하는 것으로 알 수 있다. 이 용량 C는 직렬 연결된 세 용량으로 나타낼 수 있다: C_{A1} , 에어 갭(40-1)의 용량; C_D , 유전층(13)의 금속 라인 간 부분(13c)의 용량; 및 C_{A2} , 에어 갭(40-2)의 용량. 이 때 용량 C는:

$$C = 1/(1/C_{A1} + 1/C_D + 1/C_{A2})$$

로 주어진다. 각 용량은 $C = \epsilon A/d$ 로 표현될 수 있으며, 이 때 ϵ 는 재료의 유전 상수이고, A는 측면 단면적이고, d는 재료의 두께이다. 공기에 대해 $\epsilon=1$ 를 이용하면, 레벨내 용량 (단위 면적당) C/A는

$$C/A = (2d_A + d_D/\epsilon)^{-1}$$

로 주어진다. 이 때, d_A 는 각 에어 갭의 두께이고 d_D 는 부분(13c) (즉, 금속 라인(25-1 및 25-2) 간의 층(13)의 측면 크기)의 두께이다. 층(11 및 13)이 실리콘 이산화물 ($\epsilon=3.85$)로 이루어지고, 리소그래픽 기본 규칙이 $0.16\mu\text{m}$ 라고 가정하면, 여러 폭의 에어 갭에 대한 용량은 다음과 같게 된다:

$d_A(\mu\text{m})$	$d_D(\mu\text{m})$	$C/A(\mu\text{m}^{-1})$	등가 ϵ
0	0.16	24.06	3.85
0.02	0.14	17.74	2.83
0.02	0.12	14.05	2.25
0.03	0.10	11.63	1.86
0.04	0.08	9.92	1.59

따라서, 2.0 미만의 등가 유전 상수는 본 발명의 측면 에어 갭을 이용하여 달성될 수 있다. 이는 현재 이용 가능한 무기 저 k 재료가 여전히 약 3.5의 ϵ 를 가지는 반면, 유기 저 k 재료가 통상의 어닐링 프로세스 이후에 2.8 근처의 ϵ 를 가지기 때문에 중요하다.

산업상 이용 가능성

본 발명은 통상 복수 레벨의 금속화를 갖고 있으며 특히, 층간 유전체의 층내 라인간 용량을 저감하는 것이 바람직한 개선된 마이크로전자 장치의 제조에 적용 가능하다. 본 발명은 종래의 실리콘 이산화물 재료를 이용하는 구조적 장점을 유지하면서, 금속 라인 간에 저 k 재료로 성취 가능한 것 보다 좋지는 않지만 동일한 층내 용량의 감소를 제공한다. 다르게, 본 발명은 더욱 낮은 층내 용량을 달성하기 위해서, 다른 유전 재료 (저 k 재료를 포함함)를 갖는 마이크로전기 장치의 제조에 적용 가능하다.

본 발명은 특정 실시예에 관련하여 기재되었지만, 이는 상술한 바에 비추어 보면 여러 대안, 수정 및 변형들이 당업자에게는 명백하게 되리라는 것은 자명하다. 따라서, 본 발명은 본 발명의 정신 및 영역과 다음의 청구범위 내에 들어가는 이런 모든 대안, 수정 및 변형들을 포괄하고자 하는 것이다.

도면의 간단한 설명

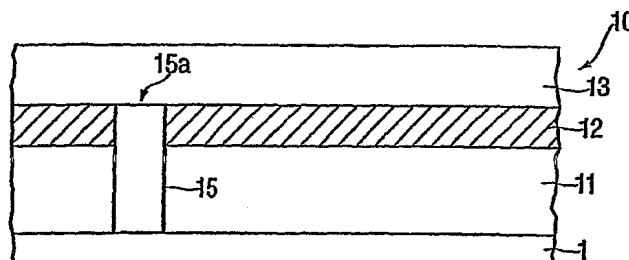
도 1은 본 발명이 바람직하게 이용될 수 있는, 스택드 인터커넥트를 포함하는 층간 유전체를 개략적으로 도시하고 있다.

도 2-5는 본 발명의 실시예에 따라서, 도전 라인에 인접하는 에어 갭을 형성하기 위한 프로세스의 단계를 도시하고 있다.

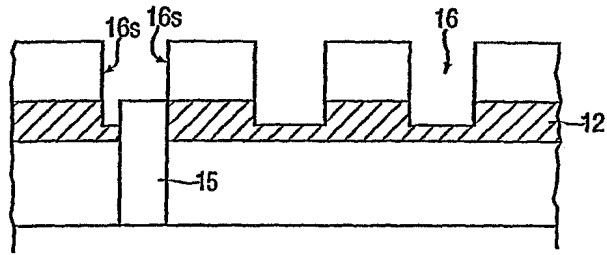
도 6은 본 발명의 다른 실시예에 따라서, 도전 라인, 저-k 층간 유전층, 및 에어 갭을 포함하는 층내 유전체를 갖는 구조물을 도시하고 있다.

도면

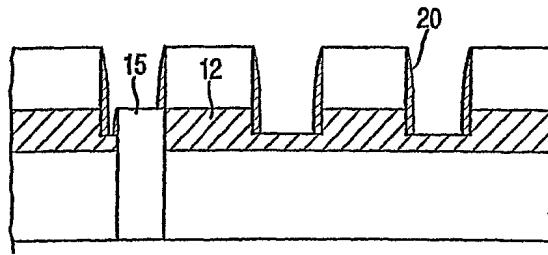
도면1



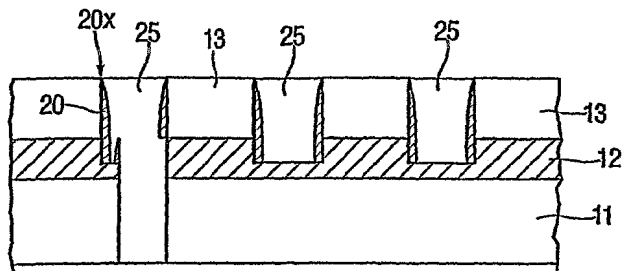
도면2



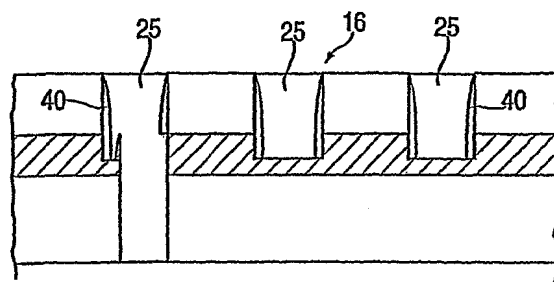
도면3



도면4



도면5



도면6

