

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
18. November 2004 (18.11.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/100381 A1

(51) Internationale Patentklassifikation⁷: **H03M 1/10**

(21) Internationales Aktenzeichen: PCT/DE2004/000531

(22) Internationales Anmeldedatum:
17. März 2004 (17.03.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 20 202.1 7. Mai 2003 (07.05.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **ROBERT BOSCH GMBH** [DE/DE]; Postfach 30 02 20, 70442 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **WENGER, Christoph** [DE/DE]; Hoelderlinstrasse 25, 70825 Korntal-Muenchingen (DE).

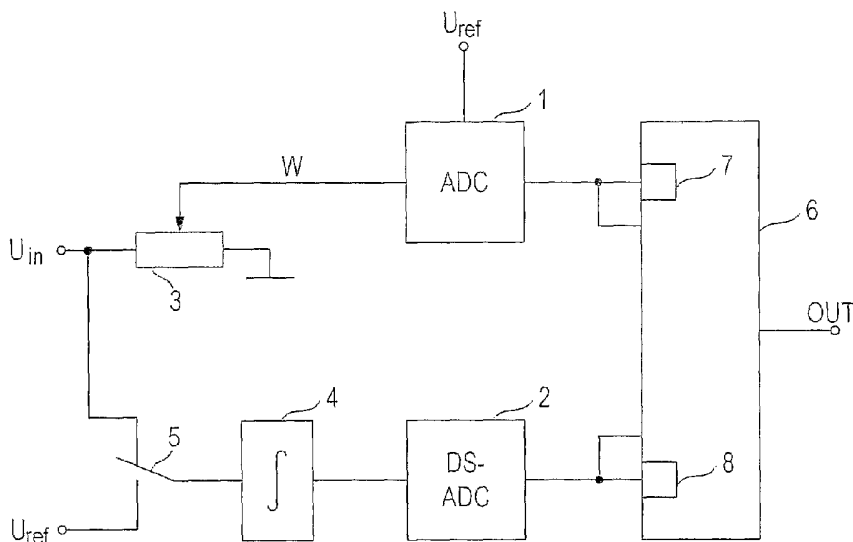
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: HIGHLY ACCURATE A/D CONVERTER ARRANGEMENT HAVING A LARGE BANDWIDTH

(54) Bezeichnung: A/D-WANDLERANORDNUNG MIT HOHER GENAUIGKEIT UND BANDBREITE



(57) Abstract: The invention relates to a highly accurate A/D converter arrangement which has a large bandwidth and comprises a first A/D converter (1) having low accuracy and a highly accurate second A/D converter, both A/D converters measuring the same input voltage (U_{in}) and outputting a corresponding binary value at the output thereof. In order to improve the absolute accuracy of the first A/D converter (1) without affecting the bandwidth thereof, one respective mean value is formed from binary output values of the first A/D converter (1) and binary output values of the second A/D converter (2), and a correction factor, by means of which a digital value (A) that is output by the first A/D converter (1) can be corrected, is calculated therefrom.

[Fortsetzung auf der nächsten Seite]

WO 2004/100381 A1



Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft eine A/D-Wandleranordnung mit hoher Genauigkeit und Bandbreite, umfassend einen ersten A/D-Wandler (1) mit niedriger Genauigkeit und einen zweiten A/D-Wandler mit hoher Genauigkeit, die die gleiche Eingangsspannung (U_{in}) messen und an ihrem Ausgang einen entsprechenden binären Wert ausgeben. Zur Verbesserung der Absolutgenauigkeit des ersten A/D-Wandlers (1), ohne dessen Bandbreite zu beeinträchtigen, wird vorgeschlagen, aus binären Ausgangswerten des ersten A/D-Wandlers (1) und aus binären Ausgangswerten des zweiten A/D-Wandlers (2) jeweils einen Mittelwert zu bilden und daraus einen Korrekturfaktor zu berechnen, mit dem ein vom ersten A/D-Wandler (1) ausgegebener digitaler Wert (A) korrigiert werden kann.

5

Beschreibung

10

A/D-Wandleranordnung mit hoher Genauigkeit und Bandbreite

15

Die Erfindung betrifft eine A/D-Wandleranordnung mit hoher Genauigkeit und Bandbreite, die zwei A/D-Wandler mit unterschiedlicher Genauigkeit und unterschiedlicher Bandbreite umfaßt, sowie ein Verfahren zum Kalibrieren eines A/D-Wandlers einer solchen Wandleranordnung.

20

Zur Verarbeitung analoger Messsignale werden üblicherweise Mikrocontroller eingesetzt, die eine digitale Verarbeitung der Signale durchführen. Bekannte Mikrocontroller umfassen in der Regel einen integrierten Analog-Digital-Wandler (im Folgenden A/D-Wandler), der ein analoges Signal abtastet und in einen digitalen Wert umwandelt.

25

30

Im Bereich der Fahrzeugtechnik wird z.B. die Bordnetzspannung im Fahrzeug von einem Mikrocontroller ausgewertet, der einen A/D-Wandler mit einem vorgeschalteten Spannungsteiler aufweist. Der hierzu verwendete A/D-Wandler, wie z.B. ein Sukzessiv-Approximations-Wandler (SA-Wandler), hat zwar eine relativ hohe Abtastrate und damit eine hohe Bandbreite, jedoch eine relativ schlechte Genauigkeit von +/- 0,4% (bei Vernachlässigung der Genauigkeit der Referenzspannungsquelle).

35

40

Um höhere Genauigkeiten zu erreichen, ist es bekannt, sogenannte „Dual-Slope-Wandler“ einzusetzen. Dual-Slope-Wandler umfassen einen vorgeschalteten Integrator, dem abwechselnd die Messspannung und eine Referenzspannung zugeführt werden. Der Dual-Slope-Wandler hat zwar eine sehr hohe Absolutgenauigkeit von bis zu etwa +/- 0,02%, hat jedoch

- 5 prinzipbedingt nur eine sehr geringe Abtastrate von ca. 10Hz bis 100Hz. Eine solche geringe Abtastrate ist für viele dynamische Anwendungen, bei denen die Messgröße stark schwankt, nicht ausreichend.
- 10 Es ist daher die Aufgabe der vorliegenden Erfindung, eine A/D-Wandleranordnung zu schaffen, mit der eine Messgröße mit hoher Genauigkeit bei gleichzeitig hoher Abtastrate digitalisiert werden kann.
- 15 Gelöst wird diese Aufgabe gemäß der Erfindung durch die im Patentanspruch 1 sowie im Patentanspruch 8 angegebenen Merkmale. Weitere Ausführungsformen der Erfindung sind Gegenstand von Unteransprüchen.
- 20 Der wesentliche Gedanke der Erfindung besteht darin, ein analoges Signal mittels eines ersten A/D-Wandlers mit niedriger Genauigkeit, aber hoher Abtastrate, wie z.B. .
mittels eines SA-Wandlers, und mittels eines zweiten A/D-
Wandlers mit hoher Genauigkeit, aber niedriger Abtastrate,
25 wie z.B. mittels eines Dual-Slope-Wandlers, abzutasten und zu digitalisieren und den ersten A/D-Wandler mit Hilfe des zweiten A/D-Wandlers abzugleichen. Hierzu ist eine Einrichtung zum Bilden eines Mittelwerts von binären
Ausgangswerten des ersten A/D-Wandlers und eines Mittelwerts
30 von binären Ausgangswerten des zweiten A/D-Wandlers vorgesehen. Das Bilden der Mittelwerte dient im wesentlichen dazu, die Kennlinie der beiden A/D-Wandler möglichst genau zu bestimmen, um auf deren Grundlage eine Korrektur des vom
ersten A/D-Wandler ausgegebenen digitalen Werten durchführen
35 zu können. Mit einer solchen Anordnung kann die Absolutgenauigkeit eines A/D-Wandlers mit geringer Genauigkeit in die Größenordnung eines zweiten A/D-Wandlers, insbesondere eines Dual-Slope-Wandlers, mit hoher Genauigkeit erhöht werden, wobei die hohe Abtastrate des ersten A/D-
40 Wandlers weiterhin ausgenutzt werden kann.

5

Bei A/D-Wandlern mit linearer Kennlinie ohne Null-Offset (Ursprungsgerade) wird aus den Mittelwerten vorzugsweise direkt ein Korrekturfaktor berechnet, mit dem ein vom ersten A/D-Wandler ausgegebener digitaler Wert korrigiert werden

10 kann. Bei A/D-Wandlern mit Null-Offset wird vorzugsweise bei wenigstens zwei verschiedenen Eingangsspannungen jeweils ein Mittelwert der Ausgangswerte des ersten und/oder zweiten A/D-Wandlers gebildet, um daraus die Kennlinien bestimmen und eine Korrektur durchführen zu können.

15

Vorzugsweise handelt es sich bei dem ersten A/D-Wandler um einen A/D-Wandler mit hoher Abtastrate, aber geringer Absolutgenauigkeit, wie z.B. einen SA-Wandler, und bei dem zweiten A/D-Wandler um einen A/D-Wandler mit hoher

20 Absolutgenauigkeit, aber geringerer Abtastrate, wie z.B. einen Dual-Slope-Wandler.

25

Gemäß einer ersten Ausführungsform der Erfindung werden die zur Berechnung des Korrekturfaktors benötigten Mittelwerte mittels einer Recheneinrichtung digital berechnet. Gemäß einer anderen Ausführungsform der Erfindung ist den A/D-Wandlern jeweils ein digitales Tiefpassfilter nachgeschaltet, das eine Mittelwert bildende Funktion hat. Die Tiefpassfilter sind vorzugsweise in einer Prozessoreinheit, wie z.B. einem

30 Mikrocontroller, realisiert.

35

Der Korrekturfaktor wird vorzugsweise aus dem Quotienten der Mittelwerte berechnet und mit einem Ausgangswert des ersten A/D-Wandlers multipliziert.

Die Erfindung wird nachstehend anhand der beigefügten Zeichnungen beispielhaft näher erläutert. Es zeigen:

40

Fig. 1 eine Wandleranordnung mit hoher Bandbreite und hoher Absolutgenauigkeit gemäß einer bevorzugten Ausführungsform der Erfindung;

5

Fig. 2 die Übertragungskennlinien der in der Wandleranordnung von Fig. 1 enthaltenen A/D-Wandler; und

Fig. 3 ein Flussdiagramm zur Darstellung der wesentlichen
10 Verfahrensschritte beim Abgleich eines A/D-Wandlers mit geringer Genauigkeit.

Fig. 1 zeigt eine A/D-Wandleranordnung mit einem ersten A/D-Wandler 1 und einem zweiten A/D-Wandler 2, die beide die
15 gleiche Eingangsspannung U_{in} (bzw. einen daraus abgeleiteten Wert) messen und denen die gleiche Referenzspannung U_{ref} zugeführt wird. Bei dem ersten A/D-Wandler 1 handelt es sich um einen A/D-Wandler mit hoher Abtastrate, aber geringer Absolutgenauigkeit, wie z.B. einen SA-Wandler. Der A/D-
20 Wandler 1 hat zwar eine hohe Bandbreite, ist aber für viele Anwendungen zu ungenau. Der zweite A/D-Wandler 2 ist dagegen ein Wandler mit hoher Absolutgenauigkeit, wie z.B. ein Dual-Slope-Wandler, der jedoch eine geringe Abtastrate aufweist. Der Dual-Slope-Wandler 2 hat prinzipbedingt eine sehr hohe
25 Absolutgenauigkeit von bis zu etwa 0,02%, jedoch eine relativ geringe Abtastrate von ca. 10Hz-100Hz, die für viele dynamische Anwendungen nicht ausreichend ist.

Dem ersten A/D-Wandler 1 ist ein Spannungsteiler 3
30 vorgeschaltet, der dazu dient, die zu messende analoge Eingangsspannung U_{in} auf eine Spannung unterhalb der Referenzspannung U_{ref} herunter zu teilen.

Der Dual-Slope-Wandler 2 hat einen vorgeschalteten Integrator
35 4, der die zugeführte Eingangsspannung U_{in} bzw. U_{ref} integriert. Ein Schalter 5 dient zum Umschalten des Wandlereingangs auf die zu messende Spannung U_{in} bzw. die Referenzspannung U_{ref} .

40 Der wesentliche Aspekt der Wandleranordnung von Fig. 1 besteht darin, dass die Vorteile der beiden A/D-Wandler 1,2 -

5 einerseits die hohe Bandbreite und andererseits die hohe Genauigkeit -durch einen Abgleich des ersten A/D-Wandlers 1 mit Hilfe des zweiten A/D-Wandlers 2 vereint werden können. Hierzu ist an den Ausgängen der A/D-Wandler 1,2 eine
10 Prozessoreinheit 6 (Mikrocontroller) vorgesehen, die an ihrem Ausgang OUT einen digitalen Wert mit hoher Bandbreite und Genauigkeit bereitstellt. Der Abgleich des ersten A/D-Wandlers 1 wird im folgenden anhand von Fig. 2 erläutert.

Fig. 2 zeigt die Übertragungskennlinien 11,12 der beiden A/D-
15 Wandler 1,2, wobei die Kennlinie 11 die Übertragungskennlinie des ersten A/D-Wandlers 1 und die Kennlinie 12 die Übertragungskennlinie des zweiten A/D-Wandlers 2 darstellt. Wie zu erkennen ist, zeigen die beiden A/D-Wandler 1,2 ein
20 lineares Übertragungsverhalten, wobei die Kennlinien 11,12 durch den Ursprung verlaufende Geraden sind. Der Null-Offset ist üblicherweise vernachlässigbar klein. Für die Kennlinien 11,12 gilt folgende Beziehung:

$$U_{out1} = a1 * U_{in} \quad \text{bzw.} \\ 25 \quad U_{out2} = a2 * U_{in}$$

Die Kennlinie 12 des Dual-Slope-Wandlers 2 hat die höhere Absolutgenauigkeit. Die Kennlinie 11 hat vor allem einen Gradientenfehler und weicht somit von der genaueren Kennlinie
30 12 ab. Ein vom ersten A/D-Wandler 1 mit hoher Abtastrate gemessener digitaler Wert A muß daher auf den genauen Wert B korrigiert werden. Zu diesem Zweck wird ein Korrekturfaktor k ermittelt, der mit dem ungenauen Wert A des ersten A/D-Wandlers 1 multipliziert wird. Als Ergebnis erhält man den
35 genaueren Wert B. Dabei gilt:

$$U_{out1} = k * U_{out1} \quad \text{mit } k = a2/a1 = U_{out2,mittel}/U_{out1,mittel}$$

Der Korrekturfaktor wird aus einem Mittelwert von digitalen
40 Ausgangswerten des ersten A/D-Wandlers 1 und aus einem Mittelwert von digitalen Ausgangswerten des zweiten A/D-

5 Wandlers 2 berechnet. Die Mittelwerte werden bei einer vorgegebenen Eingangsspannung U_{in} gebildet, die von beiden A/D-Wandlern 1,2 gemessen wird.

Eine erste Möglichkeit zur Erzeugung der Mittelwerte
10 $U_{out1,mittel}$ $U_{out2,mittel}$ besteht darin, diese mit Hilfe von Tiefpassfiltern 7,8 zu erzeugen. In diesem Fall ist am digitalen Ausgang des ersten und zweiten A/D-Wandlers 1 jeweils ein digitales Tiefpassfilter 7,8 vorgesehen. Die digitalen Filter 7,8 sind üblicherweise in der
15 Prozessoreinheit 6 integriert.

Eine zweite Möglichkeit zur Erzeugung der Mittelwerte besteht darin, diese in der Prozessoreinheit 6 aus mehreren digitalen Ausgangswerten der A/D-Wandler 1,2 zu berechnen.

20 Der Korrekturfaktor wird schliesslich aus einem Quotienten der beiden Mittelwerte berechnet. Ein vom ersten A/D-Wandler 1 gelieferter digitaler Wert A kann schließlich durch Multiplikation mit dem Korrekturfaktor in einfacher Weise
25 korrigiert werden.

Im Falle eines ersten A/D-Wandlers 1, dessen Null-Offset nicht vernachlässigbar klein ist, kann der Fehler ebenfalls in einfacher Weise korrigiert werden. Zu diesem Zweck werden
30 Mittelwerte der binären Ausgangswerte der A/D-Wandler 1,2 an wenigstens zwei Messpunkten (bei verschiedenen Eingangsspannungen U_{in}) aufgenommen und daraus die Geradengleichungen der Übertragungskennlinien 11,12 bestimmt. Für die Geradengleichungen gilt in diesem Fall:

35 $U_{out1} = a1 * U_{in} + b1$ bzw.
 $U_{out2} = a2 * U_{in} + b2$

Ein vom ersten A/D-Wandler 1 gelieferter ungenauer Wert kann
40 somit einfach auf den genauen Wert des zweiten A/D-Wandlers 2 korrigiert werden.

5

Fig. 3 zeigt ein Korrekturverfahren zur Korrektur eines digitalen Ausgangswertes des ersten A/D-Wandlers 1, wie es z.B. von einer Prozessoreinheit 6 in Fig. 1 ausgeführt werden kann. Dabei wird in einem ersten Schritt 20 zunächst ein erster Mittelwert MW1 aus binären Ausgangswerten des ersten A/D-Wandlers 1 gebildet. Gleichzeitig wird ein zweiter Mittelwert MW2 aus binären Ausgangswerten des zweiten A/D-Wandlers 2 gebildet (Schritt 21). Aus den Mittelwerten MW1, MW2 wird in Schritt 22 ein Korrekturfaktor K berechnet, der den Quotienten der Mittelwerte MW1, MW2 darstellt. Ein vom ersten A/D-Wandler 1 ausgegebener digitaler Wert kann schliesslich mittels des Korrekturfaktors K in Schritt 23 korrigiert werden. Der korrigierte Wert wird am Ausgangs OUT der Prozessoreinheit 6 ausgegeben.

20

Im Arbeitsbereich des Dual-Slope-Wandlers 2, d.h. bei Eingangssignalen U_{in} mit geringer Dynamik, ist die Abtaststrategie des Dual-Slope-Wandlers 2 meist ausreichend für eine genaue Messung. In diesem Fall muß der Korrekturalgorithmus nicht durchgeführt werden. Der Korrekturalgorithmus kann erst ab einer vorgegebenen Schwelle an Signaldynamik eingeschaltet werden. Es besteht also die Möglichkeit, zwischen einem Dual-Slope-Modus, in dem nur der Dual-Slope-Wandler 2 arbeitet, und einem Korrekturmodus, in dem der digitale Ausgangswert des ersten A/D-Wandlers 1 korrigiert wird, zu wählen.

30

5

Bezugszeichenliste

10

1	A/D-Wandler mit hoher Abtastrate	
2	A/D-Wandler mit niedriger Abtastrate	
3	Spannungsteiler	
4	Integrator	
15	5	Schalter
6	Recheneinheit	
7	Digitaler Tiefpass	
8	Digitaler Tiefpass	
11	Kennlinie des ersten A/D-Wandlers	
20	12	Kennlinie des zweiten A/D-Wandlers
20-23	Verfahrensschritte	
U _{in}	Eingangsspannung	
U _{ref}	Referenzspannung	
OUT	Ausgang	

25

5

Patentansprüche

10

1. A/D-Wandleranordnung mit hoher Genauigkeit und Bandbreite, umfassend:

- einen ersten A/D-Wandler (1) mit niedriger Genauigkeit und
- einen zweiten A/D-Wandler (2) mit hoher Genauigkeit, die
15 die gleiche Eingangsspannung (U_{in}) messen und an ihrem
Ausgang einen entsprechenden binären Wert ausgeben,
gekennzeichnet durch
- eine Einrichtung (6;7,8) zum Bilden eines Mittelwerts
(MW1) aus binären Ausgangswerten des ersten A/D-Wandlers
20 (1) und eines Mittelwerts (MW2) aus binären Ausgangswerten
des zweiten A/D-Wandlers (2), und
- eine Prozessoreinheit (6) zum Korrigieren eines vom ersten
A/D-Wandler (1) ausgegebenen digitalen Werts (A) mit Hilfe
der Mittelwerte (MW1, MW2).

25

2. A/D-Wandleranordnung nach Anspruch 1, dadurch
gekennzeichnet, dass die Prozessoreinheit (6) aus den
Mittelwerten (MW1, MW2) einen Korrekturfaktor (K) berechnet
und einen vom ersten A/D-Wandler (1) ausgegebenen digitalen
30 Wert (A) mit Hilfe des Korrekturfaktors (K) korrigiert.

3. A/D-Wandleranordnung nach Anspruch 1 oder 2, dadurch
gekennzeichnet, dass der erste A/D-Wandler (1) ein SA-Wandler
ist.

35

4. A/D-Wandleranordnung nach einem der vorhergehenden
Ansprüche, dadurch gekennzeichnet, dass der zweite A/D-
Wandler (2) ein Dual-Slope-Wandler ist.

5 5. A/D-Wandleranordnung nach einem der vorhergehenden
Ansprüche, dadurch gekennzeichnet, dass eine Prozessoreinheit
(6) vorgesehen ist, die die Mittelwerte (MW1, MW2) berechnet.

10 6. A/D-Wandleranordnung nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, dass dem ersten A/D-Wandler (1) und
dem zweiten A/D-Wandler (2) jeweils ein Tiefpassfilter (7, 8)
nachgeschaltet ist, das die Mittelwerte bildet.

15 7. A/D-Wandleranordnung nach Anspruch 2, dadurch
gekennzeichnet, dass der Korrekturfaktor (K) ein Quotient aus
den Mittelwerten (MW1, MW2) ist.

20 8. Verfahren zum Kalibrieren eines A/D-Wandlers (1) mit
niedriger Genauigkeit mit Hilfe eines zweiten A/D-Wandlers
(2) mit höherer Genauigkeit, gekennzeichnet durch folgende
Schritte:

- A/D-Wandeln einer Eingangsspannung (U_{in}) mit dem ersten
und zweiten A/D-Wandler (1, 2),
- Bilden eines Mittelwerts (MW1) aus mehreren vom ersten
25 A/D-Wandler (1) ausgegebenen binären Werten und eines
Mittelwerts (MW2) aus mehreren vom zweiten A/D-Wandler (2)
ausgegebenen binären Werten; und
- Korrigieren eines vom ersten A/D-Wandler (1) ausgegebenen
binären Werts (A) mit Hilfe der Mittelwerte (MW1, MW2).

30

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass
aus dem Mittelwert (MW1, MW2) des ersten (1) und zweiten (2)
A/D-Wandlers ein Korrekturfaktor (K) berechnet wird.

35

1 / 2

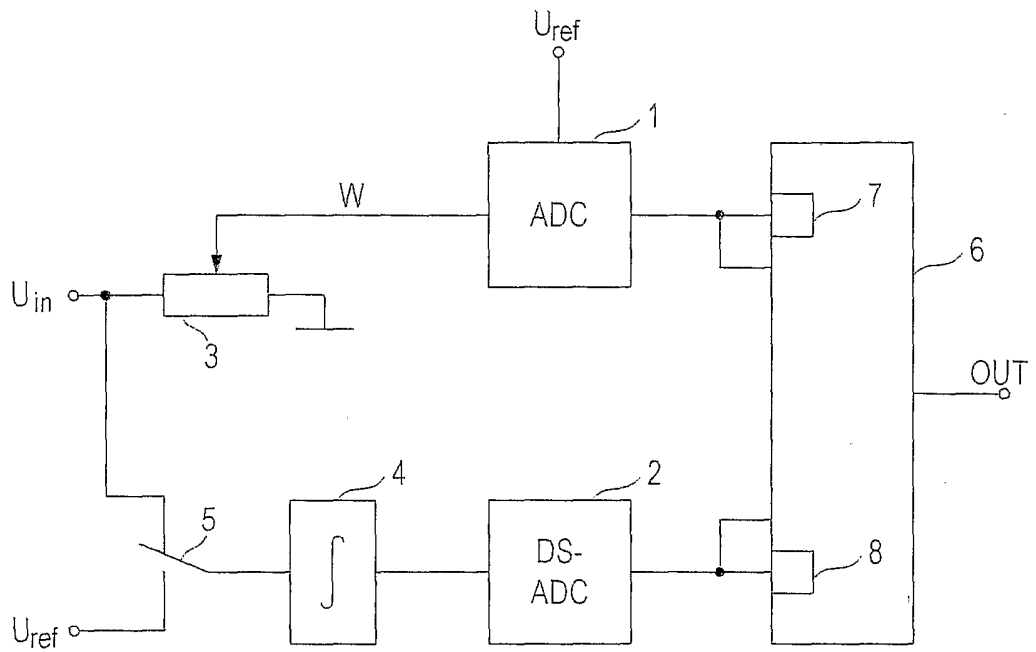


Fig. 1

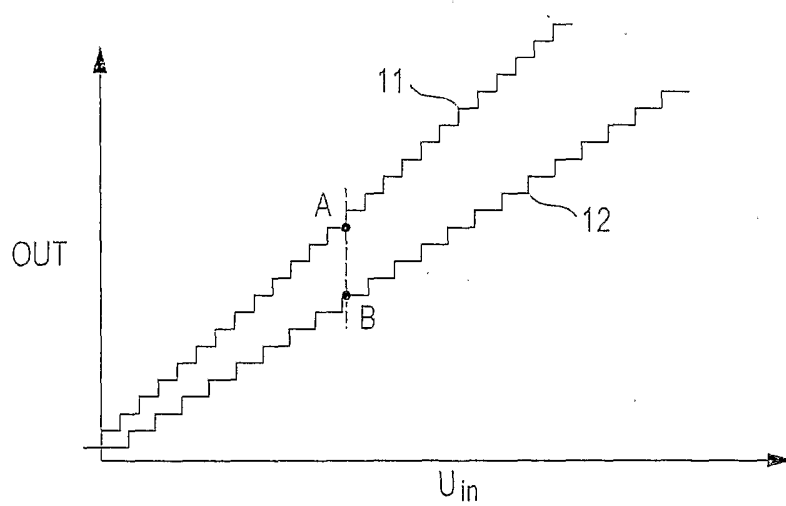


Fig. 2

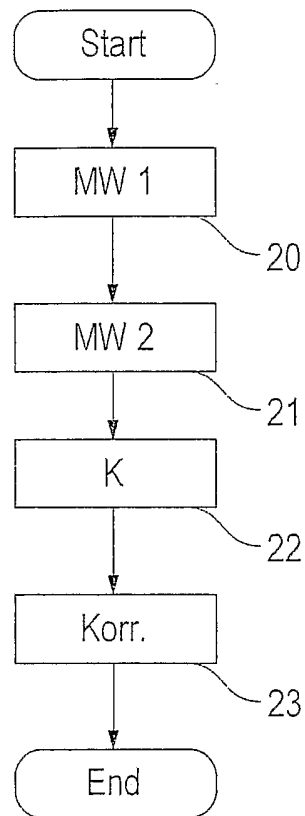


Fig. 3

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/000531

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03M1/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 351 788 A (MATSUSHITA ELECTRIC IND CO LTD) 24 January 1990 (1990-01-24) figures 1,5	1,2,5, 7-9
Y	US 4 308 524 A (MARTIN HENRY H ET AL) 29 December 1981 (1981-12-29) column 2, line 26 - line 29	1,2,5, 7-9
Y	US 4 937 579 A (MAIO KENJI ET AL) 26 June 1990 (1990-06-26) figure 1	1,2,7-9
	----- -/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

24 June 2004

Date of mailing of the international search report

20/07/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Müller, U

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/DE2004/000531

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	GATTI U ET AL: "Improving the linearity in high-speed analog-to-digital converters" CIRCUITS AND SYSTEMS, 1998. ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON MONTEREY, CA, USA 31 MAY-3 JUNE 1998, NEW YORK, NY, USA, IEEE, US, 31 May 1998 (1998-05-31), pages 17-20, XP010289594 ISBN: 0-7803-4455-3 figure 2	1,8
X	DE 29 12 925 A (LICENTIA GMBH) 16 October 1980 (1980-10-16)	1,2,5-9
Y	page 8, line 12 - line 18	3,4
A	US 5 859 602 A (TANAKA YOSHIKI ET AL) 12 January 1999 (1999-01-12) figure 24	1-9
Y	DYER K ET AL: "A comparison of monolithic background calibration in two time-interleaved analog-to-digital converters" CIRCUITS AND SYSTEMS, 1998. ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON MONTEREY, CA, USA 31 MAY-3 JUNE 1998, NEW YORK, NY, USA, IEEE, US, 31 May 1998 (1998-05-31), pages 13-16, XP010289576 ISBN: 0-7803-4455-3 paragraph '0003!	1,8
Y	EP 0 945 987 A (ITALTEL SPA) 29 September 1999 (1999-09-29) figure 3	1,2,7-9
Y	FU D ET AL: "DIGITAL BACKGROUND CALIBRATION TECHNIQUE FOR TIME-INTERLEAVED ANALOG-TO-DIGITAL CONVERTERS" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 33, no. 12, December 1998 (1998-12), pages 1904-1911, XP000880492 ISSN: 0018-9200 figure 6	1,8
Y	MANOLI Y: "A self-calibration method for fast, high resolution A/D and D/A converters" IEEE, 8 May 1989 (1989-05-08), pages 272-275, XP010084671 page 273, left-hand column, line 48 - line 53	3,4

-/--

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2004/000531

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 610 943 A (KAKUISHI MITSUO ET AL) 11 March 1997 (1997-03-11) figure 5	1,8
Y	----- SONKUSALE S ET AL: "True background calibration technique for pipelined ADC" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 36, no. 9, 27 April 2000 (2000-04-27), pages 786-788, XP006015167 ISSN: 0013-5194 figure 2	1,8,9
Y	----- SHALAND A: "MAKING SENSE OF ANALOG-TO-DIGITAL CONVERTERS" MACHINE DESIGN, PENTON, INC. CLEVELAND, US, vol. 62, no. 7, 12 April 1990 (1990-04-12), pages 86-93, XP000127536 ISSN: 0024-9114 the whole document -----	3,4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE2004/000531

Patent document cited in search report	A	Publication date	Patent family member(s)	Publication date
EP 0351788	A	24-01-1990	JP 2207619 A	17-08-1990
			JP 2209018 A	20-08-1990
			JP 2238718 A	21-09-1990
			JP 2001241 C	20-12-1995
			JP 2027813 A	30-01-1990
			JP 7034540 B	12-04-1995
			DE 68926411 D1	13-06-1996
			DE 68926411 T2	14-11-1996
			EP 0351788 A2	24-01-1990
			US 5006851 A	09-04-1991
			<hr/>	
US 4308524	A	29-12-1981	AT 7438 T	15-05-1984
			CA 1163719 A1	13-03-1984
			DE 3067741 D1	14-06-1984
			EP 0021650 A1	07-01-1981
			JP 56019228 A	23-02-1981
<hr/>				
US 4937579	A	26-06-1990	JP 1131918 A	24-05-1989
<hr/>				
DE 2912925	A	16-10-1980	DE 2912925 A1	16-10-1980
<hr/>				
US 5859602	A	12-01-1999	NONE	
<hr/>				
EP 0945987	A	29-09-1999	IT MI980630 A1	27-09-1999
			EP 0945987 A2	29-09-1999
<hr/>				
US 5610943	A	11-03-1997	CA 1340064 C	29-09-1998
			DE 68927704 D1	06-03-1997
			EP 0379586 A1	01-08-1990
			WO 8912359 A1	14-12-1989
			JP 7118628 B	18-12-1995
			US 5615235 A	25-03-1997

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/000531

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H03M1/10		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE		
Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H03M		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 351 788 A (MATSUSHITA ELECTRIC IND CO LTD) 24. Januar 1990 (1990-01-24) Abbildungen 1,5	1,2,5, 7-9
Y	US 4 308 524 A (MARTIN HENRY H ET AL) 29. Dezember 1981 (1981-12-29) Spalte 2, Zeile 26 - Zeile 29	1,2,5, 7-9
Y	US 4 937 579 A (MAIO KENJI ET AL) 26. Juni 1990 (1990-06-26) Abbildung 1	1,2,7-9
	----- -/--	
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *&* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 24. Juni 2004		Absendedatum des internationalen Recherchenberichts 20/07/2004
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Müller, U

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	GATTI U ET AL: "Improving the linearity in high-speed analog-to-digital converters" CIRCUITS AND SYSTEMS, 1998. ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON MONTEREY, CA, USA 31 MAY-3 JUNE 1998, NEW YORK, NY, USA, IEEE, US, 31. Mai 1998 (1998-05-31), Seiten 17-20, XP010289594 ISBN: 0-7803-4455-3 Abbildung 2	1,8
X	DE 29 12 925 A (LICENTIA GMBH) 16. Oktober 1980 (1980-10-16)	1,2,5-9
Y	Seite 8, Zeile 12 - Zeile 18	3,4
A	US 5 859 602 A (TANAKA YOSHIKI ET AL) 12. Januar 1999 (1999-01-12) Abbildung 24	1-9
Y	DYER K ET AL: "A comparison of monolithic background calibration in two time-interleaved analog-to-digital converters" CIRCUITS AND SYSTEMS, 1998. ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON MONTEREY, CA, USA 31 MAY-3 JUNE 1998, NEW YORK, NY, USA, IEEE, US, 31. Mai 1998 (1998-05-31), Seiten 13-16, XP010289576 ISBN: 0-7803-4455-3 Absatz '0003!	1,8
Y	EP 0 945 987 A (ITALTEL SPA) 29. September 1999 (1999-09-29) Abbildung 3	1,2,7-9
Y	FU D ET AL: "DIGITAL BACKGROUND CALIBRATION TECHNIQUE FOR TIME-INTERLEAVED ANALOG-TO-DIGITAL CONVERTERS" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, Bd. 33, Nr. 12, Dezember 1998 (1998-12), Seiten 1904-1911, XP000880492 ISSN: 0018-9200 Abbildung 6	1,8
Y	MANOLI Y: "A self-calibration method for fast, high resolution A/D and D/A converters" IEEE, 8. Mai 1989 (1989-05-08), Seiten 272-275, XP010084671 Seite 273, linke Spalte, Zeile 48 - Zeile 53	3,4

-/--

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 610 943 A (KAKUISHI MITSUO ET AL) 11. März 1997 (1997-03-11) Abbildung 5 -----	1,8
Y	SONKUSALE S ET AL: "True background calibration technique for pipelined ADC" ELECTRONICS LETTERS, IEE STEVENAGE, GB, Bd. 36, Nr. 9, 27. April 2000 (2000-04-27), Seiten 786-788, XP006015167 ISSN: 0013-5194 Abbildung 2 -----	1,8,9
Y	SHALAND A: "MAKING SENSE OF ANALOG-TO-DIGITAL CONVERTERS" MACHINE DESIGN, PENTON, INC. CLEVELAND, US, Bd. 62, Nr. 7, 12. April 1990 (1990-04-12), Seiten 86-93, XP000127536 ISSN: 0024-9114 das ganze Dokument -----	3,4

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/000531

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0351788	A	24-01-1990	JP 2207619 A	17-08-1990
			JP 2209018 A	20-08-1990
			JP 2238718 A	21-09-1990
			JP 2001241 C	20-12-1995
			JP 2027813 A	30-01-1990
			JP 7034540 B	12-04-1995
			DE 68926411 D1	13-06-1996
			DE 68926411 T2	14-11-1996
			EP 0351788 A2	24-01-1990
			US 5006851 A	09-04-1991
US 4308524	A	29-12-1981	AT 7438 T	15-05-1984
			CA 1163719 A1	13-03-1984
			DE 3067741 D1	14-06-1984
			EP 0021650 A1	07-01-1981
			JP 56019228 A	23-02-1981
US 4937579	A	26-06-1990	JP 1131918 A	24-05-1989
DE 2912925	A	16-10-1980	DE 2912925 A1	16-10-1980
US 5859602	A	12-01-1999	KEINE	
EP 0945987	A	29-09-1999	IT MI980630 A1	27-09-1999
			EP 0945987 A2	29-09-1999
US 5610943	A	11-03-1997	CA 1340064 C	29-09-1998
			DE 68927704 D1	06-03-1997
			EP 0379586 A1	01-08-1990
			WO 8912359 A1	14-12-1989
			JP 7118628 B	18-12-1995
			US 5615235 A	25-03-1997