



(12) 发明专利

(10) 授权公告号 CN 102176419 B

(45) 授权公告日 2015. 05. 06

(21) 申请号 201110069869. 8

45 段、附图 5.

(22) 申请日 2011. 03. 22

CN 2664198 Y, 2004. 12. 15, 说明书第 1 页倒数第 3 段 - 第 2 页第 3 段、附图 1.

(73) 专利权人 南通富士通微电子股份有限公司
地址 226006 江苏省南通市崇川区崇川路
288 号

审查员 王亮

(72) 发明人 陶玉娟 石磊

(74) 专利代理机构 北京志霖恒远知识产权代理
事务所 (普通合伙) 11435
代理人 孟阿妮

(51) Int. Cl.

H01L 21/50(2006. 01)

H01L 21/56(2006. 01)

H01L 21/60(2006. 01)

(56) 对比文件

US 2007/0262436 A1, 2007. 11. 15, 说明第
45 段、附图 5.

US 2007/0262436 A1, 2007. 11. 15, 说明第

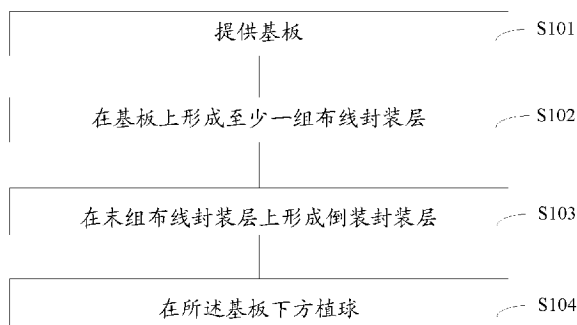
权利要求书1页 说明书5页 附图3页

(54) 发明名称

高集成度系统级封装方法

(57) 摘要

本发明涉及高集成度系统级封装方法, 包括步骤: 提供基板, 在基板上形成至少一组布线封装层, 形成所述布线封装层的步骤包括依次在基板上形成的正贴装层、封料层、布线层, 在未组布线封装层上形成倒装封装层, 形成所述倒装封装层的步骤包括依次形成倒贴装层、底部填充、封料层, 在基板下方植球。与现有技术相比, 本发明请求保护的高集成度系统级封装方法, 可以形成包含整体系统功能而非单一的芯片功能的最终封装产品, 降低了系统内电阻、电感以及芯片间的干扰因素。此外, 可以形成更为复杂的多层互联结构, 实现集成度更高的圆片系统级封装。



1. 高集成度系统级封装方法,其特征在于,包括步骤:

提供基板;在所述基板上形成两组以上的布线封装层,形成所述布线封装层的步骤包括依次在基板上形成的正贴装层、封料层、布线层;在末组布线封装层上形成倒装封装层,形成所述倒装封装层的步骤包括依次形成倒贴装层、底部填充、封料层;在基板下方植球;

在所述基板上形成两组以上的布线封装层的具体步骤包括:

在基板上贴附正贴装层;将基板上贴有正贴装层的一面形成封料层,所述封料层填充于所述正贴装层的各半导体器件之间,部分所述封料层还覆盖于所述正贴装层的半导体器件上且裸露出所述正贴装层中半导体器件的连接部件,所述封料层的上表面与所述连接部件的顶部齐平;在封料层上形成布线层;每组贴装层侧面和顶面的封装材料相同;

在封料层上形成布线层的步骤包括:

在封料层中形成微通孔,之后向微通孔中填充导电材料,形成纵向布线;在封料层上形成连接所述纵向布线的横向布线,其中,所述纵向布线用于实现封装层与基板和其他封装层之间的电连接,所述横向布线用于实现封装层各器件之间的电连接;

相邻的布线封装层上的纵向布线错位设置。

2. 如权利要求 1 所述的高集成度系统级封装方法,其特征在于,所述连接部件是正贴装层中芯片和 / 或无源器件的焊盘。

3. 如权利要求 1 所述的高集成度系统级封装方法,其特征在于,在末组布线封装层上形成倒装封装层的具体步骤包括:

将带有焊料凸点的芯片倒装于末组布线封装层的横向布线上形成倒贴装层,倒贴装层透过焊料凸点与布线封装层实现电互联;用填充料填满倒贴装层的芯片与末组布线封装层间的间隙形成底部填充;在末组布线封装层上形成覆盖倒贴装层的封料层,使倒贴装层被所述封料层的塑封料包覆密封。

4. 如权利要求 1 ~ 3 任意一权利要求所述的高集成度系统级封装方法,其特征在于:所述基板为 BT 基板或 PCB 基板。

5. 如权利要求 1 ~ 3 任意一权利要求所述的高集成度系统级封装方法,其特征在于:所述贴装层中包括芯片,所述芯片为单颗或多颗。

6. 如权利要求 5 所述的高集成度系统级封装方法,其特征在于:所述贴装层还包括无源器件,所述无源器件为电容、电阻或电感中的一种或多种。

7. 如权利要求 1 ~ 3 任意一权利要求所述的高集成度系统级封装方法,其特征在于:封料层的材料为环氧树脂。

8. 如权利要求 1 ~ 3 任意一权利要求所述的高集成度系统级封装方法,其特征在于:封料层通过印刷、压缩或转注的方法而形成。

高集成度系统级封装方法

技术领域

[0001] 本发明涉及半导体技术,尤其涉及一种高集成度系统级封装方法。

背景技术

[0002] 随着集成电路技术的不断发展,电子产品越来越向小型化、智能化、高性能以及高可靠性方向发展。而集成电路封装不仅直接影响着集成电路、电子模块乃至整机的性能,而且还制约着整个电子系统的小型化、低成本和可靠性。在集成电路晶片尺寸逐步缩小,集成度不断提高的情况下,电子工业对集成电路封装技术提出了越来越高的要求。

[0003] 在公告号为 CN1747156C 的中国专利中就公开了一种封装基板。所述封装基板包括:基板,所述基板包括一表面;位于所述基板表面上的接球垫;形成于所述基板表面上的防焊层,所述防焊层包括至少一开口,所述开口露出所述接球垫;所述封装基板还包括一图案化金属补强层,所述图案化金属补强层沿着所述防焊层开口的侧壁形成于所述接球垫上。

[0004] 按照上述方法所封装制造的最终产品仅具有单一的芯片功能,然而,随着半导体产品轻薄短小的趋势以及产品系统功能需求的不断提高,如何进一步提高系统级封装的集成性成为本领域技术人员亟待解决的问题。

发明内容

[0005] 本发明解决的技术问题是:如何实现具有多层结构的高密度系统级封装。

[0006] 为解决上述技术问题,本发明提供高集成度系统级封装方法,包括步骤:提供基板;在所述基板上形成至少一组布线封装层,形成所述布线封装层的步骤包括依次在基板上形成的正贴装层、封料层、布线层;在末组布线封装层上形成倒装封装层,形成所述倒装封装层的步骤包括依次形成倒贴装层、底部填充、封料层;在基板下方植球。

[0007] 可选地,在所述基板上形成至少一组布线封装层的具体步骤包括:在基板上贴附第一正贴装层;将基板上贴有第一正贴装层的一面形成第一封料层,使第一正贴装层的连接部件裸露;在第一封料层上形成第一布线层。

[0008] 可选地,所述连接部件是第一正贴装层中芯片和/或无源器件的焊盘。

[0009] 可选地,在第一封料层上形成第一布线层的步骤包括:在第一封料层中形成第一微通孔,之后向第一微通孔中填充导电材料,形成第一纵向布线;在第一封料层上形成连接所述第一纵向布线的第二横向布线,其中,所述第一纵向布线用于实现第一封装层与基板和其他封装层之间的电连接,所述第二横向布线用于实现第一封装层各器件之间的电连接。

[0010] 可选地,在末组布线封装层上形成倒装封装层的具体步骤包括:将带有焊料凸点的芯片倒装于末组布线封装层的横向布线上形成倒贴装层,倒贴装层透过焊料凸点与布线封装层实现电互联;用填充料填满倒贴装层的芯片与末组布线封装层间的间隙形成底部填充;在末组布线封装层上形成覆盖倒贴装层的封料层,使倒贴装层被所述封料层的塑封料

包覆密封。

[0011] 可选地,所述基板为 BT 基板或 PCB 基板。

[0012] 可选地,所述贴装层中包括芯片,所述芯片为单颗或多颗。

[0013] 可选地,所述贴装层还包括无源器件,所述无源器件为电容、电阻或电感中的一种或多种。

[0014] 可选地,封料层的材料为环氧树脂。

[0015] 可选地,封料层通过印刷、压缩或转注的方法而形成。

[0016] 与现有技术相比,本发明请求保护的高集成度系统级封装方法,将芯片和无源器件进行整合后再一并封装,可以形成包含整体系统功能而非单一的芯片功能的最终封装产品;同时,多层封装层间透过布线层更实现了三维立体角度的高密度系统互联,相比现有的系统级封装,多层布线结构充分利用了芯片本身的厚度,在满足半导体封装轻薄短小趋势要求以及更复杂的系统功能整合要求的同时,更好地降低了系统内电阻、电感以及芯片间的干扰因素,结构强度以及产品可靠性得到很好地加强。

附图说明

[0017] 图 1 和图 2 为本发明一个实施例中高集成度系统级封装方法流程图;

[0018] 图 3 至图 10 为图 1 和图 2 所示流程中封装结构示意图。

具体实施方式

[0019] 在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施的限制。

[0020] 其次,本发明利用示意图进行详细描述,在详述本发明实施例时,为便于说明,所述示意图只是实例,其在此不应限制本发明保护的范围。

[0021] 下面结合附图对本发明的具体实施方式做详细的说明。

[0022] 参考图 1,示出了本发明高集成度系统级封装方法一实施方式的流程示意图,所述系统级封装方法包括以下步骤:

[0023] S101,提供基板;

[0024] S102,在基板上形成至少一组布线封装层;

[0025] S103,在末组布线封装层上形成倒装封装层;

[0026] S104,在所述基板下方植球。

[0027] 下面结合附图对各个步骤做进一步说明。

[0028] 首先执行步骤 S101,如图 3 所示,提供基板 101,基板 101 是后续堆叠各封装层的基础,同时,也是承载后续各层封装层的基础,所述基板 101 包括两个功能面,其中,所述基板 101 的第一表面用于进行封装层的堆叠,所述基板 101 的第二表面用于植球(植入连接球),本实施例中,所述基板 101 的上表面用于进行封装层的堆叠,所述基板 101 的下表面用于植球,所述基板 101 的上、下表面均设置有用于实现电连接的焊盘。

[0029] 其中,所述基板 101 一般为 BT(Bismaleimide Triazine) 基板或 PCB(Printed Circuit Board) 基板等,以便于在基板 101 的第一表面和第二表面之间进行走线。

[0030] 执行步骤 S102, 参考图 2, 示出了图 1 所示步骤 S102 一实施例的流程示意图, 在本实施例中以在基板上形成两组布线封装层为例, 但是本发明并不限制于此, 具体地, 所述步骤 S102 包括以下分步骤:

[0031] 步骤 S1021, 在基板上贴附第一正贴装层;

[0032] 步骤 S1022, 将基板上贴有第一正贴装层的一面形成第一封料层;

[0033] 步骤 S1023, 在第一封料层上形成第一布线层;

[0034] 步骤 S1024, 在第一封料层上堆叠第二正贴装层;

[0035] 步骤 S1025, 在第一封料层上形成覆盖第二正贴装层的第二封料层;

[0036] 步骤 S1026, 在第二封料层上形成第二布线层。

[0037] 执行步骤 S1021, 如图 4 所示, 将芯片和无源器件的功能面的相对一面贴于基板 101 上, 形成第一正贴装层 102。所述第一正贴装层 102 的功能面, 是指第一正贴装层 102 中的芯片的焊盘和无源器件的焊盘所在表面。第一正贴装层 102 中芯片和无源器件的贴装位置是依据设计的整体布线方案进行设定。

[0038] 在本发明的一个优选的实施例中, 贴合于基板 101 之上的第一正贴装层 102 及后续提及的贴装层都可以包含一个或多个相同或不同芯片, 还可以包括一个或多个相同或不同的无源器件。这些芯片和无源器件各自成为一个系统级封装产品的一部分, 各自完成实现系统级功能中的一个或多个单独的功能。

[0039] 在本发明的一个优选的实施例中, 第一正贴装层 102 中的芯片与无源器件的组合是根据系统功能来设计的。因此, 在一个或一组芯片的周围, 可能有相同或不同的另外的一个或一组芯片, 或者相同或不同的电容、电阻或电感等无源器件; 类似的, 在一个无源器件的周围, 可能有相同或不同的其他的无源器件, 或者一个或多个相同或不同芯片。

[0040] 执行步骤 S1022, 如图 5 所示, 将基板 101 上贴有第一正贴装层 102 的一面形成第一封料层 103, 使第一正贴装层 102 的连接部件裸露, 本实施例中, 所述连接部件为第一正贴装层 102 的芯片的焊盘和无源器件的焊盘。在后续工艺过程中, 所述第一封料层 103 既可保护第一正贴装层 102, 又可作为后续工艺的载体。

[0041] 在本发明的一个实施例中, 所述第一封料层 103 的材料是环氧树脂。环氧树脂的密封性能好, 塑型容易, 是形成第一封料层 103 的较佳材料。具体地, 形成第一封料层 103 的方法可以采用诸如印刷、转注或压缩的方法。这些方法的具体步骤已为本领域技术人员所熟知, 在此不再赘述。

[0042] 执行步骤 S1023, 如图 6 所示, 在第一封料层 103 上形成第一布线层 104, 具体地, 所述第一布线层 104 包括第一纵向布线和第一横向布线, 所述第一纵向布线用于实现第一封装层和基板 101 之间、以及第一封装层与其他封装层间的电连接, 所述第一横向布线用于实现第一封装层各器件之间的电连接。所述形成第一布线层 104 的步骤包括:

[0043] 在第一封料层中形成第一微通, 之后向第一微通孔中填充导电材料, 形成第一纵向布线;

[0044] 在第一封料层上形成连接所述第一纵向布线的所述第一横向布线。

[0045] 具体地, 通过钻孔的方式在第一封料层 103 上形成第一微通孔, 所述第一微通孔贯穿所述第一封料层 103, 并露出基板 101 中的焊盘, 形成与基板 101 进行互联的通道; 向所述第一微通孔中填充导电材料, 从而形成第一纵向布线, 使第一纵向布线与基板 101 中

的焊盘导通互联；在第一封料层 103 上形成连接第一纵向布线的第二横向布线，所述第一横向布线在第一封料层 103 上形成第一正贴装层 102 中各器件间的互联，具体地，所述第一横向布线与器件的焊盘表面相连。所述导电材料可以是金属，例如铜等。

[0046] 实际应用中，可以根据设计需求有选择地在封料层中形成纵向布线，以实现各贴装层之间或贴装层和基板之间的电连接，由于封料层具有良好的绝缘性，可以避免各贴装层中各器件之间的干扰。

[0047] 至此，完成了在基板上形成第一布线封装层的制作过程。

[0048] 执行步骤 S1024，在第一封料层 103 上堆叠第二正贴装层 105，所述堆叠，是指将第二正贴装层 105 置于第一封料层 103 上的预定位置处。

[0049] 需要说明的是，所述堆叠步骤中，按照功能面朝上的方式将第二正贴装层 105 堆叠于第一封料层 103 上。所述第二正贴装层 105 与第一正贴装层 102 类似，可以包含一个或多个相同或不同芯片，还可以包括一个或多个相同或不同的无源器件。

[0050] 然后执行步骤 S1025，在第一封料层 103 上形成覆盖第二正贴装层 105 的第二封料层 106，并使第二正贴装层 105 的芯片的焊盘和无源器件的焊盘裸露。形成第二封料层 106 的材料可以与形成第一封料层 103 的材料相同，即采用环氧树脂来形成第二封料层 106。

[0051] 执行步骤 S1026，如图 7 所示，在第二封料层 106 上形成第二布线层 107，具体地，所述第二布线层 107 包括第二纵向布线和第二横向布线，所述第二纵向布线用于实现第二封装层与其他封装层、基板 101 之间的电连接，所述第二横向布线用于实现第二封装层各器件之间的电连接。所述形成第二布线层 107 的步骤包括：

[0052] 在第二封料层中形成第二微通孔，之后向第二微通孔中填充导电材料，形成第二纵向布线；

[0053] 在第二封料层上形成连接所述第二纵向布线的第二横向布线。

[0054] 所述形成第二布线层 107 的方法和形成第一布线层 104 的方法类似，在此不再赘述。

[0055] 至此完成了依次在基板 101 上形成第一布线封装层和第二布线封装层的制作过程，基板 101、第一布线封装层和第二布线封装层间透过布线层实现了系统互联。

[0056] 上述实施例中以两组布线封装层为例，但是本发明并不限制于此，还可以在基板 101 上形成一组或两组以上的封装层，其他封装层的制作过程与上述封装层的制作过程类似，在此不再赘述。

[0057] 执行步骤 S103，在末组布线封装层上形成倒装封装层。所述形成倒装封装层的步骤包括：

[0058] 在末组布线封装层上形成倒贴装层；

[0059] 将倒贴装层与末组布线封装层间的间隙填满以形成底部填充；

[0060] 在末组布线封装层上形成覆盖倒贴装层的封料层，使倒贴装层被所述封料层的塑封料包覆密封。

[0061] 在本实施例中以在第二布线封装层上形成倒装封装层为例，具体地：

[0062] 首先，将带有焊料凸点 109 的芯片倒装于第二布线封装层的第二横向布线上，形成倒贴装层 108。此时，倒装芯片通过其焊料凸点 109 实现了与第二布线层 107 间的电互联，也即形成了倒装封装层与布线封装层间的系统互联。

[0063] 在本发明的一个优选的实施例中,可根据设计需要在倒装芯片的周围贴装无源器件,此时无源器件的贴装方向可与芯片的贴装方向一致以简化工艺流程,具体地可以是将无源器件的功能焊盘贴装在布线层的预定位置上来实现电互联,贴装的具体步骤已为本领域技术人员所熟知,在此不再赘述。

[0064] 其次,用填充料 110 填满倒贴装层 108 中的芯片与末组布线封装层间的间隙以形成底部填充,形成如图 8 所示的结构。

[0065] 在本发明的一个实施例中,形成底部填充的填充料 110 是高分子环氧树脂。这种材料的流动性好,能够充分填充倒装芯片与封料层间的间隙,避免后续封料层中内部空洞等可靠性问题。形成填充料 110 的方法主要是点胶,具体的点胶方式已为本领域技术人员所熟知,在此不再赘述。

[0066] 然后,在第二封料层 110 上形成覆盖倒贴装层 108 的第三封料层 111,使倒贴装层 108 被第三封料层 111 的塑封料包覆密封,形成如图 9 所示的结构,形成第三封料层 111 的材料可以与形成第一封料层 107 和第二封料层 110 的材料相同,即采用环氧树脂来形成第三封料层 111。

[0067] 至此完成了在末组布线封装层上形成倒装封装层的制作过程。

[0068] 然后执行步骤 S104,如图 10 所示,基板 101 下方进行植球,形成连接球 112。具体地,在与基板 101 中连接走线对应位置处进行植球,植球的金属可以采用金属锡、锡合金等多种金属形成所述连接球 112,所述植球工艺与现有技术相同,在此不再赘述。

[0069] 至此,基板 101、各封装层间通过布线层和焊料凸点 109 实现了相邻或相隔封装层间的互联,再经由基板 101 内部的线路整理实现了系统的整合,最终通过植球将功能输出。

[0070] 虽然本发明已以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。



图 1



图 2

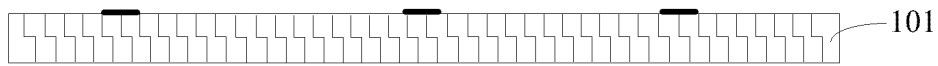


图 3

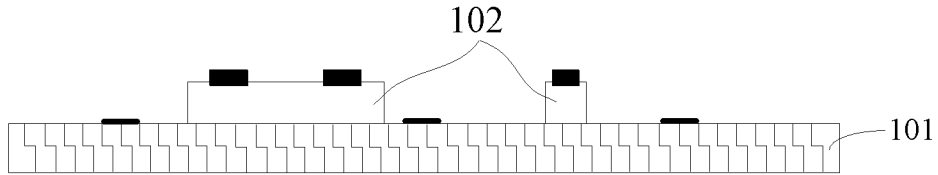


图 4

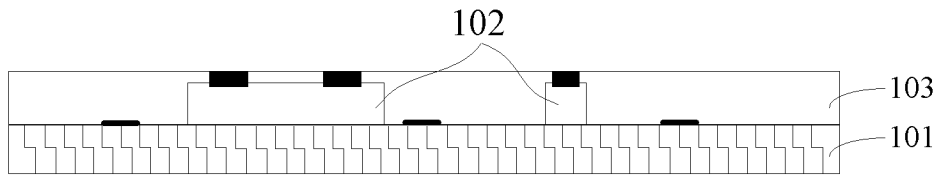


图 5

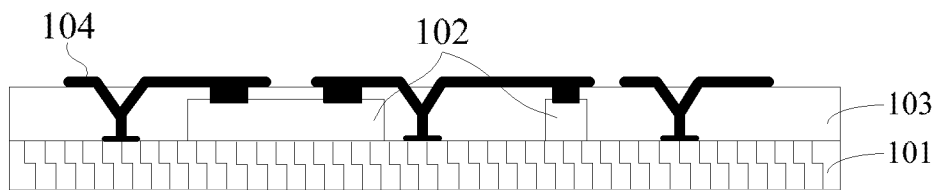


图 6

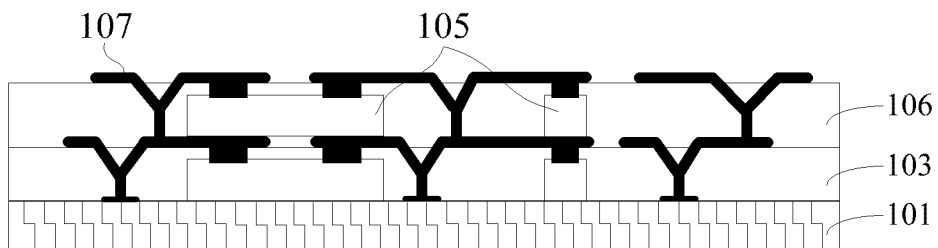


图 7

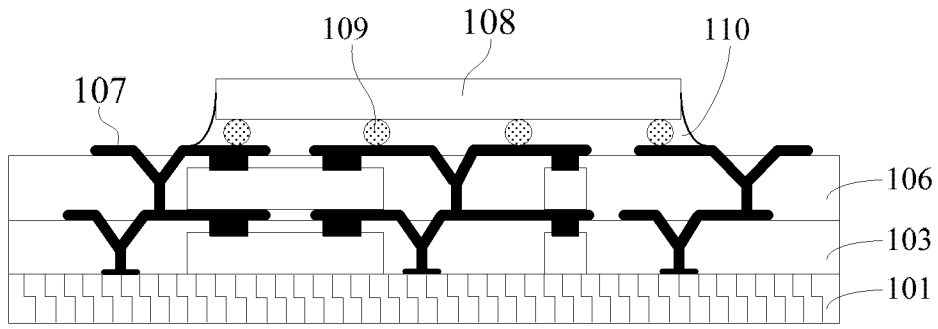


图 8

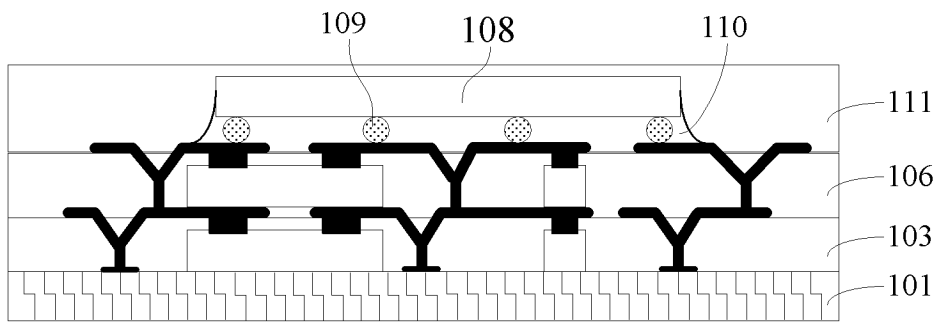


图 9

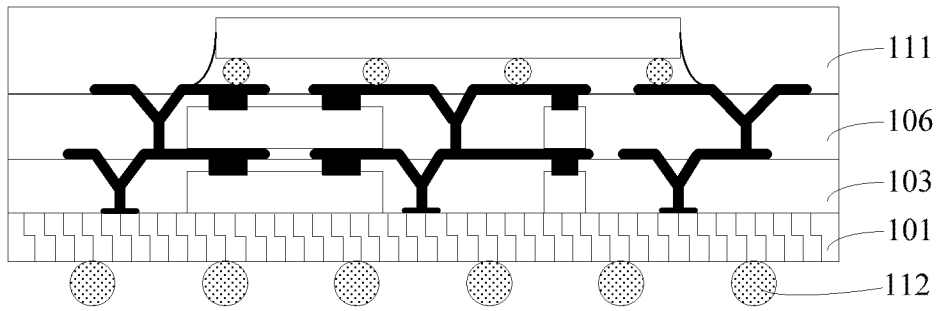


图 10