

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5313626号
(P5313626)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

F I

H05K 3/46 (2006.01)

H05K 3/46

Q

H01L 23/12 (2006.01)

H01L 23/12

N

H05K 3/46

B

H05K 3/46

N

請求項の数 9 (全 19 頁)

(21) 出願番号 特願2008-275290 (P2008-275290)
 (22) 出願日 平成20年10月27日(2008.10.27)
 (65) 公開番号 特開2010-103398 (P2010-103398A)
 (43) 公開日 平成22年5月6日(2010.5.6)
 審査請求日 平成23年8月2日(2011.8.2)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 春原 昌宏
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 坂口 秀明
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 清水 浩
 長野県長野市小島田町80番地 新光電気
 工業株式会社内

最終頁に続く

(54) 【発明の名称】 電子部品内蔵基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

配線層を備えた配線基板と、
 接続パッドが上側になった状態で前記配線基板の上に実装された電子部品と、
 前記配線基板の上に形成されて、前記電子部品の側面を覆って当該電子部品を埋め込む
 絶縁層と、
 前記接続パッドに接続されて前記電子部品の上面に接触して形成され、下地金属パター
 ン層とその上に形成された導電パターン層とから構成されるチップ内配線部と、前記チッ
 プ内配線部に繋がって前記絶縁層の上に延びて形成され、前記導電パターン層と同一層か
 ら形成された延出配線部とを含む上側配線層とを有し、
 前記下地金属パターン層は前記電子部品の上面のみに配置されていることを特徴とする
 電子部品内蔵基板。

【請求項 2】

前記導電パターン層は、下から順に、シード層及び金属めっき層から構成されることを
 特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 3】

前記延出配線部は、前記絶縁層に設けられたビアホールを介して前記配線基板の前記配
 線層に接続されていることを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 4】

前記電子部品は半導体チップであり、前記下地金属パターン層の下に、前記接続パッド

上に開口部が設けられた保護絶縁層が形成されていることを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 5】

前記下地金属パターン層は、下から順に、チタン層 / 銅層、及びクロム層 / 銅層のいずれかの積層膜から形成されることを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 6】

接続パッドと、該接続パッドを被覆して一面全体に形成された金属保護層とを備えた電子部品を、前記接続パッドを上側に向けて配線基板の上に実装する工程と、

前記配線基板及び前記電子部品の上に絶縁層を形成することにより、前記絶縁層で前記電子部品を埋め込む工程と、

前記絶縁層を厚み方向に加工することにより、前記電子部品の側方に前記絶縁層を残すと共に、前記電子部品の前記金属保護層を露出させる工程と、

前記電子部品の前記金属保護層及び前記絶縁層の上にシード層を形成する工程と、

前記シード層の上に、上側配線層が形成される部分に開口部が設けられためっきレジストを形成する工程と、

前記シード層をめっき給電経路に利用する電解めっきにより、前記めっきレジストの開口部に金属めっき層を形成する工程と、

前記めっきレジストを除去する工程と、

前記金属めっき層をマスクにして前記シード層をエッチングし、続いて前記電子部品の前記金属保護層をエッチングすることにより、前記上側配線層を形成する工程とを有し、

前記上側配線層は、

前記金属保護層がパターン化された下地金属パターン層とその上の前記シード層及び前記金属めっき層とから形成されて、前記接続パッドに接続されるチップ内配線部と、

前記チップ内配線部に繋がって前記絶縁層の上に延びて形成され、前記前記シード層及び前記金属めっき層と同一層からなる延出配線部とを含み、

前記下地金属パターン層は前記電子部品の上面のみに配置されることを特徴とする電子部品内蔵基板の製造方法。

【請求項 7】

前記絶縁層は樹脂層からなり、

前記電子部品の前記金属保護層を露出させる工程において、酸素プラズマによって前記樹脂層をエッチングすることを特徴とする請求項 6 に記載の電子部品内蔵基板の製造方法。

【請求項 8】

前記電子部品の前記金属保護層を露出させる工程の後に、

前記絶縁層を加工することにより、前記配線基板の配線層に到達するビアホールを形成する工程をさらに有し、

前記上側配線層を形成する工程において、前記延出配線部は前記ビアホールを介して前記配線基板の前記配線層に接続されることを特徴とする請求項 6 に記載の電子部品内蔵基板の製造方法。

【請求項 9】

前記電子部品は半導体チップであり、

前記半導体チップは、

前記接続パッドを備えた半導体ウェハを用意する工程と、

前記接続パッドを被覆して前記半導体ウェハの一面全体を被覆する金属保護層を形成する工程と、

前記半導体ウェハの背面を研削して薄型化する工程と、

前記半導体ウェハを切断することにより、前記金属保護層を備えた前記半導体チップを得る工程とを含む方法によって得られることを特徴とする請求項 6 に記載の電子部品内蔵基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップなどの電子部品が内蔵された電子部品内蔵基板及びその製造方法に関する。

【背景技術】

【0002】

従来、半導体チップなどの電子部品が内蔵された電子部品内蔵基板がある。そのような電子部品内蔵基板では、配線基板の上に半導体チップを実装し、絶縁層で半導体チップを埋め込んだ後に、レーザやフォトリソグラフィによって半導体チップの接続パッドに到達するビアを開口し、そのビアを介して半導体チップと配線基板が電気接続される（特許文献1及び2）。

10

【0003】

特許文献3には、銅ポストを形成した半導体チップを配線基板に実装し、半導体チップを絶縁層で埋め込んだ後に、絶縁層を研磨することにより銅ポストを露出させる手法が記載されている。

【0004】

また、特許文献4には、配線基板の配線層の上に半導体素子とその機能面を上側にして搭載し、半導体素子の機能面が露出するようにそれと略同じ厚みの絶縁層を形成した後に、半導体素子の電極端子から絶縁層上に延出する接続パターンを形成することが記載されている。

20

【0005】

また、特許文献5には、導電層内蔵ドライフィルムをスタッドバンプが形成された半導体ウェハに貼り付けてスタッドバンプを導電層に貫通させ、ベースフィルムを引き剥してスタッドバンプを露出させた後に、電解銅めっき層を形成し、それをパターンニングすることにより、再配線用回路を形成することが記載されている。

【特許文献1】特開2004-179288号公報

【特許文献2】特開2002-246757号公報

【特許文献3】特開2001-332643号公報

【特許文献4】特開2000-323645号公報

【特許文献5】特開2004-47725号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0006】

後述する関連技術の欄で説明するように、半導体チップが埋設された絶縁層にレーザでビアホールを形成する手法の場合、半導体チップをレーザから保護するため半導体チップの接続パッドの上にレーザのストップ層をパターン化して形成する必要がある。ストップ層は半導体ウェハの状態では煩雑な工程を経て形成されるので、実装ラインにウェハプロセス用の各種製造装置が必要になり、コスト上昇を招く問題がある。

【0007】

また、絶縁層を研磨して半導体チップの銅ポストを露出させる方法（特許文献3）では、同様に、半導体ウェハの状態では銅ポストを形成する必要があるので、コスト上昇を招くおそれがある。

40

【0008】

本発明は以上の課題を鑑みて創作されたものであり、簡易な方法によって低コストで製造できる電子部品内蔵基板及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明は電子部品内蔵基板の製造方法に係り、接続パッドと、該接続パッドを被覆して一面全体に形成された金属保護層とを備えた電子部品を、前記接続パッドを上側に向けて配線基板の上に実装する工程と、前記配線基板及び前記電子部

50

品の上に絶縁層を形成することにより、前記絶縁層で前記電子部品を埋め込む工程と、前記絶縁層を厚み方向に加工することにより、前記電子部品の側方に前記絶縁層を残すと共に、前記電子部品の前記金属保護層を露出させる工程と、前記電子部品の前記金属保護層及び前記絶縁層の上にシード層を形成する工程と、前記シード層の上に、上側配線層が形成される部分に開口部が設けられためっきレジストを形成する工程と、前記シード層をめっき給電経路に利用する電解めっきにより、前記めっきレジストの開口部に金属めっき層を形成する工程と、前記めっきレジストを除去する工程と、前記金属めっき層をマスクにして前記シード層をエッチングし、続いて前記電子部品の前記金属保護層をエッチングすることにより、前記上側配線層を形成する工程とを有し、前記上側配線層は、前記金属保護層がパターン化された下地金属パターン層とその上の前記シード層及び前記金属めっき層とから形成されて、前記接続パッドに接続されるチップ内配線部と、前記チップ内配線部に繋がって前記絶縁層の上に延びて形成され、前記前記シード層及び前記金属めっき層と同一層からなる延出配線部とを含み、前記下地金属パターン層は前記電子部品の上面のみに配置されることを特徴とする。

10

【0010】

本発明では、まず、接続パッドとそれを被覆して一面全体に形成された金属保護層とを備えた電子部品（半導体チップなど）を用意し、接続パッドを上側に向けた状態で電子部品を配線基板の上に実装する。

【0011】

次いで、電子部品の全体を絶縁層で埋め込んだ後に、絶縁層を厚み方向に加工することにより、電子部品の側方に絶縁層を残すと共に、電子部品の金属保護層を露出させる。好適な態様では、絶縁層（樹脂）が酸素プラズマによりエッチングされる。

20

【0012】

さらに、金属保護層がパターン化された下地金属パターン層とその上に形成された導電パターン層とから構成されるチップ内配線部を電子部品の上に形成すると共に、チップ内配線部に繋がって該導電パターン層と同一層からなる延出配線部を絶縁層上に延出させて形成する。チップ内配線部は電子部品の上面に接触した状態で接続パッドに接続される。

【0013】

本発明では、電子部品の上面全体に金属保護層を設けたので、電子部品にダメージを与えることなく、電子部品を埋め込む絶縁層を加工して電子部品の上面を露出させることができる。

30

【0014】

これにより、電子部品の上面に接触させた状態でファンアウト配線（上側配線層）を電子部品上から外側の絶縁層上に延出させて形成することができる。従って、後述する関連技術と違って、電子部品を被覆する絶縁層にレーザーでビアホールを形成し、ビアホールから上側に持ち上げて上側配線層を形成する必要がない。

【0015】

これにより、関連技術よりも配線構造が簡易となり、製造コストを低減することができる。しかも、配線長を短くできるので、配線基板の電気特性を向上させることができる。

【0016】

40

さらには、電子部品の上にレーザービアを形成しないので、電子部品として熱に弱い半導体チップを使用する場合であっても、半導体チップが熱ダメージを受けることがなく、信頼性を向上させることができる。

【0017】

また、本発明では、金属保護層を備えた電子部品を配線基板上に実装した後に、上側配線層を形成する工程で金属保護層を同時にパターン化して上側配線層の一部として利用している。このため、ウェハ状態でレーザー加工のストップ層をパターン化して形成する手法と違って、実装ラインにウェハプロセス用の各種の製造装置を導入する必要がないので、設備投資を抑制することができる。

【0018】

50

また、絶縁層を酸素プラズマでエッチングして電子部品を露出させる場合は、研磨装置を導入する必要がないので、既存の実装ラインの製造装置で対応することができ、低コスト化を図ることができる。

【発明の効果】

【0019】

以上説明したように、本発明では、簡易な方法によって低コストで電子部品内蔵基板を製造することができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

10

【0021】

(関連技術)

本実施形態の電子部品内蔵基板の製造方法を説明する前に、本発明に関連する関連技術の問題点について説明する。図1～図3は関連技術の電子部品内蔵基板の製造方法を示す断面図である。

【0022】

図1(a)に示すように、まず、上面側に、接続パッドCとその上に開口部120aが設けられたパッシベーション層120とを備えたシリコンウェハ100を用意する。シリコンウェハ100にはトランジスタなどの回路素子(不図示)とそれらを配線する多層配線(不図示)が形成されており、接続パッドCは多層配線に接続されている。

20

【0023】

その後、図1(b)に示すように、セミアディティブ法により、接続パッドCの上にレーザ加工のストッパとなるストップ層200を形成する。ストップ層200は、シード層220及び銅めっき層240から構成される。

【0024】

ストップ層200の形成方法を説明すると、まず、接続パッドC及びパッシベーション層120の上に、下から順にチタン(Ti)層/銅(Cu)層をスパッタ法によって形成してシード層とする。さらに、接続パッドCの上に開口部が設けられためっきレジストをフォトリソグラフィによって形成する。

【0025】

30

続いて、シード層をめっき給電経路に利用する電解めっきによりめっきレジストの開口部に銅めっき層を形成する。さらに、めっきレジストを剥離した後に、銅めっき層をマスクにしてシード層をエッチングする。

【0026】

これにより、接続パッドCの上にシード層220及び銅めっき層240から構成されるストップ層200がパターン化されて形成される。

【0027】

次いで、図1(c)に示すように、シリコンウェハ100の背面をグラインダによって研削することにより、シリコンウェハ100を所望の厚みに薄型化する。

【0028】

40

さらに、図1(d)に示すように、シリコンウェハ100をダイサーで切断することにより、個々の半導体チップ300を得る。

【0029】

次いで、図2(a)に示すように、第1配線層420を備えた配線基板400を用意する。配線基板400はコア基板の上に配線層と絶縁層が交互に積層された多層配線構造を有する。

【0030】

そして、配線基板400の上に上記した半導体チップ300を実装する。半導体チップ300はその接続パッドC側が上側を向いた状態でその背面がダイアタッチ材320によって配線基板400に固着される。

50

【0031】

続いて、図2(b)に示すように、半導体チップ300の上に樹脂フィルムを圧着することにより層間絶縁層500を形成する。次いで、図2(c)に示すように、レーザによって層間絶縁層500を加工することにより、半導体チップ300のストップ層200に到達する深さの第1ビアホールVH1を形成する。このとき、レーザ加工は半導体チップ300のストップ層200で概ね止まり、その下の接続パッドCがレーザから保護される。

【0032】

さらに、配線基板400の第1配線層420に到達する深さの第2ビアホールVH2が層間絶縁層500に形成される。

10

【0033】

次いで、図3(a)に示すように、第1ビアホールVH1(ビア導体)を介して半導体チップ300のストップ層200(接続パッドC)に接続されると共に、第2ビアホールVH2(ビア導体)を介して第1配線層420に接続される第2配線層440を形成する。つまり、半導体チップ300のストップ層200(接続パッドC)は第2配線層440を介して配線基板400の第1配線層420に接続される。

【0034】

その後、図3(b)に示すように、第2配線層440の接続部上に開口部460aが設けられたソルダレジスト460が形成される。以上により、関連技術の電子部品内蔵基板が得られる。

20

【0035】

前述したように、関連技術の電子部品内蔵基板の製造方法では、レーザによって半導体チップ300上の層間絶縁層500に第1ビアホールVH1を形成するので、半導体チップ300の接続パッドCの上にレーザ加工のストッパとなるストップ層200を形成する必要がある。半導体チップ300にストップ層200を形成しない場合、接続パッドC(A1パッド)がレーザによってエッチングされて周囲に飛散し、引いては接続パッドCの一部が消失してしまい、回路素子にダメージを与えてしまうからである。

【0036】

前述した図1(b)での説明のように、ストップ層200はシリコンウェハ100の状態に接続パッドCの上にパターン化して形成する必要がある。ストップ層200を形成するためには、シード層の形成工程、めっきレジストの形成工程(塗布、露光、現像)、銅の電解めっき工程、めっきレジストの剥離工程、シード層のエッチング工程が必要である。従って、実装ラインにおいて、シリコンウェハに対応するウェハプロセス用の各種製造装置を導入する必要があるので、製造コストの上昇を招きやすい問題がある。

30

【0037】

また、半導体チップ300にストップ層200を設けるとしても、特に熱に弱い半導体チップ300では、レーザによる熱ダメージを無視できないことがあり、半導体チップ300の信頼性が低下するおそれがある。

【0038】

さらに、半導体チップ300の接続パッドCは、ストップ層200と第1ビアホールVH1内で上側に持ち上げられたビア導体とを介して第2配線層440に接続される。このため、半導体チップ300と第2配線層440とのコンタクト抵抗が高くなったり、配線長が長くなって電気特性が不利になる場合が想定される。

40

【0039】

以下に説明する本発明の電子部品内蔵基板の製造方法は前述した不具合を解消することができる。

【0040】

(第1の実施の形態)

図4～図12は本発明の第1実施形態の電子部品内蔵基板の製造方法を示す断面図、図13は同じく電子部品内蔵基板を示す断面図である。

50

【 0 0 4 1 】

本発明の第 1 実施形態の電子部品内蔵基板の製造方法では、図 4 (a) に示すように、上面側に、接続パッド C とその上に開口部 1 2 a が設けられたパッシベーション層 1 2 (絶縁保護層) とを備えたシリコンウェハ 1 0 を用意する。本実施形態では、半導体ウェハとしてシリコンウェハ 1 0 を例示する。

【 0 0 4 2 】

シリコンウェハ 1 0 にはトランジスタなどの回路素子 (不図示) とそれらを配線する多層配線 (不図示) が形成されており、接続パッド C は多層配線に接続されている。シリコンウェハ 1 0 の厚みは例えば 7 2 5 μm である。

【 0 0 4 3 】

次いで、図 4 (b) に示すように、接続パッド C 及びパッシベーション層 1 2 の上にスパッタ法により金属保護層 1 4 を形成する。つまり、シリコンウェハ 1 0 の一面全体に金属保護層 1 4 が形成される。

【 0 0 4 4 】

図 4 (b) の例では、金属保護層 1 4 は積層膜からなり、下から順に、膜厚が 3 0 ~ 1 0 0 n m のチタン (T i) 層 1 4 a と、膜厚が 2 0 0 ~ 5 0 0 n m の銅 (C u) 層 1 4 b により構成される。又は、下から順に、クロム (C r) 層と、銅 (C u) 層とを積層して金属保護層 1 4 としてもよいし、あるいは単層の金属層を使用してもよい。

【 0 0 4 5 】

後述するように、金属保護層 1 4 は、酸素プラズマやデスマア処理から半導体チップを防御すると共に、最終的には配線層の一部として利用される。そのような機能を満足できる金属層であれば上記した金属の他に各種の金属材料を使用することができる。

【 0 0 4 6 】

続いて、図 4 (c) に示すように、シリコンウェハ 1 0 の背面をグラインダで研削することにより所望の厚みに薄型化する。さらに、シリコンウェハ 1 0 の背面の研削面をライト研磨することにより、研削によって生じたダメージ層を除去する。シリコンウェハ 1 0 は 1 0 0 μm 以下 (好適には 3 0 ~ 5 0 μm) の厚みになるように研削される。

【 0 0 4 7 】

その後、図 4 (d) に示すように、シリコンウェハ 1 0 をダイサーで切断することにより、個々の半導体チップ 5 (L S I チップ) を得る。シリコンウェハ 1 0 には多数のチップ領域が画定されており、各チップ領域から半導体チップ 5 がそれぞれ得られる。

【 0 0 4 8 】

後述するように、本実施形態では、半導体チップ 5 を配線基板に実装した後に、金属保護層 1 4 がパターン化されるので、半導体チップ 5 の状態ではその上面全体に金属保護層 1 4 が残されている。

【 0 0 4 9 】

本実施形態では、シリコンウェハ 1 0 の状態では金属保護層 1 4 を成膜するだけでそれをパターン化しないので、実装ラインにウェハプロセス用の装置として成膜装置 (スパッタ装置や蒸着装置) を導入するだけよい。従って、関連技術よりも設備投資を抑制することができる。

【 0 0 5 0 】

次に、上記した半導体チップ 5 を実装するための配線基板について説明する。まず、図 5 (a) に示すような構造体を用意する。図 5 (a) では、ガラスエポキシ樹脂などの絶縁性のコア基板 2 0 にスルーホール T H が設けられており、スルーホール T H の内壁にはスルーホールめっき層 2 2 が形成されている。スルーホール T H の孔には樹脂 2 4 が充填されている。さらに、コア基板 2 0 の両面側には、スルーホールめっき層 2 2 を介して相互接続された第 1 配線層 3 0 がそれぞれ形成されている。

【 0 0 5 1 】

あるいは、コア基板 2 0 のスルーホール T H 内に貫通電極が充填され、第 1 配線層 3 0 が貫通電極を介して相互接続されていてもよい。

10

20

30

40

50

【 0 0 5 2 】

次いで、図 5 (b) に示すように、コア基板 2 0 の両面側に第 1 配線層 3 0 を被覆する第 1 層間絶縁層 4 0 をそれぞれ形成する。さらに、コア基板 2 0 の両面側の第 1 層間絶縁層 4 0 をレーザなどで加工することにより、第 1 配線層 3 0 に到達する深さの第 1 ピアホール V H 1 をそれぞれ形成する。

【 0 0 5 3 】

続いて、コア基板 2 0 の両面側の第 1 層間絶縁層 4 0 の上に、第 1 ピアホール V H 1 (ピア導体) を介して第 1 配線層 3 0 に接続される第 2 配線層 3 2 をそれぞれ形成する。

【 0 0 5 4 】

本実施形態では、図 5 (b) の構造体を前述した半導体チップ 5 を実装するための配線基板 1 として使用する。

10

【 0 0 5 5 】

次いで、図 6 (a) に示すように、前述した半導体チップ 5 を用意する。そして、半導体チップ 5 の接続パッド C が設けられた面 (素子形成面) を上側にして、半導体チップ 5 の背面をダイアタッチ材 6 によって配線基板 1 の第 1 層間絶縁層 4 0 の上に固着して実装する。

【 0 0 5 6 】

続いて、図 6 (b) に示すように、配線基板 1 及び半導体チップ 5 の上に未硬化の樹脂フィルムを圧着した後に、200 程度の温度雰囲気中で樹脂フィルムを熱処理して硬化させることにより第 2 層間絶縁層 4 2 を形成する。これにより、半導体チップ 5 の全体が第 2 層間絶縁層 4 2 に埋設された状態となる。コア基板 2 0 の下面側にも、同様に、第 2 配線層 3 2 を被覆する第 2 層間絶縁層 4 2 が形成される。第 2 層間絶縁層 4 2 の材料としては、エポキシ樹脂やポリイミド樹脂などの熱硬化性樹脂が使用される。

20

【 0 0 5 7 】

次いで、図 7 に示すように、酸素プラズマにより、コア基板 2 0 の上面側の第 2 層間絶縁層 4 2 (樹脂) を半導体チップ 5 の金属保護層 1 4 が露出するまでエッチングする。層間絶縁層 4 2 (樹脂) の有機成分が酸素イオンや酸素ラジカルと反応して層間絶縁層 4 2 がエッチングされる。

【 0 0 5 8 】

酸素プラズマのプラズマ源としては、異方性ドライエッチング装置 (R I E 装置など) を使用してもよいし、あるいは、レジストアッシングで使用される等方性のアッシング装置を使用してもよい。酸素プラズマは、酸素ガスを主要ガスとして使用するプラズマであり、酸素ガスに C F₄ などのハロゲン原子を含むガスや不活性ガスなどが添加されているもよい。

30

【 0 0 5 9 】

これにより、第 2 層間絶縁層 4 2 の厚みは半導体チップ 5 の高さと同様となり、半導体チップ 5 の上面 (金属保護層 1 4) が露出した状態となる。後述するように、半導体チップ 5 から第 2 層間絶縁層 4 2 上にファンアウト配線が延出して形成される。このため、第 2 層間絶縁層 4 2 と半導体チップ 5 との上面が同じ高さになって平坦化されることが好ましいが、ファンアウト配線が断線しない程度に第 2 層間絶縁層 4 2 が半導体チップ 5 から多少沈み込んでエッチングされても差し支えない。

40

【 0 0 6 0 】

このとき、半導体チップ 5 の上面全体には金属保護層 1 4 が形成されているため、金属保護層 1 4 の下のパッシベーション層 1 2 が酸素プラズマでエッチングされやすいポリイミドからなる場合であっても、パッシベーション層 1 2 は酸素プラズマから防御され、損傷を受けることはない。また、接続パッド C も金属保護層 1 4 によって酸素プラズマから防御されるので、接続パッド C やその下側の回路素子にダメージを与えることもない。

【 0 0 6 1 】

なお、酸素プラズマの代わりに、C M P (Chemical Mechanical Polish) によって第 2 層間絶縁層 4 2 を半導体チップ 5 の保護絶縁層 1 4 が露出するまで研磨してもよい。半導

50

体チップ5のパッシベーション層12の開口部12の段差部に樹脂残渣が発生する場合は、CMPで第2層間絶縁層42の厚みの大部分を研磨した後に、等方性の酸素プラズマによって樹脂残渣を除去してもよい。

【0062】

続いて、図8に示すように、コア基板20の上面側の第2層間絶縁層42をレーザなどで加工することにより、第2配線層32に到達する深さの第2ビアホールVH2を形成する。さらに、コア基板20の下面側の第2層間絶縁層42にも、同様に、第2配線層32に到達する深さの第2ビアホールVH2が形成される。

【0063】

その後、コア基板20の両面側において、第2ビアホールVH2内をデスミア処理することにより、第2ビアホールVH2内に残留する樹脂スミアを除去してクリーニングする。デスミア処理としては、例えば、過マンガン酸カリウム法が採用される。デスミア処理を行う際に、半導体チップ5の上面が露出している状態となっているが、半導体チップ5の内部は金属保護層14でデスミア液から防御されるので、デスミア処理によって半導体チップ5がダメージを受けるおそれがない。

10

【0064】

次いで、図9に示すように、コア基板20の上面側において、半導体チップ5及び第2層間絶縁層42の上と、第2ビアホールVH2の内面とに、無電解めっきによって銅層などを形成することによりシード層34aを得る。コア基板20の下面側の第2層間絶縁層42の上及び第2ビアホールVH2の内面にも同様にシード層34aが形成される。

20

【0065】

さらに、図10に示すように、コア基板20の両面側において、第3配線層を形成する部分に開口部が設けられためっきレジスト33をフォトリソグラフィによってシード層34aの上に形成する。

【0066】

次いで、図11に示すように、コア基板20の両面側において、シード層34aをめっき給電経路に利用する電解めっきにより、めっきレジスト33の開口部及び第2ビアホールVH2内に銅などの金属めっき層34bを形成する。第2ビアホールVH2内では、その内壁のシード層34aから内側に向けてめっきが施され、第2ビアホールVH2に金属めっき層が充填されてビア導体が得られる。

30

【0067】

その後、図12に示すように、めっきレジスト33を除去する。さらに、金属めっき層34bをマスクにしてシード層34aをエッチングする。このとき、半導体チップ5上では、シード層34aをエッチングした後に、続けて金属保護層14をエッチングする。シード層34a（銅層）及び金属保護層14の銅層14b（図4（d））は硫酸と過酸化水素水の混合液でエッチングされ、その下の金属保護層14のチタン層14a（図4（d））は過酸化水素水と磷酸又はアンモニア水との混合液によってエッチングされる。

【0068】

これにより、半導体チップ5の上では、金属保護層14がパターン化された下地金属パターン層14xと、その上に形成されたシード層34a及び金属めっき層34bから構成される導電パターン層34xとによってチップ内配線部35が形成される。

40

【0069】

一方、第2層間絶縁層42上では、シード層34a及び金属めっき層34bから構成される導電パターン層34yからなる延出配線部36が形成される。延出配線部36はチップ内配線部35に繋がって半導体チップ5上から外側の第2層間絶縁層42上に延出して形成される。チップ内配線部35と延出配線層36とにより第3配線層34（上側配線層）が構成される。

【0070】

チップ内配線部35は半導体チップ5の接続パッドCに接続され、延出配線部36は第2ビアホールVH2を介して配線基板1の第2配線層32に接続される。すなわち、半導

50

体チップ５の接続パッドＣは第３配線層３４を介して配線基板１の第２配線層３２に電気接続される。

【００７１】

なお、本実施形態では、セミアディティブ法によって、半導体チップ５及び第２層間絶縁層４２の上に第３配線層３４（チップ内配線層３５及び延出配線層３６）を形成したが、サブトラクティブ法によって第３配線層３４を形成してもよい。

【００７２】

この場合は、特に図示しないが、まず、半導体チップ５及び第２層間絶縁層４２の上及び第２ビアホールＶＨ２内にめっき法やスパッタ法により銅などの導電層をプランケット状に形成する。その後、導電層の上にレジストをパターニングし、そのレジストをマスクにして導電層及び金属保護層１４をエッチングする。

10

【００７３】

サブトラクティブ法で形成する場合は、第３配線層３４の導電パターン層３４ｘ、３４ｙを図１２の層構成（シード層３４ａ及び金属めっき層３４ｂ）と異なる層構成で形成することも可能である。

【００７４】

また、コア基板２０の下面側においても、金属めっき層３４ｂをマスクにしてシード層３４ａがエッチングされる。これにより、コア基板２０の下面側の第２層間絶縁層４２の上に第２ビアホールＶＨ２を介して第２配線層３２に接続される第３配線層３４が形成される。

20

【００７５】

続いて、図１３に示すように、コア基板２０の両面側において、第３配線層３４の接続部上に開口部４４ａが設けられたソルダレジスト４４がそれぞれ形成される。さらに、コア基板２０の両面側において、第３配線層３４の接続部に、下から順にニッケル／金めっき層などを形成してコンタクト部（不図示）をそれぞれ設ける。

【００７６】

以上により、本実施形態の電子部品内蔵基板２が得られる。配線基板１として、多面取りの大型基板を使用する場合は、配線基板１に画定された多数のチップ搭載領域に半導体チップ５がそれぞれ実装され、個々の電子部品内蔵基板２が得られるように配線基板１が切断される。

30

【００７７】

以上説明したように、本実施形態の電子部品内蔵基板の製造方法では、半導体チップ５の上面全体に金属保護層１４を設けたので、半導体チップ５にダメージを与えることなく、半導体チップ５を埋め込む第２層間絶縁層４２を酸素プラズマでエッチングして半導体チップ５の上面を露出させることができる。

【００７８】

これにより、半導体チップ５上から外側の第２層間絶縁層４２上に延出する第３配線層３４（ファンアウト配線）を容易に形成することができる。このとき、半導体チップ５の金属保護層１４は第３配線層３４の一部として利用される。

【００７９】

従って、関連技術と違って、半導体チップ５上の層間絶縁層にレーザでビアホールを形成し、ビアホールから上側に持ち上げて上側配線層を形成する必要がない。

40

【００８０】

これにより、関連技術よりも配線構造が簡易となり、製造コストを低減することができる。しかも、関連技術に比べて配線長を短くできるので、配線基板の電気特性を向上させることができる。

【００８１】

さらには、半導体チップ５の上にレーザビアを形成しないので、熱に弱い半導体チップを使用する場合であっても半導体チップが熱ダメージを受けることがなく、信頼性を向上させることができる。

50

【 0 0 8 2 】

また、第 2 層間絶縁層 4 2 を酸素プラズマでエッチングして半導体チップ 5 を露出させる場合は、研磨装置を導入する必要がないので、既存の実装ラインの製造装置で対応することができ、低コスト化を図ることができる。

【 0 0 8 3 】

図 1 3 に示すように、本実施形態の電子部品内蔵基板 2 では、前述した配線基板 1 の上に、接続パッド C とその上に開口部 1 2 a が設けられたパッシベーション層 1 2 (保護絶縁層) とを備えた半導体チップ 5 が実装されている。半導体チップ 5 はその接続パッド C 側(素子形成面)が上側になった状態で、その背面がダイアタッチ材 6 によって配線基板 1 の第 1 層間絶縁層 4 0 上に固着されている。

10

【 0 0 8 4 】

半導体チップ 5 の側方にはそれと略同一の厚みの第 2 層間絶縁層 4 2 が形成されており、半導体チップ 5 はその側面上部まで第 2 層間絶縁層 4 2 に埋設されている。

【 0 0 8 5 】

図 1 4 は、図 1 3 の第 3 配線層 3 4 の配置の様子を上側からみた部分平面図である。図 1 4 では図 1 3 のソルダレジスト 4 4 が省略されている。

【 0 0 8 6 】

図 1 3 に図 1 4 の部分平面図を加えて参照すると、半導体チップ 5 の接続パッド C は周縁部にペリフェラル型で並んで配置されている。そして、接続パッド C に接続された複数の第 3 配線層 3 4 (上側配線層) が半導体チップ 5 の四辺から外側にそれぞれ延出して形成されている。第 3 配線層 3 4 は、半導体チップ 5 上に形成されたチップ内配線部 3 5 とそれに繋がって第 2 層間絶縁層 4 2 上に延びる延出配線部 3 6 とにより構成される。

20

【 0 0 8 7 】

前述したように、図 1 3 の例では、第 3 配線層 3 4 のチップ内配線部 3 5 は上面に金属保護層 1 4 が設けられた半導体チップ 5 の上にセミアディティブ法に基づいて形成される。従って、半導体チップ 5 上のチップ内配線部 3 5 は、下から順に、金属保護層 1 4 がパターン化された下地金属パターン層 1 4 x と、シード層 3 4 a 及び金属めっき層 3 4 b からなる導電パターン層 3 4 x とにより構成される。そして、チップ内配線部 3 5 は半導体チップ 5 の上面(パッシベーション層 1 2)に接触した状態で形成される。

【 0 0 8 8 】

一方、第 2 層間絶縁層 4 2 上の延出配線部 3 6 は、下地金属パターン層 1 4 x を有しておらず、下から順にシード層 3 4 a 及び金属めっき層 3 4 b から構成される導電パターン層 3 4 y のみから形成される。延出配線部 3 6 の導電パターン層 3 4 y はチップ内配線部 3 5 の導電パターン層 3 4 x と同一層から形成される。

30

【 0 0 8 9 】

また、第 2 層間絶縁層 4 2 には配線基板 1 の第 2 配線層 3 2 に到達する第 2 ビアホール V H 2 が設けられており、第 3 配線層 3 4 の延出配線部 3 6 が第 2 ビアホール V H 2 を介して第 2 配線層 3 2 に接続されている。これにより、半導体チップ 5 の接続パッド C は第 3 配線層 3 4 によって配線基板 1 の第 2 配線層 3 2 に電気接続されている。

【 0 0 9 0 】

このように、本実施形態の電子部品内蔵基板 2 では、最終的に半導体チップ 5 の金属保護層 1 4 がパターン化されて配線の一部として利用されるので、半導体チップ 5 上と第 2 層間絶縁層 4 2 上において第 3 配線層 3 4 の層構成が異なっている。

40

【 0 0 9 1 】

なお、前述したように、サブトラクティブ法などで第 3 配線層 3 4 を形成することにより、導電パターン層 3 4 x , 3 4 y を各種の層構成(単層膜又は積層膜)で形成することも可能である。

【 0 0 9 2 】

また、図 1 4 において、半導体チップ 5 の接続パッド C が周縁部から中心部までエリアアレイ型で配置されていてもよい。この場合も、同様に、半導体チップ 5 上から外側に向

50

かって第3配線層34が延出して形成される。

【0093】

また、図14において、接続パッドCに直接接続されない配線層を、半導体チップ5を跨ぐように配置することも可能である。

【0094】

さらに、図13を参照すると、配線基板1の下面側にも、第2配線層32上に第2ビアホールVH2が設けられた第2層間絶縁層42が形成されている。さらに、第2ビアホールVH2（ビア導体）を介して第2配線層32に接続される第3配線層34が第2層間絶縁層42の上に形成されている。

【0095】

また、コア基板20の両面側において、第3配線層34の接続部上に開口部44aが設けられたソルダレジスト44がそれぞれ形成されている。さらに、第3配線層34の接続部上にはNi/Auめっき層などのコンタクト層（不図示）が形成されている。

【0096】

そして、図13において、コア基板20の上面側の第3配線層34の接続部に上側半導体チップがフリップチップ実装され、下面側の第3配線層34の接続部にはんだボールなどの外部接続端子が設けられる。

【0097】

本実施形態では、電子部品として半導体チップ5を例示したが、一方の面に接続パッドを備えたキャパシタチップなどの受動部品を同様に内蔵させることができる。半導体チップ5と受動部品を混在させてもよいし、受動部品のみを内蔵させてもよい。

【0098】

（第2の実施の形態）

図15及び図16は本発明の第2実施形態の電子部品内蔵基板の製造方法を示す断面図、図17は同じく電子部品内蔵基板を示す断面図である。第2実施形態の特徴は、半導体チップの上側角部をカットすることによって実装時の応力発生を緩和することにある。第2実施形態では、第1実施形態と同一工程の説明を省略すると共に、同一要素については同一符号付してその説明を省略する。

【0099】

第2実施形態では、図15（a）に示すように、まず、第1実施形態の図4（b）と同様に、上面全体に金属保護層14が設けられたシリコンウェハ10を用意する。

【0100】

次いで、図15（b）に示すように、面取り用V字型ブレードでシリコンウェハ10を厚みの途中までV型に切削した後に、切断用ブレードでシリコンウェハ10の残りを切断して個々の半導体チップ5aを得る（ベベルカット）。これにより、四辺の側面上部が斜めに面取りされた面取り部Sをもつ個々の半導体チップ5aが得られる。

【0101】

あるいは、図15（c）に示すように、幅広ブレードでシリコンウェハ10を厚みの途中まで幅広で切削した後に、切断用ブレードでシリコンウェハ10の残りを切断して個々の半導体チップ5bを得る（ステップカット）。これにより、四辺の側面が階段面Dになった半導体チップ5bが得られる。

【0102】

以下、図15（b）の半導体チップ5aを使用して電子部品内蔵基板を製造する例について説明する。

【0103】

図16（a）に示すように、前述した第1実施形態の図5（b）と同一の配線基板1の上に、図15（b）の半導体チップ5aの接続パッドCが上側になるようにして、半導体チップ5aの背面をダイアタッチ材6で固着する。

【0104】

さらに、図16（b）に示すように、第1実施形態と同様に、第2層間絶縁層42で半

10

20

30

40

50

導体チップ 5 a の全体を埋め込んだ後に、酸素プラズマによって第 2 層間絶縁層 4 2 を半導体チップ 5 a の金属保護層 1 4 が露出するまでエッチングする。これにより、第 2 層間絶縁層 4 2 の厚みは半導体チップ 5 a の高さと同様となり、半導体チップ 5 a の上面（金属保護層 1 4）が露出した状態となる。

【0105】

このとき、半導体チップ 5 a の面取り部 S の周囲にも第 2 層間絶縁層 4 2 が残される。半導体チップ 5 a の側面上部を面取り部 S とすることにより、半導体チップ 5 a が第 2 層間絶縁層 4 2 に埋設される際に、半導体チップ 5 a のエッジ部への応力集中を回避することができる。側面が階段状になった半導体チップ 5 b を使用する場合も同様である。

【0106】

次いで、図 1 7 に示すように、第 1 実施形態の図 8 から図 1 3 までの工程を遂行することにより、第 2 実施形態の電子部品内蔵基板 2 a が得られる。

【0107】

第 2 実施形態の電子部品内蔵基板 2 a では、半導体チップ 5 a の側面上部に面取り部 S を設けたので、熱がかかる際に半導体チップ 5 a の周囲でのストレスの発生が緩和される。従って、半導体チップ 5 a の周囲の第 2 層間絶縁層 4 2（樹脂）にクラックが発生することが防止され、電子部品内蔵基板 2 a の信頼性を向上させることができる。

【図面の簡単な説明】

【0108】

【図 1】図 1（a）～（d）は本発明に関連する関連技術の電子部品内蔵基板の製造方法を示す断面図（その 1）である。

【図 2】図 2（a）～（c）は本発明に関連する関連技術の電子部品内蔵基板の製造方法を示す断面図（その 2）である。

【図 3】図 3（a）及び（b）は本発明に関連する関連技術の電子部品内蔵基板の製造方法を示す断面図（その 3）である。

【図 4】図 4 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 1）である。

【図 5】図 5 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 2）である。

【図 6】図 6 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 3）である。

【図 7】図 7 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 4）である。

【図 8】図 8 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 5）である。

【図 9】図 9 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 6）である。

【図 10】図 10 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 7）である。

【図 11】図 11 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 8）である。

【図 12】図 12 は本発明の第 1 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 9）である。

【図 13】図 13 は本発明の第 1 実施形態の電子部品内蔵基板を示す断面図である。

【図 14】図 14 は本発明の第 1 実施形態の電子部品内蔵基板の第 3 配線層の様子を上側からみた平面図である。

【図 15】図 15（a）～（c）は本発明の第 2 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 1）である。

【図 16】図 16（a）及び（b）は本発明の第 2 実施形態の電子部品内蔵基板の製造方法を示す断面図（その 2）である。

10

20

30

40

50

【図 17】図 17 は本発明の第 2 実施形態の電子部品内蔵基板を示す断面図である。

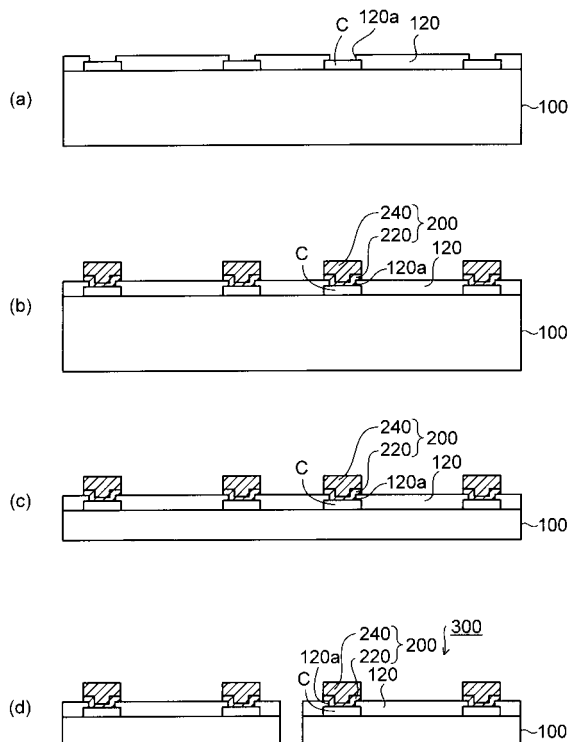
【符号の説明】

【 0 1 0 9 】

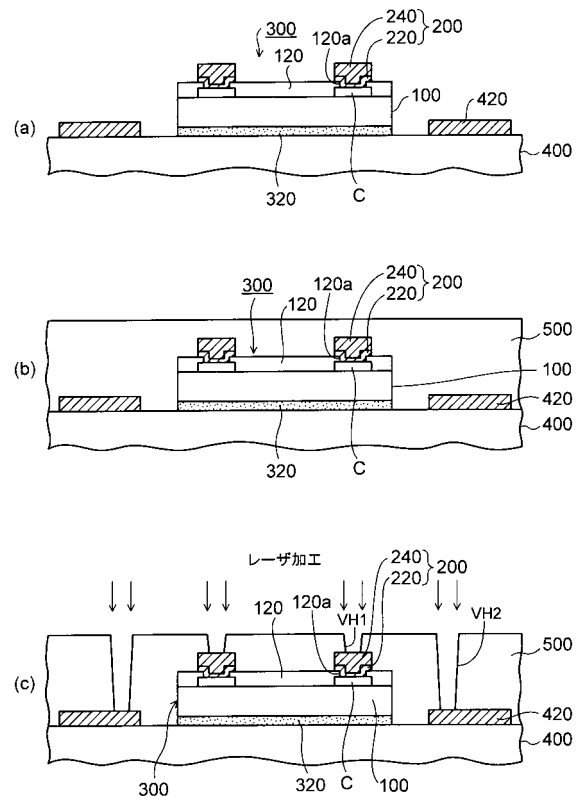
1 ... 配線基板、2, 2a ... 電子部品内蔵基板、5, 5a, 5b ... 半導体チップ（電子部品）、6 ... ダイアタッチ材、10 ... シリコンウェハ、12 ... パッシベーション層、12a, 44a ... 開口部、14 ... 金属保護層、14x ... 下地金属パターン層、20 ... コア基板、22 ... スルーホールめっき層、24 ... 樹脂、30 ... 第 1 配線層、32 ... 第 2 配線層、34 ... 第 3 配線層、34a ... シード層、34b ... 金属めっき層、34x, 34y ... 導電パターン層、35 ... チップ内配線部、36 ... 延出配線部、40 ... 第 1 層間絶縁層、42 ... 第 2 層間絶縁層、44 ... ソルダレジスト、C ... 接続パッド、TH ... スルーホール、VH1 ... 第 1 ピアホール、VH2 ... 第 2 ピアホール、D ... 階段面、S ... 面取り部。

10

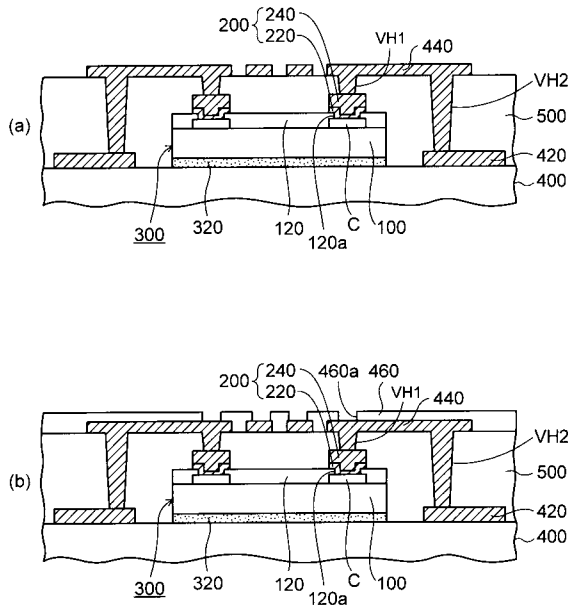
【図 1】



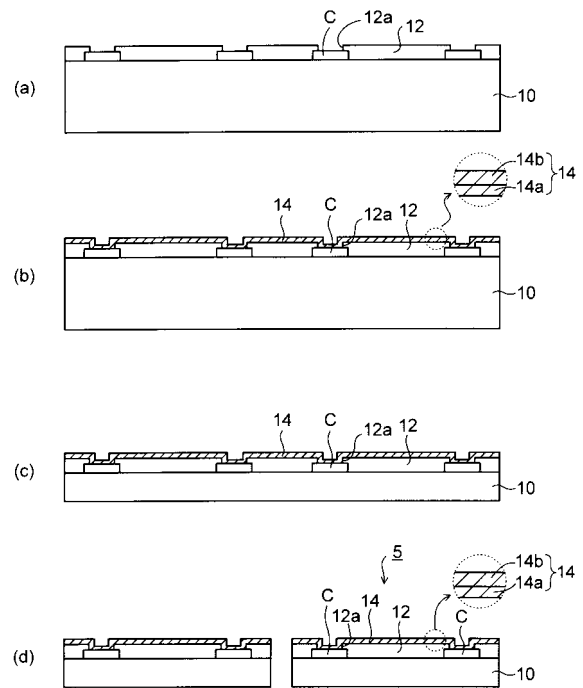
【図 2】



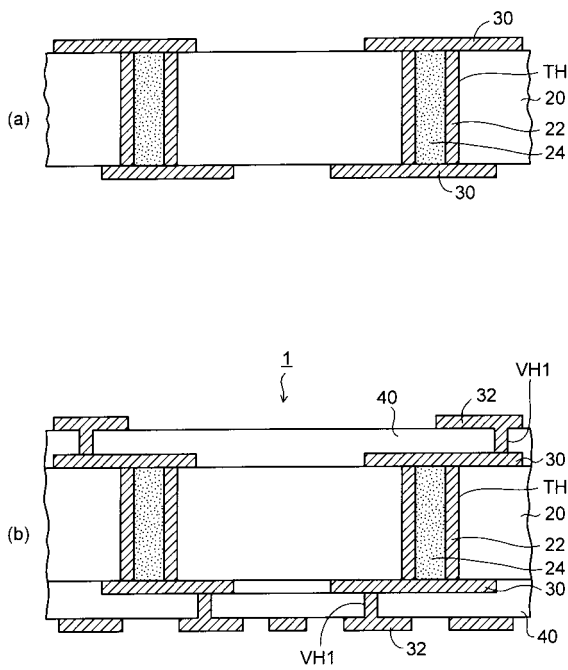
【図 3】



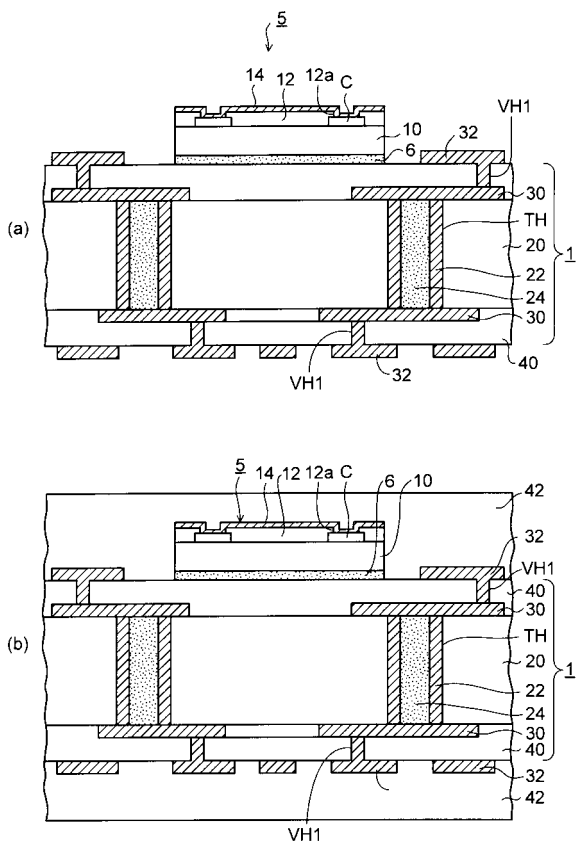
【図 4】



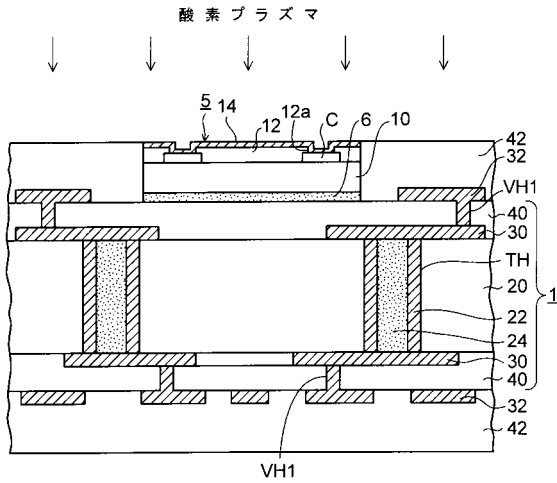
【図 5】



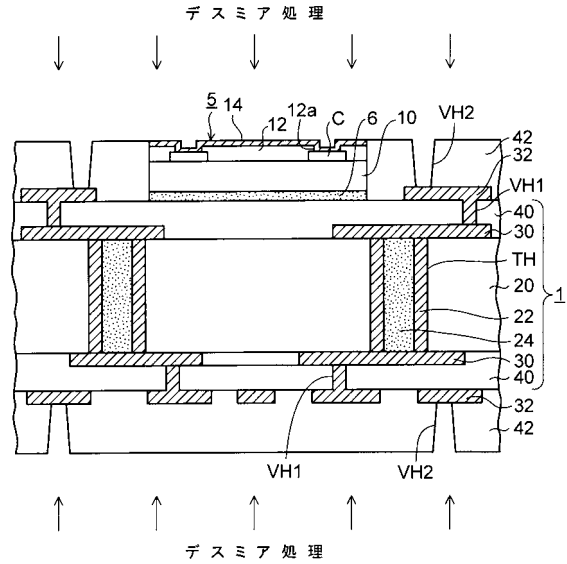
【図 6】



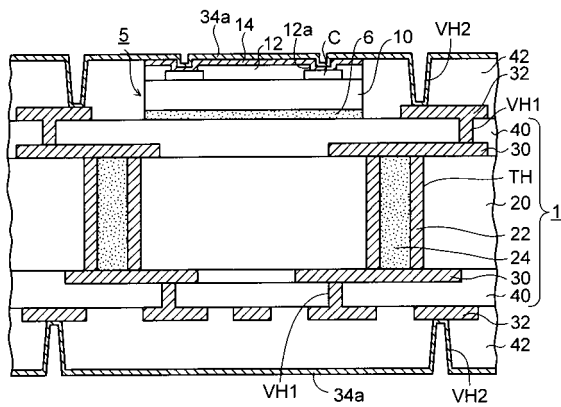
【図 7】



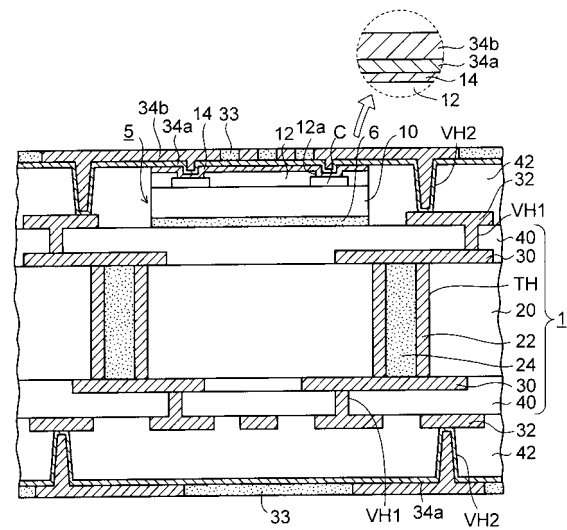
【図 8】



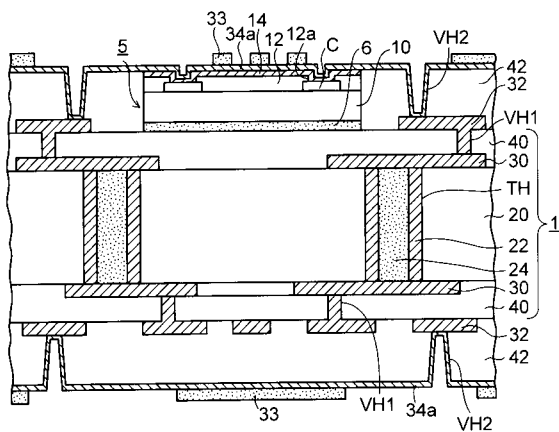
【図 9】



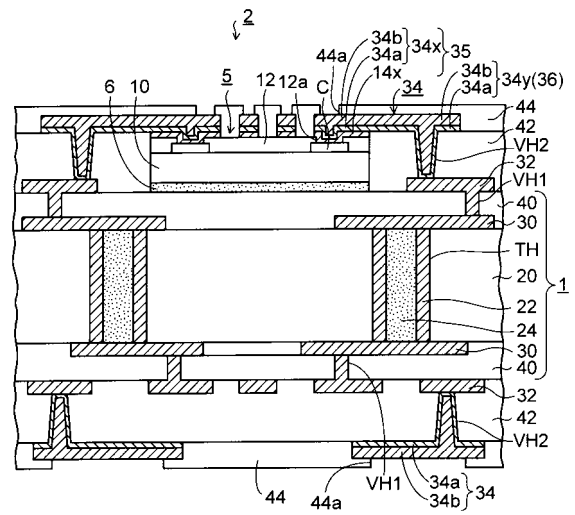
【図 11】



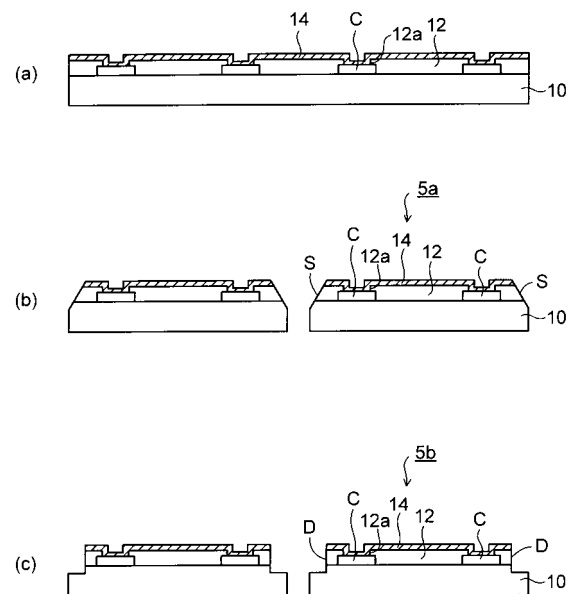
【図 10】



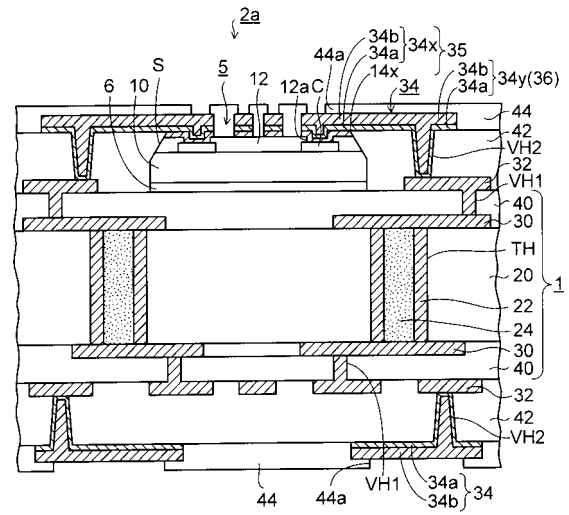
【 図 1 3 】



【 図 1 5 】



【圖 17】



フロントページの続き

審査官 吉澤 秀明

(56)参考文献 特開 2 0 0 7 - 1 5 0 0 0 2 (J P , A)
特開 2 0 0 7 - 0 6 7 0 1 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 5 K 3 / 4 6
H 0 1 L 2 3 / 1 2