

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 10월 12일 (12.10.2017)



(10) 국제공개번호
WO 2017/176020 A1

(51) 국제특허분류:

H01L 23/31 (2006.01) H01L 23/522 (2006.01)
H01L 21/56 (2006.01) H01L 23/525 (2006.01)
H01L 23/498 (2006.01) H01L 23/552 (2006.01)

(21) 국제출원번호: PCT/KR2017/003644

(22) 국제출원일: 2017년 4월 3일 (03.04.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0041141 2016년 4월 4일 (04.04.2016) KR

(71) 출원인: 주식회사 네페스 (NEPES CO., LTD.)
[KR/KR]; 27651 충청북도 음성군 삼성면 금일로 965
번길, 105, Chungcheongbuk-do (KR).

(72) 발명자: 권용태 (KWON, Yong-Tae); 28415 충청북도
청주시 흥덕구 중안로 33 104-1402, Chungcheong-
buk-do (KR). 이준규 (LEE, Jun-Kyu); 28115 충청북도
청주시 청원구 오창읍 양청 1길 23-1 104호, Chung-
cheongbuk-do (KR). 임시우 (LIM, Si Woo); 41560 대
구시 북구 침산로 158 102-302, Daegu (KR). 오동훈
(OH, Dong Hoon); 07434 서울시 영등포구 여의대방로
9길 5 102-1203, Seoul (KR). 마준성 (MA, Jun Sung);
01851 서울시 노원구 성북로 156 204-1404, Seoul (KR).
김태원 (KIM, Tae-Won); 28115 충청북도 청주시 청원
구 오창읍 양청 1길 30-39, 201, Chungcheongbuk-do
(KR).

(74) 대리인: 특허법인 세림 (SELIM INTELLECTUAL
PROPERTY LAW FIRM); 06729 서울시 서초구 강남
대로, 285, 테우빌딩, 10층과 11층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ,
CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

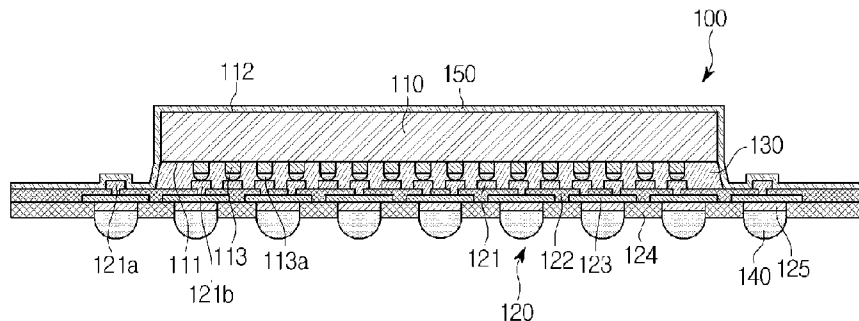
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭 : 반도체 패키지 및 그 제조방법



(57) Abstract: A semiconductor package comprising a fan-out structure and a manufacturing method therefor are disclosed. A semiconductor package according to an embodiment of the present invention comprises: a wiring unit comprising an insulation layer and a wiring layer; a semiconductor chip mounted on the wiring unit and coupled to the wiring layer by flip-chip bonding; a filling member for filling a gap between the semiconductor chip and the wiring unit; and a film member for performing coating so as to cover one surface of each of the semiconductor chip, the filling member, and the wiring unit.

(57) 요약서: 팬아웃 구조를 포함하는 반도체 패키지 및 이의 제조방법이 개시된다. 본 발명의 실시예에 따른 반도체 패키지는 절연층과 배선층을 포함하는 배선부와, 배선부 상에 실장되고 배선층과 플립 칩 본딩으로 결합되는 반도체 칩과, 반도체 칩과 배선부 사이를 충진하는 충진부재와, 반도체 칩과 충진부재와 배선부의 일 면을 덮도록 코팅하는 막부재를 포함한다.



WO 2017/176020 A1

명세서

발명의 명칭: 반도체 패키지 및 그 제조방법

기술분야

- [1] 본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로, 더욱 상세하게는 팬아웃 구조를 포함하는 반도체 패키지 및 이의 제조방법에 관한 것이다.

배경기술

- [2] 최근 반도체 소자는 공정 기술의 미세화 및 기능의 다양화로 인해 칩 사이즈는 감소하고 입출력 단자들의 갯수는 증가함에 따라 전극 패드 피치는 점점 미세화되고 있으며, 다양한 기능의 융합화가 가속됨에 따라 여러 소자를 하나의 패키지 내에 집적하는 시스템 레벨 패키징 기술이 대두되고 있다. 또한 시스템 레벨 패키징 기술은 동작 간 노이즈를 최소화하고 신호 속도를 향상시키기 위하여 짧은 신호 거리를 유지할 수 있는 3차원 적층 기술 형태로 변화되고 있다.
- [3] 한편 이러한 기술 개선요구와 더불어 제품 가격 상승을 제어하기 위하여 생산성이 높고 제조 원가를 절감하기 위하여, 복수의 반도체 칩을 포함하는 적층형 반도체 패키지를 구현하거나, 또는 서로 다른 기능을 가지는 반도체 칩을 집적한 SIP(System in Package)를 구현하고 있다.
- [4] 한편, 종래의 팬아웃 구조를 가지는 반도체 패키지들은 개별 분리된 반도체 칩을 별도의 대구경 패드에 재배열한 후, EMC(Epoxy Molding Compound)로 몰딩하여 일체화한 후, 반도체 칩 패드면에 배선회로를 생성하는 빌드업(build-up) 공정을 수행하는 것이 일반적이다.
- [5] 다만, EMC로 몰딩하는 과정에서 EMC가 유동하거나 열 변형이 발생함으로써 인하여 반도체 칩이 의도치 하게 이동하는 현상(Drift)이 발생하게 된다. 이러한 칩의 이동은 칩 패드와 빌드업 공정으로 형성한 회로 사이에 오정렬(mis-align)을 야기하게 되며, 미세 패드 피치에 대응이 어렵게 되는 문제가 있다.
- [6] 또한, 반도체 칩을 보호하기 위해 EMC로 밀봉하는 구조는 높은 열 저항을 갖는 EMC에 의하여 열 방출이 어려운 문제가 있다.
- [7] 한편, 플립칩 BGA(Ball Grid Array) 패키지의 경우, 개별 반도체 칩을 개별로 패키징하는 공정을 사용하기 때문에 웨이퍼 레벨 공정에 비해 생산성이 낮고 제품 가격이 상승하게 된다. 또한, 미세 패드 피치에 대응하기 위한 기판(Substrate)을 디자인하고 제조하는데 어려움이 발생하고 기판의 가격도 상승하게 된다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명의 실시예는 패키지의 박형화 및 미세 피치화를 가능하게 하는 반도체 패키지 및 그 제조방법을 제공하고자 한다.
- [9] 또한, 개별 반도체 칩을 개별로 패키징하는 공정의 생산성 문제를 해결하고자

한다.

과제 해결 수단

- [10] 본 발명의 일 측면에 따르면, 절연층과 배선층을 포함하는 배선부; 상기 배선부 상에 실장되고, 상기 배선층과 플립 칩 본딩으로 결합되는 반도체 칩; 상기 반도체 칩과 상기 배선부 사이를 충전하는 충전부재; 및 상기 반도체 칩과 상기 충전부재와 상기 배선부의 일 면을 덮도록 코팅하는 막부재를 포함하는 반도체 패키지가 제공될 수 있다.
- [11] 또한, 상기 배선부는 상기 반도체 칩과 접속되는 제1 배선층과, 상기 제1 배선층을 절연하는 제1 절연층과, 상기 제1 배선층과 접속되는 기판을 포함하고, 상기 기판은 상기 제1 배선층과 접속되는 제2 배선층과, 상기 제2 배선층을 절연하는 제2 절연층을 포함하고, 상기 제2 절연층은 상기 제2 배선층을 노출하는 복수의 블라인드 비아 홀이 형성될 수 있다.
- [12] 또한, 상기 블라인드 비아 홀을 통해 상기 제2 배선층과 접속되는 외부 연결단자를 더 포함하고, 상기 배선부와 상기 외부 연결단자는 상기 반도체 칩의 활성영역을 외측으로 확장시켜 팬-아웃 구조를 형성할 수 있다.
- [13] 또한, 상기 제1 배선층은 재배선층을 형성하고, 상기 반도체 칩의 신호부와 접속되는 접속영역과 상기 접속영역을 외곽으로 확장하여 상기 반도체 칩의 외측에 위치하는 확장영역을 포함하고, 상기 막부재는 상기 반도체 칩과 동시에 상기 확장영역을 덮도록 마련될 수 있다.
- [14] 또한, 상기 충전부재는 상기 반도체 칩의 활성면에 언더필되어 충전될 수 있다.
- [15] 또한, 상기 막부재는 EMI(Electro Magnetic Interference)를 차폐할 수 있는 차폐막일 수 있다.
- [16] 또한, 상기 막부재는 세라믹, 플라스틱, 강화 유리, 또는 금속 등 중 하나 이상으로부터 선택될 수 있다.
- [17] 또한, 상기 막부재의 일 면을 밀봉하는 봉지재를 더 포함할 수 있다.
- [18] 본 발명의 다른 측면에 따르면, 배선층과 절연층을 포함하는 배선부를 형성하고, 활성면에 돌출되는 범프를 밀봉하도록 상기 활성면에 충전부재가 언더필된 반도체 칩을 준비하고, 상기 반도체 칩을 상기 배선부 상에 실장하되, 상기 반도체 칩을 고온에서 가압하여 상기 범프와 상기 배선층을 접속시키고, 상기 반도체 칩과 상기 배선층을 밀봉하도록 막부재를 코팅하는 반도체 패키지의 제조방법이 제공될 수 있다.
- [19] 또한, 상기 배선부를 형성하는 공정은, 제2 절연층과 상기 제2 절연층 상에 적층되는 제2 배선층을 포함하되, 상기 제2 절연층은 상기 제2 배선층을 노출하는 복수의 블라인드 비아 홀이 형성되는 절연 기판을 준비하고, 캐리어 상에 상기 블라인드 비아 홀이 마주보도록 상기 기판을 배치하고, 상기 제2 배선층에 패턴을 형성하고, 상기 제2 절연층에 제1 절연층을 적층하되, 상기 제2 배선층의 패턴 일부를 노출시키고, 상기 제1 절연층 상에 상기 제2 배선층과

접속되는 제1 배선층을 형성하는 공정을 포함하고, 상기 범프는 상기 제1 배선층과 접속되고, 상기 막부재는 상기 제1 배선층을 밀봉하도록 코팅할 수 있다.

[20] 또한, 상기 충전부재는 B-stage 상태로 언더필되고, 상기 반도체 칩이 상기 배선부에 실장된 후에 경화될 수 있다.

[21] 또한, 상기 반도체 칩은 웨이퍼 레벨에서 상기 충전부재가 언더필된 후에 개별 패키지 단위로 절단되고, 상기 패키지 단위로 절단된 상기 반도체 칩이 상기 배선부에 실장될 수 있다.

[22] 또한, 상기 캐리어 상에 상기 기판을 배치하기 전에, 상기 블라인드 비아 홀 내부에 금속피복층을 형성하여 상기 제2 배선층과 접속시키고, 상기 막부재를 밀봉한 후에 상기 캐리어를 제거하고, 상기 캐리어를 제거하여 노출되는 상기 금속피복층에 외부 접속단자를 부착할 수 있다.

발명의 효과

[23] 본 발명의 실시예에 따른 반도체 패키지 및 그 제조방법은 반도체 칩을 본딩하는 과정에서 발생하는 다이 이동 현상(Die drift)을 방지하여 미세 패턴 피치에 대응이 가능하다.

[24] 또한, 종래에 반도체 패키지의 일 면에 절연층과 배선층을 적층하여 배선부를 형성하는 빌드 업(Build-up) 공정과 비교할 때, 저가의 코어 기판(Core Substrate)에 배선 라우팅 공정을 접목하여 배선부를 형성함으로써 저가의 미세 패턴 기판의 제조가 가능하다. 따라서 제품의 가격을 낮출 수 있다.

[25] 또한, 코어 기판을 사용함으로써 기존에 사용되던 PCB(Printed Circuit Board) 대비 기판의 제조 공정이 단순해지고 비용이 절감될 수 있다.

[26] 또한, 칩 레벨이 아니라 패널 레벨로 배선을 형성하고 패키징함으로써 생산성이 향상될 수 있다.

[27] 또한, 종래에는 반도체 칩을 실장하기 위한 캐리어와 배선부를 형성하기 위한 캐리어가 별도로 사용되었던 것과 비교하여, 하나의 캐리어만을 사용하여 패키징할 수 있기 때문에 재료비와 공정 비용이 절감되는 효과가 있다.

[28] 또한, 다양한 기능을 가지는 막부재로 반도체 칩을 코팅함으로써, 반도체 칩을 기계적으로 보호하거나, EMI를 차폐하거나, 열을 방출하는 등의 기능을 수행할 수 있다.

도면의 간단한 설명

[29] 도 1은 본 발명의 제1 실시예에 따른 반도체 패키지를 나타내는 단면도이다.

[30] 도 2 내지 도 13은 본 발명의 제1 실시예에 따른 반도체 패키지를 제작하는 공정을 나타내는 도면으로,

[31] 도 2는 기판을 준비하는 과정을, 도 3은 비아 홀을 가공하는 과정을, 도 4는 금속피복층의 플레이팅 공정을, 도 5는 캐리어에 부착하는 공정을, 도 6은 배선 패턴을 형성하는 과정을, 도 7은 제1 절연층을 형성하는 공정을, 도 8은 제1

배선층을 형성하는 공정을, 도 9는 신호부가 형성된 반도체 칩을 준비하는 공정을, 도 10은 활성면을 몰딩하는 공정을, 도 11은 배선부에 반도체 칩을 본딩하는 공정을, 도 12는 막부재를 형성하는 공정을, 도 13은 캐리어를 제거하는 과정을, 도 14는 외부 접속단자를 부착하는 공정을 도시한다.

- [32] 도 15는 본 발명의 제2 실시예에 따른 반도체 패키지를 나타내는 단면도이다.
- [33] 도 16은 본 발명의 제3 실시예에 따른 반도체 패키지를 나타내는 단면도이다.
- [34] 도 17은 본 발명의 제4 실시예에 따른 반도체 패키지를 나타내는 단면도이다.

발명의 실시를 위한 최선의 형태

- [35] 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따르면, 절연층과 배선층을 포함하는 배선부; 상기 배선부 상에 실장되고, 상기 배선층과 플립 칩 본딩으로 결합되는 반도체 칩; 상기 반도체 칩과 상기 배선부 사이를 충전하는 충전부재; 및 상기 반도체 칩과 상기 충전부재와 상기 배선부의 일 면을 덮도록 코팅하는 막부재를 포함하는 반도체 패키지가 제공될 수 있다.
- [36] 또한, 상기 배선부는 상기 반도체 칩과 접속되는 제1 배선층과, 상기 제1 배선층을 절연하는 제1 절연층과, 상기 제1 배선층과 접속되는 기판을 포함하고, 상기 기판은 상기 제1 배선층과 접속되는 제2 배선층과, 상기 제2 배선층을 절연하는 제2 절연층을 포함하고, 상기 제2 절연층은 상기 제2 배선층을 노출하는 복수의 블라인드 비아 홀이 형성될 수 있다.
- [37] 또한, 상기 블라인드 비아 홀을 통해 상기 제2 배선층과 접속되는 외부 연결단자를 더 포함하고, 상기 배선부와 상기 외부 연결단자는 상기 반도체 칩의 활성영역을 외측으로 확장시켜 팬-아웃 구조를 형성할 수 있다.
- [38] 또한, 상기 제1 배선층은 재배선층을 형성하고, 상기 반도체 칩의 신호부와 접속되는 접속영역과 상기 접속영역을 외곽으로 확장하여 상기 반도체 칩의 외측에 위치하는 확장영역을 포함하고, 상기 막부재는 상기 반도체 칩과 동시에 상기 확장영역을 덮도록 마련될 수 있다.
- [39] 또한, 상기 충전부재는 상기 반도체 칩의 활성면에 언더필되어 충전될 수 있다.
- [40] 또한, 상기 막부재는 EMI(Electro Magnetic Interference)를 차폐할 수 있는 차폐막일 수 있다.
- [41] 또한, 상기 막부재는 세라믹, 플라스틱, 강화 유리, 또는 금속 등 중 하나 이상으로부터 선택될 수 있다.
- [42] 또한, 상기 막부재의 일 면을 밀봉하는 봉지재를 더 포함할 수 있다.
- [43] 상기 기술적 과제를 해결하기 위한 본 발명의 다른 실시예에 따르면, 배선층과 절연층을 포함하는 배선부를 형성하고, 활성면에 돌출되는 범프를 밀봉하도록 상기 활성면에 충전부재가 언더필된 반도체 칩을 준비하고, 상기 반도체 칩을 상기 배선부 상에 실장하되, 상기 반도체 칩을 고온에서 가압하여 상기 범프와 상기 배선층을 접속시키고, 상기 반도체 칩과 상기 배선층을 밀봉하도록 막부재를 코팅하는 반도체 패키지의 제조방법이 제공될 수 있다.

- [44] 또한, 상기 배선부를 형성하는 공정은, 제2 절연층과 상기 제2 절연층 상에 적층되는 제2 배선층을 포함하되, 상기 제2 절연층은 상기 제2 배선층을 노출하는 복수의 블라인드 비아 홀이 형성되는 절연 기판을 준비하고, 캐리어 상에 상기 블라인드 비아 홀이 마주보도록 상기 기판을 배치하고, 상기 제2 배선층에 패턴을 형성하고, 상기 제2 절연층에 제1 절연층을 적층하되, 상기 제2 배선층의 패턴 일부를 노출시키고, 상기 제1 절연층 상에 상기 제2 배선층과 접속되는 제1 배선층을 형성하는 공정을 포함하고, 상기 범프는 상기 제1 배선층과 접속되고, 상기 막부재는 상기 제1 배선층을 밀봉하도록 코팅할 수 있다.
- [45] 또한, 상기 충전부재는 B-stage 상태로 언더필되고, 상기 반도체 칩이 상기 배선부에 실장된 후에 경화될 수 있다.
- [46] 또한, 상기 반도체 칩은 웨이퍼 레벨에서 상기 충전부재가 언더필된 후에 개별 패키지 단위로 절단되고, 상기 패키지 단위로 절단된 상기 반도체 칩이 상기 배선부에 실장될 수 있다.
- [47] 또한, 상기 캐리어 상에 상기 기판을 배치하기 전에, 상기 블라인드 비아 홀 내부에 금속피복층을 형성하여 상기 제2 배선층과 접속시키고, 상기 막부재를 밀봉한 후에 상기 캐리어를 제거하고, 상기 캐리어를 제거하여 노출되는 상기 금속피복층에 외부 접속단자를 부착할 수 있다.

발명의 실시를 위한 형태

- [48] 이하에서는 본 발명의 실시예들을 첨부 도면을 참조하여 상세히 설명한다. 아래에서 소개하는 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 사상을 충분히 전달하기 위해 제시하는 것일 뿐, 본 발명이 제시하는 실시예만으로 한정되는 것은 아니다. 본 발명은 다른 실시형태로도 구체화될 수 있다. 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 도면에서 생략하였으며 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다. 또한, 이하 사용되는 용어 중 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [49] 도 1은 본 발명의 제1 실시예에 따른 반도체 패키지(100)를 나타내는 단면도이다.
- [50] 본 발명의 제1 실시예에 따른 반도체 패키지(100)는 반도체 칩(110)과, 반도체 칩(110)의 하부에 전기적으로 연결되는 배선부(120)와, 반도체 칩(110)과 배선부(120)를 일체화하도록 몰딩하는 충전부재(130)와, 배선부(120)에 전기적으로 연결되어 외부 회로(미도시)에 반도체 패키지(100)를 접속시키는 외부 연결단자(140)를 포함할 수 있다.
- [51] 반도체 칩(110) 집적회로(Die 또는 IC: Integrated Circuit)일 수 있다. 또는 반도체

칩(110)은 메모리칩이거나 로직칩일 수 있다. 일 예인 메모리 칩은 디램(DRAM), 에스램(SRAM), 플래시(flash), 피램(PRAM), 알이램(ReRAM), 에프이램(FRAM) 또는 엠램(MRAM) 등을 포함할 수 있다. 일 예인 로직칩은 메모리칩들을 제어하는 제어기일 수 있다.

- [52] 그리고 도면에는 하나의 반도체 칩(110)만이 도시되었지만, 하나의 패키지 안에 둘 이상의 반도체 칩(미도시)이 마련될 수 있다. 복수의 반도체 칩은 서로 같은 종류의 것일 수도, 또는 서로 다른 종류의 것일 수도 있다. 일 예로, 복수의 반도체 칩이 다른 종류의 것으로 마련되되 서로 전기적으로 연결되어 하나의 시스템으로 동작하는 시스템 인 패키지(System in Package, SiP)일 수 있다. 일 예로, 하나의 반도체 칩은 직접회로이고, 다른 반도체 칩은 능동소자 또는 수동소자일 수 있다.
- [53] 반도체 칩(110)은 회로가 형성되는 활성영역을 포함하는 활성면(111)을 구비할 수 있다. 그리고 활성면(111)의 반대면은 비활성면(112)일 수 있다. 활성면(111)에는 외부와 신호를 교환하기 위한 신호부(113)가 형성될 수 있다.
- [54] 도면에는 신호부(113)가 반도체 칩(110)의 일 면에 부착되는 범프인 것을 도시하였다. 일 예로, 신호부(113)는 구리 필러 범프(Cu pillar bump) 또는 솔더 범프(Solder bump)일 수 있다.
- [55] 또는 신호부(113)는 반도체 칩(110)과 일체로 형성되는 신호패드일 수도 있다. 이 경우 신호부(113)의 일 면은 활성면(111)과 동일 평면으로 마련될 수 있다.
- [56] 그리고 신호부(113)는 배선부(120)와 전기적으로 연결될 수 있다. 신호부(113)와 배선부(120)의 연결을 위해 신호부(113)의 일 측에는 도전성 접착물질(113a)이 도포될 수 있다. 예를 들어, 신호부(113)와 배선부(120)의 연결은 금속(납(Pb) 혹은 주석(Sn)을 포함)의 용융재에 의한 솔더 조인트 접합일 수 있다.
- [57] 배선부(120)는 반도체 칩(110)과 후술하는 외부 연결단자(140)를 전기적으로 연결할 수 있다. 배선부는 블라인드 비아(Blind via)를 가지는 코어 기판(124)을 이용하여 제작할 수 있다. 배선부의 제작 공정에 대하여는 아래에서 다시 설명하기로 한다.
- [58] 또한, 배선부(120)를 구성하는 기판(124)은 필요에 따라 소재를 선택함으로써 다양한 기능을 수행할 수 있다. 기판(124)은 열전도도가 높은 소재, EMI(Electro Magnetic Interference)를 차폐할 수 있는 소재, 또는 고강도 또는 고경도의 소재 등을 선택할 수 있다. 기판(124)은 세라믹, 플라스틱, 강화 유리, 또는 금속 등 중 하나 이상을 소재로 마련될 수 있다. 일 예로, 기판(124)은 폴리머 계열을 소재로 하여 유연성을 확보하거나, 메탈 소재로 마련되어 강성을 확보하거나, 세라믹 계열을 소재로 하여 방열 성능을 향상시킬 수 있다.
- [59] 그리고 배선부(120)는 금속배선의 재배치 공정으로 형성할 수 있다. 일 예로, 코어 기판(124)의 일 면에 포토 레지스트(Photo resist) 공정과 도금 공정을 이용하여 미세 패턴의 금속배선을 형성할 수 있다.

- [60] 배선부(120)는 배선층(121, 123)과 금속피복층(125)과 절연층(122) 및 절연 기관(124)을 포함할 수 있다. 배선층(121, 123)과 금속피복층(125)은 도전성 물질을 포함하며, 예를 들어 금속을 포함할 수 있다. 일 예로, 배선층(121, 123)은 구리, 알루미늄, 또는 이들의 합금을 포함할 수 있고, 금속피복층(125)은 전도성 레진일 수 있다.
- [61] 그리고 절연층(122) 및 기관(124)은 유기 또는 무기 절연 물질을 포함할 수 있다. 일 예로, 절연층(122) 및 기관(124)은 에폭시(epoxy) 수지를 포함할 수 있다.
- [62] 배선부(120)는 3층(three layer) 또는 2층(two layer)로 형성될 수 있다. 예를 들어, 배선부(120)는 서로 전기적으로 접속되는 제1 및 제2 배선층(121, 123)과 금속피복층(125)과, 제1 및 제2 배선층(121, 123)과 금속피복층(125)을 절연하는 절연층(122) 및 절연 기관(124)을 포함할 수 있다.
- [63] 또한, 제1 배선층(121)은 반도체 칩(110)의 신호부(113)에 접속되고, 제2 배선층(123)은 제1 배선층(121)에 연결되고, 금속피복층(125)은 후술하는 외부 연결단자(140)에 접속될 수 있다. 그리고 제1 및 제2 배선층(121, 123)은 절연층(122)과 기관(124) 상에 금속 패터닝(metal patterning) 공법으로 형성될 수 있고, 금속피복층(125)은 기관(124) 상에 금속 패터닝(metal patterning) 공법으로 형성될 수 있다.
- [64] 또한, 절연층(122)은 절연코팅(Dielectric coating)으로 형성될 수 있고, 기관(124)은 절연 기관에 비아 홀(124a)이 형성되어 마련될 수 있다.
- [65] 배선부(120)는 반도체 칩(110)을 재배선하여 회로를 형성할 수 있다. 즉, 반도체 칩(110)이 배선부(120)에 의해 재배선됨으로서 반도체 패키지(100)는 팬아웃 구조를 가질 수 있다. 따라서 반도체 칩(110)의 입출력 단자를 미세화하는 동시에 입출력 단자의 개수를 증가시킬 수 있다.
- [66] 충전부재(130)는 반도체 칩(110)과 배선부(120)를 일체화하도록 몰딩할 수 있다. 그리고 충전부재(130)는 반도체 칩(110)과 배선부(120)의 사이에 충전될 수 있다. 그리고 충전부재(130)는 일 면이 반도체 칩(110)의 활성면(111)을 지지하고, 타 면이 배선부(120)의 일 면을 지지할 수 있다. 그리고 충전부재(130)는 복수의 신호부(113) 사이를 충전할 수 있고, 복수의 제1 배선부(121) 사이를 충전할 수 있다.
- [67] 또한, 충전부재(130)는 절연물을 포함할 수 있다. 예를 들어, 충전부재(130)는 에폭시 계열로 마련될 수 있다.
- [68] 또한, 충전부재(130)는 언더필(fill) 형태로 충전될 수 있다. 언더필은 반도체 칩(110)의 활성면(111)을 덮도록 충전되는 형태를 의미한다. 일 예로, 충전부재(130)는 에폭시 플럭스 페이스트(Epoxy Flux Paste)가 언더필될 수 있다.
- [69] 그리고 충전부재(130)는 열전도율이 큰 열전도 충전부재(Thermally conductive EMC, 또는 열전도 강화수지)를 사용할 수 있다. 열전도 충전부재는 반도체 칩(110)으로부터 발생하는 열이 외부로 빠르게 배출될 수 있도록 하여 반도체 칩(110)의 과열을 방지할 수 있다.

- [70] 충전부재(130)는 반도체 패키지(100)의 구조적 특성을 안정화시킬 수 있다. 그리고 반도체 칩(110)이 외력에 의해 받는 충격을 완화시킬 수 있다. 또한, 반도체 칩(110)으로부터 발산되는 열을 흡수하거나 외부로 방출시킬 수 있다. 또한, 복수의 신호부(113)들이 미세 피치로 배치되는 경우에 제조공정에서 발생되는 고열이나 압력 등에 의해 정렬 오차가 발생하는 것을 방지할 수 있다.
- [71] 또한, 충전부재(130)는 반도체 칩(110)의 일 면 전 영역을 지지하도록 마련될 수 있다. 즉, 충전부재(130)는 활성면(111)의 전 영역을 지지할 수 있다. 또한, 충전부재(130)의 측면은 아래로 갈수록 단면적이 넓어지도록 마련될 수 있다. 즉, 충전부재(130)의 측면은 수직 방향에 대하여 경사면을 형성할 수 있다.
- [72] 외부 연결단자(140)는 배선부(120)와 전기적으로 연결되고, 반도체 패키지(100)가 외부 회로 또는 다른 반도체 패키지(미도시)에 접속되기 위한 매개로 사용될 수 있다. 일 예로, 외부 연결단자(140)는 일 측이 제2 배선층(123)에 접속되고, 타 측이 외부에 노출될 수 있다.
- [73] 도면에는 외부 연결단자(140)의 일 예로 솔더 볼을 도시하였지만, 솔더 범프 등을 포함한다. 그리고 외부 연결단자(140)는 솔더 이외의 다른 소재로도 마련될 수 있다.
- [74] 또한, 외부 연결단자(140)의 표면에는 유기물 코팅 또는 금속도금 등의 표면처리가 수행되어 표면이 산화되는 것을 방지할 수 있다. 예를 들면, 유기물은 OSP(Organic Solder Preservation) 코팅일 수 있으며, 금속도금은 금(Au), 니켈(Ni), 납(Pb), 또는 실버(Ag) 도금 등으로 처리될 수 있다.
- [75] 외부 연결단자(140)는 금속피복층(125)을 매개로 제2 배선층(123)과 접속될 수 있다. 다만, 이 과정은 필요에 따라 생략될 수 있다.
- [76] 본 발명의 제1 실시예에 따른 반도체 패키지(100)는 반도체 칩(110)의 활성 영역을 확장할 수 있는 팬아웃 구조를 포함한다. 이를 위해, 반도체 패키지(100)는 외부 연결단자(140)의 연결영역이 반도체 칩(110)의 활성영역 보다 더 넓도록 마련된다. 여기서 외부 연결단자(140)의 연결영역은 최외곽에 위치하는 외부 연결단자(140)를 연결하였을 때 형성되는 영역을 의미하고, 반도체 칩(110)의 활성영역은 최외곽에 위치하는 신호부(113)를 연결하였을 때 형성되는 영역을 의미한다.
- [77] 본 발명의 제1 실시예에 따른 반도체 패키지(100)는 반도체 칩(110)을 둘러싸는 막부재(150)를 더 포함할 수 있다.
- [78] 막부재(150)는 반도체 칩(110)을 외부로부터 보호하도록 마련될 수 있다. 일 예로, 막부재(150)는 반도체 칩(110)의 비활성면(112)과 측면을 덮도록 마련되고, 막부재(150)는 충전부재(130)의 측면과 배선부(120)의 상면을 덮도록 마련될 수 있다. 특히, 제1 배선층(121)이 외부로 노출되지 않도록 절연층(122)의 상부를 덮을 수 있다.
- [79] 본 발명의 실시예에 따른 반도체 패키지(100)는 충전부재(130)가 반도체 칩(110)의 활성면(111)과 배선부(120)의 사이에만 충전되고, 반도체 칩(110)의

비활성면(112)과 측면은 막부재(150)가 둘러싸도록 마련된다. 일반적으로 충전부재(130)는 반도체 칩(110)을 둘러싸도록 마련되어 반도체 칩(110)을 외부로부터 보호한다. 다만, 충전부재(130)의 두께로 인하여 전체적인 패키지 두께가 증가하고, 충전부재(130)를 밀봉하는 과정에서 발생하는 고열 또는 압력에 의해 반도체 칩(110)과 배선부(120) 사이의 오정렬(mis-align)이 발생할 수 있다.

[80] 그러나 본 발명의 실시예에 따른 반도체 패키지(100)의 막부재(150)는 반도체 칩(110)의 두께에 비해 얇은 막으로 마련됨으로써 반도체 패키지(100)의 슬림화가 가능하고, 막부재(150)를 형성하는 과정에서 반도체 칩(110)과 배선부(120) 사이의 오정렬이 발생하지 않는다.

[81] 또한, 막부재(150)는 필요에 따라 소재를 선택함으로써 다양한 기능을 수행할 수 있다. 막부재(150)는 열전도도가 높은 소재, EMI(Electro Magnetic Interference)를 차폐할 수 있는 소재, 또는 고강도 또는 고경도의 소재 등을 선택할 수 있다. 일 예로, 세라믹, 플라스틱, 강화 유리, 또는 금속 등 중 하나 이상을 선택할 수 있다.

[82] 또한, 도면에는 한 층의 막부재(150)가 반도체 칩(110)을 밀봉하는 것을 도시하였지만, 이와 달리 막부재(150)는 서로 다른 기능을 구비하는 둘 이상의 부재를 연속적으로 코팅하여 형성할 수 있다. 예를 들어, EMI 차폐 기능이 있는 소재로 반도체 칩(110)을 둘러싸도록 코팅한 후에, 그 위에 다시 고강도의 소재로 코팅할 수 있다.

[83] 또한, 도면에는 반도체 패키지(100)의 너비를 따라 막부재(150)의 두께가 일정한 것을 도시하였다. 그러나 이와 달리 막부재(150)의 두께가 위치에 따라 상이할 수도 있다. 예를 들어, 반도체 칩(110)의 주위를 둘러싸는 부분과 배선부(120)를 덮는 부분의 두께가 다르게 마련될 수 있다.

[84] 다음으로 도면을 참고하여 제1 실시예에 따른 반도체 패키지(100)의 제작 공정을 설명하기로 한다. 도 2 내지 도 13은 본 발명의 제1 실시예에 따른 반도체 패키지(100)를 제작하는 공정을 나타내는 단면도이다.

[85] 도 2는 기판(124)을 준비하는 과정을, 도 3은 비아 홀(124a)을 가공하는 과정을, 도 4는 금속피복층(125)의 플레이팅 공정을 도시한다.

[86] 도 2를 참고하면, 절연 기판(124) 상에 제2 배선층(123)이 적층된 상태의 인쇄기판을 준비한다. 이 때, 인쇄기판은 웨이퍼 레벨로 준비될 수 있다. 기판(124)은 배선부(120)의 지지부로 기능할 수 있다.

[87] 도 3을 참고하면, 절연 기판(124)에 블라인드 비아 홀(124a)을 가공한다. 블라인드 비아 홀(124a)은 절연 기판(124)을 관통하되, 제2 배선층(123)에 의해 일 측이 막혀 있는 비아 홀을 의미한다.

[88] 도 4를 참고하면, 비아 홀(124a) 내부에 금속피복층(125)을 마련한다. 금속피복층(125)은 도전성 물질로 마련되고, 금속 플레이팅(Metal Plating) 공정으로 제공될 수 있다.

- [89] 도 5는 캐리어(200)에 부착하는 공정을, 도 6은 배선 패턴을 형성하는 과정을, 도 7은 제1 절연층(122)을 형성하는 공정을, 도 8은 제1 배선층(121)을 형성하는 공정을 도시한다.
- [90] 도 5를 참고하면, 캐리어(200) 상에 웨이퍼 레벨의 절연 기판(124)을 탑재한다. 즉, 도면에는 편의상 하나의 캐리어(200) 상에 하나의 패키지 단위가 제조되는 것을 도시하였지만, 이와 달리 캐리어(200) 상에는 복수의 패키지 단위가 동시에 제조될 수 있다.
- [91] 절연 기판(124)은 블라인드 비아 홀(124a)의 개구가 아래를 향하는 상태에서 캐리어(200)에 탑재될 수 있다. 캐리어(200)는 배선부(120)과 반도체 칩(110)을 지지하기 위한 것으로 강성이 상당히 높고 열변형이 적은 재질로 마련될 수 있다. 캐리어(200)는 고형(rigid type)의 재료일 수 있으며, 예를 들어, 몰드 성형물 내지 폴리이미드 테이프(polyimide tape) 등의 재료를 사용할 수 있다.
- [92] 그리고 캐리어(200)의 일 면에는 접착층(201)이 마련될 수 있다. 접착층(201)은 양면 접착필름을 사용할 수 있으며, 일 면이 캐리어(200) 상에 부착되어 고정되고 타 면에 기판(124)이 부착될 수 있다.
- [93] 도 6을 참고하면, 제2 배선층(123)은 금속 패턴닝에 의해 배선 패턴이 형성될 수 있다. 이 때, 배선 패턴은 제2 배선층(123)과 금속피복층(125)이 서로 접촉되도록 형성된다.
- [94] 그리고 제2 배선층(123)은 패턴닝 과정에서 패키지 단위로 구분될 수 있다. 도면에는 하나의 패키지 단위 외측에서 제2 배선층(123)이 제거된 것을 도시하였다. 이는 제조공정의 마지막에서 패키지 단위로 절단할 때 제2 배선층(123)이 외부로 노출되는 것을 방지하기 위함이다.
- [95] 도 7을 참고하면, 기판(123) 상에 제1 절연층(122)이 적층될 수 있다. 제1 절연층(122)은 제2 배선층(123)을 덮도록 마련된다. 다만, 제1 절연층(122)은 제2 배선층(123)이 마련되는 영역에 복수의 개구(122a)를 형성할 수 있다. 개구(122a)는 제1 배선층(121)이 제2 배선층(123)에 접촉되는 영역이다.
- [96] 도 8을 참고하면, 제1 배선층(121)은 금속 패턴닝에 의해 배선 패턴이 형성될 수 있다. 이 때, 배선 패턴은 제1 배선층(122)이 제1 절연층(122)의 개구(122a)를 통해 제1 배선층(121)과 서로 접촉되도록 형성된다.
- [97] 제1 배선층(121)은 반도체 칩(110)의 신호부(113)와 직접 접촉되는 접촉영역(121b)과 접촉영역(121b)을 외곽으로 확장하는 확장영역(121c)으로 구분될 수 있다. 구체적으로 제1 배선층(121) 중 반도체 칩(110)의 신호부(113)와 직접 접촉되는 접촉영역(121b)은 신호부(113)가 마련되는 반도체 칩(110)의 활성영역에 대응되고, 확장영역(121c)은 접촉영역(121b)과 전기적으로 연결되면서 접촉영역(121b)을 반도체 칩(110)의 외곽으로 확장하도록 마련된다. 즉, 확장영역(121c)은 팬-아웃 패키지를 위한 재배선 패턴을 형성할 수 있다.
- [98] 도 9는 신호부(113)가 형성된 반도체 칩(110)을 준비하는 공정을, 도 10은 활성면(111)을 몰딩하는 공정을, 도 11은 배선부(120)에 반도체 칩(110)을

본딩하는 공정을, 도 12는 막부재(150)를 형성하는 공정을, 도 13은 캐리어(200)를 제거하는 과정을, 도 14는 외부 접속단자(140)를 부착하는 공정을 도시한다.

- [99] 도 9를 참고하면, 반도체 칩(110)은 일 면이 활성면(111)으로, 타 면이 비활성면(112)으로 마련될 수 있다. 그리고 활성면(111)에는 복수의 신호부(113)가 돌출될 수 있다. 신호부(113)는 범프일 수 있으며, 일 예로 구리 필러 범프(Cu pillar bump) 또는 솔더 범프(Solder bump)일 수 있다.
- [100] 신호부(113)의 단부에는 도전성 접착물질(113a)이 도포될 수 있다. 예를 들어, 도전성 접착물질(113a)은 금속(납(Pb) 혹은 주석(Sn)을 포함)의 용융재로 마련되어 신호부(113)와 제1 배선층(121)의 솔더 조인트 접합을 가능하게 할 수 있다.
- [101] 도 10을 참고하면, 반도체 칩(110)의 활성면(111)에는 충전부재(130)가 마련되고, 충전부재(130)는 신호부(113)를 덮도록 마련될 수 있다. 또는 도면과 달리 충전부재(130)는 신호부(113)의 일부만을 덮도록 마련될 수 있다.
- [102] 그리고 충전부재는 언더필(underfill) 형태로 몰딩될 수 있다. 그리고 충전부재(130)는 절연물을 포함할 수 있고, 예를 들어, 충전부재(130)는 에폭시 플럭스 페이스트(Epoxy Flux Paste)로 마련될 수 있다.
- [103] 충전부재(130)는 B-Stage 상태로 마련될 수 있다. 여기서 B-Stage는 가열함으로써 기자재가 말랑말랑한 반경화 상태가 되는 것, 즉 열경화성 수지의 경화 반응 과정의 중간상태를 의미한다.
- [104] 한편, 도 9와 도 10에는 편의상 패키지 단위의 반도체 칩(110)을 도시하였지만, 이와 달리 반도체 칩(110)은 웨이퍼 레벨로 제공될 수 있다. 즉, 반도체 칩(110)은 웨이퍼 레벨에서 신호부(113)가 부착되고 충전부재(130)가 언더필된 후에 패키지 단위로 절단될 수 있다.
- [105] 도 11을 참고하면, 배선부(120)에 반도체 칩(110)을 실장한다. 반도체 칩(110)은 플립 칩 본딩(Flip Chip Bonding) 공정으로 실장될 수 있다.
- [106] 반도체 칩(110)의 본딩 공정은 열압착(Thermo Compression Bonding)에 의할 수 있다. 이 때, 고온에 의해 B-Stage 상태로 마련되는 충전부재(130)가 반경화 상태로 되면서 반도체 칩(110)의 신호부(113)와 제1 배선층(121)이 접속될 수 있다. 구체적으로 도전성 접착물질(113a)을 사이에 두고 신호부(113)와 제1 배선층(121)이 접속될 수 있다.
- [107] 본 발명의 실시예는 충전부재(130)가 언더필 된 이후에 패키지 단위의 반도체 칩(110)이 플립 칩 본딩된다. 따라서 반도체 칩(110)이 플립 칩 본딩된 이후에 충전부재(130)가 언더필 되면서 발생할 수 있는 기포 등이 형성되지 않고, 반도체 칩(110)의 전기적 안정성을 향상시킬 수 있다.
- [108] 도 12를 참고하면, 반도체 칩(110)과 배선부(120)를 덮도록 막부재(150)를 코팅한다.
- [109] 막부재(150)는 반도체 칩(110)을 덮도록 마련되어 반도체 칩(110)을 외부로부터

차단시킬 수 있다. 일 예로, 막부재(150)는 반도체 칩(110)의 비활성면(112)과 측면을 덮도록 마련될 수 있다.

[110] 또한, 막부재(150)는 제1 배선층(121)이 외부로 노출되지 않도록 절연층(122)의 상부를 덮을 수 있다. 구체적으로 막부재(150)는 제1 배선층(121)의 확장영역(121c)을 덮도록 마련될 수 있다. 예를 들어, 막부재(150)는 반도체 칩(110)과 확장영역(121c)을 동시에 덮도록 마련될 수 있다.

[111] 막부재(150)는 반도체 칩(110)의 두께에 비해 얇은 막으로 마련될 수 있다. 또한, 고온 고압 공정 하에서 충전부재(130)로 반도체 칩(110)을 밀봉하는 것과 비교할 때, 코팅 공정에 의해 막부재(150)를 형성함으로써 반도체 칩(110)과 배선부(120) 사이에 오정렬이 생기지 않도록 할 수 있다.

[112] 또한, 막부재(150)는 필요에 따라 소재를 선택함으로써 다양한 기능을 수행할 수 있다. 막부재(150)는 열전도도가 높은 소재, EMI(Electro Magnetic Interference)를 차폐할 수 있는 소재, 또는 고강도 또는 고경도의 소재 등을 선택할 수 있다. 일 예로, 세라믹, 플라스틱, 강화 유리, 또는 금속 등 중 하나 이상을 선택할 수 있다.

[113] 도 13을 참고하면, 막부재(150)를 형성한 후에 캐리어(200)를 제거할 수 있다.

[114] 캐리어(200)가 제거된 후에는 절연 기관(124)의 블라인드 비아 홀(124a)이 노출된다.

[115] 도 14를 참고하면, 외부 연결단자(140)가 설치될 수 있다.

[116] 외부 연결단자(140)는 배선부(120)의 일 면에 부착되어 반도체 패키지(100)를 외부와 전기적으로 연결한다. 구체적으로, 외부 연결단자(140)는 블라인드 비아 홀(124a)를 통해 노출되는 금속피복층(125)에 접속될 수 있다. 여기서 외부는 외부 회로 또는 다른 반도체 패키지(미도시)가 될 수 있다. 도면에는 외부 연결단자(140)의 일 예로 솔더 볼을 나타내었지만 솔더범프 등을 포함한다.

[117] 도 15는 본 발명의 제2 실시예에 따른 반도체 패키지(101)를 나타내는 단면도이다.

[118] 도 14와 도 15를 비교하면, 본 발명의 제2 실시예에 따른 반도체 패키지(101)는 막부재(150)의 외측에 봉지재(160)를 몰딩하여 막부재(150) 및 반도체 칩(110)을 외부로부터 보호할 수 있다.

[119] 봉지재(160)는 반도체 칩(110)과 배선부(120)를 일체화하도록 몰딩할 수 있다. 봉지재(160)는 절연물을 포함할 수 있고, 예를 들어 에폭시 몰딩 컴파운드(epoxy mold compound, EMC) 또는 엔캡슐런트(encapsulant)를 포함할 수 있다.

[120] 봉지재(160)는 유동성이 있는 상태에서 주입된 후 고온 환경에서 경화될 수 있다. 일 예로, 봉지재(160)를 가열함과 동시에 가압하는 과정을 포함할 수 있으며, 이 때 진공 공정을 추가하여 봉지재(140) 내부의 가스 등을 제거할 수 있다. 봉지재(160)가 경화되면서 반도체 칩(110)과 배선부(120)는 일체화되어 하나의 구조체를 이룬다.

[121] 봉지재(160)는 막부재(150)의 전 면을 둘러싸도록 마련될 수 있다. 그리고

봉지재(160)와 막부재(150)와 배선부(120)의 측면들은 동일 평면으로 마련될 수 있다. 그리고 봉지재(160)가 밀봉된 이후에 반도체 패키지(101)는 단면이 직사각형 형상으로 마련될 수 있다.

[122] 봉지재(160)와 막부재(150)가 동시에 마련되는 경우, 둘은 서로 다른 기능을 수행할 수 있다. 일 예로, 막부재(150)는 EMI를 차폐하는 기능을 수행하고, 봉지재(160)는 반도체 패키지(101)를 기계적으로 보호하는 기능을 수행할 수 있다.

[123] 도 16은 본 발명의 제3 실시예에 따른 반도체 패키지(102)를 나타내는 단면도이다.

[124] 도 15와 도 16을 비교하면, 본 발명의 제3 실시예에 따른 반도체 패키지(102)는 외부 연결단자(140)가 생략될 수 있다. 외부 연결단자(140)가 생략되는 경우 절연기관의 블라인드 비아홀(124a)을 통해 금속피복층(125)이 외부로 노출될 수 있다. 또는 금속피복층(125)이 생략되고 제2 배선층(123)이 외부로 노출될 수도 있다.

[125] 도 17은 본 발명의 제4 실시예에 따른 반도체 패키지(103)를 나타내는 단면도이다.

[126] 도 14와 도 17을 비교하면, 본 발명의 제4 실시예에 따른 반도체 패키지(103)는 막부재(150)가 생략될 수 있다.

[127] 반도체 패키지(103)가 외부의 충격 또는 오염 등으로부터 자유로운 경우에는 막부재(150)가 생략될 수도 있다. 이 경우에도 반도체 칩(110)과 배선부(120)의 연결부위에는 충전부재(130)가 언더필 되어 있기 때문에 반도체 칩(110)의 전기적 접속이 안정될 수 있다.

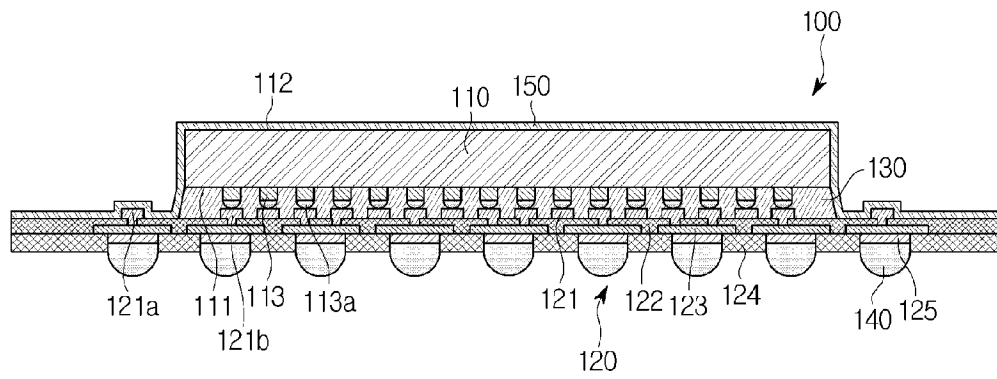
[128] 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

청구범위

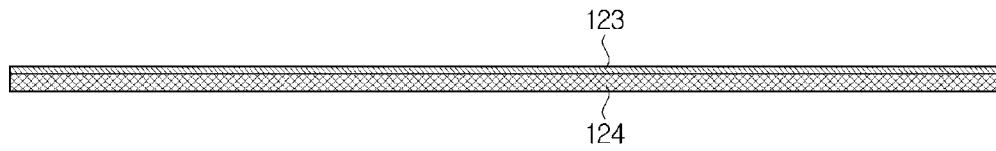
- [청구항 1] 절연층과 배선층을 포함하는 배선부;
 상기 배선부 상에 실장되고, 상기 배선층과 플립 칩 본딩으로 결합되는 반도체 칩;
 상기 반도체 칩과 상기 배선부 사이를 충진하는 충진부재; 및
 상기 반도체 칩과 상기 충진부재와 상기 배선부의 일 면을 덮도록 코팅하는 막부재를 포함하는 반도체 패키지.
- [청구항 2] 제1항에 있어서,
 상기 배선부는 상기 반도체 칩과 접속되는 제1 배선층과, 상기 제1 배선층을 절연하는 제1 절연층과, 상기 제1 배선층과 접속되는 기판을 포함하고,
 상기 기판은 상기 제1 배선층과 접속되는 제2 배선층과, 상기 제2 배선층을 절연하는 제2 절연층을 포함하고,
 상기 제2 절연층은 상기 제2 배선층을 노출하는 복수의 블라인드 비아 홀이 형성되는 반도체 패키지.
- [청구항 3] 제2항에 있어서,
 상기 블라인드 비아 홀을 통해 상기 제2 배선층과 접속되는 외부 연결단자를 더 포함하고,
 상기 배선부와 상기 외부 연결단자는 상기 반도체 칩의 활성영역을 외측으로 확장시켜 팬-아웃 구조를 형성하는 반도체 패키지.
- [청구항 4] 제2항에 있어서,
 상기 제1 배선층은 재배선층을 형성하고, 상기 반도체 칩의 신호부와 접속되는 접속영역과 상기 접속영역을 외곽으로 확장하여 상기 반도체 칩의 외측에 위치하는 확장영역을 포함하고,
 상기 막부재는 상기 반도체 칩과 동시에 상기 확장영역을 덮도록 마련되는 반도체 패키지.
- [청구항 5] 제1항에 있어서,
 상기 충진부재는 상기 반도체 칩의 활성면에 언더필되어 충진되는 반도체 패키지.
- [청구항 6] 제1항에 있어서,
 상기 막부재는 EMI(Electro Magnetic Interference)를 차폐할 수 있는 차폐막인 반도체 패키지.
- [청구항 7] 제1항에 있어서,
 상기 막부재는 세라믹, 플라스틱, 강화 유리, 또는 금속 등 중 하나 이상으로부터 선택되는 반도체 패키지.
- [청구항 8] 제1항에 있어서,
 상기 막부재의 일 면을 밀봉하는 봉지재를 더 포함하는 반도체 패키지.

- [청구항 9] 배선층과 절연층을 포함하는 배선부를 형성하고,
 활성면에 돌출되는 범프를 밀봉하도록 상기 활성면에 충전부재가
 언더필된 반도체 칩을 준비하고,
 상기 반도체 칩을 상기 배선부 상에 실장하되, 상기 반도체 칩을 고온에서
 가압하여 상기 범프와 상기 배선층을 접속시키고,
 상기 반도체 칩과 상기 배선층을 밀봉하도록 막부재를 코팅하는 반도체
 패키지의 제조방법.
- [청구항 10] 제9항에 있어서,
 상기 배선부를 형성하는 공정은,
 제2 절연층과 상기 제2 절연층 상에 적층되는 제2 배선층을 포함하되,
 상기 제2 절연층은 상기 제2 배선층을 노출하는 복수의 블라인드 비아
 홀이 형성되는 절연 기판을 준비하고,
 캐리어 상에 상기 블라인드 비아 홀이 마주보도록 상기 기판을 배치하고,
 상기 제2 배선층에 패턴을 형성하고,
 상기 제2 절연층에 제1 절연층을 적층하되, 상기 제2 배선층의 패턴
 일부를 노출시키고,
 상기 제1 절연층 상에 상기 제2 배선층과 접속되는 제1 배선층을
 형성하는 공정을 포함하고,
 상기 범프는 상기 제1 배선층과 접속되고,
 상기 막부재는 상기 제1 배선층을 밀봉하도록 코팅하는 반도체 패키지의
 제조방법.
- [청구항 11] 제10항에 있어서,
 상기 충전부재는 B-stage 상태로 언더필되고,
 상기 반도체 칩이 상기 배선부에 실장된 후에 경화되는 반도체 패키지의
 제조방법.
- [청구항 12] 제9항에 있어서,
 상기 반도체 칩은 웨이퍼 레벨에서 상기 충전부재가 언더필된 후에 개별
 패키지 단위로 절단되고,
 상기 패키지 단위로 절단된 상기 반도체 칩이 상기 배선부에 실장되는
 반도체 패키지의 제조방법.
- [청구항 13] 제10항에 있어서,
 상기 캐리어 상에 상기 기판을 배치하기 전에, 상기 블라인드 비아 홀
 내부에 금속피복층을 형성하여 상기 제2 배선층과 접속시키고,
 상기 막부재를 밀봉한 후에 상기 캐리어를 제거하고,
 상기 캐리어를 제거하여 노출되는 상기 금속피복층에 외부 접속단자를
 부착하는 반도체 패키지 제조방법.

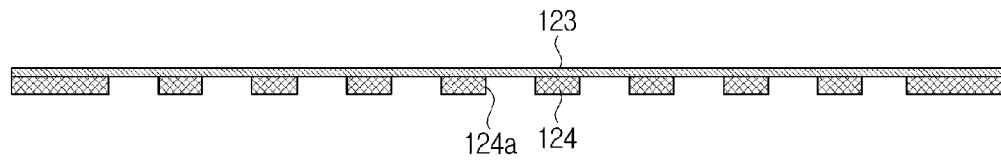
[51]



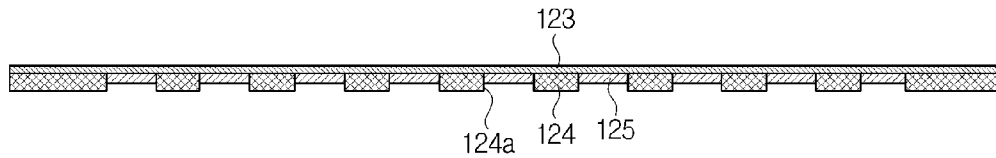
[도2]



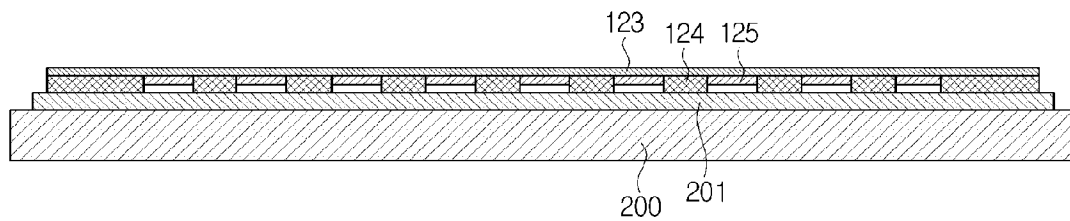
[도3]



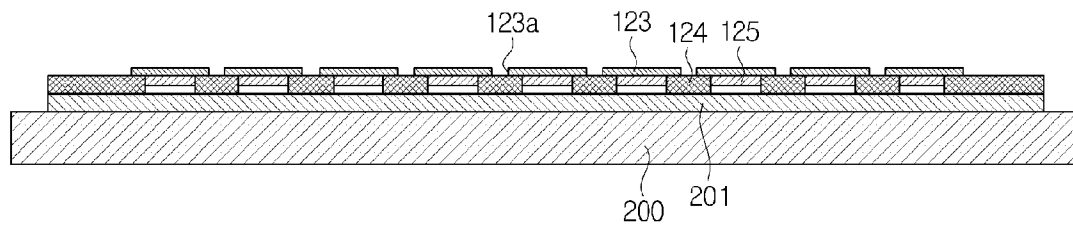
[54]



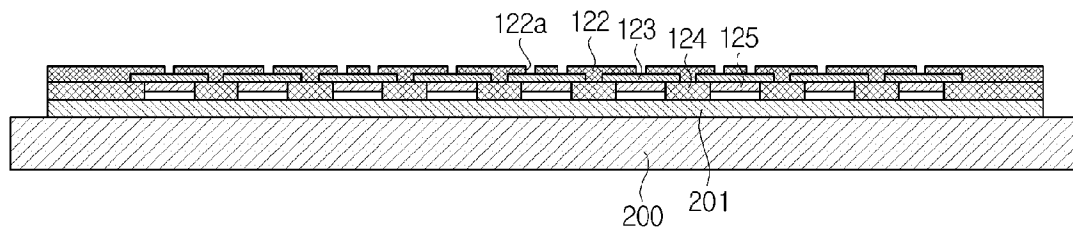
[도5]



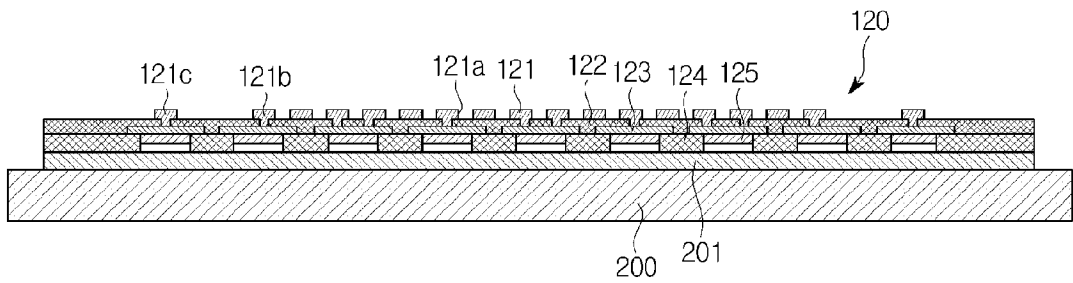
[도6]



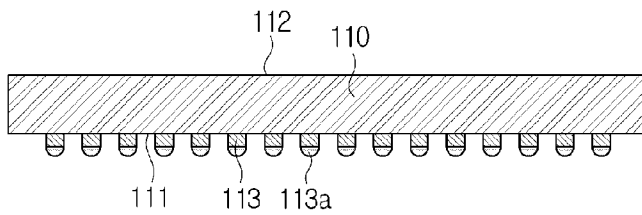
[도7]



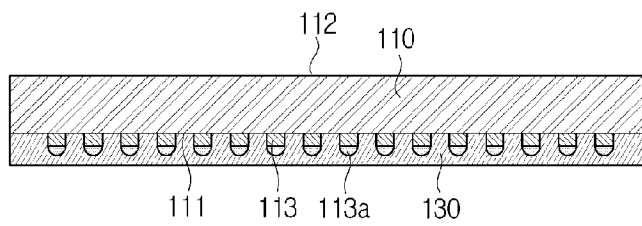
[도8]



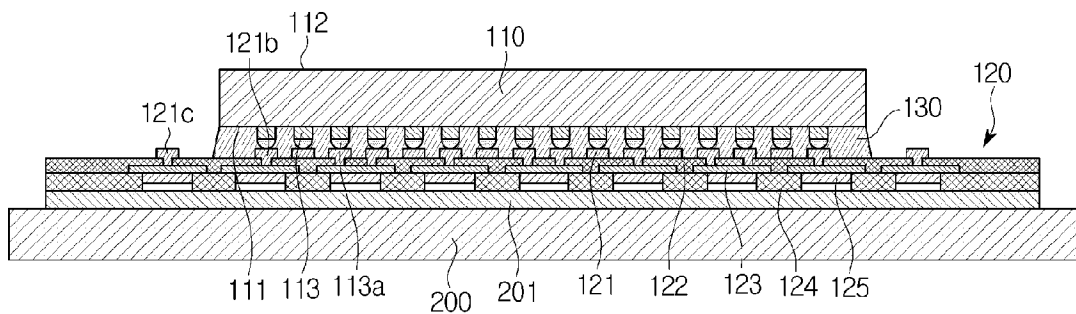
[도9]



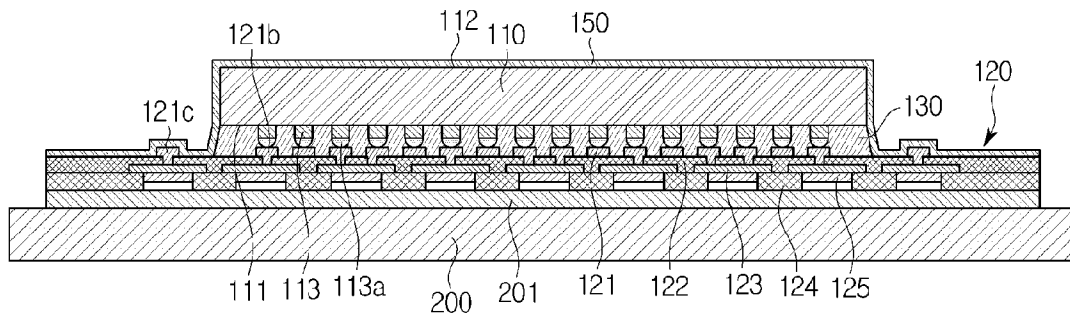
[도10]



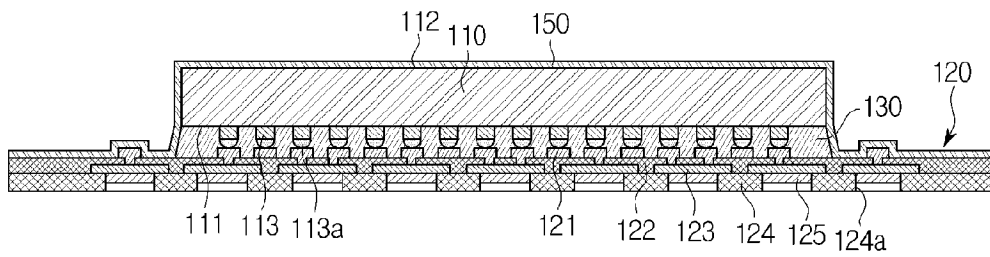
[도11]



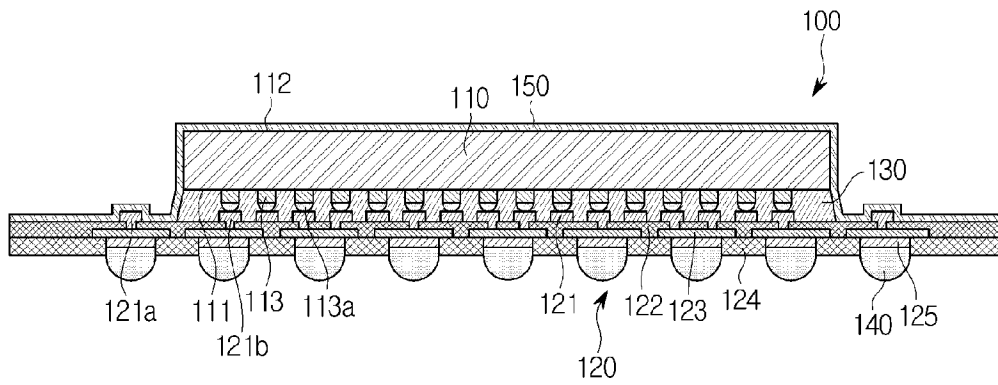
[도12]



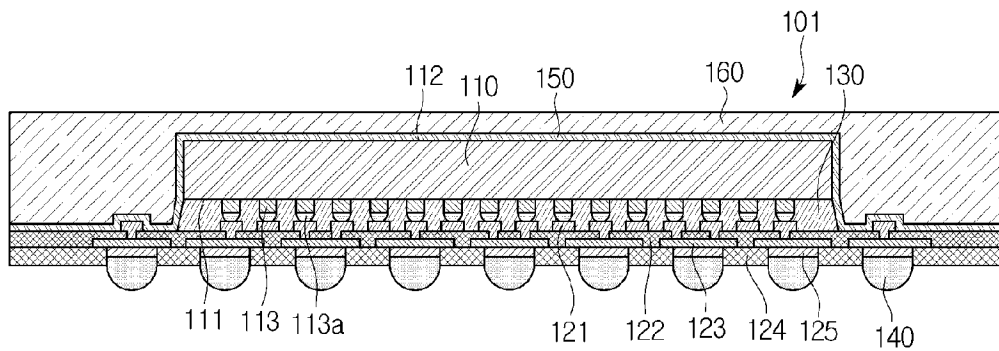
[도13]



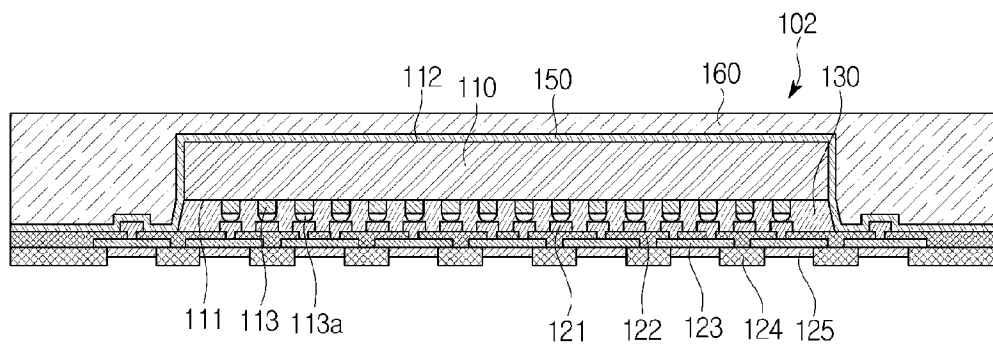
[도14]



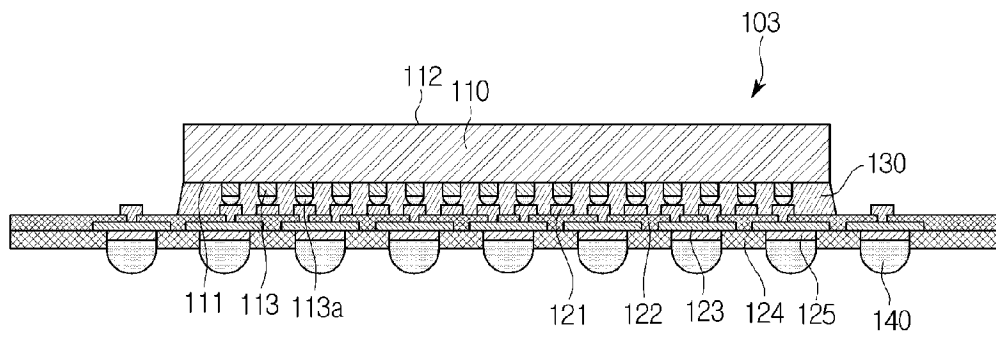
[도15]



[도16]



[도17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/003644

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/31(2006.01)i, H01L 21/56(2006.01)i, H01L 23/498(2006.01)i, H01L 23/522(2006.01)i, H01L 23/525(2006.01)i, H01L 23/552(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/31; H01L 23/34; H01L 23/60; H01L 23/12; H01L 21/301; H01L 21/56; H01L 23/498; H01L 23/522; H01L 23/525; H01L 23/552

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: package, filling member, membrane member, package, mold, fil, chip

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2015-0047167 A (AMKOR TECHNOLOGY KOREA, INC.) 04 May 2015 See paragraphs [0034]-[0048], claims 1-4 and figure 4.	1,5-8
Y		2-4,9-12
A		13
Y	KR 10-2013-0069438 A (NITTO DENKO CORPORATION) 26 June 2013 See paragraphs [0104], [0134]-[0135] and figures 2c-2e.	9-12
Y	KR 10-2012-0053332 A (SAMSUNG ELECTRONICS CO., LTD.) 25 May 2012 See paragraph [0038] and figure 3.	2-4
Y	JP 2005-166902 A (HITACHI CHEM. CO., LTD.) 23 June 2005 See paragraph [0012] and figure 5.	10-11
A	KR 10-2008-0077177 A (FREESCALE SEMICONDUCTOR, INC.) 21 August 2008 See paragraphs [0034]-[0036] and figures 14-15.	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 JULY 2017 (21.07.2017)

Date of mailing of the international search report

24 JULY 2017 (24.07.2017)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/003644

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0047167 A	04/05/2015	KR 10-1563910 B1	28/10/2015
KR 10-2013-0069438 A	26/06/2013	CN 103165474 A	19/06/2013
		JP 2013-127997 A	27/06/2013
		JP 2013-127998 A	27/06/2013
		JP 2013-127999 A	27/06/2013
		JP 5889625 B2	22/03/2016
		JP 5907717 B2	26/04/2016
		TW 201334127 A	16/08/2013
		US 2013-0157415 A1	20/06/2013
KR 10-2012-0053332 A	25/05/2012	CN 102573279 A	11/07/2012
		DE 102011086473 A1	24/05/2012
		JP 2012-109572 A	07/06/2012
		TW 201234542 A	16/08/2012
		US 2012-0119346 A1	17/05/2012
JP 2005-166902 A	23/06/2005	JP 4192772 B2	10/12/2008
KR 10-2008-0077177 A	21/08/2008	EP 1964167 A2	03/09/2008
		JP 2009-520366 A	21/05/2009
		JP 2009-520367 A	21/05/2009
		TW 200802789 A	01/01/2008
		US 2007-0141751 A1	21/06/2007
		US 2007-0161170 A1	12/07/2007
		US 2008-0108179 A1	08/05/2008
		US 2010-0013065 A1	21/01/2010
		US 2011-0210395 A1	01/09/2011
		US 2013-0009222 A1	10/01/2013
		US 7968394 B2	28/06/2011
		US 8044494 B2	25/10/2011
		US 8314448 B2	20/11/2012
		US 8633515 B2	21/01/2014
		WO 2007-120282 A2	25/10/2007
		WO 2007-120282 A3	10/04/2008
		WO 2007-120283 A2	25/10/2007
		WO 2007-120283 A3	23/10/2008

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/31(2006.01)i, H01L 21/56(2006.01)i, H01L 23/498(2006.01)i, H01L 23/522(2006.01)i, H01L 23/525(2006.01)i, H01L 23/552(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 23/31; H01L 23/34; H01L 23/60; H01L 23/12; H01L 21/301; H01L 21/56; H01L 23/498; H01L 23/522; H01L 23/525; H01L 23/552

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 패키지, 충전부재, 막부재, package, mold, fill, chip

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2015-0047167 A (애플 테크놀로지 코리아 주식회사) 2015.05.04 단락 [0034]-[0048], 청구항 1-4 및 도면 4 참조.	1,5-8
Y		2-4,9-12
A		13
Y	KR 10-2013-0069438 A (닛토덴코 가부시카이가이샤) 2013.06.26 단락 [0104], [0134]-[0135] 및 도면 2c-2e 참조.	9-12
Y	KR 10-2012-0053332 A (삼성전자주식회사) 2012.05.25 단락 [0038] 및 도면 3 참조.	2-4
Y	JP 2005-166902 A (HITACHI CHEM. CO., LTD.) 2005.06.23 단락 [0012] 및 도면 5 참조.	10-11
A	KR 10-2008-0077177 A (프리스케일 세미컨덕터, 인크.) 2008.08.21 단락 [0034]-[0036] 및 도면 14-15 참조.	1-13

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 07월 21일 (21.07.2017)

국제조사보고서 발송일

2017년 07월 24일 (24.07.2017)

ISA/KR의 명칭 및 우편주소



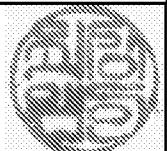
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0047167 A	2015/05/04	KR 10-1563910 B1	2015/10/28
KR 10-2013-0069438 A	2013/06/26	CN 103165474 A	2013/06/19
		JP 2013-127997 A	2013/06/27
		JP 2013-127998 A	2013/06/27
		JP 2013-127999 A	2013/06/27
		JP 5889625 B2	2016/03/22
		JP 5907717 B2	2016/04/26
		TW 201334127 A	2013/08/16
		US 2013-0157415 A1	2013/06/20
KR 10-2012-0053332 A	2012/05/25	CN 102573279 A	2012/07/11
		DE 102011086473 A1	2012/05/24
		JP 2012-109572 A	2012/06/07
		TW 201234542 A	2012/08/16
		US 2012-0119346 A1	2012/05/17
JP 2005-166902 A	2005/06/23	JP 4192772 B2	2008/12/10
KR 10-2008-0077177 A	2008/08/21	EP 1964167 A2	2008/09/03
		JP 2009-520366 A	2009/05/21
		JP 2009-520367 A	2009/05/21
		TW 200802789 A	2008/01/01
		US 2007-0141751 A1	2007/06/21
		US 2007-0161170 A1	2007/07/12
		US 2008-0108179 A1	2008/05/08
		US 2010-0013065 A1	2010/01/21
		US 2011-0210395 A1	2011/09/01
		US 2013-0009222 A1	2013/01/10
		US 7968394 B2	2011/06/28
		US 8044494 B2	2011/10/25
		US 8314448 B2	2012/11/20
		US 8633515 B2	2014/01/21
		WO 2007-120282 A2	2007/10/25
		WO 2007-120282 A3	2008/04/10
		WO 2007-120283 A2	2007/10/25
		WO 2007-120283 A3	2008/10/23