



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I570731 B

(45)公告日：中華民國 106 (2017) 年 02 月 11 日

(21)申請案號：101117385

(22)申請日：中華民國 101 (2012) 年 05 月 16 日

(51)Int. Cl. : G11C16/06 (2006.01)

G11C8/08 (2006.01)

(30)優先權：2011/05/20 日本

2011-114182

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：松崎隆德 MATSUZAKI, TAKANORI (JP) ; 井上廣樹 INOUE, HIROKI (JP) ; 長塚
修平 NAGATSUKA, SHUHEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6353550B1

US 6510073B1

US 6731530B2

US 7149137B2

US 7209384B1

審查人員：賴炳成

申請專利範圍項數：8 項 圖式數：31 共 128 頁

(54)名稱

半導體裝置的驅動方法

METHOD FOR DRIVING SEMICONDUCTOR DEVICE

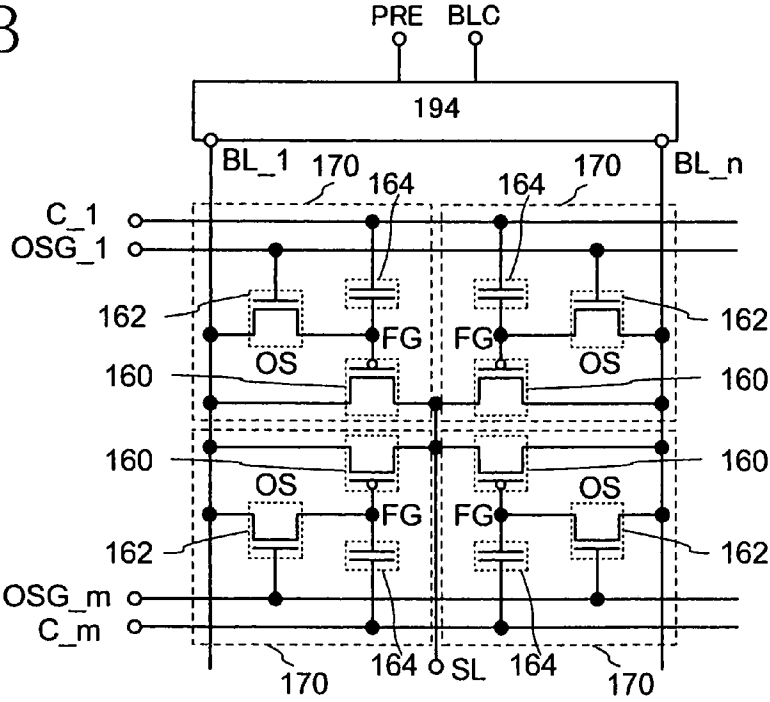
(57)摘要

一種具有非揮發性儲存單元的半導體裝置，該儲存單元包括使用氧化物半導體的寫入用電晶體、使用與該電晶體不同的半導體材料的讀出用電晶體以及電容元件。對儲存單元的寫入藉由如下方式進行：使寫入用電晶體成為導通狀態而將電位供應給寫入用電晶體的源極、電容元件的一方電極以及讀出用電晶體的閘電極彼此電連接的節點，然後藉由使寫入用電晶體成為截止狀態，以使節點保持指定量的電位。儲存單元的讀出藉由如下方式進行：對位元線供應預充電位之後停止對位元線供應電位，此時，根據位元線的電位保持預充電位還是降低而進行讀出。

A semiconductor device includes a nonvolatile memory cell including a writing transistor including an oxide semiconductor, a reading transistor including a semiconductor material different from that of the writing transistor, and a capacitor. Data is written to the memory cell by turning on the writing transistor so that a potential is supplied to a node where a source electrode of the writing transistor, one electrode of the capacitor, and a gate electrode of the reading transistor are electrically connected, and then turning off the writing transistor so that a predetermined potential is held in the node. Data is read out from the memory cell by supplying a precharge potential to a bit line, stopping the supply of the potential to the bit line, and determining whether the potential of the bit line is kept at the precharge potential or decreased.

指定代表圖：

圖2B



- 符號簡單說明：
- 162 . . . 電晶體
 - 160 . . . 電晶體
 - 194 . . . 驅動電路
 - 170 . . . 儲存單元
 - 164 . . . 電容元件
 - PRE . . . 預充電位
供應佈線
 - BLC . . . 位元線轉
換信號線
 - FG . . . 節點
 - SL . . . 源極線

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101117385

※申請日：101 年 05 月 16 日

※IPC 分類：G11C 16/06 (2006.01)
G11C 8/08 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置的驅動方法

Method for driving semiconductor device

二、中文發明摘要：

一種具有非揮發性儲存單元的半導體裝置，該儲存單元包括使用氧化物半導體的寫入用電晶體、使用與該電晶體不同的半導體材料的讀出用電晶體以及電容元件。對儲存單元的寫入藉由如下方式進行：使寫入用電晶體成為導通狀態而將電位供應給寫入用電晶體的源極、電容元件的一方電極以及讀出用電晶體的閘電極彼此電連接的節點，然後藉由使寫入用電晶體成為截止狀態，以使節點保持指定量電位。儲存單元的讀出藉由如下方式進行：對位元線供應預充電位之後停止對位元線供應電位，此時，根據位元線的電位保持預充電位還是降低而進行讀出。

三、英文發明摘要：

A semiconductor device includes a nonvolatile memory cell including a writing transistor including an oxide semiconductor, a reading transistor including a semiconductor material different from that of the writing transistor, and a capacitor. Data is written to the memory cell by turning on the writing transistor so that a potential is supplied to a node where a source electrode of the writing transistor, one electrode of the capacitor, and a gate electrode of the reading transistor are electrically connected, and then turning off the writing transistor so that a predetermined potential is held in the node. Data is read out from the memory cell by supplying a precharge potential to a bit line, stopping the supply of the potential to the bit line, and determining whether the potential of the bit line is kept at the precharge potential or decreased.

四、指定代表圖：

(一) 本案指定代表圖為：第 (2B) 圖。

(二) 本代表圖之元件符號簡單說明：

162：電晶體

160：電晶體

194：驅動電路

170：儲存單元

164：電容元件

PRE：預充電位供應佈線

BLC：位元線轉換信號線

FG：節點

SL：源極線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明關於係一種利用半導體元件的半導體裝置及該半導體裝置的驅動方法。

【先前技術】

利用半導體元件的記憶裝置可以粗分為如果沒有電力供給儲存內容就消失的揮發性記憶裝置和即使沒有電力供給也保持儲存內容的非揮發性記憶裝置。

作為揮發性記憶裝置的典型例子，有 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）。DRAM 選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資料。

根據上述原理，因為當從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資訊時都需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中因截止狀態下的源極和汲極之間的洩漏電流（關態電流）等而即使電晶體未被選擇電荷也流出或流入，所以資料的保持期間較短。為此，需要按指定的週期再次進行寫入工作（更新工作），由此，難以充分降低耗電量。另外，因為如果沒有電力供給儲存內容就消失，所以需要利用磁性材料或光學材料的其他記憶裝置以實現較長期間的儲存保持。

作為揮發性記憶裝置的另一例子，有 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM

使用正反器等電路保持儲存內容，而不需要進行更新工作，在這一點上 SRAM 優越於 DRAM。但是，因為 SRAM 使用正反器等電路，所以存在儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性記憶裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘電極和通道形成區域之間具有浮動閘極，在該浮動閘極保持電荷而進行儲存，因此，快閃記憶體具有資料保持期間極長（半永久）且即使沒有電力供給也可以保持儲存內容的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的穿隧電流會引起構成記憶元件的閘極絕緣層的劣化，因此發生因指定次數的寫入而使記憶元件不能工作的問題。為了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均等的方法，但是，為了使用該方法，需要具有複雜的週邊電路。另外，即使使用上述方法，也不能從根本上解決使用壽命的問題。就是說，快閃記憶體不合適於資料的改寫頻率高的用途。

另外，為了對浮動閘極注入電荷或者去除該電荷，需要高電壓和用於該目的的電路。再者，還有由於電荷的注入或去除需要較長時間而難以實現寫入或擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭 57-105889 號公

報

【發明內容】

鑒於上述問題，所公開的發明的一個方式的目的之一在於：提供一種即使沒有電力供給也能夠保持儲存內容且對寫入次數也沒有限制的半導體裝置的驅動方法。

爲了實現上述目的，在本發明的一個方式中提供一種具有非揮發性儲存單元的半導體裝置，該非揮發性儲存單元包括：使用氧化物半導體的寫入用電晶體；使用與該寫入用電晶體不同的半導體材料的讀出用電晶體；以及電容元件。對該儲存單元的寫入及改寫資料藉由如下步驟來進行：使寫入用電晶體成爲導通狀態，將電位供應給寫入用電晶體的源極電極和汲極電極中的一方、電容元件的一方電極以及讀出用電晶體的閘電極彼此電連接的節點，然後，藉由使寫入用電晶體成爲截止狀態，使節點保持指定量的電位。另外，從該儲存單元的讀出資料藉由如下步驟來進行：將接地電位供應給與讀出用電晶體的汲極電極電連接的源極線，且將與讀出用電晶體的源極電極電連接的位元線設定爲接地電位和電源電位之間的預充電位，然後停止對位元線供應電位，而位元線的電位根據保持在儲存節點中的電位變動。

更明確地說，例如，可以使用如下結構及驅動方法。

在本發明的一個方式中，第一電晶體的源極電極電連接到位元線，第一電晶體的汲極電極電连接到源極線，且第一

電晶體的閘電極、第二電晶體的汲極電極和電容元件的一方電極彼此電連接而構成保持電位的節點。在該構成中本發明的一個方式是一種半導體裝置的驅動方法，包括：寫入期間及寫入期間後的讀出期間，其中藉由在該讀出期間中將接地電位供應給源極線，將位元線連接到預充電位供應佈線而將位元線設定為預充電位之後解除位元線和預充電位供應佈線之間的連接，而位元線的電位根據保持在節點中的電位變動。

另外，在上述結構中，根據位元線的電位的變動，可以讀出保持在節點中的電位。

另外，在本發明的一個方式中儲存單元陣列包括多個位元線、至少一個源極線以及多個儲存單元。在該儲存單元之一中第一電晶體的源極電極電連接到多個位元線之一，第一電晶體的汲極電極電連接到源極線，並且第一電晶體的閘電極、第二電晶體的汲極電極及電容元件的一方電極彼此電連接而構成保持電位的節點。在該構成中本發明的一個方式是一種半導體裝置的驅動方法，包括：寫入期間及寫入期間後的讀出期間，其中藉由在該讀出期間中對選擇的儲存單元之一的源極線供應接地電位，將位元線連接到預充電位供應佈線而將該位元線設定為預充電位，且解除選擇的儲存單元的位元線和預充電位供應佈線之間的連接，而位元線的電位根據保持在節點中的電位變動。

另外，在上述結構中，根據位元線的電位的變動，可以讀出保持在選擇的儲存單元之一的節點中的電位。

此外，在上述結構中，在讀出期間中，可以將非選擇的儲存單元之一的源極線與預充電位供應佈線連接。

此外，在上述結構中，第一電晶體可以為 p 通道型電晶體或 n 通道型電晶體。

此外，在上述結構中，在第二電晶體的通道形成區可以包含氧化物半導體。

另外，在本發明說明等中，“上”或“下”的用語不侷限於構成要素的位置關係為“直接在 xx 之上”或“直接在 xx 之下”。例如，“閘極絕緣層上的閘電極”包括在閘極絕緣層和閘電極之間包含其他構成要素的情況。

另外，在本發明說明等中，“電極”或“佈線”的用語不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”的用語還意味著多個“電極”或“佈線”形成為一體的情況等。

另外，“源極”和“汲極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本發明說明中，“源極”和“汲極”可以互相調換。

另外，在本發明說明等中，“電連接”包括藉由“具有某種電作用的元件”彼此連接的情況。這裡，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。

在本發明的一個方式所使用的使用氧化物半導體的電

晶體的關態電流極小，因此藉由使用該電晶體可以在極長期間中保持儲存內容。就是說，因為不需要進行更新工作，或者，可以將更新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給（較佳的是，電位被固定），也可以在較長期間內保持儲存內容。

此外，本發明的一個方式的半導體裝置中，在寫入資料時不需要高電壓，因此也沒有元件劣化的問題。例如，不像上述的快閃記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的劣化等的問題。就是說，根據所公開的發明的半導體裝置對能夠改寫的次數沒有限制，這限制是上述的快閃記憶體所具有的問題，所以可以顯著提高可靠性。再者，因為根據電晶體的導通狀態或截止狀態而進行資料的寫入，所以容易實現高速寫入工作。另外，還有不需要用來擦除資料的工作的優點。

此外，藉由作為讀出用電晶體使用應用氧化物半導體以外的材料且能夠進行高速工作的電晶體，可以實現半導體裝置的高速讀出。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以合適地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

此外，在本發明的一個方式的半導體裝置的驅動方法中，藉由如下步驟來進行從儲存單元的讀出資料：將接地電位供應給源極線，且在將位元線設定為預充電位之後，停止對位元線供應電位。因此在讀出期間中對源極線無須

進行引起電位的上升的預充電。另外，位元線無須使電位超過預充電位上升，因此電位的變動較少。由此與源極線及位元線的電位的變動較大的讀出方法相比，可以在短時間內進行讀出工作。

【實施方式】

以下，參照圖式說明本發明的實施方式的一個例子。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，所公開的發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

爲了便於理解，圖式等所示出的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小和範圍等。

另外，本發明說明等中使用的“第一”、“第二”、“第三”等序數詞是爲了避免結構要素的混同而附記的，而不是用於在數目方面上限定。

[實施方式 1]

在本實施方式中，參照圖 1A-1、1A-2 及 1B 至 1I 對根據所公開的發明的一個方式的半導體裝置的電路結構及其工作進行說明。另外，在電路圖中，爲了表示使用氧化

物半導體的電晶體，有時附上“OS”的符號。注意，本發明的一個方式的目的是提供一種半導體裝置，它使用具有關態電流顯著低的特性的電晶體。因此，可以利用使用氧化物半導體之外的材料且關態電流低的電晶體而代替使用氧化物半導體的電晶體。

<基本電路 1>

首先，參照圖 1A-1、1A-2 及 1B 對最基本的電路結構及其工作進行說明。在圖 1A-1 所示的半導體裝置中，源極線 SL 與電晶體 160 的源極電極（或汲極電極）彼此電連接，並且，位元線 BL 與電晶體 160 的汲極電極（或源極電極）電連接。另外，信號線 S 與電晶體 162 的源極電極（或汲極電極）電連接，寫入字線 OSG 與電晶體 162 的閘電極電連接。再者，電晶體 160 的閘電極及電晶體 162 的汲極電極（或源極電極）與電容元件 164 的一方電極電連接，電容線 C 與電容元件 164 的另一方電極電連接。

在此，例如，將使用氧化物半導體的電晶體用於電晶體 162。本發明的一個方式所使用的使用氧化物半導體的電晶體具有關態電流極小的特徵。因此，藉由使電晶體 162 成為截止狀態，能夠在極長期間中保持電晶體 160 的閘電極的電位。再者，藉由具有電容元件 164，容易保持施加到電晶體 160 的閘電極的電位，另外，也容易讀出所保持的資料。

另外，作為電晶體 160，對通道的導電型和其半導體材料沒有特別的限制。對電晶體的通道的導電型來說，當使用 p 通道型時能夠不使用低電位而進行讀出，因此不需要生成低電位的週邊電路。另一方，當使用 n 通道型時能夠進行高速讀出。對半導體材料來說，從提高資料的讀出速度的觀點來看，例如，較佳為使用利用單晶矽的電晶體等的開關速度快的電晶體。

此外，如圖 1B 所示，可以採用不設置電容元件 164 的結構。

在圖 1A-1 所示的半導體裝置中，藉由有效地利用可以保持電晶體 160 的閘電極的電位的特徵，能夠如以下所示那樣進行資料的寫入、保持以及讀出。

首先，對資料的寫入及保持進行說明。首先，藉由將電容線 C 設定為指定的電位（定電位），將寫入字線 OSG 的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘電極及電容元件 164 施加信號線 S 的電位。也就是說，對電晶體 160 的閘電極施加指定的電位（寫入）。這裡，兩個不同的電位 V_{data1} （也稱為高電位、資料“1”）和 V_{data0} （也稱為低電位、資料“0”）中的任何一種被施加。另外，也可以利用三個以上的不同的電位提高儲存容量。然後，藉由將寫入字線 OSG 的電位設定為使電晶體 162 成為截止狀態的電位而使電晶體 162 成為截止狀態，保持對電晶體 160 的閘電極施加的電位（保持）。

因為電晶體 162 的關態電流極小，所以電晶體 160 的閘電極的電位在長期間中被保持。

接著，對資料的讀出進行說明。當在對源極線 SL 施加指定的電位（定電位）的狀態下對電容線 C 施加適當的電位（讀出電位）時，根據保持在電晶體 160 的閘電極中的電位，位元線 BL 取不同的電位。一般來說，這是因為如下緣故：在電晶體 160 為 p 通道型電晶體時，對電晶體 160 的閘電極施加 V_{data1} （資料“1”）時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 160 的閘電極施加 V_{data0} （資料“0”）時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 160 成為“導通狀態”所需要的電容線 C 的電位。因此，藉由將電容線 C 的電位設定為 V_{th_H} 與 V_{th_L} 中間電位的 V_0 時，可以辨別對電晶體 160 的閘電極施加的電位。例如，在寫入時施加 V_{data1} （資料“1”）的情況下，在電容線 C 的電位成為 $V_0 (>V_{th_H})$ 時，電晶體 160 成為“截止狀態”。在施加 V_{data0} （資料“0”）的情況下，電容線 C 的電位成為 $V_0 (<V_{th_L})$ ，電晶體 160 成為“導通狀態”。因此，藉由測量位元線 BL 的電位，可以讀出所保持的資料。

另外，當將儲存單元配置為陣列狀而使用時，需要可以唯讀出所希望的儲存單元的資料。像這樣，為了讀出指定的儲存單元的資料，且不讀出指定的儲存單元以外的儲存單元的資料，在電晶體 160 並聯連接時對讀出的目標之外的儲存單元的電容線 C 施加不管閘電極的狀態如何都使

電晶體 160 成為“截止狀態”的電位，即大於 V_{th_H} 的電位，即可。或者，在電晶體 160 串聯連接時對電容線 C 施加不管閘電極的狀態如何都使電晶體 160 成為“導通狀態”的電位，即小於 V_{th_L} 的電位。

接著，對資料的改寫進行說明。資料的改寫與上述資料的寫入及保持同樣進行。也就是說，將寫入字線 OSG 的電位設定為使電晶體 162 成為導通狀態的電位，而使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘電極及電容元件 164 施加信號線 S 的電位（有關新的資料的電位）。然後，藉由將寫入字線 OSG 的電位設定為使電晶體 162 成為截止狀態的電位而使電晶體 162 成為截止狀態，而使電晶體 160 的閘電極成為施加有有關新的資料的電位的狀態。

像這樣，根據所公開的發明的半導體裝置藉由再次進行資料的寫入，可以直接改寫資料。因此，不需要快閃記憶體等所需要的利用高電壓從浮動閘極抽出電荷的工作，可以抑制起因於擦除工作的工作速度的降低。換言之，實現了半導體裝置的高速工作。

另外，藉由將電晶體 162 的汲極電極（或源極電極）與電晶體 160 的閘電極電連接，該汲極電極（或源極電極）具有與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極相同的作用。以下，有時將電晶體 162 的汲極電極（或源極電極）與電晶體 160 的閘電極電連接的部分稱為節點 FG。當電晶體 162 處於截止狀態時，可以認為該

節點 FG 埋設在絕緣體中，在節點 FG 中保持電位。因為本發明的一個方式所使用的使用氧化物半導體的電晶體 162 的關態電流為使用矽半導體等而形成的電晶體的關態電流的十萬分之一以下，所以可以不考慮由於電晶體 162 的洩漏電流導致的儲存在節點 FG 中的電位的消失。也就是說，藉由利用使用氧化物半導體的電晶體 162，可以實現即使沒有電力供給也能夠保持資料的非揮發性記憶元件。

例如，在使用 In-Ga-Zn-O 類氧化物半導體的電晶體的情況下，當室溫（25°C）下的關態電流（在此，每單位通道寬度（1 μ m）的值）降低到 100zA（1zA（仄普托介安培）等於 1×10^{-21} A）以下，較佳為 10zA 以下，更佳為 1zA 以下，更佳為 100yA 以下的程度。由此，在電容元件 164 的電容值為 10fF 左右時，至少可以保持 10^6 秒以上資料。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在所公開的發明的半導體裝置中，不存在在習知的浮動閘極型電晶體中被指出的閘極絕緣膜（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣膜的劣化的問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要習知的浮動閘極型電晶體中當寫入或擦除資料時所需要的高電壓。

圖 1A-1 所示的半導體裝置可以被認為如圖 1A-2 所示

的半導體裝置，其中，構成該半導體裝置的電晶體等的要素包括電阻器及電容器。就是說，在圖 1A-2 中，電晶體 160 及電容元件 164 分別包括電阻器及電容器而構成。R1 和 C1 分別是電容元件 164 的電阻值和電容值，電阻值 R1 相當於構成電容元件 164 的絕緣層的電阻值。此外，R2 和 C2 分別是電晶體 160 的電阻值和電容值，其中電阻值 R2 相當於電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C2 相當於所謂的閘極電容（形成在閘電極與源極電極或汲極電極之間的電容以及形成在閘電極與通道形成區之間的電容）的電容值。

在以電晶體 162 處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} 的情況下，在電晶體 162 的閘極洩漏電流充分小的條件下，當 R1 及 R2 滿足 $R1 \geq R_{OS}$ （R1 為 R_{OS} 以上）、 $R2 \geq R_{OS}$ （R2 為 R_{OS} 以上）時，主要根據電晶體 162 的關態電流來決定電位的保持期間（也可以稱為資料的保持期間）。

反之，在不滿足上述條件的情況下，即使電晶體 162 的關態電流足夠小，也難以充分確保保持期間。這是因為電晶體 162 的關態電流以外的洩漏電流（例如，發生在源極電極與閘電極之間的洩漏電流等）大的緣故。由此，可以說本實施方式所公開的半導體裝置較佳為滿足 $R1 \geq R_{OS}$ （R1 為 R_{OS} 以上）及 $R2 \geq R_{OS}$ （R2 為 R_{OS} 以上）的關係。

另一方面，C1 和 C2 較佳為滿足 $C1 \geq C2$ （C1 為 C2 以

上)的關係。這是因為如下緣故：藉由增大 $C1$ ，當由電容線 C 控制節點 FG 的電位時，可以高效地將電容線 C 的電位施加到節點 FG ，從而可以將施加到電容線 C 的電位間（例如，讀出電位和非讀出電位）的電位差抑制為低。

如上所述，藉由滿足上述關係，可以實現更佳的半導體裝置。另外， $R1$ 和 $R2$ 由電晶體 160 的閘極絕緣層和電容元件 164 的絕緣層來控制。 $C1$ 和 $C2$ 也是同樣的。因此，較佳為適當地設定閘極絕緣層或電容元件 164 的絕緣層的材料或厚度等，以滿足上述關係。

在本實施方式所示的半導體裝置中，節點 FG 起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極相等的作用，但是，本實施方式的節點 FG 具有與快閃記憶體等的浮動閘極根本不同的特徵。

因為在快閃記憶體中施加到控制閘極的電位高，所以為了防止其電位影響到相鄰的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。這是阻礙半導體裝置的高集體化的主要原因之一。並且，該主要原因起因於藉由施加高電壓來發生穿隧電流的快閃記憶體的根本原理。

另一方面，根據本實施方式的半導體裝置根據使用氧化物半導體的電晶體的開關而工作，而不使用如上所述的利用穿隧電流注入電荷的原理。就是說，不需要如快閃記憶體那樣的用來注入電荷的高電壓。由此，因為不需要考慮到控制閘極給相鄰的單元帶來的高電壓的影響，所以容易實現高集體化。

此外，不需要高電場及大型週邊電路（升壓電路等）的一點也優越於快閃記憶體。例如，在寫入兩個步驟（1位元）的資料的情況下，在一個儲存單元中，可以將施加到根據本實施方式的儲存單元的電壓（同時施加到儲存單元的各端子的最大電位與最小電位之間的差異）的最大值設定為 5V 以下，較佳為 3V 以下。

再者，在使構成電容元件 164 的絕緣層的相對介電常數 ϵ_{r1} 與構成電晶體 160 的絕緣層的相對介電常數 ϵ_{r2} 不同的情況下，容易在構成電容元件 164 的絕緣層的面積 $S1$ 和在電晶體 160 中構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ （ $2 \cdot S2$ 為 $S1$ 以上），較佳為滿足 $S2 \geq S1$ （ $S2$ 為 $S1$ 以上）的同時，實現 $C1 \geq C2$ （ $C1$ 為 $C2$ 以上）。換言之，容易在使構成電容元件 164 的絕緣層的面積縮小的同時實現 $C1 \geq C2$ （ $C1$ 為 $C2$ 以上）。明確地說，例如，在構成電容元件 164 的絕緣層中，可以採用由氧化鉛等的 high-k 材料構成的膜或由氧化鉛等的 high-k 材料構成的膜與由氧化物半導體構成的膜的疊層結構，以將 ϵ_{r1} 設定為 10 以上，較佳為設定為 15 以上，並且在構成閘極電容的絕緣層中，可以採用氧化矽，以滿足 $3 \leq \epsilon_{r2} \leq 4$ （ ϵ_{r2} 為 3 以上且 4 以下）。

藉由採用這種結構的組合，可以使根據所公開的發明的半導體裝置進一步實現高集體化。

此外，作為非揮發性隨機存取記憶體，除了快閃記憶體之外還已知有磁隧道結元件（MTJ 元件）。MTJ 元件是

如下元件，即：藉由在隔著絕緣膜配置在其上下的強磁性膜的磁化方向為並行時成為低電阻狀態，而該磁化方向為反並行時成為高電阻狀態，來儲存資訊。由此其原理與根據本實施方式的使用氧化物半導體的記憶體的原理完全不同。表 1 示出 MTJ 元件和根據本實施方式的半導體裝置的對比。

[表 1]

	MTJ 元件	根據本實施方式的 半導體裝置
1)耐熱性	居裏溫度(Curie Temperature)	製程溫度 500°C (可靠性 150°C)
2)驅動方式	電流驅動	電壓驅動
3)寫入原理	改變強磁性膜的 磁化方向	FET 的導通/截止
4)Si LSI	適合於雙極 LSI (由於雙極 LSI 不適合於高集體化，所以在高集體化電路中較佳為使用 MOSLSI。但是，W 變大)	適合於 MOSLSI
5)系統開銷 (Overhead)	大 (起因於大焦耳熱)	比 MTJ 元件小 2 位至 3 位以上 (起因於寄生電容的充電和放電)
6)非揮發性	利用自旋	利用小關態電流
7)讀出次數	沒有限制	沒有限制
8)3D 化	困難 (至多兩層)	容易 (對層的個數沒有限制)
9)集體化度(F^2)	$4F^2$ 至 $15F^2$	根據 3D 化的疊層數決定(需要確保上層 OSFET 製程的製程耐熱性)
10)材料	具有磁性的稀土元件	OS 材料
11)每位成本	昂貴	低廉 (根據構成 OS 的材料(In 等)，成本有可能稍微昂貴)
12)磁場耐受性	弱	強

MTJ 元件因為使用磁性材料，所以具有在居裏溫度

(Curie Temperature) 以上的溫度下失掉磁性的缺點。此外，因為 MTJ 元件利用電流而驅動，所以與使用矽的雙極性裝置搭配良好，但是雙極性裝置不適合於集體化。而且 MTJ 元件雖然寫入電流極少，但是也有因記憶體的大容量化而耗電量增大的問題。

在原理上 MTJ 元件的磁場耐性脆弱，在暴露於強磁場時其磁化方向容易揮發。此外，需要控制用於 MTJ 元件的磁性體的奈米尺度化而導致的磁場波動。

再者，因為 MTJ 元件使用稀土元素，所以對金屬污染敏感的矽半導體的步驟中使用 MTJ 元件需要相當注意。MTJ 元件從每位材料成本來看，被認為其價格昂貴。

另一方面，除了形成通道的半導體材料為金屬氧化物之外，在本實施方式中示出的使用氧化物半導體的電晶體，其元件結構和工作原理與矽 MOSFET 同樣。此外，使用氧化物半導體的電晶體具有不受磁場的影響，且不會發生軟差錯的特性。由此，使用氧化物半導體的電晶體和矽積體電路的搭配非常良好。

另外，為了增大半導體裝置的儲存容量，除了採用高集體化以外，還可以採用多位準。例如，藉由採用對儲存單元之一寫入三級以上的資料的結構，與寫入兩級（1 位元）的資料的情況相比，能夠增大儲存容量。例如，加上如上述低電位 V_{data0} （資料“0”）、高電位 V_{data1} （資料“1”），對電晶體 160 的閘電極還施加提供其他電位的電位 V_{data} ，來可以實現多位準。在此情況下，即使採

用規模較大的電路結構（例如， $15F^2$ 至 $50F^2$ 等， F 為最小加工尺寸）也能夠確保足夠的儲存容量。

<基本電路 2>

圖 2A 和 2B 是將圖 1A-1 所示的儲存單元配置為 2 行 $\times$ 2 列的矩陣狀的儲存單元陣列的電路圖。圖 2A 和 2B 中的儲存單元 170 的結構與圖 1A-1 的相同。在圖 2A 中，每個儲存單元電連接主動極線 SL、位元線 BL、信號線 S、寫入字線 OSG 以及電容線 C。此外，在圖 2B 中，位元線 BL 兼作為信號線 S，而且兩列儲存單元共同使用源極線 SL。

如圖 2A 所示那樣，在採用每個儲存單元電連接主動極線 SL、位元線 BL、信號線 S、寫入字線 OSG 以及電容線 C 的結構時，可以對每個線施加根據每個儲存單元不同的電位。

如圖 2B 所示那樣，在採用位元線 BL 兼作為信號線 S，且兩列共同使用源極線 SL 的結構時，可以減少連接到儲存單元 170 的佈線的個數。

注意，不侷限於列，還可以行共同使用源極線 SL。另外，共同使用源極線 SL 的列數（或行數）不侷限於兩列（兩行），也可以採用三列（或三行）以上的多列（或多行）的儲存單元共同使用源極線 SL 的結構。作為共同使用的源極線 SL 的列數（或行數），可以根據共同使用源極線 SL 時的寄生電阻及寄生電容而適當地選擇合適的

值。另外，共同使用的源極線 SL 的列數（或行數）越多，連接於儲存單元 170 的佈線的個數越少，因此是較佳的。

另外，雖然在圖 2A 和 2B 的儲存單元陣列中儲存單元並聯連接，但是也可以採用串聯連接的儲存單元陣列。

在圖 2A 和 2B 中，位元線 BL 電連接到位元線驅動電路 194。在此，位元線驅動電路 194 除了電連接到位元線 BL 之外還電連接到位元線轉換信號線 BLC 和預充電位供應佈線 PRE。

在圖 2A 和 2B 所示的半導體裝置中，資料的寫入、保持及讀出與圖 1A-1、A-2 和 1B 的情況相同，而可以參照如上所述的內容。在此，對圖 2B 所示的半導體裝置的如下情況下具體工作進行說明：將電源電位 VDD 和接地電位 GND 中的任一種施加到節點 FG 的情況以及在對節點 FG 施加電源電位 VDD 時保持的資料為資料“1”，並且在對節點 FG 施加接地電位 GND 時保持的資料為資料“0”的情況。

首先描述寫入工作。將連接於儲存單元 170 的電容線 C 的電位設定為接地電位 GND，將寫入字線 OSG 的電位設定為高電位 VH，而選擇儲存單元 170。由此，將位元線 BL 的電位施加到所選擇的儲存單元 170 的節點 FG。

下面描述保持工作。藉由將連接於儲存單元 170 的寫入字線 OSG 的電位設定為使電晶體 162 成為截止狀態的電位而使電晶體 162 成為截止狀態，保持對節點 FG 施加

的電位。因為電晶體 162 的關態電流極小，所以電晶體 160 的閘電極的電位在長時間中被保持。

下面描述讀出工作。首先，將連接於儲存單元 170 的源極線 SL 設定為接地電位 GND。此外，將位元線 BL 連接於預充電位供應佈線 PRE，且將位元線 BL 設定為預充電位 VPRE1。然後，解除位元線 BL 和預充電位供應佈線 PRE 之間的連接，而位元線 BL 的電位根據保持在節點中的電位變動。就是說，在電晶體 160 為 p 通道型電晶體的情況下，在節點 FG 中保持資料“1”時電晶體 160 成為截止狀態，而位元線 BL 的電位保持於預充電位 VPRE1。另外，在節點 FG 中保持資料“0”時電晶體 160 成為導通狀態，而位元線 BL 的電位降低且接近源極線 SL 的接地電位 GND。這樣，根據位元線 BL 的電位的變動，能夠讀出保持在節點 FG 中的電位。

藉由根據位元線轉換信號線 BLC 的信號轉換位元線驅動電路 194 的信號來進行位元線 BL 和預充電位供應佈線 PRE 的連接和解除連接。

此外，如圖 2A 和 2B 所示那樣，在將儲存單元 170 配置為陣列狀而使用的情況下，在讀出期間中需要唯讀出所希望的儲存單元 170 的資料。如此，為了讀出指定的儲存單元 170 的資料且不讀出除此之外的儲存單元 170 的資料，需要使讀出的目標之外的儲存單元 170 成為非選擇狀態。

例如，在電晶體 160 為 p 通道型電晶體時，在將電源

電位 VDD 和接地電位 GND 中的任一種施加到節點 FG 且在對節點 FG 施加電源電位 VDD 時保持的資料為資料“1”，並且在對節點 FG 施加接地電位 GND 時保持的資料為資料“0”的情況下，藉由將源極線 SL 設定為接地電位 GND，將電容線 C 設定為電源電位 VDD，並且將寫入字線 OSG 設定為接地電位 GND，可以使儲存單元 170 成為非選擇狀態。

藉由將電容線 C 設定為電源電位 VDD，節點 FG 的電位因與電容元件 164 的電容耦合而上升電源電位 VDD。因為在對節點 FG 寫入有資料“1”的電源電位 VDD 的情況下節點 FG 的電位上升電源電位 VDD 而成為 $VDD + VDD = 2VDD$ ，電晶體 160 的閘電極的電位成為大於 V_{th_H} ，所以電晶體 160 成為截止狀態。另一方面，因為在對節點 FG 寫入有資料“0”的接地電位 GND 的情況下，節點 FG 的電位上升電源電位 VDD 而成為 $GND + VDD = VDD$ ，電晶體 160 的閘電極的電位成為大於 V_{th_H} ，所以 p 通道型電晶體的電晶體 160 也成為截止狀態。就是說，藉由將電容線 C 設定為電源電位 VDD，無論保持在節點 FG 中的資料如何都可以使電晶體 160 成為截止狀態，就是說，可以使儲存單元 170 成為非選擇狀態。

注意，作為電晶體 160 也可以使用 n 通道型電晶體。在此情況下，即使將電容線 C 設定為接地電位 GND，在 n 通道型電晶體的閘電極的電位高於該電晶體的臨界電壓時

也不一定能夠使所有儲存單元成為截止狀態。因此，將低電位 V_L 供應給非選擇的行的電容線 C ，以使儲存單元成為非選擇狀態。在此低電位 V_L 是比接地電位 GND 低電源電位 V_{DD} 的電位。

此外，在作為電晶體 160 使用 n 通道型電晶體的情況下，可以提高電晶體 160 的工作速度，因此可以實現高速讀出。

此外，如上述那樣本實施方式所示的半導體裝置在讀出期間中，將連接於儲存單元 170 的源極線 SL 設定為接地電位。此外，將位元線 BL 連接於預充電位供應佈線 PRE ，將位元線 BL 設定為預充電位。然後，藉由解除位元線 BL 和預充電位供應佈線 PRE 之間的連接，而位元線 BL 的電位根據保持在節點 FG 中的電位變動，來讀出保持在節點 FG 中的電位。

在如上所示的半導體裝置的驅動方法中，在讀出期間中對源極線無須進行引起電位的上升的預充電。另外，位元線 BL 無須使電位超過預充電位上升，因此電位的變動較少。由此與源極線 SL 及位元線 BL 的電位的變動較大的讀出方法相比，可以在短時間內進行讀出工作。另外，即使在短時間內也可以正確讀出資料“1”和資料“0”。

<應用例子 1>

接著，參照圖 3 說明應用圖 1A-1、1A-2 及 1B 所示的電路的更具體電路結構。這裡，在以下說明中，以使用 n

通道型電晶體作為寫入用電晶體（電晶體 162）並使用 p 通道型電晶體作為讀出用電晶體（電晶體 160）的情況為例子進行說明。在圖 3 的電路圖中，畫上斜線的佈線是包含多個信號線的佈線。

圖 3 示出具有 $m \times n$ 個儲存單元 170 的半導體裝置的電路圖的一個例子。在圖 3 中，儲存單元 170 的結構與圖 1A-1 相同。

圖 3 所示的半導體裝置包括： m 個（ m 為 2 以上的整數）寫入字線 OSG； m 個電容線 C； n 個（ n 為 2 以上的整數）位元線 BL；源極線 SL；將儲存單元 170 配置為縱 m 個（行） $\times$ 橫 n 個（列）的矩陣狀的儲存單元陣列；升壓電路 180；包含位址解碼器的第一驅動電路 182；包含行驅動器的第二驅動電路 192；包含頁緩衝器的第三驅動電路 190；包含控制器的第四驅動電路 184；包含輸入輸出控制電路的第五驅動電路 186；以及位元線驅動電路 194。另外，驅動電路的個數不侷限於圖 3，既可組合具有各功能的驅動電路，又可分割各驅動電路所包含的功能。

在圖 3 所示的半導體裝置中，第一驅動電路 182 包含位址解碼器。位址解碼器對位址選擇信號線 A 進行解碼，並將所解碼的位址選擇信號輸出到行選擇信號線 RADR 和頁緩衝器位址選擇信號線 PBADR。位址選擇信號線 A 是被輸入儲存單元 170 的行方向的位址選擇信號和頁緩衝器的位址選擇信號的端子，其個數根據儲存單元 170 的行數、列數或頁緩衝器的結構而成為一個至多個。行選擇信

號線 RADR 是指定儲存單元的行方向的位址的信號線。頁緩衝器位址選擇信號線 PBADR 是指定頁緩衝器的位址的信號線。

第二驅動電路 192 包含行驅動器。行驅動器根據來自行選擇信號線 RADR 的信號而輸出儲存單元 170 的行方向的選擇信號、向寫入字線 OSG 的信號以及向電容線 C 的信號，該來自行選擇信號線 RADR 的信號是從包含在第一驅動電路 182 中的位址解碼器輸出的。

升壓電路 180 藉由佈線 VH-L 與第二驅動電路 192 電連接，而將輸入到升壓電路 180 的固定電位（如電源電位 VDD）升壓來將高於該固定電位的電位（VH）輸出到第二驅動電路 192。為了不使寫入到儲存單元 170 的節點 FG 的電位下降作為寫入用電晶體的電晶體 162 的臨界電壓（以下稱為 V_{th_OS} ）的量，需要將寫入字線 OSG 的電位設定為高於位元線 BL 的電位 + V_{th_OS} 。因此，例如，在將電源電位 VDD 寫入到節點 FG 時，將 VH 設定為 $VDD + V_{th_OS}$ 以上。但是，在即使寫入到節點 FG 的電位下降 V_{th_OS} 也沒有問題的情況下，也可以不設置升壓電路 180。

第三驅動電路 190 包含頁緩衝器。頁緩衝器具有資料鎖存器和讀出放大器的功能。資料鎖存器具有如下功能：暫時保存從內部資料輸入輸出信號線 INTDIO 或位元線 BL 輸出的資料，並將該保存的資料輸出到內部資料輸入輸出信號線 INTDIO 或位元線 BL。讀出放大器具有如下功能：

在讀出時，測量從儲存單元輸出資料的位元線 BL。

第四驅動電路 184 包含控制器，並利用來自晶片使能信號線 CEB、寫使能信號線 WEB 或讀使能信號線 REB 的信號產生控制第一驅動電路 182、第二驅動電路 192、第三驅動電路 190、第五驅動電路 186、位元線驅動電路 194 以及升壓電路 180 的信號。

晶片使能信號線 CEB 是輸出整個電路的選擇信號的信號線，只在處於活動狀態時進行輸入信號的接收及輸出信號的輸出。另外，寫使能信號線 WEB 是輸出一種信號的信號線，該信號允許將第三驅動電路 190 內的頁緩衝器的鎖存資料寫入到儲存單元陣列。另外，讀使能信號線 REB 是輸出一種信號的信號線，該信號允許儲存單元陣列的資料的讀出。另外，第四驅動電路 184 藉由升壓電路控制信號線 BCC 與升壓電路 180 電連接。升壓電路控制信號線 BCC 是傳送從第四驅動電路 184 內的控制器輸出的升壓電路的控制信號的佈線，其個數根據電路結構而成爲 0 個至多個。另外，第四驅動電路 184 藉由頁緩衝器控制信號線 PBC 與第三驅動電路 190 電連接。頁緩衝器控制信號線 PBC 是傳送從第四驅動電路 184 內的控制器輸出的頁緩衝器的控制信號的佈線，其個數根據電路結構而成爲 0 個至多個。另外，第四驅動電路 184 藉由行驅動器控制信號線 RDRVC 與第二驅動電路 192 電連接。另外，第四驅動電路 184 藉由位元線轉換信號線 BLC 與位元線驅動電路 194 電連接。

另外，較佳的是，在第四驅動電路 184 內設置延遲電路，並將該延遲電路電連接到頁緩衝器控制信號線 PBC、行驅動器控制信號線 RDRVC 以及源極線轉換信號線 SLC。例如，藉由將延遲電路電連接到頁緩衝器控制信號線 PBC 來將延遲信號供應給頁緩衝器控制信號線 PBC，可以使位元線 BL 的電位變化延遲。另外，藉由將延遲電路電連接到行驅動器控制信號線 RDRVC 來將延遲信號供應給行驅動器控制信號線 RDRVC，可以使電容線 C 的電位變化延遲。另外，藉由將延遲電路電連接到源極線轉換信號線 SLC 來將延遲信號供應給源極線轉換信號線 SLC，可以使源極線 SL 的電位變化延遲。由此，可以抑制對儲存單元 170 的誤寫入。

位元線驅動電路 194 是根據來自第四驅動電路 184 內的控制器的位元線轉換信號 BLC 而轉換位元線 BL 的電位的電路。位元線驅動電路 194 只要具有轉換位元線 BL 的電位的功能即可，也可以使用多工器、反相器等。位元線轉換信號線 BLC 是傳送從第四驅動電路 184 內的控制器輸出的轉換位元線 BL 的電位的信號的佈線，其個數根據電路結構而成為一個至多個。

第五驅動電路 186 包含輸入輸出控制電路。輸入輸出控制電路是如下電路：將來自資料輸入輸出信號線 DIO 的輸入信號輸出到內部資料輸入輸出信號線 INTDIO，或者將來自內部資料輸入輸出信號線 INTDIO 的輸入信號輸出到資料輸入輸出信號線 DIO。資料輸入輸出信號線 DIO 端

子是被輸入來自外部的資料或者將儲存資料輸出到外部的端子，該信號線個數根據電路結構而成為一個至多個。內部資料輸入輸出信號線 INTDIO 是如下信號線：將輸入輸出控制電路的輸出信號輸入到頁緩衝器，或者，將頁緩衝器的輸出信號輸入到輸入輸出控制電路，其個數根據電路結構而成為一個至多個。另外，資料輸入輸出信號線 DIO 也可以分成資料輸入用信號線和資料輸出用信號線。

<半導體裝置的驅動方法>

圖 4 至圖 11 示出根據圖 2B 的半導體裝置的寫入、保持以及讀出工作的時序圖的一個例子。時序圖中的 OSG、C 等的名稱表示被施加時序圖所示的電位的佈線，並且當有多個具有同樣的功能的佈線時，藉由對佈線的名稱的末尾附上 1、m、n 等來進行區別。另外，所公開的發明不侷限於以下所示的排列。

圖 4 至 11 的時序圖示出如下情況下的各佈線之間的電位關係：對儲存單元 $m \times n$ 個 (m 及 n 分別是 2 以上的整數)寫入資料，經過保持時間，讀出被寫入的所有資料。對儲存單元 $m \times n$ 個寫入的資料如下：將資料“1”寫入第 1 行第 1 列的儲存單元；將資料“0”寫入第 1 行第 n 列的儲存單元；將資料“0”寫入第 m 行第 1 列的儲存單元；將資料“1”寫入第 m 行第 n 列的儲存單元。

首先，對圖 4 的時序圖進行說明。圖 4 是電晶體 160 為 p 通道型電晶體時的待命、寫入、保持及讀出工作的一

個例子。

在待命期間中，將寫入字線 OSG 及源極線 SL 設定為接地電位 GND，並且將電容線 C 設定為電源電位 VDD。另外，將所有位元線 BL 設定為預充電位 VPRE1。VPRE1 是接地電位 GND 和電源電位 VDD 之間的電位。

在寫入期間中，首先，將所選擇的行的寫入字線 OSG 設定為高於電源電位 VDD 的電位（高電位：VH），將所選擇的電容線 C 設定為接地電位 GND，將非選擇的行的寫入字線 OSG 設定為接地電位 GND，並且將非選擇的行的電容線 C 設定為電源電位 VDD，以選擇所寫入的行。

另外，為了不使寫入到儲存單元 170 中的節點 FG 的電位下降電晶體的臨界電壓（ V_{th_os} ）的量，需要將寫入字線 OSG 的電位設定為高於位元線 BL 的電位 + V_{th_os} 。因此，例如，在對節點 FG 寫入電源電位 VDD（即，寫入資料“1”）時，將 VH 設定為 $VDD + V_{th_os}$ 以上。但是，在即使寫入到節點 FG 的電位下降 V_{th_os} 也沒有問題的情況下，可以將所選擇的行的寫入字線 OSG 的電位設定為電源電位 VDD。

接著，比選擇所寫入的行的時序遲來將資料從位元線 BL 輸入到儲存單元。例如，在寫入資料“1”時將電源電位 VDD 供應到位元線 BL，而在寫入資料“0”時將接地電位 GND 供應給位元線 BL。

在圖 4 的時序圖中，在待命期間中對位元線 BL 供應電源電位 VDD 和接地電位 GND 之間的電位的預充電位

VPRE1，因此接著待命期間的寫入期間中可以進行高速寫入。例如，在待命期間中對位元線 BL 供應接地電位 GND 的情況下，在寫入期間中輸入資料“1”的電源電位 VDD 時，從接地電位 GND 變為電源電位 VDD 的電位變化花費時間，而寫入速度降低。但是，在圖 4 的時序圖中，在待命期間中對位元線 BL 供應預充電位 VPRE1，而在作為資料電源電位 VDD 和接地電位 GND 中的任一種被輸入的情況下，都能夠短時間內實現電位的變化。

接著，將寫入字線 OSG 設定為接地電位 GND，將所有的行的電容線 C 設定為 VDD，而使所有的儲存單元成為非選擇狀態，將位元線 BL 成為 VPRE1 比將寫入字線 OSG 成為接地電位 GND 的時序遲。這是因為如下緣故：如果位元線 BL 成為 VPRE1 的時序早，則對儲存單元有時會發生資料的誤寫入。

在保持期間中，將所有佈線設定為與待命期間同樣的電位。

至少在讀出期間中，將與選擇儲存單元連接的源極線 SL 設定為接地電位。此外，至少在讀出期間中，無論是選擇還是非選擇，將位元線 BL 連接於預充電位供應佈線 PRE，且將位元線 BL 設定為預充電位 VPRE1。此外，在讀出期間中，將選擇的行的電容線 C 設定為接地電位 GND，非選擇的行的電容線 C 設定為電源電位 VDD 來選擇讀出的行。無論是選擇還是非選擇，將寫入字線 OSG 設定為接地電位 GND。然後，如果解除選擇的列的位元線

BL 和預充電位供應佈線 PRE 之間的連接，選擇了的位元線 BL 的電位根據保持在節點 FG 中的電位而變動。就是說，在電晶體 160 為 p 通道型電晶體的情況下，當節點 FG 中保持資料“1”時電晶體 160 成為截止狀態，而位元線 BL 的電位保持於預充電位 V_{PRE1} 。另外，當節點 FG 中保持資料“0”時電晶體 160 成為導通狀態，而位元線 BL 的電位降低且接近源極線 SL 的接地電位 GND。這樣，根據位元線 BL 的電位的變動，可以讀出保持在節點 FG 中的電位。

在如上所示的半導體裝置的驅動方法中，對源極線 SL 無須進行引起電位上升的預充電。另外，位元線 BL 無須以預充電位以上的程度上升電位。由此與引起電位上升的讀出驅動方法相比，可以在短時間內進行讀出工作。另外，即使在短時間內也可以正確讀出資料“1”和資料“0”。

最後，將所有的電容線 C 設定為電源電位 V_{DD} ，而將位元線 BL 再預充電至 V_{PRE1} 。

在作為電晶體 160 使用 p 通道型電晶體時，如圖 4 的時序圖所示的驅動方法那樣，藉由將非選擇的行的電容線 C 設定為正電位，可以使儲存單元成為截止狀態。因此，不需要在儲存單元中設置產生低電位的電路，而可以減少耗電量，並可以實現半導體裝置的小型化。

注意，因為圖 4 是圖 2B 所示的半導體裝置的驅動方法的一個例子，在儲存單元之間共同使用源極線 SL，但

是本發明的一個方式不侷限於此。也可以採用每個儲存單元或每個列具有源極線 SL 的結構。藉由採用這樣的結構，可以對每個儲存單元或每個列供應不同的源極線 SL 的電位。因此，例如可以對非選擇的儲存單元的源極線 SL 供應 VPRE1 而成為與位元線 BL 同樣的電位。

接著，對圖 5 的時序圖進行說明。圖 4 的時序圖和圖 5 的時序圖的不同之點是如下：在圖 4 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中將位元線 BL (BL1 至 BLn) 預充電至 VPRE1，與此相比在圖 5 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中將位元線 BL 設定為接地電位 GND。如圖 5 中那樣藉由在選擇的讀出期間之外的期間中將位元線 BL 設定為接地電位 GND，而可以減少耗電量。

接著，對圖 6 的時序圖進行說明。圖 4 的時序圖和圖 6 的時序圖的不同之點是如下：在圖 4 中在待命期間中將電容線 C (C1 至 Cm) 設定為電源電位 VDD，與此相比在圖 6 中在待命期間中將電容線 C 設定為接地電位 GND。藉由在待命期間中將電容線 C 設定為接地電位 GND，而可以減少耗電量。

接著，對圖 7 的時序圖進行說明。圖 4 的時序圖和圖 7 的時序圖的不同之點是如下：在圖 4 中在待命期間中將電容線 C 設定為電源電位 VDD，與此相比在圖 7 中在待命期間中將電容線 C 設定為接地電位 GND。而且，在圖 4 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中

將位元線 BL 預充電至 V_{PRE1} ，與此相比在圖 7 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中將位元線 BL 設定為接地電位 GND。在待命期間中藉由將電容線 C 設定為接地電位 GND，且在選擇的讀出期間之外的期間中將位元線 BL 設定為接地電位 GND，而可以減少耗電量。

接著對圖 8 的時序圖進行說明。圖 8 是在電晶體 160 為 n 通道型電晶體時的待命、寫入、保持及讀出工作的一個例子。

圖 4 的時序圖和圖 8 的時序圖的不同之點是如下：在圖 4 中在非選擇的寫入期間及非選擇的讀出期間中將電容線 C 設定為電源電位 VDD，與此相比在圖 8 中在非選擇的寫入期間及非選擇的讀出期間中將電容線 C 設定為 VL。VL 是比接地電位 GND 低電源電位 VDD 的電位。另外，圖 4 的時序圖和圖 8 的時序圖的不同之點是如下：在圖 4 中在寫入有資料“1”的儲存單元的選擇的讀出期間中，位元線 BL 的電位保持在 V_{PRE1} ，在寫入有資料“0”的儲存單元的選擇的讀出期間中，位元線 BL 的電位從 V_{PRE1} 降低，與此相比在圖 8 中在寫入有資料“1”的儲存單元的選擇的讀出期間中，位元線 BL 的電位從 V_{PRE1} 降低，在寫入有資料“0”的儲存單元的選擇的讀出期間中，位元線 BL 的電位保持在 V_{PRE1} 。

此外，在圖 8 的時序圖所示的驅動方法中，因為作為電晶體 160 使用 n 通道型電晶體，所以可以提高電晶體 160 的工作速度，而實現高速讀出。

接著，對圖 9 的時序圖進行說明。圖 8 的時序圖和圖 9 的時序圖的不同之點是如下：在圖 8 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中將位元線 BL 預充電至 V_{PRE1} ，與此相比在圖 9 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中將位元線 BL 設定為接地電位 GND。如圖 9 所示那樣，藉由在選擇的讀出期間之外將位元線 BL 設定為接地電位 GND，而可以減少耗電量。

接著，對圖 10 的時序圖進行說明。圖 8 的時序圖和圖 10 的時序圖的不同之點是如下：在圖 8 中在待命期間中將電容線 C 設定為接地電位 GND，與此相比在圖 10 中在待命期間中將電容線 C 設定為低電位 VL。

接著，對圖 11 的時序圖進行說明。圖 8 的時序圖和圖 11 的時序圖的不同之點是如下：在圖 8 中在待命期間中將電容線 C 設定為接地電位 GND，與此相比在圖 11 中在待命期間中將電容線 C 設定為低電位 VL。而且，在圖 8 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中將位元線 BL 預充電至 V_{PRE1} ，與此相比在圖 11 中在待命期間、非選擇的寫入期間及非選擇的讀出期間中將位元線 BL 設定為接地電位 GND。在待命期間中藉由將電容線 C 設定為低電位 VL，且在選擇的讀出期間之外的期間中將位元線 BL 設定為接地電位 GND，而可以減少耗電量。

藉由採用圖 4 至圖 11 的時序圖所示的半導體裝置的驅動方法，與引起源極線 SL 及位元線 BL 的電位上升的

讀出驅動方法相比，可以在短時間內進行讀出工作。另外，即使在短時間內也可以正確讀出資料“1”和資料“0”。

另外，有關所公開的發明的半導體裝置的工作方法、工作電壓等不侷限於上述結構，可以在能夠實現半導體裝置的工作的條件下適當地進行改變。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

[實施方式 2]

在本實施方式中，參照圖 12A 至圖 30B 說明根據所公開的發明的一個方式的半導體裝置的結構及其製造方法。

<半導體裝置的剖面結構及平面結構>

圖 12A 和 12B 是半導體裝置的結構的一例。圖 12A 示出半導體裝置的剖面，圖 12B 示出半導體裝置的平面。圖 12A 相當於沿著圖 12B 的 A1-A2 及 B1-B2 的剖面。圖 12A 和 12B 所示的半導體裝置在下部具有使用第一半導體材料的電晶體 160 並在上部具有使用第二半導體材料的電晶體 162。第一半導體材料和第二半導體材料較佳為不同的材料。例如，可以使用氧化物半導體以外的半導體材料作為第一半導體材料，並且使用氧化物半導體作為第二半導體材料。作為氧化物半導體以外的半導體材料，例如可以使用矽、銻、矽銻、碳化矽或砷化銻等，較佳為使用單

晶半導體。除此之外，也可以使用有機半導體材料等。使用這種半導體材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長期間保持電位。圖 12A 和 12B 所示的半導體裝置可以用作儲存單元。

另外，所公開的發明的技術本質在於：爲了保持資料而將如氧化物半導體的能夠充分地降低關態電流的半導體材料用於電晶體 162，因此用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於在此所示的結構。

圖 12A 和 12B 中的電晶體 160 包括：設置在半導體基板 500 上的半導體層中的通道形成區 134；夾著通道形成區 134 而設置的雜質區 132（也稱爲源極區及汲區）；設置在通道形成區 134 上的閘極絕緣層 122a；以及在閘極絕緣層 122a 上且與通道形成區 134 重疊而設置的閘電極 128a。注意，雖然有時在圖式中不明顯地具有源極電極或汲極電極，但是爲了方便起見有時將這種結構也稱爲電晶體。另外，此時，爲了對電晶體的電連接關係進行說明，有時將包含源極區或汲區的範圍也稱爲源極電極或汲極電極。也就是說，在本發明說明中，源極電極的記載會包括源極區。

另外，設置在半導體基板 500 上的半導體層中的雜質區 126 與導電層 128b 電連接。在此，導電層 128b 也用作電晶體 160 的源極電極或汲極電極。另外，在雜質區 132

和雜質區 126 之間設置有雜質區 130。另外，覆蓋電晶體 160 設置有絕緣層 136、絕緣層 138 及絕緣層 140。另外，爲了實現高集體化，如圖 12A 和 12B 所示，較佳爲採用電晶體 160 不具有側壁絕緣層的結構。另一方面，在重視電晶體 160 的特性的情況下，也可以在閘電極 128a 的側面設置側壁絕緣層，並設置包括不同雜質濃度的區域的雜質區 132。

圖 12A 和 12B 中的電晶體 162 包括：設置在絕緣層 140 等上的氧化物半導體層 144；與氧化物半導體層 144 電連接的源極電極（或汲極電極）142a 及汲極電極（或源極電極）142b；覆蓋氧化物半導體層 144、源極電極 142a 以及汲極電極 142b 的閘極絕緣層 146；以及在閘極絕緣層 146 上且與氧化物半導體層 144 重疊而設置的閘電極 148a。

在此，用於氧化物半導體層 144 的氧化物半導體，較佳爲至少包含銦（In）或鋅（Zn）。明確而言，較佳爲包含 In 和 Zn。另外，除了上述元素以外，較佳爲還具有穩定劑（stabilizer），該穩定劑用來減小使用該氧化物半導體的電晶體的電特性偏差。作爲穩定劑具有鎵（Ga）、錫（Sn）、鈦（Hf）及鋁（Al）中的至少一種即可。

另外，作爲其他穩定劑，也可以具有鑼系元素的鑼（La）、鈾（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釷（Gd）、鐳（Tb）、鐳（Dy）、釷（Ho）、鈾（Er）、鈾（Tm）、鐳（Yb）、鐳（Lu）中

的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn-O 類氧化物、 Sn-Zn-O 類氧化物、 Al-Zn-O 類氧化物、 Zn-Mg-O 類氧化物、 Sn-Mg-O 類氧化物、 In-Mg-O 類氧化物、 In-Ga-O 類氧化物；三元金屬氧化物如 In-Ga-Zn-O 類氧化物（也稱為 IGZO）、 In-Al-Zn-O 類氧化物、 In-Sn-Zn-O 類氧化物、 Sn-Ga-Zn-O 類氧化物、 Al-Ga-Zn-O 類氧化物、 Sn-Al-Zn-O 類氧化物、 In-Hf-Zn-O 類氧化物、 In-La-Zn-O 類氧化物、 In-Ce-Zn-O 類氧化物、 In-Pr-Zn-O 類氧化物、 In-Nd-Zn-O 類氧化物、 In-Sm-Zn-O 類氧化物、 In-Eu-Zn-O 類氧化物、 In-Gd-Zn-O 類氧化物、 In-Tb-Zn-O 類氧化物、 In-Dy-Zn-O 類氧化物、 In-Ho-Zn-O 類氧化物、 In-Er-Zn-O 類氧化物、 In-Tm-Zn-O 類氧化物、 In-Yb-Zn-O 類氧化物、 In-Lu-Zn-O 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn-O 類氧化物、 In-Hf-Ga-Zn-O 類氧化物、 In-Al-Ga-Zn-O 類氧化物、 In-Sn-Al-Zn-O 類氧化物、 In-Sn-Hf-Zn-O 類氧化物、 In-Hf-Al-Zn-O 類氧化物。

注意，這裡例如 In-Ga-Zn-O 類氧化物是指含有 In 、 Ga 以及 Zn 作為主要成分的氧化物，對 In 、 Ga 及 Zn 的成分比沒有特別的限制。

另外，可以作為氧化物半導體使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料。注意， M 表示選自 Ga 、 Fe 、 Mn 及 Co 中的一種或多種金屬元素。此外，作為氧化物半導體

也可以使用由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n>0$) 表示的材料。

例如，可以使用 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ 或 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ 的原子數比的 In-Ga-Zn-O 類氧化物或該組成的近旁的氧化物。或者，使用 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ 或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ 的原子數比的 In-Sn-Zn-O 類氧化物或該組成的近旁的氧化物即可。

但是，不侷限於上述材料，根據所需要的半導體特性（場效應遷移率、臨界電壓等）可以使用適當的組成的氧化物半導體。另外，較佳為採用適當的載子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間結合距離以及密度等，以得到所需要的半導體特性。

例如，使用 In-Sn-Zn-O 類氧化物的電晶體可以比較容易地得到高場效應遷移率。然而， In-Ga-Zn-O 類氧化物可以藉由降低塊體中的缺陷濃度來提高場效應遷移率。

例如，“ In 、 Ga 、 Zn 的原子數比為 $\text{In} : \text{Ga} : \text{Zn} = a : b : c$ ($a+b+c=1$) 的氧化物的組成與原子數比為 $\text{In} : \text{Ga} : \text{Zn} = A : B : C$ ($A+B+C=1$) 的氧化物的組成近旁”是指 a 、 b 、 c 滿足如下式。

$$(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$$

r 例如可以為 0.05。其他氧化物也是同樣的。

氧化物半導體膜處於單晶、多晶 (polycrystal) 或非晶等狀態。

氧化物半導體膜較佳為 CAAC-OS (C Axis Aligned

Crystalline Oxide Semiconductor: C 軸配向結晶氧化物半導體) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在使用透射電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，利用 TEM 在 CAAC-OS 膜中觀察不到晶界 (grain boundary)。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間 a 軸及 b 軸的方向可以不同。在本發明說明中，當只記載“垂直”時，還包括 85°以上且 95°以下的範圍。另外，當只記載“平行”時，還包括 -5°以上且 5°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相

比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部被非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）有時朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部分藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，這種電晶體的可靠性高。

另外，構成氧化物半導體膜的氧的一部分也可以以氮取代。

此外，如 CAAC-OS 那樣具有結晶部的氧化物半導體中可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。為了提高表面的平坦性，較佳為在平坦的表面上形成氧化物半導體。明確地說，較佳的是，在平均面粗糙度（ R_a ）為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體。

注意， R_a 是將 JIS B0601 中定義的中心線平均粗糙度

擴大為三維以使其能夠應用於面，可以將它表現為“將從基準面到指定面的偏差的絕對值平均而得的值”，以如下算式 1 定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x,y) - Z_0| dx dy \dots (1)$$

注意，在算式 1 中， S_0 表示測量面（用座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) 表示的 4 點所圍繞的長方形的區域）的面積， Z_0 表示測量面的平均高度。可以利用原子力顯微鏡（AFM: Atomic Force Microscope）評價 Ra 。

作為上述 CAAC-OS 膜的例子，也可以舉出一種氧化物，該氧化物被形成為膜狀，在從垂直於膜表面或形成 CAAC 的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

以下，參照圖 18A 至圖 21B 詳細說明含於 CAAC-OS 膜中的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 18A 至圖 21B 中，以上方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。此外，在圖 18A 至 18E 中，使用圓圈圈上的 O 示出四配位 O ，而使用雙重圓圈圈上的 O 示出三配位 O 。

圖 18A 示出具有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱為四配位 O ）的結構。這裡，將對於

一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 18A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 18A 的上一半及下一半中分別具有三個四配位 O。圖 18A 所示的小組的電荷為 0。

圖 18B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱為三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 18B 的上一半及下一半分別具有有一個四配位 O。另外，因為 In 也具有五配位，所以可以採用圖 18B 所示的結構。圖 18B 所示的小組的電荷為 0。

圖 18C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 18C 的上一半具有有一個四配位 O，並且在下一半具有三個四配位 O。或者，也可以圖 18C 的上一半具有三個四配位 O，並且在下一半具有有一個四配位 O。圖 18C 所示的小組的電荷為 0。

圖 18D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 18D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 18D 所示的小組的電荷為 +1。

圖 18E 示出包括兩個 Zn 的小組。在圖 18E 的上一半具有有一個四配位 O，並且在下一半具有有一個四配位 O。圖 18E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裡，將說明這些小組彼此接合的規則。圖 18A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In ，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In 。圖 18B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga ，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga 。圖 18C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn ，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn 。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。以下示出其理由。例如，在六配位金屬原子（ In 或 Sn ）藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子（ Ga 或 In ）及四配位金屬原子（ Zn ）中的任何一個接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。此外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合而構成中組。

圖 19A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 19B 示出由三個中組構成的大組。另外，圖 19C 示出從 c 軸方向上觀察圖 19B 的層結構時的原子排列。

在圖 19A 中，爲了容易理解，省略三配位 O，只示出四配位 O 的個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 19A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。此外，與此同樣，在圖 19A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 19A 中，構成 In-Sn-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裡，三配位 O 及四配位 O 的一個接合的電荷分別可以被認爲是 -0.667 及 -0.5。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別爲 +3、+2 以及 +4。因此，包括 Sn 的小組的電荷爲

+1。因此，爲了形成包括 Sn 的層結構，需要消除電荷 +1 的電荷 -1。作爲具有電荷 -1 的結構，可以舉出圖 18E 所示的包括兩個 Zn 的小組。例如，因爲如果對於一個包括 Sn 的小組有包括兩個 Zn 的一個小組則電荷被消除，而可以使層結構的總電荷成爲 0。

明確而言，藉由反復圖 19B 所示的大組來可以得到 In-Sn-Zn-O 類結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，除此之外，當使用如下氧化物時也同樣：四元類金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物；三元類金屬氧化物的 In-Ga-Zn-O 類氧化物（也寫爲 IGZO）、In-Al-Zn-O 類氧化物、Sn-Ga-Zn-O 類氧化物、Al-Ga-Zn-O 類氧化物、Sn-Al-Zn-O 類氧化物；二元類金屬氧化物的 In-Zn-O 類氧化物、Sn-Zn-O 類氧化物、Al-Zn-O 類氧化物、Zn-Mg-O 類氧化物、Sn-Mg-O 類氧化物、In-Mg-O 類氧化物、In-Ga-O 類氧化物；以及一元類金屬氧化物的 In-O 類氧化物、Sn-O 類氧化物、Zn-O 類氧化物等。

例如，圖 20A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 20A 中，構成 In-Ga-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別有三個四配位 O 的 In 與上一半具有一個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一

半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 20B 示出由三個中組構成的大組。另外，圖 20C 示出從 c 軸方向觀察圖 20B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包括 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於圖 20A 所示的中組，還可以採用組合 In、Ga、Zn 的排列不同的中組而成的大組。

明確而言，藉由反復圖 20B 所示的大組來可以得到 In-Ga-Zn-O 類結晶。注意，可以得到的 In-Ga-Zn-O 類的層結構可以由組成式 $\text{InGaO}_3(\text{ZnO})_n$ （n 是自然數）表示。

在 $n=1$ （ InGaZnO_4 ）時，例如會得到圖 21A 所示的結晶結構。另外，在圖 21A 所示的結晶結構中，如圖 18B 所說明，因為 Ga 及 In 採用五配位，所以也會得到 In 取代 Ga 的結構。

另外，在 $n=2$ （ $\text{InGaZn}_2\text{O}_5$ ）時，例如會得到圖 21B 所示的結晶結構。另外，在圖 21B 所示的結晶結構中，如圖 18B 所說明，因為 Ga 及 In 採用五配位，所以也會得到 In 取代 Ga 的結構。

此外，氧化物半導體層的氫濃度較佳為 5×10^{19}

atoms/cm³ 以下，更佳為 5×10^{18} atoms/cm³ 以下。

例如，在採用使用 In-Ga-Zn-O 類氧化物半導體的電晶體的情況下，例如可以將室溫（25℃）下的關態電流（在此，單位通道寬度（1μm）的值）降低到 100zA（1zA（zeptoampere）等於 1×10^{-21} A）以下，較佳為 10zA 以下，更佳為 1zA 以下，進一步較佳為 100yA 以下。

另外，雖然在圖 12A 和 12B 的電晶體 162 中，為了抑制起因於微型化而產生在元件之間的洩漏，使用被加工為島狀的氧化物半導體層 144，但是也可以採用不被加工為島狀的結構。在不將氧化物半導體層加工為島狀的情況下，可以防止由於加工時的蝕刻導致的氧化物半導體層 144 的污染。

圖 12A 和 12B 所示的電容元件 164 包括：汲極電極 142b；閘極絕緣層 146；以及導電層 148b。換言之，將汲極電極 142b 用作電容元件 164 的一方的電極，將導電層 148b 用作電容元件 164 的另一方的電極。藉由採用這種結構，可以確保足夠的電容。另外，當層疊氧化物半導體層 144 和閘極絕緣層 146 時，可以充分確保汲極電極 142b 和導電層 148b 之間的絕緣性。再者，當不需要電容時，也可以採用不設置電容元件 164 的結構。

在本實施方式中，以與電晶體 160 至少部分重疊的方式設置有電晶體 162 及電容元件 164。藉由採用這種平面佈局，可以實現高集體化。例如，可以以最小加工尺寸為 F，將儲存單元所占的面積設定為 $15F^2$ 至 $25F^2$ 。

在電晶體 162 和電容元件 164 上設置有絕緣層 150。並且，在形成於閘極絕緣層 146 及絕緣層 150 中的開口中設置有佈線 154。佈線 154 是連接儲存單元之一與其他儲存單元的佈線，該佈線相當於圖 2A 和 2B 的電路圖中的位元線 BL。佈線 154 藉由源極電極 142a 及導電層 128b 連接到雜質區 126。由此，與將電晶體 160 中的源極區或汲區和電晶體 162 中的源極電極 142a 分別連接到不同佈線的情況相比可以減少佈線數目，從而可以提高半導體裝置的集體度。

另外，藉由設置導電層 128b，可以重疊設置如下兩種位置：一是雜質區 126 與源極電極 142a 連接的位置；二是源極電極 142a 與佈線 154 連接的位置。藉由採用這種平面佈局，可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的集體度。

<SOI 基板的製造方法>

接著，參照圖 13A 至 13G 對用於製造上述半導體裝置的 SOI 基板的製造方法的一個例子進行說明。

首先，準備作為基底基板的半導體基板 500（參照圖 13A）。作為半導體基板 500，可以使用如單晶矽基板、單晶鍺基板等半導體基板。另外，作為半導體基板，可以使用太陽能電池級矽（SOG-Si：Solar Grade Silicon）基板等。此外，還可以使用多晶半導體基板。與使用單晶矽基板等的情況相比，使用太陽能電池級矽或多晶半導體基

板等時可以抑制製造成本。

除了半導體基板 500 以外,還可以舉出如下: 鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃之類的用於電子工業的各種玻璃基板; 石英基板; 陶瓷基板; 藍寶石基板。另外, 也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係數接近於矽的陶瓷基板。

較佳的是預先對半導體基板 500 的表面進行清洗。明確而言, 較佳為使用鹽酸和過氧化氫水的混合液 (HPM)、硫酸和過氧化氫水的混合液 (SPM)、氨水和過氧化氫水的混合液 (APM)、稀氫氟酸 (DHF) 等對半導體基板 500 進行清洗。

接著, 準備接合基板。這裡, 作為接合基板使用單晶半導體基板 510 (參照圖 13B)。另外, 雖然在這裡使用單晶體的基板作為接合基板, 但是接合基板的結晶性不侷限於單晶。

作為單晶半導體基板 510, 例如可以使用如單晶矽基板、單晶鍺基板、單晶矽鍺基板等的由第 14 族元素構成的單晶半導體基板。此外, 也可以使用諸如砷化鎵、磷化銦等的化合物半導體基板。作為市場上出售的矽基板, 典型的是直徑為 5 英寸 (125mm)、直徑為 6 英寸 (150mm)、直徑為 8 英寸 (200mm)、直徑為 12 英寸 (300mm)、直徑為 16 英寸 (400mm) 的圓形的矽基板。另外, 單晶半導體基板 510 的形狀不侷限於圓形, 例如, 還可以使用被加工為矩形等的基板。另外, 單晶半導體基

板 510 可以利用 CZ（提拉）法及 FZ（浮區）法製造。

在單晶半導體基板 510 的表面形成氧化膜 512（參照圖 13C）。另外，從去除污染物的觀點來看，較佳的是在形成氧化膜 512 之前預先使用鹽酸和過氧化氫水的混合液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）、FPM（氫氟酸和過氧化氫以及純水的混合液）等對單晶半導體基板 510 的表面進行清洗。也可以藉由交替噴出稀氫氟酸和臭氧水來進行清洗。

例如，氧化膜 512 可以由氧化矽膜、氮化矽膜等的單層或疊層形成。作為上述氧化膜 512 的製造方法，有熱氧化法、CVD 法或濺射法等。此外，當使用 CVD 法形成氧化膜 512 時，較佳為使用四乙氧基矽烷（簡稱 TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等的有機矽烷形成氧化矽膜，以實現良好的貼合。

在本實施方式中，藉由對單晶半導體基板 510 進行熱氧化處理來形成氧化膜 512（這裡為氧化矽膜）。較佳的是在氧化氛圍中添加鹵素進行熱氧化處理。

例如，可以藉由在添加有氯（Cl）的氧化氛圍中對單晶半導體基板 510 進行熱氧化處理，形成被氯氧化的氧化膜 512。在這種情況下，氧化膜 512 成為含有氯原子的膜。藉由利用該氯氧化俘獲外來雜質的重金屬（例如，Fe、Cr、Ni、Mo 等）形成金屬氯化物，而將該金屬氯化物去除到外部，可以降低單晶半導體基板 510 的污染。

另外，氧化膜 512 所包含的鹵素原子不侷限於氯原子。也可以使氧化膜 512 包含氟原子。作為使單晶半導體基板 510 表面氟氧化的方法，例如可以舉出以下方法：在將單晶半導體基板 510 浸漬在 HF 溶液中之後在氧化氛圍中進行熱氧化處理；或者將 NF_3 添加到氧化氛圍中進行熱氧化處理等。

接著，藉由對單晶半導體基板 510 照射由電場加速的離子並進行添加，在單晶半導體基板 510 的指定的深度中形成結晶結構受到損傷的脆化區 514（參照圖 13D）。

可以藉由離子的動能、離子的品質和電荷、離子的入射角等來調節形成脆化區 514 的區域的深度。此外，脆化區 514 被形成在與離子的平均侵入深度基本相同的深度的區域中。由此，可以利用離子的添加深度來調節從單晶半導體基板 510 分離的單晶半導體層的厚度。例如，以單晶半導體層的厚度成為 10nm 以上 500nm 以下，較佳為 50nm 以上 200nm 以下左右的方式調節平均侵入深度，即可。

可以使用離子摻雜裝置或離子植入裝置進行該離子照射處理。作為離子摻雜裝置的典型例子，有將使處理氣體電漿激發而產生的所有離子種照射到被處理體的非質量分離型裝置。在該裝置中，不對電漿中的離子種進行質量分離而將它照射到被處理體。另一方面，離子植入裝置是質量分離型裝置。在離子植入裝置中，對電漿中的離子種進行質量分離，並將某個特定的品質的離子種照射到被處理

體。

在本實施方式中，對使用離子摻雜裝置將氫添加到單晶半導體基板 510 的例子進行說明。作為源氣體，使用包含氫的氣體。至於照射的離子，較佳為提高 H_3^+ 的比率。明確而言，相對於 H^+ 、 H_2^+ 、 H_3^+ 的總量， H_3^+ 的比率為 50% 以上（更佳為 80% 以上）。藉由提高 H_3^+ 的比率，可以提高離子照射的效率。

另外，添加的離子不侷限於氫。也可以添加氮等的離子。此外，添加的離子不侷限於一種，也可以添加多種離子。例如，當使用離子摻雜裝置同時照射氫和氮時，與以不同的製程進行照射的情況相比可以減少製程數，並且可以抑制後面形成的單晶半導體層的表面粗糙。

另外，當使用離子摻雜裝置形成脆化區 514 時，雖然有與此同時添加重金屬的憂慮，但是藉由隔著含有鹵素原子的氧化膜 512 進行離子照射，可以防止這些重金屬對單晶半導體基板 510 的污染。

接著，使半導體基板 500 和單晶半導體基板 510 對置，並使它們隔著氧化膜 512 貼合。由此，貼合半導體基板 500 和單晶半導體基板 510（參照圖 13E）。另外，也可以在與單晶半導體基板 510 貼合的半導體基板 500 的表面形成氧化膜或氮化膜。

在進行貼合時，較佳為對半導體基板 500 或單晶半導體基板 510 的一處施加 $0.001N/cm^2$ 以上 $100N/cm^2$ 以下，例如 $1N/cm^2$ 以上 $20N/cm^2$ 以下的壓力。藉由施加壓力使

接合平面接近而貼合，在被貼合的部分中半導體基板 500 與氧化膜 512 接合，並以該部分為起點開始自發性的接合而擴展至幾乎整個面。該接合利用范德華力和氫鍵作用，並可以在常溫下進行。

另外，在貼合單晶半導體基板 510 與半導體基板 500 之前，較佳為對進行貼合的表面進行表面處理。藉由進行表面處理，可以提高單晶半導體基板 510 和半導體基板 500 的介面的接合強度。

作為表面處理，可以使用濕處理、乾處理或濕處理與乾處理的組合。此外，還可以使用不同的濕處理的組合或不同的乾處理的組合。

另外，在貼合之後，也可以進行熱處理以增高接合強度。將該熱處理的溫度設定為不使脆化區 514 發生分離的溫度（例如，室溫以上且低於 400°C）。另外，也可以在該溫度範圍內加熱邊接合半導體基板 500 和氧化膜 512。作為上述熱處理，可以使用擴散爐、電阻加熱爐等加熱爐、RTA（快速熱退火：Rapid Thermal Anneal）裝置、微波加熱裝置等。另外，上述溫度條件只是一個例子而已，所公開的發明的一個方式不應被解釋為限定於此。

接著，藉由進行熱處理使單晶半導體基板 510 在脆化區中進行分離，而在半導體基板 500 上隔著氧化膜 512 形成單晶半導體層 516（參照圖 13F）。

另外，較佳為使進行上述分離時的熱處理的溫度盡可能地低。這是因為進行分離時的溫度越低單晶半導體層

516 的表面粗糙度越低的緣故。明確而言，例如，可以將進行上述分離時的熱處理的溫度設定為 300°C 以上 600°C 以下，當將該溫度設定為 400°C 以上 500°C 以下時更有效。

另外，也可以在使單晶半導體基板 510 分離之後，以 500°C 以上的溫度對單晶半導體層 516 進行熱處理以降低殘留在單晶半導體層 516 中的氫的濃度。

接著，藉由對單晶半導體層 516 的表面照射雷射，形成表面平坦性提高了且缺陷減少了的單晶半導體層 518（參照圖 13G）。另外，還可以進行熱處理來替代雷射照射處理。

另外，在本實施方式中，雖然在進行了用來分離單晶半導體層 516 的熱處理之後立即進行雷射照射處理，但是所公開的發明的一個方式不應被解釋為限定於此。既可以在用來分離單晶半導體層 516 的熱處理之後先進行蝕刻處理來去除單晶半導體層 516 表面缺陷多的區域，再進行雷射照射處理，又可以在提高單晶半導體層 516 表面的平坦性之後進行雷射照射處理。另外，上述蝕刻處理可以使用濕蝕刻或乾蝕刻。另外，在本實施方式中，還可以在進行上述那樣的雷射照射之後進行減薄單晶半導體層 516 的厚度的薄膜化製程。至於單晶半導體層 516 的薄膜化，既可使用乾蝕刻和濕蝕刻中的任一種，又可使用其兩者。

藉由上述製程，可以形成具有特性良好的單晶半導體層 518 的 SOI 基板（參照圖 13G）。

<半導體裝置的製造方法>

接著，參照圖 14A 至圖 17C 而說明使用上述 SOI 基板的半導體裝置的製造方法。

<下部電晶體的製造方法>

首先，參照圖 14A 至圖 15D 說明下部電晶體 160 的製造方法。圖 14A 至圖 15D 是示出根據圖 13A 至 13G 所示的方法形成的 SOI 基板的一部分，且相當於圖 12A 所示的下部電晶體的剖面製程圖。

首先，將單晶半導體層 518 加工為島狀以形成半導體層 120（參照圖 14A）。另外，在該製程的前後，為了控制電晶體的臨界電壓，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到半導體層。在半導體材料為矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷、砷等。此外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、鋁、鎵等。

接著，覆蓋半導體層 120 形成絕緣層 122（參照圖 14B）。絕緣層 122 是後面成為閘極絕緣層的層。絕緣層 122 例如可以藉由對半導體層 120 表面進行熱處理（熱氧化處理或熱氮化處理等）而形成。也可以使用高密度電漿處理代替熱處理。例如，可以使用氦（He）、氬（Ar）、氪（Kr）、氙（Xe）等稀有氣體、氧、氧化氮、氮、氫等中的任何氣體的混合氣體進行高密度電漿處理。當

然，也可以使用 CVD 法或濺射法等形成絕緣層。該絕緣層 122 較佳為採用包含氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鉬、氧化釷、矽酸鈺 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鈺 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鈺 (HfAl_xO_y ($x>0$ 、 $y>0$)) 等的單層結構或疊層結構。另外，至於絕緣層 122 的厚度，例如可以設定為 1nm 以上且 100nm 以下，較佳為 10nm 以上且 50nm 以下。在此，藉由利用電漿 CVD 法形成包含氧化矽的絕緣層的單層。

接著，在絕緣層 122 上形成掩模 124，將賦予一導電性的雜質元素添加到半導體層 120，來形成雜質區 126 (參照圖 14C)。此外，這裡，在添加雜質元素之後去除掩模 124。

接著，藉由在絕緣層 122 上形成掩模，去除絕緣層 122 的與雜質區 126 重疊的區域的一部分，來形成閘極絕緣層 122a (參照圖 14D)。作為絕緣層 122 的去除方法，可以使用濕蝕刻或乾蝕刻等的蝕刻處理。

接著，在閘極絕緣層 122a 上形成用來形成閘電極 (包括使用與該閘電極相同的層形成的佈線) 的導電層，加工該導電層來形成閘電極 128a 及導電層 128b (參照圖 14E)。

作為用於閘電極 128a 及導電層 128b 的導電層，可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。另外，也可以藉由使用多晶矽等的半導體材料，形成包含導電材料的

層。對於形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。此外，可以藉由使用光阻掩罩的蝕刻進行導電層的加工。

接著，以閘電極 128a 及導電層 128b 為掩模，將賦予一種導電型的雜質元素添加到半導體層，來形成通道形成區 134、雜質區 132 及雜質區 130（參照圖 15A）。這裡，添加硼（B）或鋁（Al）等雜質元素，以形成 p 型電晶體。這裡，可以適當地設定所添加的雜質元素的濃度。另外，在添加雜質元素之後，進行用於活化的熱處理。在此，雜質區的濃度按雜質區 126、雜質區 132、雜質區 130 的順序依次高。

接著，以覆蓋閘極絕緣層 122a、閘電極 128a、導電層 128b 的方式形成絕緣層 136、絕緣層 138 及絕緣層 140（參照圖 15B）。

絕緣層 136、絕緣層 138、絕緣層 140 可以使用包含氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是較佳為將低介電常數（low-k）材料用於絕緣層 136、絕緣層 138、絕緣層 140，因為這樣可以充分地降低起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層 136、絕緣層 138、絕緣層 140。因為多孔絕緣層的介電常數比密度高的絕緣層低，所以可以進一步降低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層 136、絕緣層 138、絕緣

層 140。在本實施方式中，對作為絕緣層 136 使用氧氮化矽，作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽的情況進行說明。另外，雖然在此採用絕緣層 136、絕緣層 138 及絕緣層 140 的疊層結構，但是所公開的發明的一個方式不侷限於此。作為上述絕緣層既可以採用單層或兩層結構，又可以採用四層以上的疊層結構。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP（化學機械拋光）處理或蝕刻處理，使絕緣層 138 及絕緣層 140 平坦化（參照圖 15C）。在此，進行 CMP 處理直到露出絕緣層 138 的一部分為止。當作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽時，將絕緣層 138 用作蝕刻停止層。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP 處理或蝕刻處理，使閘電極 128a 及導電層 128b 的上面露出（參照圖 15D）。在此，進行蝕刻處理直到露出閘電極 128a 及導電層 128b 的一部分為止。作為該蝕刻處理較佳為使用乾蝕刻，但是也可以使用濕蝕刻。在使閘電極 128a 及導電層 128b 的一部分露出的製程中，為了提高後面形成的電晶體 162 的特性，較佳為使絕緣層 136、絕緣層 138、絕緣層 140 的表面盡可能地為平坦。

藉由上述製程，可以形成下部的電晶體 160（參照圖 15D）。

另外，也可以在上述各製程之前或之後還包括形成電極、佈線、半導體層或絕緣層等的製程。例如，作為佈線

的結構，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構來實現高集體化的半導體裝置。

<上部電晶體的製造方法>

接著，參照圖 16A 至圖 17C 說明上部電晶體 162 的製造方法。

這裡，所有的膜較佳為使用不包含對電晶體的特性帶來故障影響的氫或水等雜質。例如，附著在半導體基板 500 等的表面的雜質也有可能進入膜中。因此，較佳為在形成各層之前在減壓氛圍或氧化氛圍中進行加熱處理，來去除附著在半導體基板 500 等的表面的雜質。另外，存在於沉積室的雜質也會成為問題，所以較佳的是預先去除該雜質。明確而言，較佳的是預先對沉積室進行烘烤來促進沉積室內部的脫氣而進行排氣。另外，較佳為在形成各層之前對 100 片左右的偽基板進行五分鐘左右的偽成膜。在此，偽成膜是指對偽基板利用濺射法等進行成膜。藉由進行偽成膜，在偽基板及沉積室的內壁沉積膜，可以將沉積室內的雜質及存在於沉積室的內壁的吸附物封閉在膜中。偽基板較佳為使用釋放氣體少的材料，例如可以使用與半導體基板 500 同樣的材料。藉由進行偽成膜，可以降低後面形成的膜中的雜質濃度。

另外，用來成膜的氣體也影響到膜中的雜質濃度，所以較佳儘量使用純度高的氣體。在利用濺射法的情況下，例如可以使用純度為 9N 的氫氣體（露點為 -121°C ，水的

含量為 0.1ppb、氫的含量為 0.5ppb) 及純度為 8N 的氧氣體 (露點為 -112°C ，水的含量為 1ppb、氫的含量為 1ppb)。

首先，在閘電極 128a、導電層 128b、絕緣層 136、絕緣層 138、絕緣層 140 等上形成氧化物半導體層，並加工該氧化物半導體層來形成氧化物半導體層 144 (參照圖 16A)。另外，在形成氧化物半導體層之前，可以在絕緣層 136、絕緣層 138、絕緣層 140 上設置用作基底的絕緣層。該絕緣層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法等來形成。

氧化物半導體層可以藉由濺射法、蒸鍍法、PCVD 法、PLD 法、ALD 法或 MBE 法等形式形成。較佳為利用濺射法在如下條件下形成氧化物半導體層 144：將基板加熱溫度設定為 100°C 以上且 600°C 以下，較佳為設定為 150°C 以上且 550°C 以下，更佳為設定為 200°C 以上且 500°C 以下；採用氧氣體氛圍。以 1nm 以上且 40nm 以下的厚度，較佳為以 3nm 以上且 20nm 以下的厚度形成氧化物半導體層 144。成膜時的基板加熱溫度越高，所得到的氧化物半導體層 144 的雜質濃度越低。此外，成膜時的基板溫度越高，越容易地，使氧化物半導體層 144 中的原子排列有序化，且實現高密度化，而形成多晶膜或 CAAC-OS 膜。再者，藉由在氧氣體氛圍下進行成膜，也容易形成多晶膜或 CAAC-OS 膜，因為在氧氣體氛圍中不包含稀有氣體等的不需要的原子。但是，也可以採用氧氣體和稀有氣體的混

合氛圍。在此情況下，將氧氣體的比例設定為 30vol.% 以上，較佳為設定為 50vol.% 以上，更佳為設定為 80vol.% 以上。注意，氧化物半導體層 144 越薄，電晶體的短通道效應越減少。但是，若厚度過薄，則有時介面散射的影響變大而場效應遷移率降低。

在作為氧化物半導體層 144，藉由濺射法形成 In-Ga-Zn-O 類氧化物時，較佳為使用其原子數比由 In : Ga : Zn = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3 或 3 : 1 : 4 表示的 In-Ga-Zn-O 類氧化物靶材。藉由使用具有上述原子數比的 In-Ga-Zn-O 靶材形成氧化物半導體層 144，容易形成多晶膜或 CAAC-OS 膜。

另外，在藉由濺射法形成作為氧化物半導體層 144 的 In-Sn-Zn-O 類氧化物時，較佳為使用原子數比為 In : Sn : Zn = 1 : 1 : 1、2 : 1 : 3、1 : 2 : 2 或 20 : 45 : 35 的 In-Sn-Zn-O 靶材。藉由使用具有上述原子數比的 In-Sn-Zn-O 靶材形成氧化物半導體層 144，容易形成多晶膜或 CAAC-OS 膜。

接著，進行加熱處理。在減壓氛圍下、惰性氛圍下或氧化氛圍下進行加熱處理。藉由加熱處理，可以減少氧化物半導體層 144 中的雜質濃度。

較佳的是，在減壓氛圍下或惰性氛圍下進行加熱處理之後，保持溫度且將氛圍切換為氧化氛圍，而進一步進行加熱處理。這是因為如下緣故：當在減壓氛圍下或惰性氛圍下進行加熱處理時，可以減少氧化物半導體層 144 中的

雜質濃度，但是同時產生氧缺陷。藉由在氧化氛圍下進行加熱處理，可以減少此時產生的氧缺陷。

藉由對氧化物半導體層 144，除了進行成膜時的基板加熱之外，還進行另外加熱處理，可以使氧化物半導體層中的雜質能階極為少。其結果是，可以使電晶體的場效應遷移率提高到下述理想的場效應遷移率附近。

接著，也可以對基板進行熱處理。藉由進行熱處理，可以形成結晶區相對於非晶區的比例更多的氧化物半導體層。例如，可在 200°C 以上且低於基板的應變點的溫度下進行熱處理。較佳為在 250°C 以上且 450°C 以下進行熱處理。雖然對於氛圍沒有限制，但是在氧化氛圍下、惰性氛圍下或減壓氛圍（ 10Pa 以下）下進行熱處理。處理時間是 3 分鐘至 24 小時。處理時間越長可以形成晶體區相對於非晶區的比率多的氧化物半導體層，但是由於超過 24 小時的熱處理導致產率的降低，因此不是較佳的。

氧化氛圍是包含氧化氣體的氛圍。氧化氣體是氧、臭氧、一氧化二氮等，較佳的是，氧化氣體不含水、氫等。例如，引入熱處理裝置的氧、臭氧或一氧化二氮的純度設定為 8N（99.999999%）以上，較佳為設定為 9N（99.9999999%）以上。作為氧化氛圍，可使用氧化氣體和惰性氣體的混合氣體。在這種情況下，混合氣體包含 10ppm 以上的氧化氣體。

在此，惰性氛圍是指含氮或稀有氣體（如氮、氖、氬、氪或氙）等的惰性氣體作為主要成分的氛圍。明確而

言，諸如氧化氣體等的反應氣體的濃度低於 10ppm。

可以使用 RTA (Rapid Thermal Anneal ; 快速熱退火) 裝置進行熱處理。藉由使用 RTA 裝置，只要在短時間內，可以以基板的應變點以上的溫度進行加熱處理。因此，可以縮短形成結晶區相對於非晶區的比率高的氧化物半導體層的時間。

作為 In-Ga-Zn-O 類氧化物靶材，例如可以使用 In : Ga : Zn=2 : 2 : 1 [原子數比] 的氧化物靶材。注意，不侷限於上述靶材的材料及組成。例如也可以使用 In : Ga : Zn=1 : 1 : 1 [原子數比] 的靶材。

注意，已報告了將非晶的 In-Sn-Zn-O 類氧化物用於啓動層的電晶體的電特性，得到 $30\text{cm}^2/\text{Vs}$ 的場效應遷移率 (Eri Fukumoto, Toshiaki Arai, Narihiro Morosawa, Kazuhiko Tokunaga, Yasuhiro Terai, Takashige Fujimori and Tatsuya Sasaoka, "High Mobility-Oxide Semiconductor TFT for Circuit Integration-Of AM-OLED", IDW' 10 p631-p634) 。

另外，可以將使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料的薄膜用作氧化物半導體層。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

接著，在氧化物半導體層 144 等上形成用來形成源極電極及汲極電極 (包括使用與該源極電極及汲極電極相同的層形成的佈線) 的導電層，加工該導電層來形成源極電

極 142a、汲極電極 142b（參照圖 16B）。

可以利用 PVD 法或 CVD 法形成導電層。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鉬、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、銦、銻、釷、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，有易於將源極電極 142a 及汲極電極 142b 加工為錐形形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物，可以採用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、氧化銦鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者藉由使這些金屬氧化物材料含有矽或氧化矽而形成的金屬氧化物。

較佳為以形成的源極電極 142a 及汲極電極 142b 的端部成為錐形形狀的方式對導電層進行蝕刻。這裡，錐形角例如較佳為 30° 以上且 60° 以下。藉由以源極電極 142a 及汲極電極 142b 的端部成為具有傾斜度的形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性，並防止斷開。

上部電晶體的通道長度（L）由源極電極 142a 與汲極

電極 142b 的下端部之間の間隔決定。另外，當形成通道長度（L）短於 25nm 的電晶體時，較佳為使用波長短即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成掩模時的曝光。利用超紫外線的曝光的解析度高且聚焦深度大。由此，可以將後面形成的電晶體的通道長度（L）設定為 10nm 以上且 1000nm（1 μ m）以下，可以提高電路的工作速度。此外，藉由微細化，可以降低半導體裝置的耗電量。

接著，以覆蓋源極電極 142a、汲極電極 142b 並與氧化物半導體層 144 的一部分接觸的方式形成閘極絕緣層 146（參照圖 16C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。此外，閘極絕緣層 146 較佳為含有氧化矽、氮化矽、氧氮化矽、氧化鎵、氧化鋁、氧化鉬、氧化鉛、氧化釷、矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的鋁酸鉛（ HfAl_xO_y （ $x>0$ ， $y>0$ ））等。閘極絕緣層 146 既可以採用單層結構又可以採用組合上述材料的疊層結構。此外，雖然對閘極絕緣層 146 的厚度沒有特別的限制，但是當將半導體裝置微型化時，較佳為將閘極絕緣層 146 形成為較薄，以確保電晶體的工作。例如，當使用氧化矽時，可以將閘極絕緣層 146 形成為 1nm 以上且 100nm 以下，較佳為形成為 10nm 以上且 50nm 以下。

當如上所述那樣將閘極絕緣層形成為較薄時，有發生

因隧道效應等而引起的閘極洩漏的問題。為了解決閘極洩漏的問題，較佳為作為閘極絕緣層 146 使用氧化鉛、氧化鋇、氧化釷、矽酸鉛 (HfSi_xO_y ($x>0$, $y>0$))、添加有氮的矽酸鉛 (HfSi_xO_y ($x>0$, $y>0$))、添加有氮的鋁酸鉛 (HfAl_xO_y ($x>0$, $y>0$)) 等高介電常數 (high-k) 材料。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且還可以將閘極絕緣層 146 形成為較厚以抑制閘極洩漏。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等中的任一種的膜的疊層結構。

接著，用來形成閘電極（包括由與其相同的層形成的佈線）的導電層，加工該導電層，來形成閘電極 148a 及導電層 148b（參照圖 16D）。

作為閘電極 148a 及導電層 148b，可以使用鉬、鈦、鉭、鎢、鋁、銅、鈦、鈳等金屬材料或以該金屬材料為主要成分的合金材料來形成。另外，閘電極 148a 及導電層 148b 可以採用單層結構或疊層結構。

接著，在閘極絕緣層 146、閘電極 148a 及導電層 148b 上形成絕緣層 150（參照圖 17A）。絕緣層 150 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎳、氧化鋁等的無機絕緣材料的材料形成。另外，作為絕緣層 150 較佳為使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層 150 的介電常數減少，可以

降低產生在佈線、電極等之間的電容，從而實現工作的高速化的緣故。另外，在本實施方式中，採用絕緣層 150 的單層結構，但是，所公開的發明的一個方式不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣層 146、絕緣層 150 中形成到達源極電極 142a 的開口。然後，在絕緣層 150 上形成與源極電極 142a 接觸的佈線 154（參照圖 17B）。另外，藉由使用掩模等選擇性地進行蝕刻來形成該開口。

在使用 PVD 法或 CVD 法形成導電層之後，對該導電層進行構圖來形成佈線 154。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、鈹、釷、釷中的一種或多種材料。

更明確而言，例如，可以在包括絕緣層 150 的開口的區域中藉由 PVD 法形成薄（5nm 左右）的鈦膜之後以埋入開口的方式形成鋁膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此為源極電極 142a）的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在使用鈦或氮化鈦等形成障壁膜之後藉由鍍敷法形成銅膜。

形成在絕緣層 150 中的開口較佳為形成在與導電層 128b 重疊的區域中。藉由在這種區域中形成開口，可以抑制起因於接觸區的元件面積的增大。

在此，對不使用導電層 128b 而使如下兩種連接結構

重疊的情況進行說明，該兩種連接結構：一是雜質區 126 與源極電極 142a 的連接結構；二是源極電極 142a 與佈線 154 的連接結構。此時，在形成在雜質區 126 上的絕緣層 136、絕緣層 138 及絕緣層 140 中形成開口（稱為下部的接觸），在下部的接觸中形成源極電極 142a，然後，在閘極絕緣層 146 及絕緣層 150 中，在與下部的接觸重疊的區域中形成開口（稱為上部的接觸），並且形成佈線 154。當在與下部的接觸重疊的區域中形成上部的接觸時，有如下憂慮：即，由於蝕刻，形成在下部的接觸中的源極電極 142a 斷開。當為了避免該斷開，以彼此不重疊的方式形成下部的接觸與上部的接觸時，發生元件面積的增大的問題。

如本實施方式所示那樣，藉由使用導電層 128b，可以形成上部的接觸而不使源極電極 142a 斷開。由此，可以使下部的接觸與上部的接觸重疊地設置，從而可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的集體度。

接著，以覆蓋佈線 154 的方式形成絕緣層 156（參照圖 17C）。

藉由上述步驟完成使用氧化物半導體層 144 的電晶體 162 以及電容元件 164（參照圖 17C）。

藉由使用上述氧化物半導體層 144，可以得到關態電流充分低且可靠性高的電晶體。而且，藉由使用這種電晶體，可以得到能夠在極長時間內保持儲存內容的半導體裝

置。

另外，在本實施方式所示的半導體裝置中，可以共同使用佈線，而可以實現集體度充分得到提高的半導體裝置。

因為圖 12A 及 12B 所示的電晶體使用上述氧化物半導體層，所以可以得到場效應遷移率高且可靠性高的電晶體。

在此，將說明對用於本發明的一個方式的使用氧化物半導體的電晶體的場效遷移率進行計算而得到的結果。

除了氧化物半導體之外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的場效應遷移率低。作為使場效應遷移率降低的原因，有半導體內部的缺陷或半導體和絕緣膜之間的界面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的場效應遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式（2）表示其關係。

[算式 2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (2)$$

在此， E 是位能障壁的高度， k 是玻爾茲曼常數， T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式（3）表示其關係。

[算式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (3)$$

在此， e 是基本電荷， N 是通道內的每單位面積的平均缺陷密度， ϵ 是半導體的介電常數， n 是包括在每單位面積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘極電壓， t 是通道的厚度。注意，在採用厚度為 30 nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。線性區域中的洩漏電流 I_d 可以由下述算式（4）表示。

[算式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (4)$$

在此， L 是通道長度， W 是通道寬度，並且 $L=W=10 \mu m$ 。此外， V_d 是汲極電壓。當將上述算式的雙邊用 V_g 除，且對雙邊取對數時，獲得下述算式（5）。

[算式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (5)$$

算式 5 的右邊是 V_g 的函數。由上述算式可知，根據以縱軸為 $\ln(I_d/V_g)$ 並以橫軸為 $1/V_g$ 來標繪出測量值而得到的圖表的直線的傾斜度可以求得缺陷密度 N 。也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。在銦（In）、錫（Sn）、鋅（Zn）的比率為 In：Sn：Zn=1：1：1[原子數比]的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/cm^2$ 左右。

根據如上所述那樣求得的缺陷密度等，根據算式 4 及算式 5 可以導出 $\mu_0 = 120 \text{ cm}^2/\text{Vs}$ 。在使用有缺陷的 In-Sn-Zn 氧化物半導體膜的電晶體中測量出來的場效應遷移率為 $30 \text{ cm}^2/\text{Vs}$ 左右。但是，可以估計在使用半導體內部及半導體和閘極絕緣膜之間的介面沒有缺陷的氧化物半導體膜的電晶體的場效應遷移率 μ_0 成為 $120 \text{ cm}^2/\text{Vs}$ 。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受到半導體和閘極絕緣膜之間的介面中的散射的影響。換言之，離閘極絕緣膜的介面有 x 的距離的位置上的電場遷移率 μ_1 可以由下述算式（6）表示。

[算式 6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (6)$$

在此， D 是閘極方向上的電場，且 B 、 l 是常數。 B 及 l 可以根據實際的測量結果求得。根據上述測量結果， $B = 4.75 \times 10^7 \text{ cm/s}$ ， $l = 10 \text{ nm}$ （介面散射到達的深度）。可知當 D 增加（即，閘極電壓得到提高）時，算式 6 的第二項也增加，所以場效應遷移率 μ_1 降低。

圖 22 示出對一種電晶體的場效應遷移率 μ_2 進行計算而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。這裡，在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device，並且將氧化物半導體的能隙設定為 2.8 eV ，將電子親和力設定為 4.7 eV ，將相對介電常數設定為 15，將厚度設定為 15 nm 。再者，將閘極的功函數、源極的功函數、汲極的功

函數分別設定為 5.5eV 、 4.6eV 、 4.6eV 。此外，將閘極絕緣膜的厚度設定為 100nm ，並將相對介電常數設定為 4.1 。通道長度及通道寬度都為 $10\mu\text{m}$ ，而汲極電壓 V_d 為 0.1V 。

如圖 22 所示，當閘極電壓為 1V 多時場效應遷移率示出 $100\text{cm}^2/\text{Vs}$ 以上的峰值，但是當閘極電壓更高時，介面散射的影響變大，所以場效應遷移率下降。另外，為了減少介面散射的影響，較佳為使半導體層的表面在原子級上具有平坦性（Atomic Layer Flatness）。

圖 23A 至圖 25C 示出對具有上述場效應遷移率的微型電晶體時的特性進行計算而得到的結果。在此，圖 26A 和 26B 示出用於計算的電晶體的剖面結構。圖 26A 和 26B 所示的電晶體在氧化物半導體層中具有呈現 n^+ 導電型的半導體區 2103a 及半導體區 2103c。半導體區 2103a 及半導體區 2103c 的電阻率為 $2 \times 10^{-3} \Omega\text{cm}$ 。

圖 26A 所示的電晶體形成在基底絕緣膜 2101 及以埋入在基底絕緣膜 2101 中的方式形成的由氧化鋁形成的埋入絕緣膜 2102 上。電晶體包括半導體區 2103a、半導體區 2103c、夾在它們之間且成為通道形成區的本質半導體區 2103b 以及閘極 2105。閘極 2105 的寬度為 33nm 。

電晶體在閘極 2105 和半導體區 2103b 之間具有閘極絕緣膜 2104，在閘極 2105 的雙側面具有側壁絕緣膜 2106a 及側壁絕緣膜 2106b，並且在閘極 2105 的上部具有用來防止閘極 2105 與其他佈線的短路的絕緣膜 2107。側

壁絕緣膜的寬度為 5nm。此外，以接觸於半導體區 2103a 及半導體區 2103c 的方式具有源極 2108a 及汲極 2108b。另外，該電晶體的通道寬度為 40nm。

圖 26B 所示的電晶體與圖 26A 所示的電晶體的相同之點是如下：形成在基底絕緣膜 2101 及由氧化鋁形成的埋入絕緣膜 2102 上；包括半導體區 2103a、半導體區 2103c、夾在它們之間的本質半導體區 2103b、寬度為 33nm 的閘極 2105、閘極絕緣膜 2104、側壁絕緣膜 2106a 及側壁絕緣膜 2106b、絕緣膜 2107 以及源極 2108a 及汲極 2108b。

圖 26A 所示的電晶體與圖 26B 所示的電晶體的不同之點是側壁絕緣膜 2106a 及側壁絕緣膜 2106b 下的半導體區的導電型。在圖 26A 所示的電晶體中側壁絕緣膜 2106a 及側壁絕緣膜 2106b 下的半導體區為呈現 n^+ 導電型的半導體區 2103a 及半導體區 2103c，另一方面在圖 26B 所示的電晶體中側壁絕緣膜 2106a 及側壁絕緣膜 2106b 下的半導體區為本質半導體區 2103b。換言之，存在半導體區 2103b 與閘極 2105 不重疊的具有 L_{off} 的寬度的區域。將該區域稱為偏置 (offset) 區，並且將其寬度 L_{off} 稱為偏置長度。從圖式可知，偏置長度與側壁絕緣膜 2106a (側壁絕緣膜 2106b) 的寬度相同。

用於計算的其他參數使用上述參數。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。圖 23A 至 23C 示出圖 26A 所示的結構的電晶體的汲極電流

(I_d ，實線) 及場效應遷移率 (μ ，虛線) 的閘極電壓 (V_g ，閘極與源極的電位差) 依賴性。將汲極電壓 (汲極與源極的電位差) 設定為 $+1V$ 來計算汲極電流 I_d ，並且將汲極電壓設定為 $+0.1V$ 來計算場效應遷移率 μ 。

圖 23A 為閘極絕緣膜的厚度為 $15nm$ 時的圖，圖 23B 為閘極絕緣膜的厚度為 $10nm$ 時的圖，並且圖 23C 為閘極絕緣層的厚度為 $5nm$ 時的圖。閘極絕緣膜越薄，尤其是截止狀態下的汲極電流 I_d (關態電流) 越顯著降低。另一方面，場效應遷移率 μ 的峰值或導通狀態下的汲極電流 I_d (導通電流) 沒有顯著的變化。由此可知當閘極電壓為 $1V$ 左右時洩漏電流超過記憶元件等所需要的 $10\mu A$ 。

圖 24A 至 24C 示出在圖 26B 所示的結構的電晶體中當偏置長度 L_{off} 為 $5nm$ 時的汲極電流 I_d (實線) 及場效應遷移率 μ (虛線) 的閘極電壓 V_g 依賴性。將汲極電壓設定為 $+1V$ 來計算汲極電流 I_d ，並且將汲極電壓設定為 $+0.1V$ 來計算場效應遷移率 μ 。圖 24A 為閘極絕緣膜的厚度為 $15nm$ 時的圖，圖 24B 為閘極絕緣層的厚度為 $10nm$ 時的圖，並且圖 24C 為閘極絕緣層的厚度為 $5nm$ 時的圖。

另外，圖 25A 至 25C 示出在圖 26B 所示的結構的電晶體中當偏置長度 L_{off} 為 $15nm$ 時的汲極電流 I_d (實線) 及場效應遷移率 μ (虛線) 的閘極電壓依賴性。將汲極電壓設定為 $+1V$ 來計算汲極電流 I_d ，並且將汲極電壓設定為 $+0.1V$ 來計算場效應遷移率 μ 。圖 25A 為閘極絕緣膜的厚

度為 15nm 時的圖，圖 25B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 25C 為閘極絕緣層的厚度為 5nm 時的圖。

無論是哪一種結構，閘極絕緣膜越薄，關態電流越顯著降低，但是場效應遷移率 μ 的峰值以及導通電流沒有顯著的變化。

另外，偏置長度 L_{off} 越增加，場效應遷移率 μ 的峰值越降低，即在圖 23A 至 23C 中場效應遷移率 μ 的峰值為 $80\text{cm}^2/\text{Vs}$ 左右，在圖 24A 至 24C 中場效應遷移率 μ 的峰值為 $60\text{cm}^2/\text{Vs}$ 左右，並且在圖 25A 至 25C 中場效應遷移率 μ 的峰值為 $40\text{cm}^2/\text{Vs}$ 左右。此外，關態電流也有同樣的趨勢。另一方面，雖然導通電流隨著偏置長度 L_{off} 的增加而降低，但是其降低程度要比關態電流的降低程度平緩得多。此外，可知當閘極電壓為 1V 左右時汲極電流超過記憶元件等所需要的 $10\mu\text{A}$ 。

接著，說明對用於本發明的一個方式的使用氧化物半導體的電晶體的場效應遷移率進行測量而得到的結果。

具有將包含 In、Sn 及 Zn 的氧化物半導體層用作通道形成區的電晶體藉由當形成該氧化物半導體層時加熱基板形成層或在形成氧化物半導體層之後進行熱處理來可以得到良好的特性。

藉由在形成包含 In、Sn 及 Zn 的氧化物半導體層之後意圖性地加熱基板，可以提高電晶體的場效應遷移率。

例如，圖 27A 及 27B 示出圖 26A 和 26B 的電晶體的

特性，在該電晶體中作為氧化物半導體層使用包含 In、Sn 及 Zn 的氧化物半導體膜。注意，在測量中使用的電晶體的通道長度 L 為 $3\mu\text{m}$ ，通道寬度 W 為 $10\mu\text{m}$ ，並且該電晶體使用厚度為 100nm 的閘極絕緣膜。另外， V_d 為 10V 。

圖 27A 示出將基板加熱到 200°C 來形成包含 In、Sn 及 Zn 的氧化物半導體層時的電晶體特性，此時的場效應遷移率為 $32.2\text{cm}^2/\text{Vsec}$ 。

藉由在形成包含 In、Sn 及 Zn 的氧化物半導體層之後進行熱處理，可以進一步提高場效應遷移率。圖 27B 示出在 200°C 下藉由濺射形成包含 In、Sn 及 Zn 的氧化物半導體層之後進行 650°C 的熱處理時的電晶體特性。此時得到的場效應遷移率為 $34.5\text{cm}^2/\text{Vsec}$ 。

藉由意圖性地加熱基板，可以期待降低濺射成膜中的水分被引入到氧化物半導體層中的效果。此外，藉由在成膜後進行熱處理，還可以從氧化物半導體層中釋放而去除氫、羥基或水分等，如上述那樣可以提高場效應遷移率。上述場效應遷移率的提高可以認為不僅是因為藉由脫水化、脫氫化去除雜質，而且因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。可以預測像這樣被高純度化的非單晶氧化物半導體會能夠實現理想的超過 $100\text{cm}^2/\text{Vsec}$ 的場效應遷移率。

也可以對包含 In、Sn 及 Zn 的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫、羥基或

水分等，在該熱處理同時或藉由在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述結晶化或再結晶化的處理可以得到結晶性良好的非單晶氧化物半導體。

熱處理可以在氧氛圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理之後在含有氧的氛圍中進行熱處理。藉由在首先進行脫水化·脫氫化之後將氧添加到氧化物半導體層中，可以進一步提高熱處理的效果。此外，作為後面添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體層中的方法。

雖然在氧化物半導體層中及該氧化物半導體層與該氧化物半導體層層疊的膜的介面容易產生由氧缺陷導致的缺陷，但是藉由上述熱處理使氧化物半導體層中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺陷。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上且 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下，可以在不使結晶變歪等的狀態下使氧化物半導體層中含有氧。

此外，藉由熱處理使氧化物半導體層含有結晶區，可以獲得更穩定的氧化物半導體層。例如，在使用 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子數比] 的靶材，意圖性地不加熱基板而進行濺射成膜來形成的氧化物半導體層中，藉由利用 X 線繞射 (XRD : X-Ray Diffraction) 時觀察到光暈圖案 (halo pattern)。藉由對該所形成的氧化物半導體層進行熱處理，可以使其結晶化。雖然熱處理溫度是任意的溫度，但是例如藉由進行 650°C 的熱處理，可以利用 X 線繞射時觀

察到明確的繞射峰值。

實際進行 In-Sn-Zn-O 膜的 XRD 分析。在 XRD 分析中，使用 Bruker AXS 公司製造的 X 線繞射裝置 D8 ADVANCE 並利用平面外 (Out-Of-Plane) 法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。以下說明樣品 A 及樣品 B 的製造方法。

在完成了脫氫化處理的石英基板上形成厚度為 100nm 的 In-Sn-Zn-O 膜。

在氧氛圍下使用濺射裝置以 100W (DC) 的功率來形成 In-Sn-Zn-O 膜。作為靶材使用 In : Sn : Zn=1 : 1 : 1 [原子數比] 的 In-Sn-Zn-O 靶材。另外，將成膜時的基板加熱溫度設定為 200℃。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 相同的方法製造的樣品以 650℃ 的溫度進行熱處理。首先，在氮氛圍下進行一個小時的熱處理，然後不降低溫度在氧氛圍下再進行一個小時的熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 28 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀測到起因於結晶的峰值，但是在樣品 B 的 2θ 為 35deg 近旁及 2θ 為 37deg 至 38deg 的範圍內觀察到起因於結晶的峰值。

像這樣，藉由在形成包含 In、Sn 及 Zn 的氧化物半導體膜時意圖性地進行加熱及 / 或在成膜後進行加熱處理，可以提高電晶體特性。

該基板加熱或熱處理起到不使氧化物半導體層中含有對於該氧化物半導體層來說是惡性雜質的氫或羥基的作用或者從該氧化物半導體層中去除該雜質的作用。換言之，藉由去除在該氧化物半導體層中成為施體雜質的氫、羥基、水分等來可以實現高純度化。由於該高純度化可以實現 $1\text{aA}/\mu\text{m}$ 以下的關態電流。在此，上述關態電流值的單位示出每通道寬度 $1\mu\text{m}$ 的電流值。

明確而言，如圖 29 所示那樣，當基板溫度為 125°C 時可以實現 $1\text{aA}/\mu\text{m}$ ($1\times 10^{-18}\text{A}/\mu\text{m}$) 以下的關態電流，當基板溫度為 85°C 時實現 $100\text{zA}/\mu\text{m}$ ($1\times 10^{-19}\text{A}/\mu\text{m}$) 以下，當基板溫度為室溫 (27°C) 時實現 $1\text{zA}/\mu\text{m}$ ($1\times 10^{-21}\text{A}/\mu\text{m}$) 以下。較佳地，當基板溫度為 125°C 時可以將其實現 $0.1\text{aA}/\mu\text{m}$ ($1\times 10^{-19}\text{A}/\mu\text{m}$) 以下，當 85°C 時實現 $10\text{zA}/\mu\text{m}$ ($1\times 10^{-20}\text{A}/\mu\text{m}$) 以下，當室溫時實現 $0.1\text{zA}/\mu\text{m}$ ($1\times 10^{-22}\text{A}/\mu\text{m}$) 以下。與將矽用作半導體膜的電晶體相比，這些關態電流值極低是顯而易見的。

當然，為了防止當形成氧化物半導體層時氫、羥基、水分等混入到膜中，較佳為充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，為了防止水分被包含在膜中，作為濺射氣體較佳為使用其露點為 -70°C 以下的氣體。另外，較佳為使用本身不含有氫、羥基、水分等的雜質的被高純度化的靶材。包含 In、Sn 及 Zn 的氧化物半導體膜可以藉由熱處理去除膜中的水分，但是與包含 In、Ga 及 Zn 的氧化物半導體膜相

比水分的釋放溫度高，所以較佳為形成原本就不含有水分的膜。

另外，圖 30A 示出基板溫度與臨界電壓的關係，而圖 30B 示出基板溫度與場效應遷移率的關係。

根據圖 30A 可知基板溫度越高臨界電壓越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，臨界電壓為 1.09V 至 -0.23V 。

此外，根據圖 30B 可知基板溫度越高場效應遷移率越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，場效應遷移率為 $36\text{cm}^2/\text{Vs}$ 至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在上述那樣的在包含 In、Sn 及 Zn 的氧化物半導體膜中具有通道形成區的電晶體中，可以在將關態電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，實現 $30\text{cm}^2/\text{Vsec}$ 以上的場效應遷移率，較佳為實現 $40\text{cm}^2/\text{Vsec}$ 以上，更佳為實現 $60\text{cm}^2/\text{Vsec}$ 以上，且滿足 LSI 所要求的導通電流值。例如，在 $L/W=33\text{nm}/40\text{nm}$ 的 FET 中，當閘極電壓為 2.7V ，汲極電壓為 1.0V 時，可以流過 $12\mu\text{A}$ 以上的導通電流。另外，在電晶體的工作所需要的溫度範圍內也可以確保足夠的電特性。當具有這種特性時，即使在使用矽製造的積體電路中混裝有使用氧化物半導體膜的電晶體，也可以實現具有新的功能的積體電路而不用犧牲工作速度。

本實施方式可以藉由與上述其他實施方式自由地組合而實施。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

[實施方式 3]

在本實施方式中，使用圖 31A 至 31F 而對將上述實施方式所說明的半導體裝置應用於電子裝置的情況進行說明。在本實施方式中，對將上述半導體裝置用於如下電子裝置的情況進行說明，即：電腦；行動電話機（也稱為行動電話、行動電話裝置）；可攜式資訊終端（包括可攜式遊戲機、音頻再現裝置等）；數位相機、數位攝像機等的影像拍攝裝置；電子紙；以及電視機（也稱為電視機或電視接收機）等。

圖 31A 示出筆記本型個人電腦，包括外殼 701、外殼 702、顯示部 703 以及鍵盤 704 等。之前的實施方式所示的半導體裝置設置在外殼 701 和外殼 702 中的至少一個中。因此，可以實現一種筆記本型個人電腦，其資料寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 31B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 以及操作按鈕 714 等。另外，還包括用於操作可攜式資訊終端的觸控筆 712 等。之前的實施方式所示的半導體裝置設置在主體 711 中。因此，可以實現一種可攜式資訊終端，其資料寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分

地降低。

圖 31C 示出安裝有電子紙的電子書閱讀器 720，包括外殼 721 和外殼 723 的兩個外殼。外殼 721 和外殼 723 分別設置有顯示部 725 和顯示部 727。外殼 721 和外殼 723 由軸部 737 相連接，且可以以該軸部 737 為軸進行開閉動作。另外，外殼 721 包括電源 731、操作鍵 733 以及揚聲器 735 等。之前的實施方式所示的半導體裝置設置在外殼 721 和外殼 723 中的至少一個。因此，可以實現一種電子書閱讀器，其資料寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 31D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以從如圖 31D 所示那樣的展開狀態變成重疊狀態，所以可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、拍攝裝置用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽能電池 749 和外部記憶體插槽 750 等。另外，天線內置在外殼 741 中。之前的實施方式所示的半導體裝置設置在外殼 740 和外殼 741 中的至少一個。因此，可以實現一種行動電話機，其資料寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 31E 示出數位相機，包括主體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 和電池 766 等。

之前的實施方式所示的半導體裝置設置在主體 761 中。因此，可以實現一種數位相機，其資料寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 31F 示出電視機 770，包括外殼 771、顯示部 773 和支架 775 等。可以藉由利用外殼 771 具有的開關和遙控器 780 來進行電視機 770 的操作。外殼 771 和遙控器 780 安裝有之前的實施方式所示的半導體裝置。因此，可以實現一種電視機，其資料寫入及讀出速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

如上所述，本實施方式所示的電子裝置安裝有根據之前的實施方式的半導體裝置。所以，可以實現耗電量被降低的電子裝置。

【圖式簡單說明】

在圖式中：

圖 1A-1、1A-2 及 1B 是半導體裝置的電路圖；

圖 2A 和 2B 是半導體裝置的電路圖；

圖 3 是半導體裝置的電路圖；

圖 4 是時序圖；

圖 5 是時序圖；

圖 6 是時序圖；

圖 7 是時序圖；

圖 8 是時序圖；

圖 9 是時序圖；

圖 10 是時序圖；

圖 11 是時序圖；

圖 12A 和 12B 是半導體裝置的剖面圖和平面圖；

圖 13A 至 13G 是有關半導體裝置的製程的剖面圖；

圖 14A 至 14E 是有關半導體裝置的製程的剖面圖；

圖 15A 至 15D 是有關半導體裝置的製程的剖面圖；

圖 16A 至 16D 是有關半導體裝置的製程的剖面圖；

圖 17A 至 17C 是有關半導體裝置的製程的剖面圖；

圖 18A 至 18E 是示出氧化物半導體的結晶結構的圖；

圖 19A 至 19C 是示出氧化物半導體的結晶結構的圖；

圖 20A 至 20C 是示出氧化物半導體的結晶結構的圖；

圖 21A 和 21B 是示出氧化物半導體的結晶結構的圖；

圖 22 是說明藉由計算得到的場效應遷移率的閘極電壓依賴性的圖；

圖 23A 至 23C 是說明藉由計算得到的洩漏電流和場效應遷移率的閘極電壓依賴性的圖；

圖 24A 至 24C 是說明藉由計算得到的洩漏電流和場效應遷移率的閘極電壓依賴性的圖；

圖 25A 至 25C 是說明藉由計算得到的洩漏電流和場效應遷移率的閘極電壓依賴性的圖；

圖 26A 和 26B 是說明用於計算的電晶體的剖面結構的圖；

圖 27A 和 27B 是使用氧化物半導體層的電晶體的特性

的圖表：

圖 28 是示出樣品 A 及樣品 B 的 XRD 的圖；

圖 29 是示出電晶體的關態電流和測量時基板溫度的關係的圖；

圖 30A 和 30B 是說明基板溫度和臨界電壓的關係以及基板溫度和場效應遷移率的關係的圖；

圖 31A 至 31F 是用來說明半導體裝置的圖。

【主要元件符號說明】

120：半導體層

122：絕緣層

122a：閘極絕緣層

124：掩模

126：雜質區

128a：閘電極

128b：導電層

130：雜質區

132：雜質區

134：通道形成區

136：絕緣層

138：絕緣層

140：絕緣層

142a：源極電極

142b：汲極電極

144：氧化物半導體層

146：閘極絕緣層

148a：閘電極

148b：導電層

150：絕緣層

154：佈線

156：絕緣層

160：電晶體

162：電晶體

164：電容元件

170：儲存單元

180：升壓電路

182：驅動電路

184：驅動電路

186：驅動電路

190：驅動電路

192：驅動電路

194：驅動電路

500：半導體基板

510：單晶半導體基板

512：氧化膜

514：脆化區

516：單晶半導體層

518：單晶半導體層

701：外殼
702：外殼
703：顯示部
704：鍵盤
711：主體
712：觸控筆
713：顯示部
714：操作按鈕
715：外部介面
720：電子書閱讀器
721：外殼
723：外殼
725：顯示部
727：顯示部
731：電源
733：操作鍵
735：揚聲器
737：軸部
740：外殼
741：外殼
742：顯示面板
743：揚聲器
744：麥克風
745：操作鍵

- 746：指向裝置
- 747：拍攝裝置用透鏡
- 748：外部連接端子
- 749：太陽能電池
- 750：外部記憶體插槽
- 761：主體
- 763：取景器
- 764：操作開關
- 765：顯示部
- 766：電池
- 767：顯示部
- 770：電視機
- 771：外殼
- 773：顯示部
- 775：支架
- 780：遙控器
- 2101：基底絕緣膜
- 2102：絕緣膜
- 2103a：半導體區
- 2103b：半導體區
- 2103c：半導體區
- 2104：閘極絕緣膜
- 2105：閘極
- 2106a：側壁絕緣膜

2106b：側壁絕緣膜

2107：絕緣膜

2108a：源極

2108b：汲極

七、申請專利範圍：

1.一種半導體裝置的驅動方法，

該半導體裝置包括儲存單元，

在該儲存單元中，第一電晶體的第一端電連接到位元線，該第一電晶體的第二端電连接到源極線，第二電晶體之第一端電連接至信號線或該位元線，以及該第一電晶體的閘電極、該第二電晶體的第二端和電容元件的一方電極彼此電連接，而構成保持電位的節點，

在資料讀出期間中，該驅動方法包括如下步驟：

將接地電位供應給該源極線；

將該位元線連接到預充電位供應佈線而將該位元線設定為預充電位；

藉由解除該位元線和該預充電位供應佈線之間的連接，使該位元線的電位根據保持在該節點中的電位變動；以及

藉由讀出該位元線的電位的變動，讀出保持在該節點中的該電位。

2.一種半導體裝置的驅動方法，

該半導體裝置包括儲存單元陣列，該儲存單元陣列包含多個信號線、多個位元線、多個源極線、多個電容線以及多個儲存單元，

在該多個儲存單元之一中，第一電晶體的源極電極電连接到該多個位元線之一，該第一電晶體的汲極電極電连接到該多個源極線之一，該第一電晶體的閘電極、第二電

晶體的汲極電極和電容元件的一方電極彼此電連接，該電容元件的另一方電極電連接到該多個電容線之一，該第二電晶體的源極電極電連接到該多個信號線之一，並且在該第一電晶體的該閘電極、該第二電晶體的該汲極電極和該電容元件的該一方電極之間構成保持從該多個信號線之一供應的電位的節點，

在資料讀出期間中，該驅動方法包括如下步驟：

將接地電位供應給電連接到該多個儲存單元之一的多個電容線之一，以便選擇該多個儲存單元之一；

將接地電位供應給電連接到該選擇的儲存單元的該多個源極線之一；

藉由將該多個位元線之一電連接到預充電位供應佈線而將該多個位元線之一設定為預充電位；

藉由解除該選擇的儲存單元的該多個位元線之一和該預充電位供應佈線之間的連接，使該多個位元線之一的電位根據保持在該節點中的電位變動；以及

藉由讀出該多個位元線之一的電位的變動，讀出保持在該選擇的儲存單元的該節點中的該電位。

3. 根據申請專利範圍第 2 項之半導體裝置的驅動方法，其中在該資料讀出期間中將與非選擇的儲存單元連接的該多個源極線之另一連接到該預充電位供應佈線。

4. 一種半導體裝置的驅動方法，

該半導體裝置包括儲存單元陣列，該儲存單元陣列包含多個位元線、至少一個源極線、多個電容線以及多個儲

存單元，

在該多個儲存單元之一中，第一電晶體的源極電極電連接到該多個位元線之一，該第一電晶體的汲極電極電連接到該源極線，該第一電晶體的閘電極、第二電晶體的汲極電極和電容元件的一方電極彼此電連接，該電容元件的另一方電極電連接到該多個電容線之一，並且在該第一電晶體的該閘電極、該第二電晶體的該汲極電極和該電容元件的該一方電極之間構成保持從該多個位元線之一供應的電位的節點，

在資料讀出期間中，該驅動方法包括如下步驟：

將接地電位供應給電連接到該多個儲存單元之一的該多個電容線之一，以便選擇該多個儲存單元之一；

將接地電位供應給該源極線；

藉由將該多個位元線之一電連接到預充電位供應佈線而將該多個位元線之一設定為預充電位；

藉由解除該選擇的儲存單元的該多個位元線之一和該預充電位供應佈線之間的連接，使該多個位元線之一的電位根據保持在該節點中的電位變動；以及

藉由讀出該多個位元線之一的電位的變動，讀出保持在該選擇的儲存單元的該節點中的該電位。

5.根據申請專利範圍第 4 項之半導體裝置的驅動方法，其中在該資料讀出期間中將與非選擇的儲存單元連接的源極線連接到該預充電位供應佈線。

6.根據申請專利範圍第 1 項、第 2 項及第 4 項中任一

項之半導體裝置的驅動方法，其中該第一電晶體為 p 通道型電晶體。

7. 根據申請專利範圍第 1 項、第 2 項及第 4 項中任一項之半導體裝置的驅動方法，其中該第一電晶體為 n 通道型電晶體。

8. 根據申請專利範圍第 1 項、第 2 項及第 4 項中任一項之半導體裝置的驅動方法，其中該第二電晶體的通道形成區包含氧化物半導體。

圖 1A-1

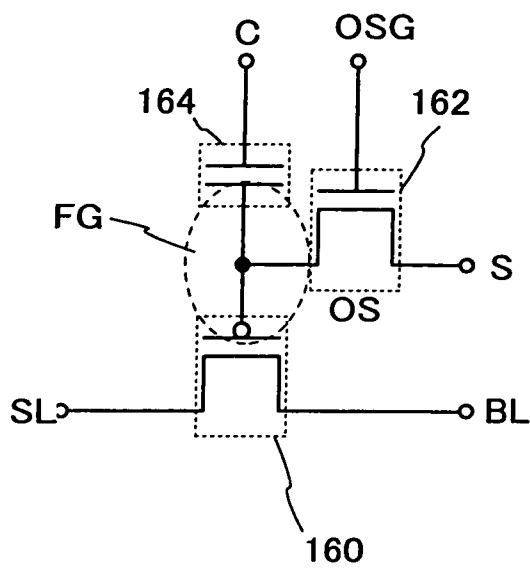


圖 1B

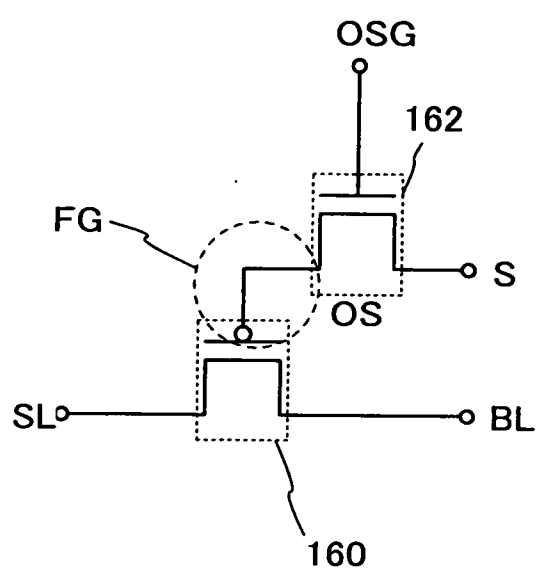
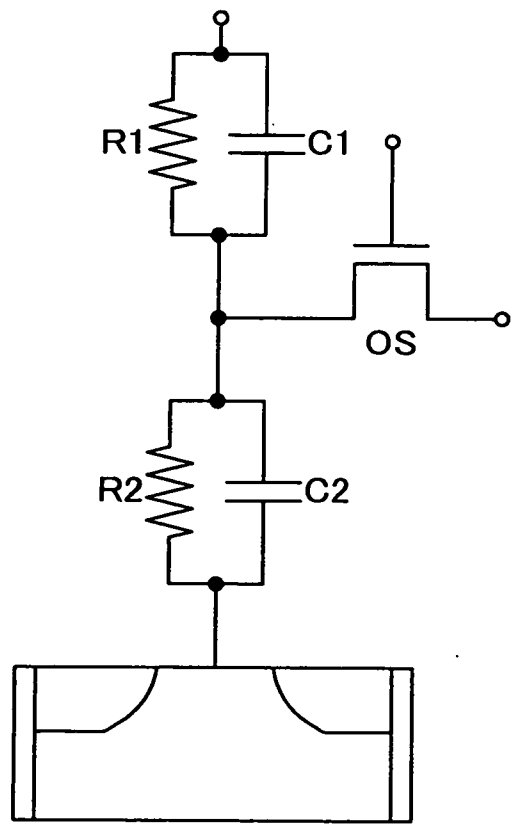


圖 1A-2



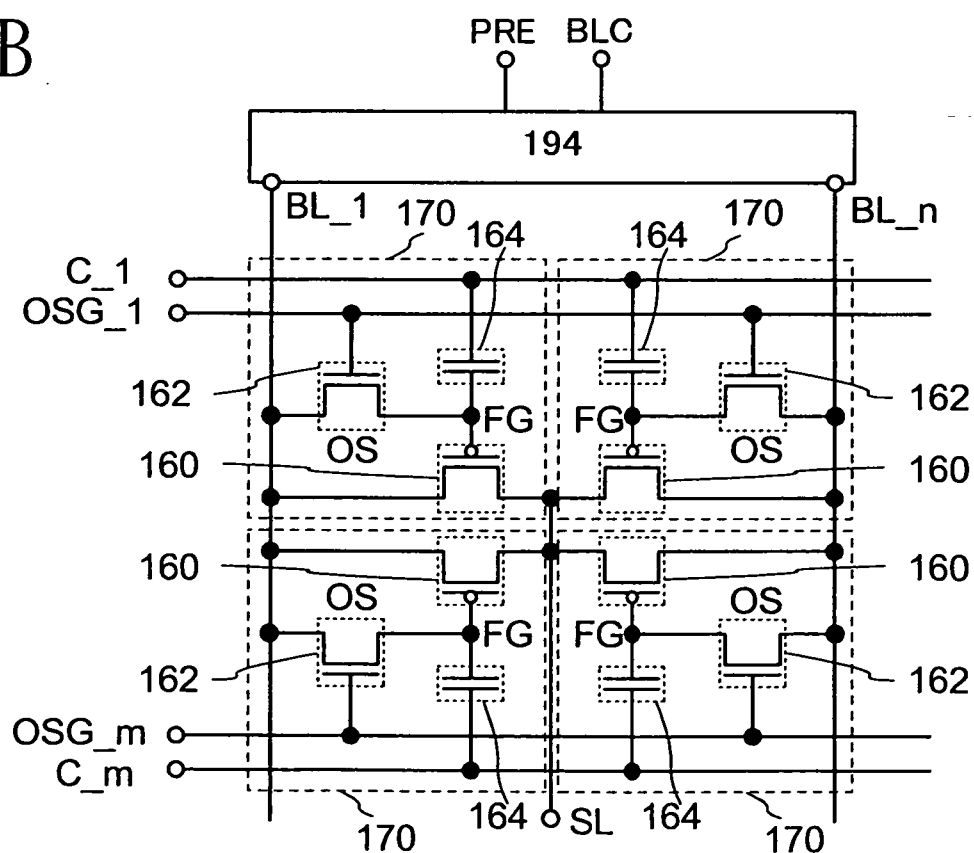
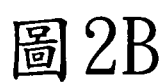


圖 3

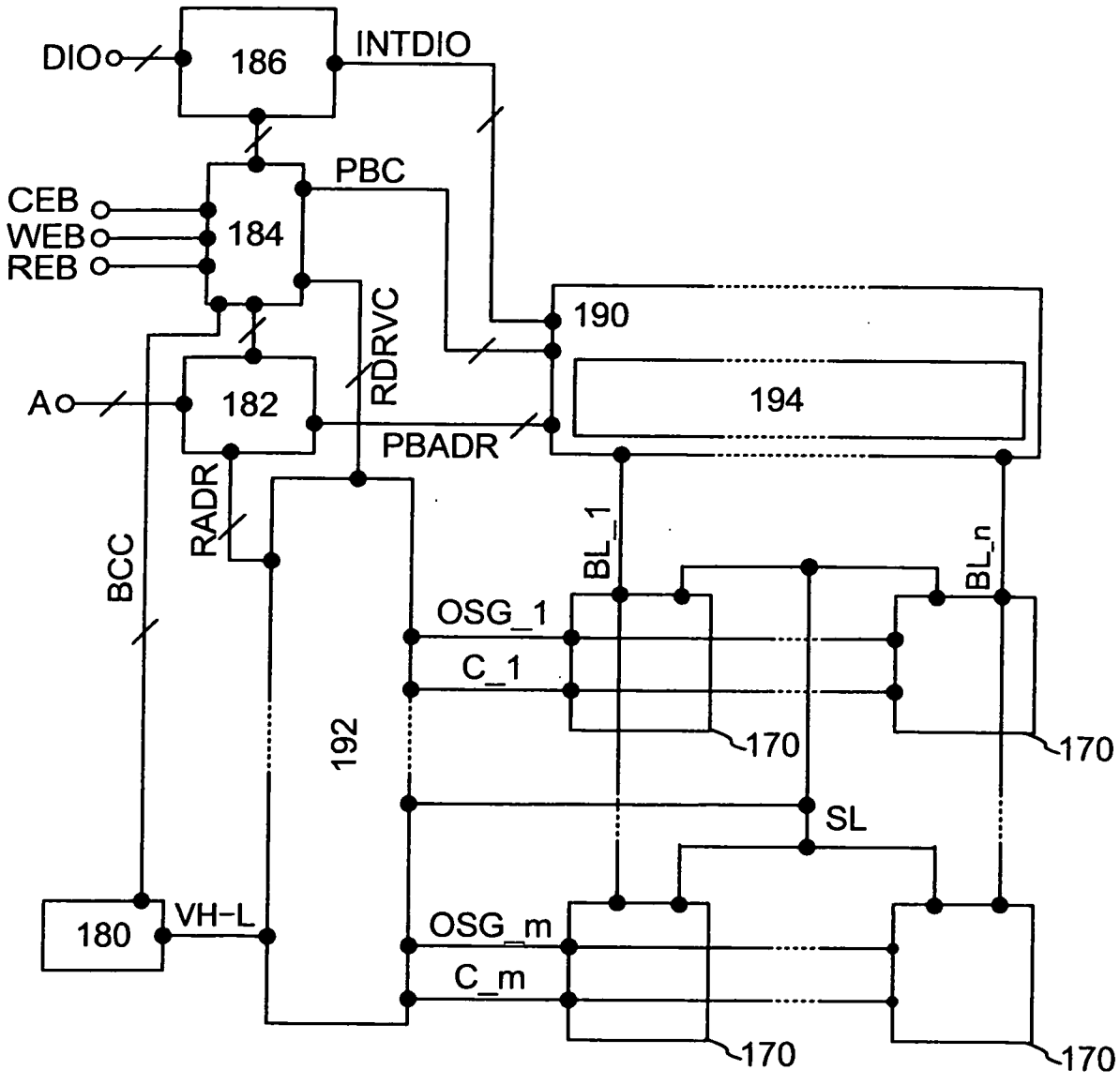


圖 4

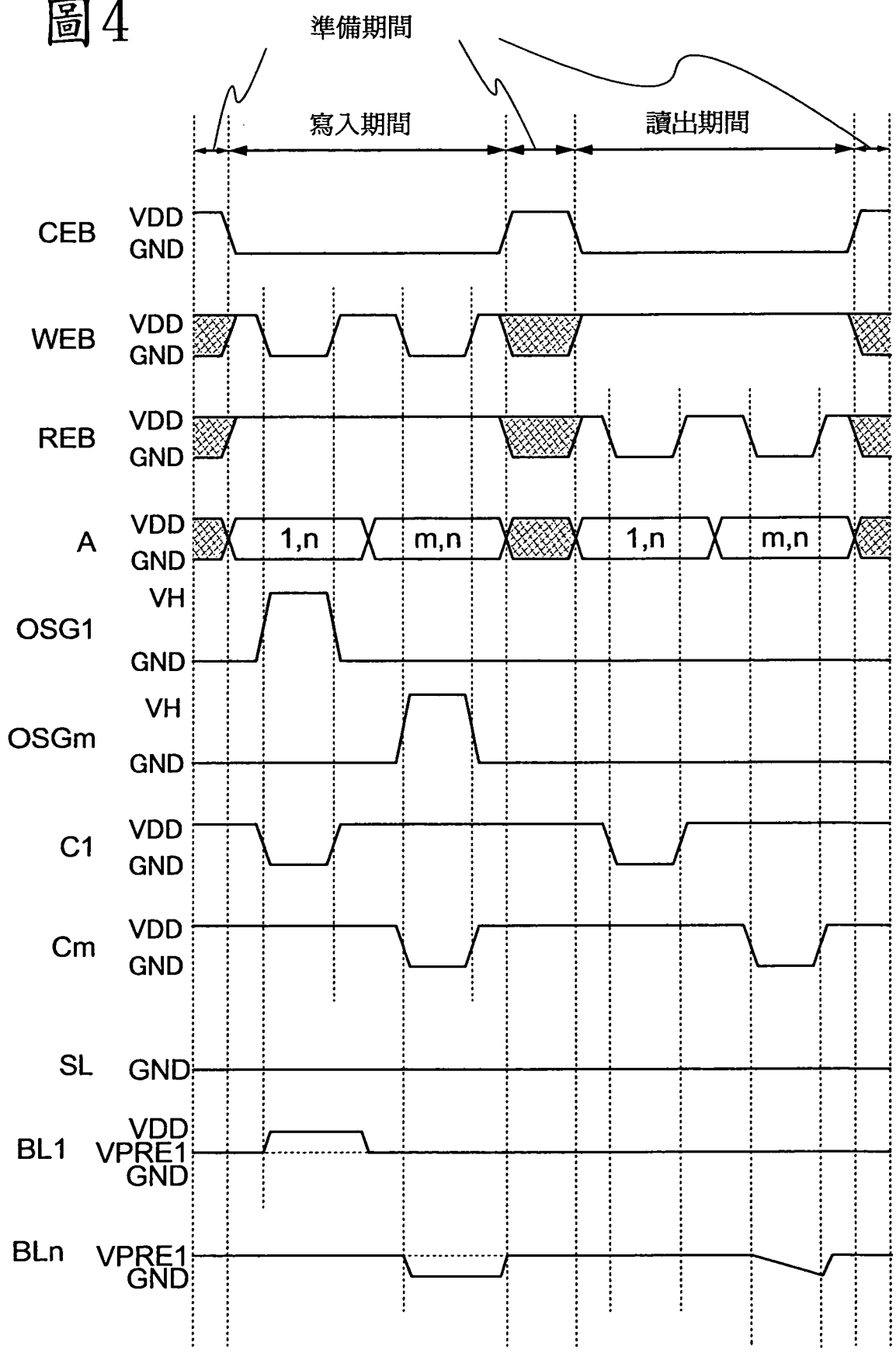


圖5

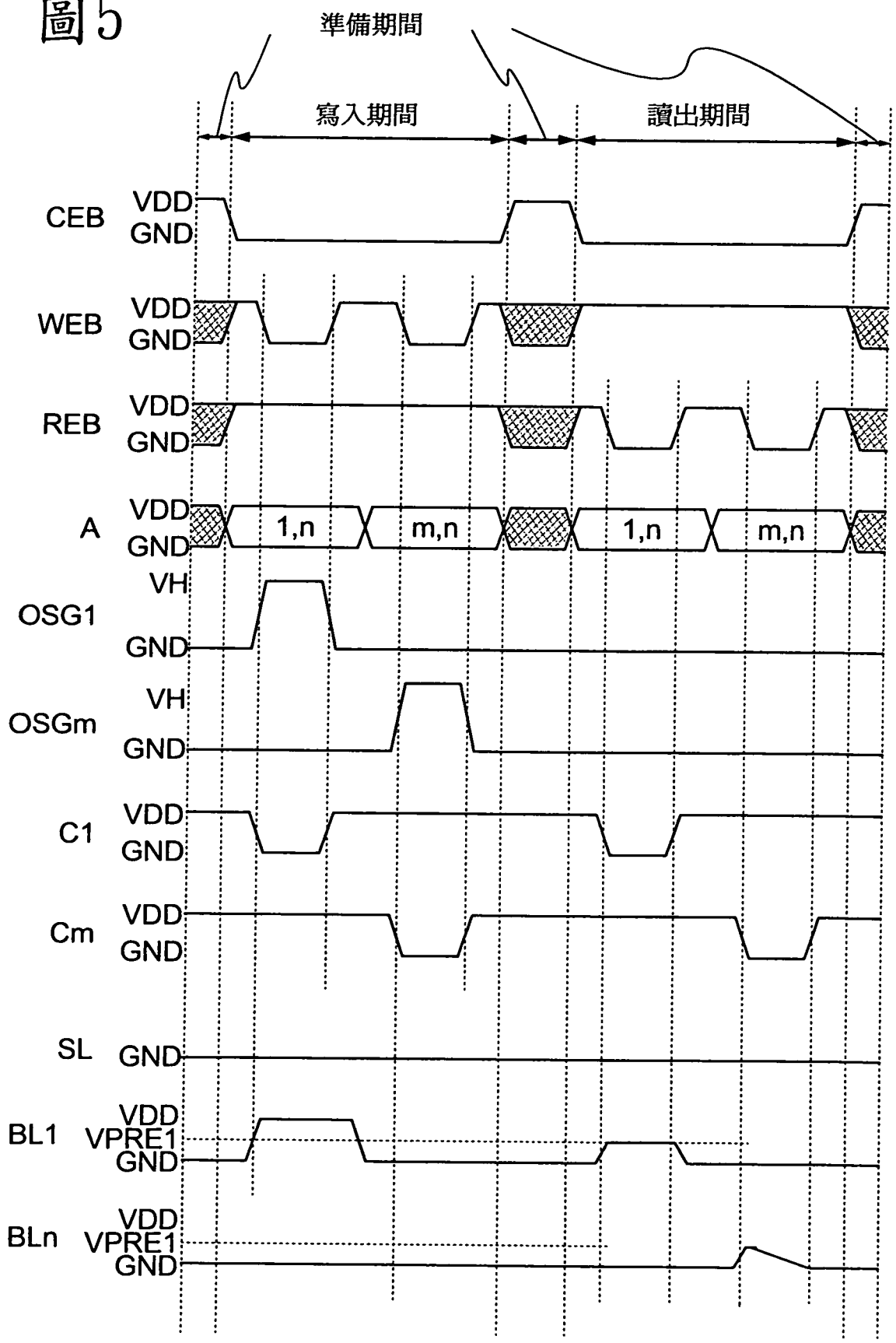


圖 6

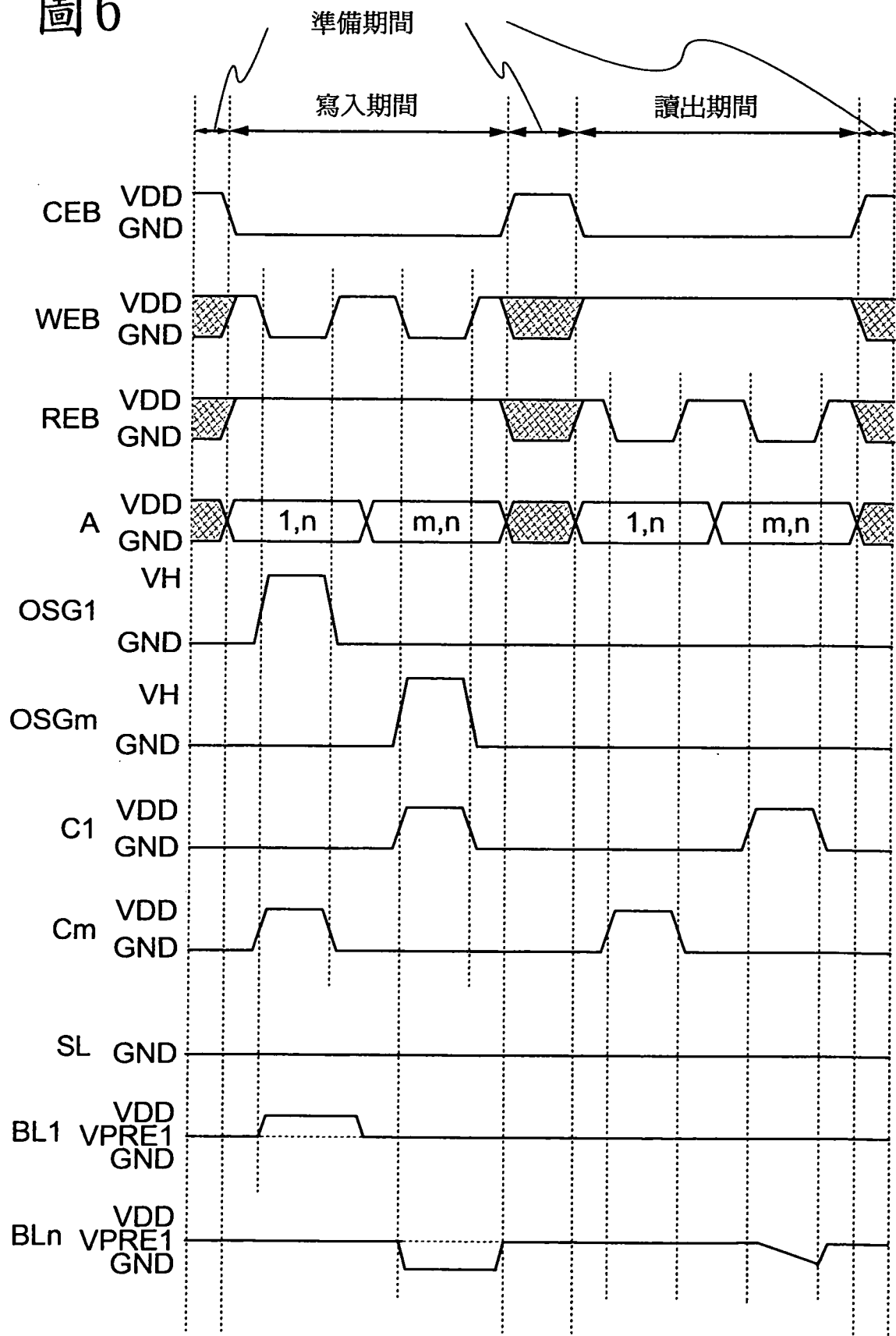


圖 7

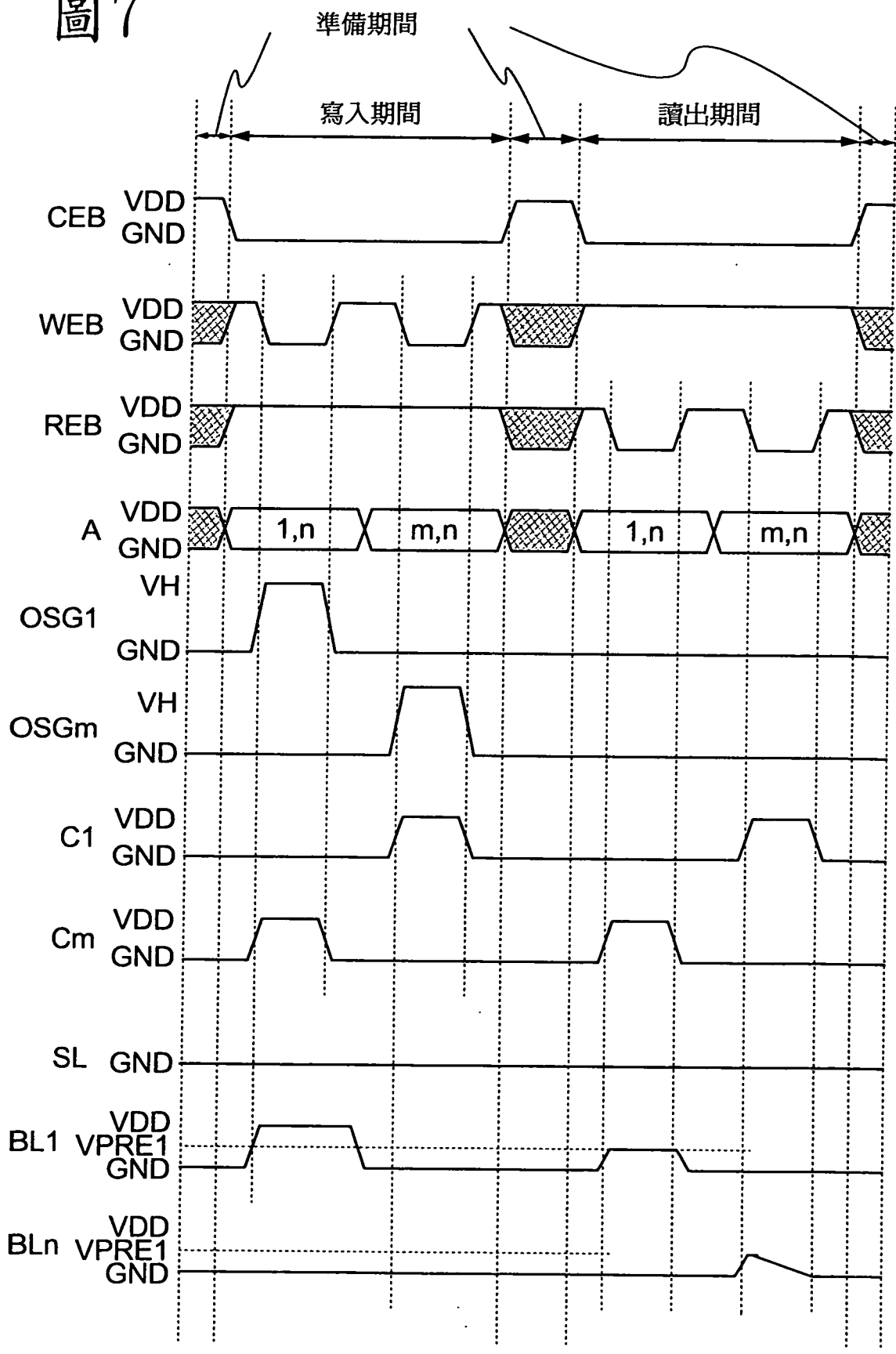


圖 8

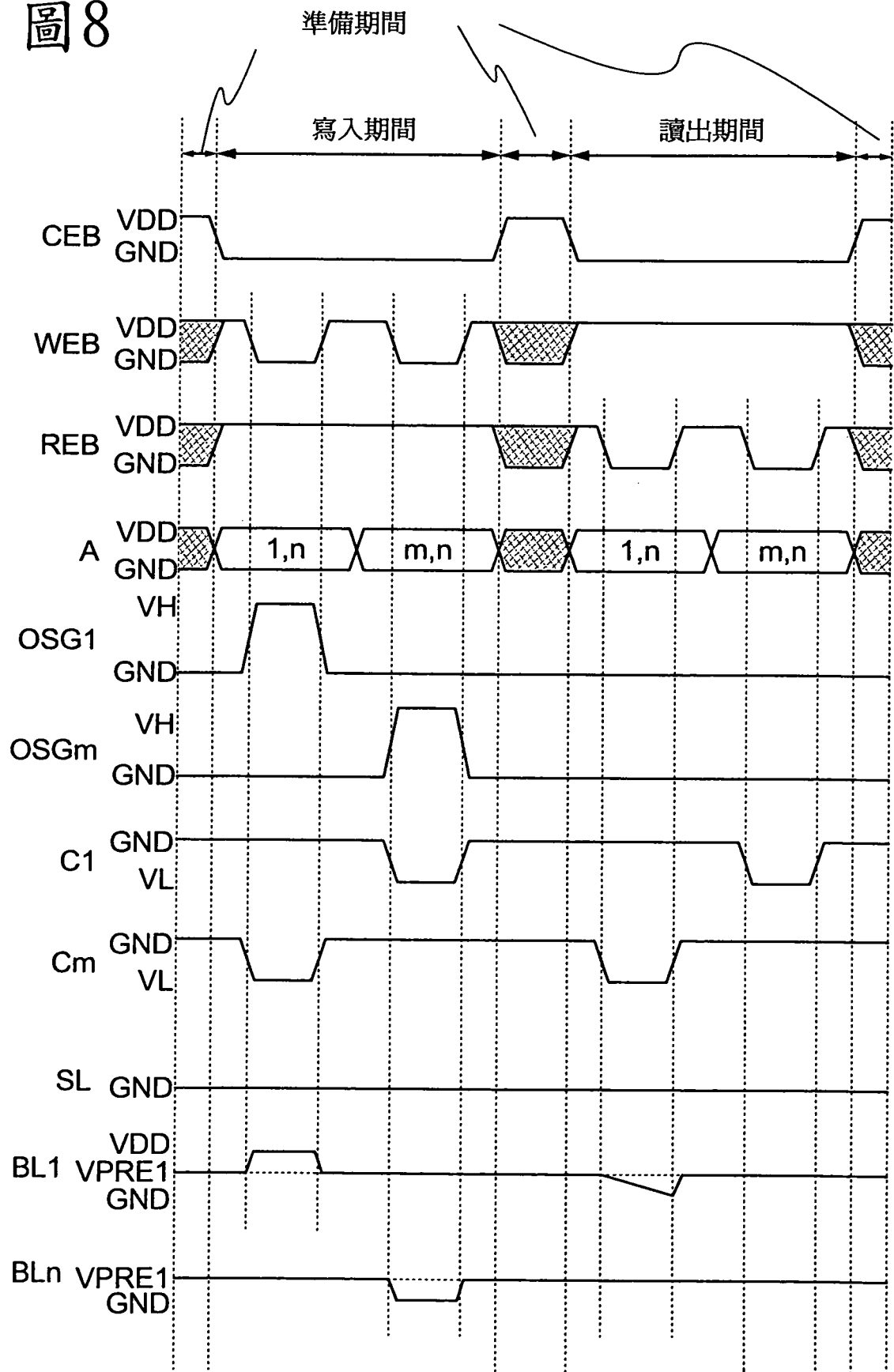


圖 9

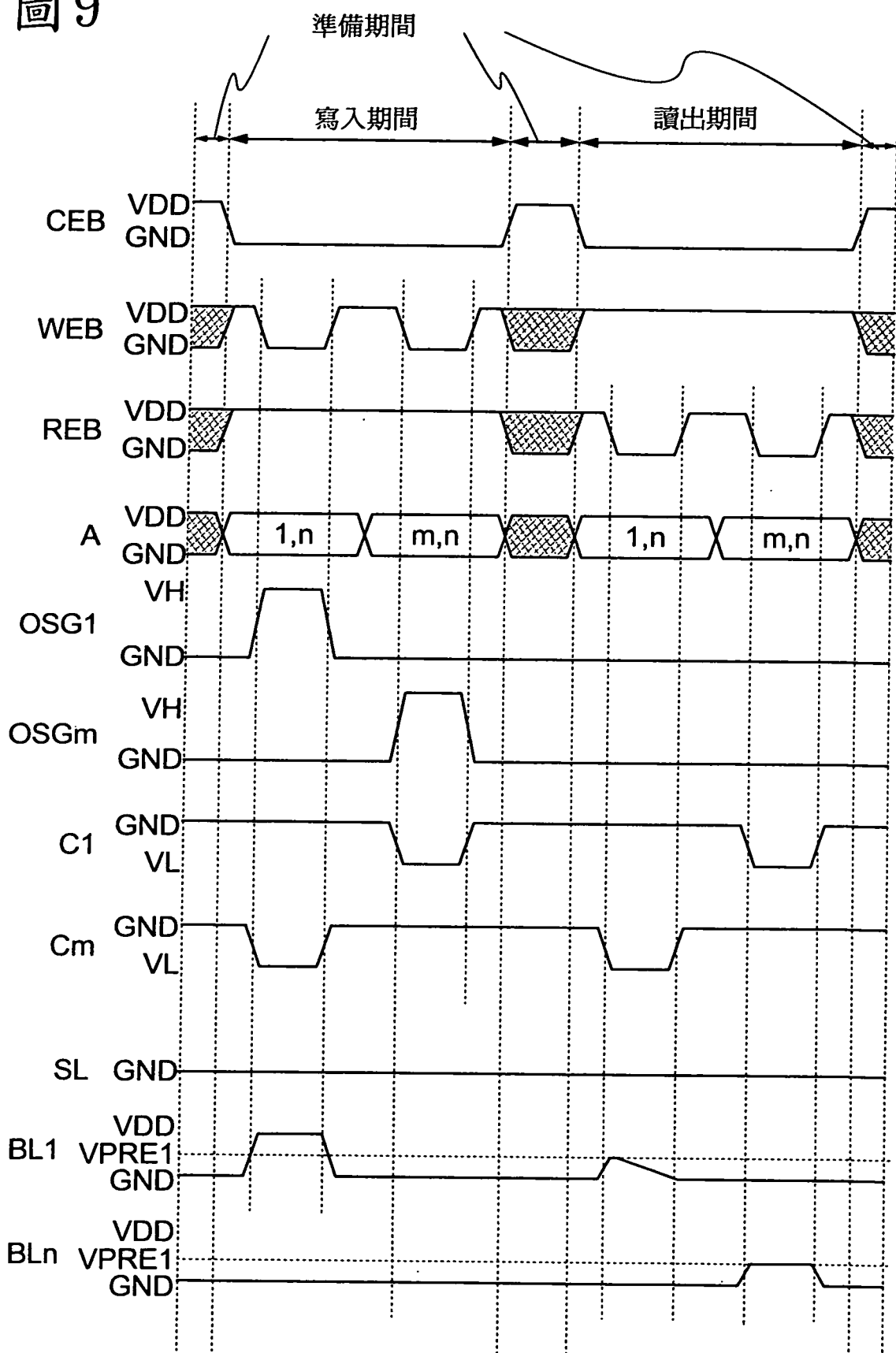


圖 10

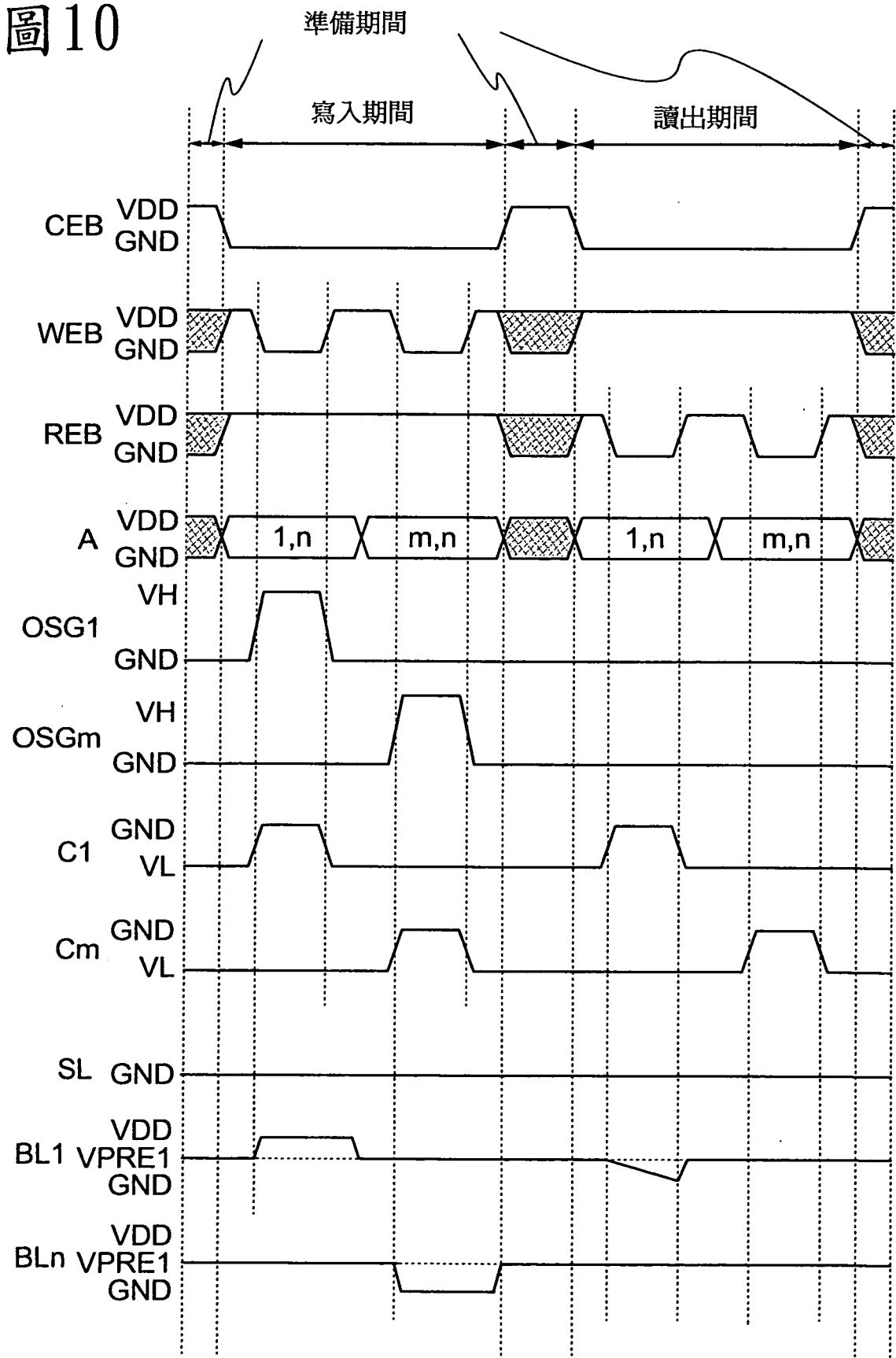


圖 11

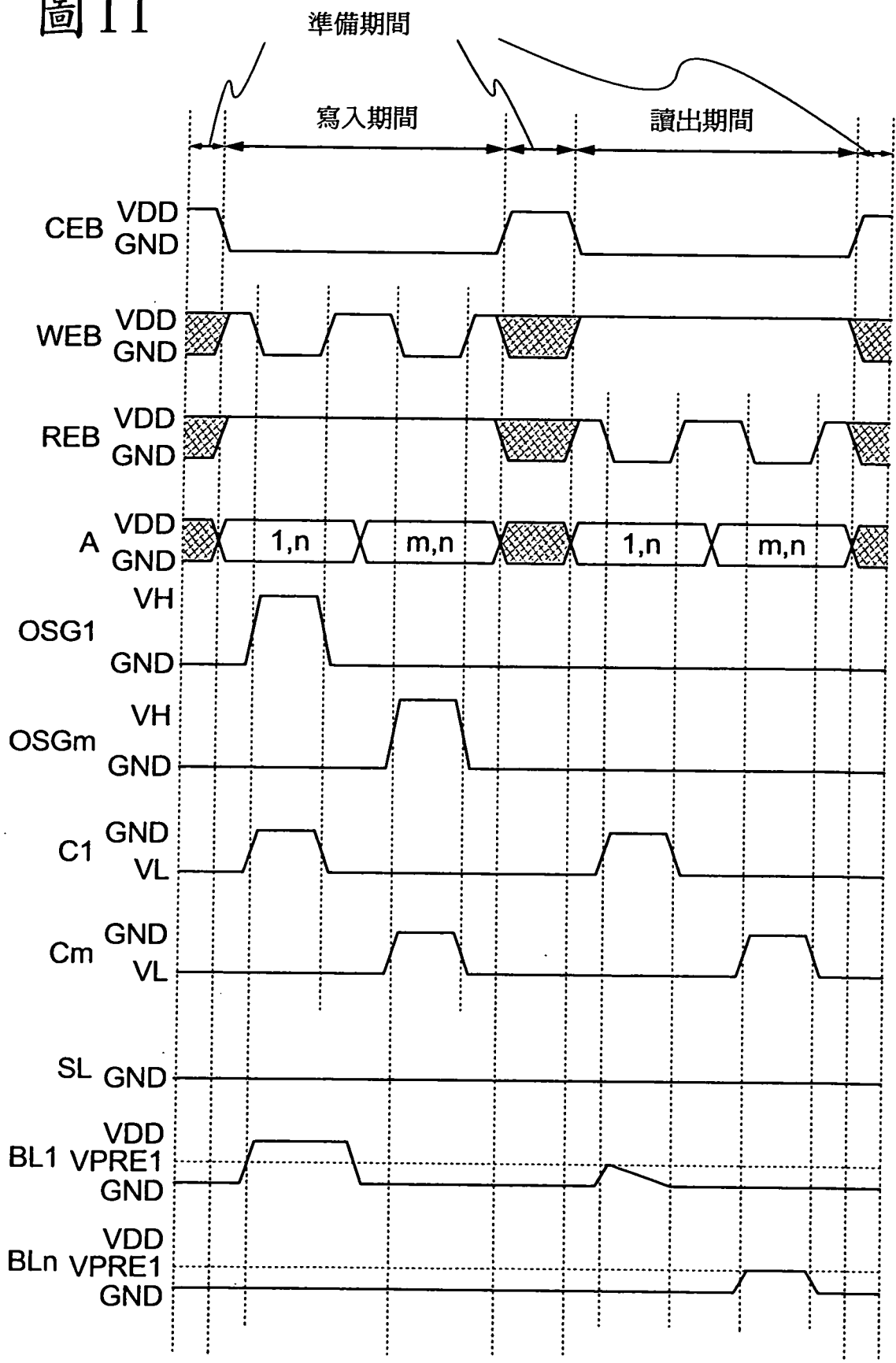


圖 12A

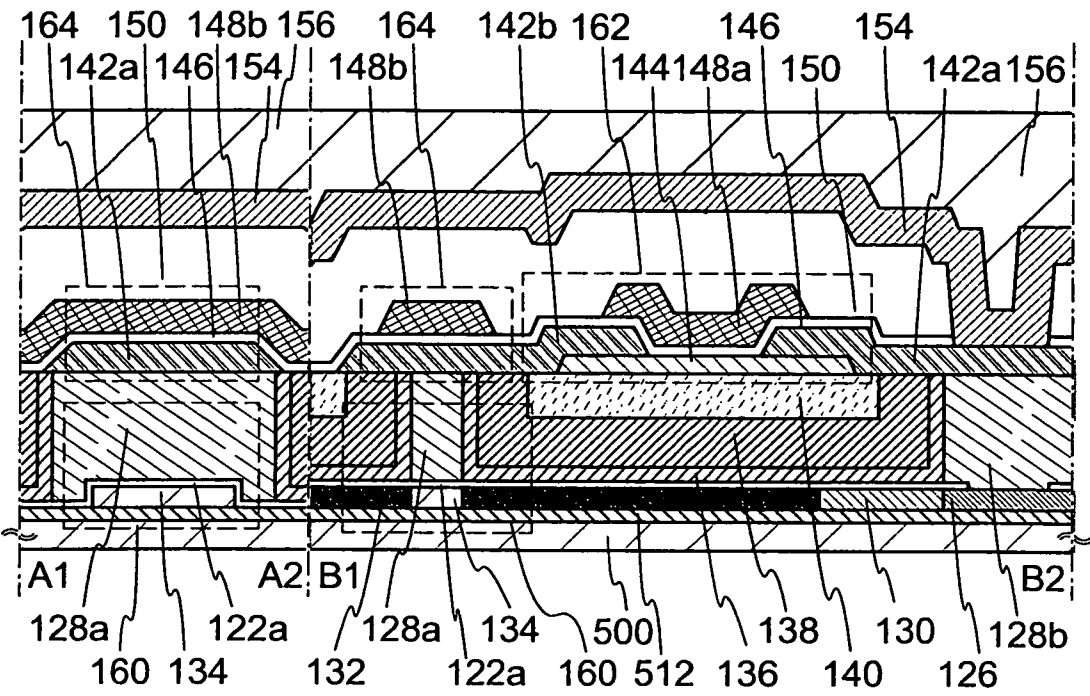


圖 12B

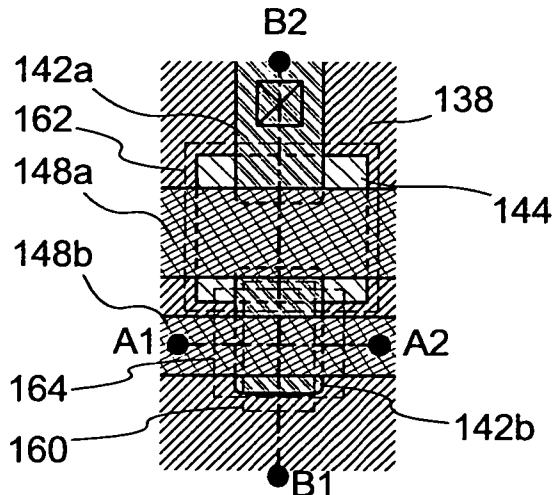


圖 13A

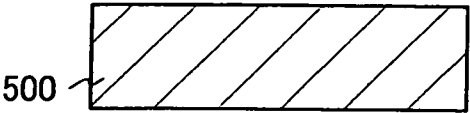


圖 13B

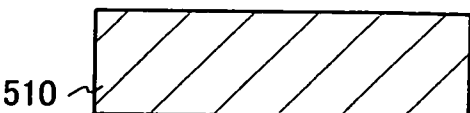


圖 13C

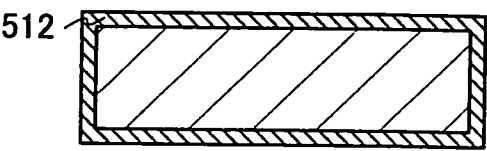


圖 13D

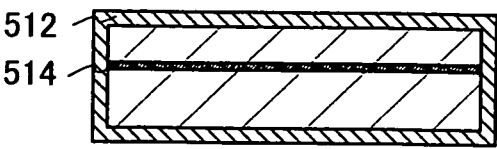


圖 13E

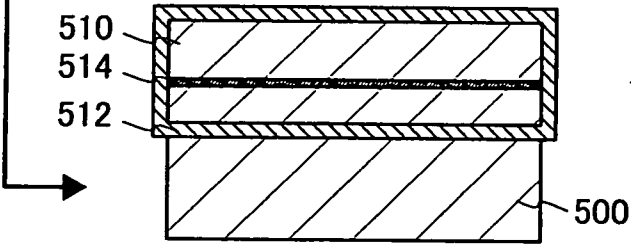


圖 13F

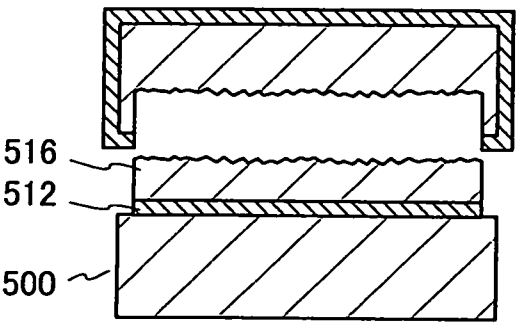


圖 13G

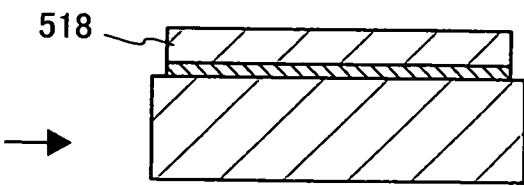


圖 14A

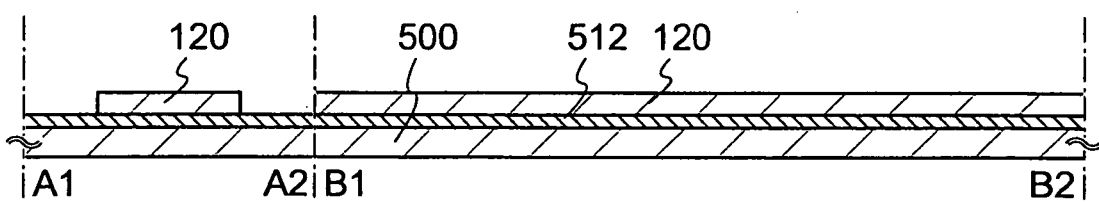


圖 14B

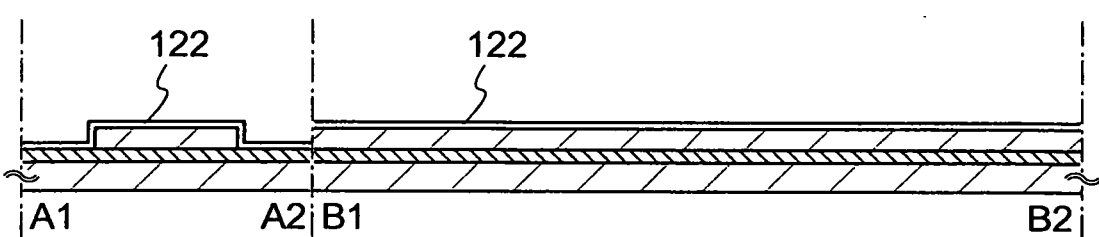


圖 14C

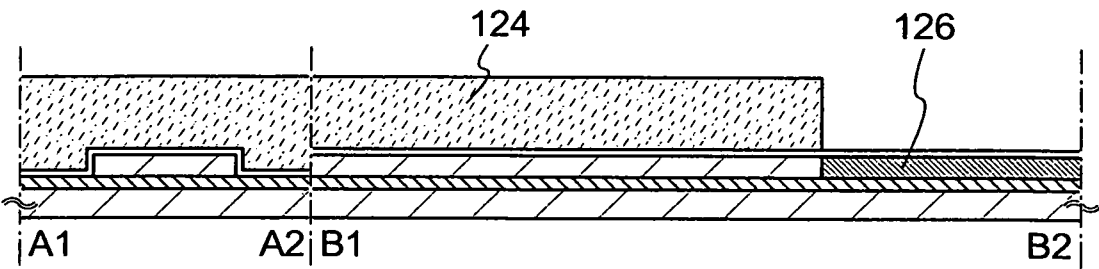


圖 14D

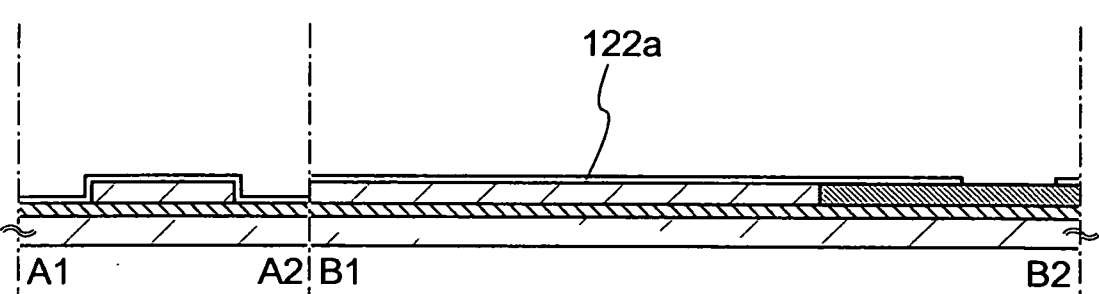


圖 14E

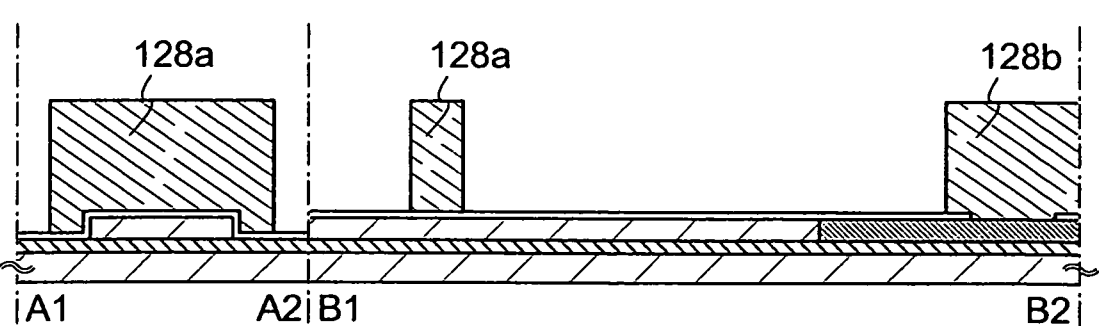


圖 15A

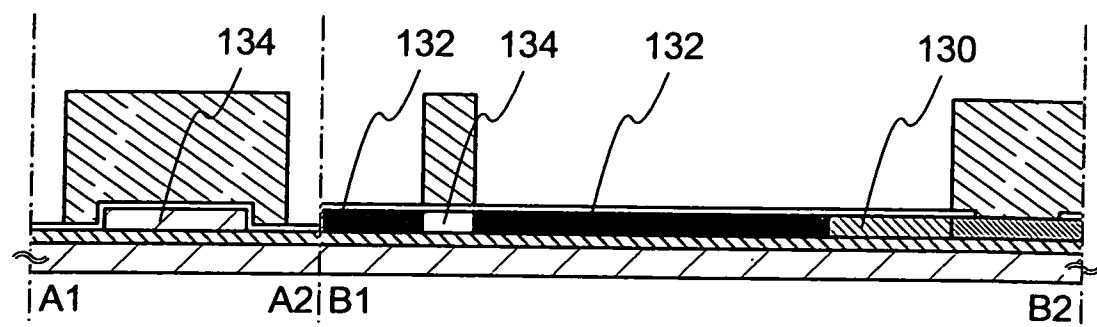


圖 15B

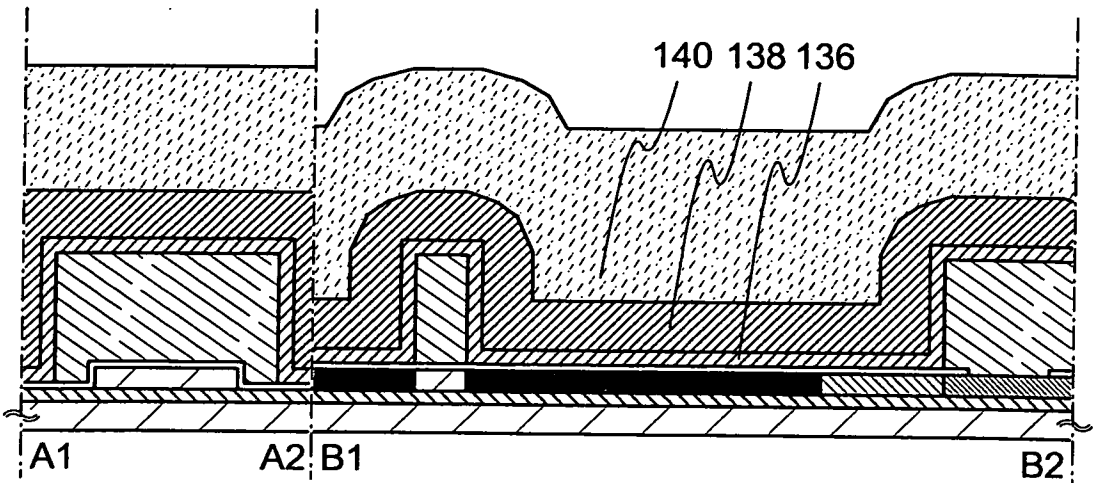


圖 15C

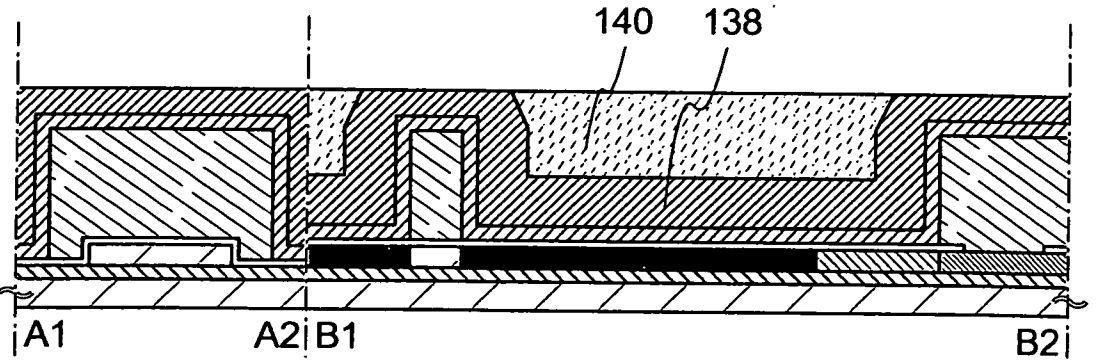


圖 15D

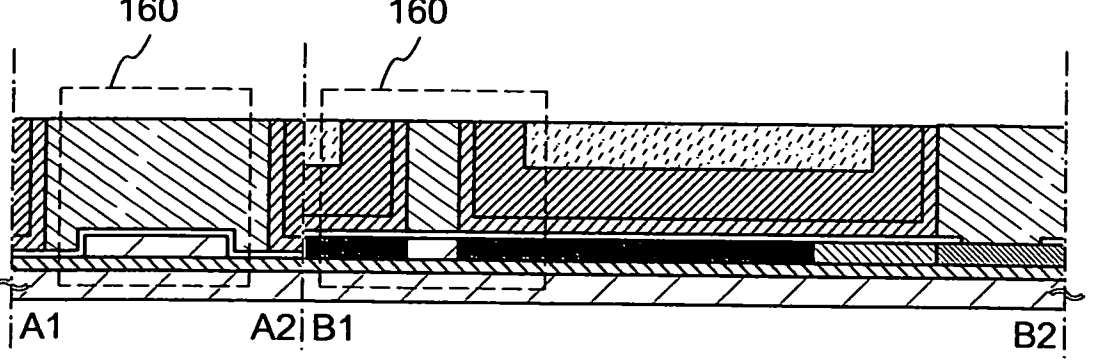


圖 16A

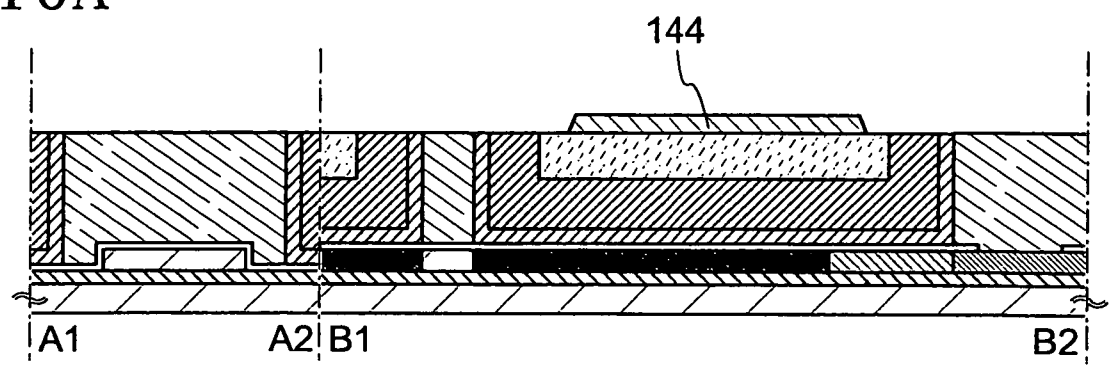


圖 16B

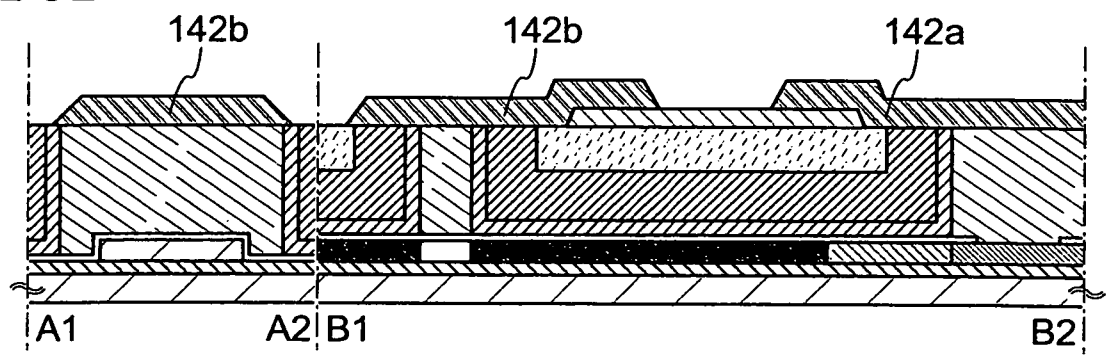


圖 16C

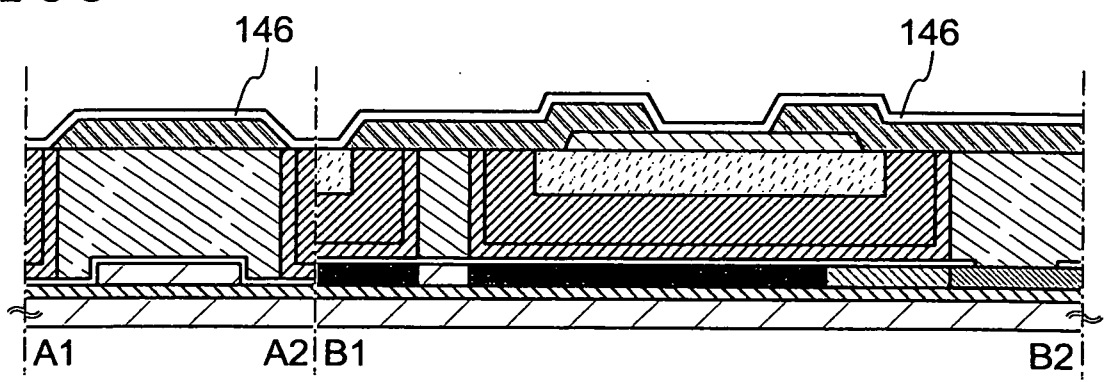


圖 16D

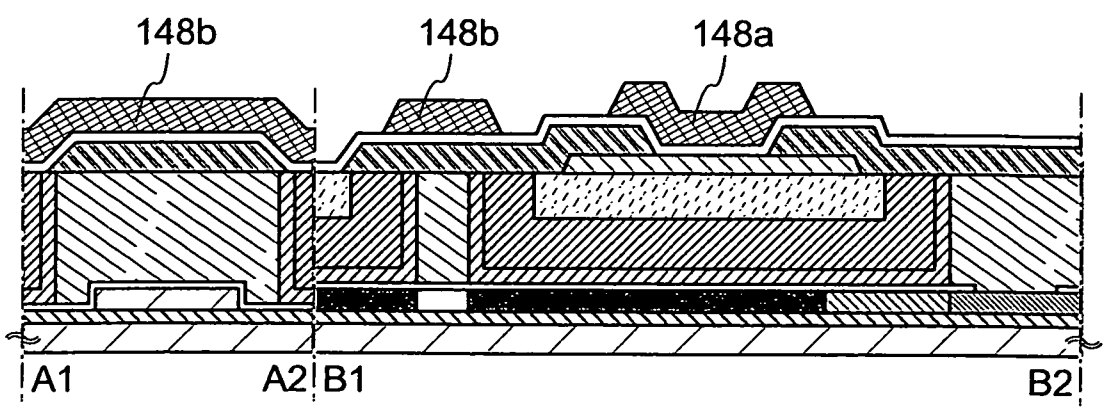


圖 17A

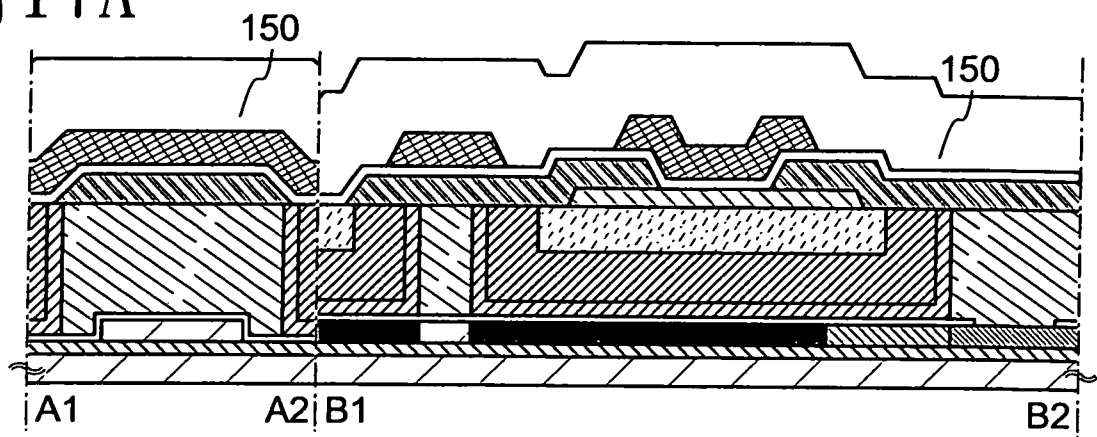


圖 17B

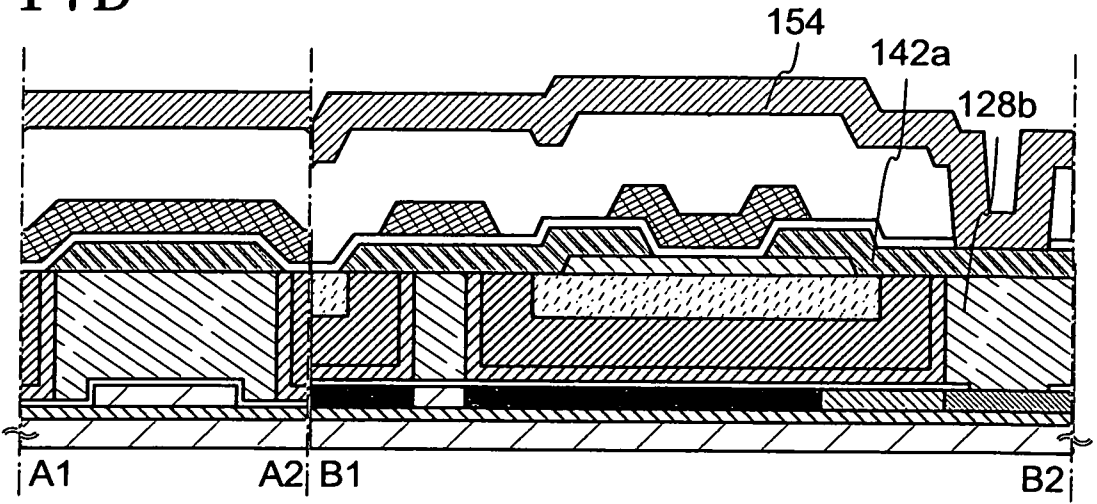


圖 17C

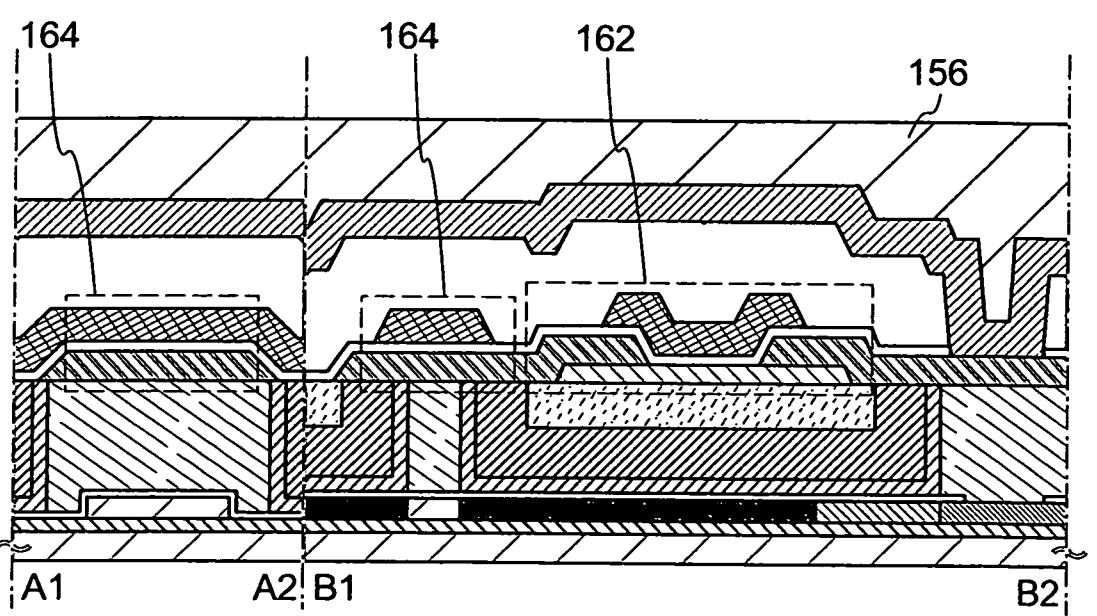


圖 18A

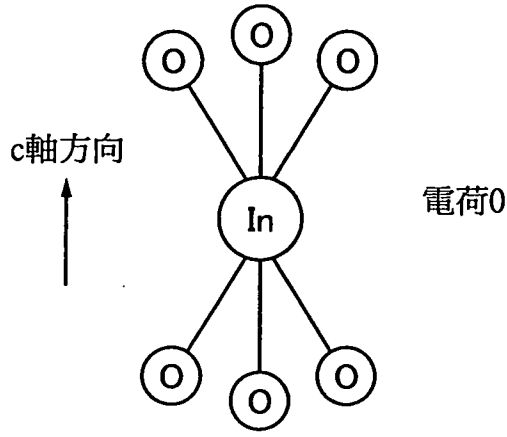


圖 18D

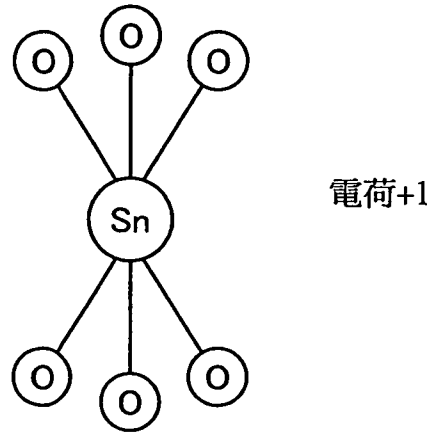


圖 18B

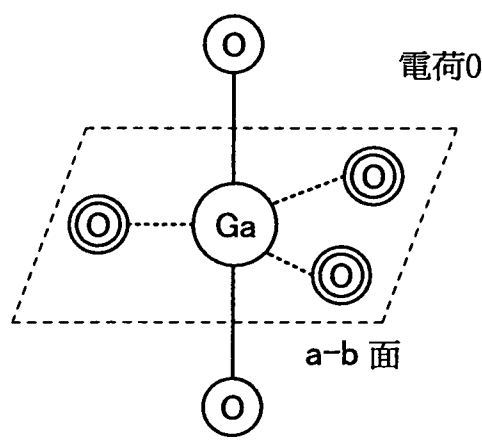


圖 18E

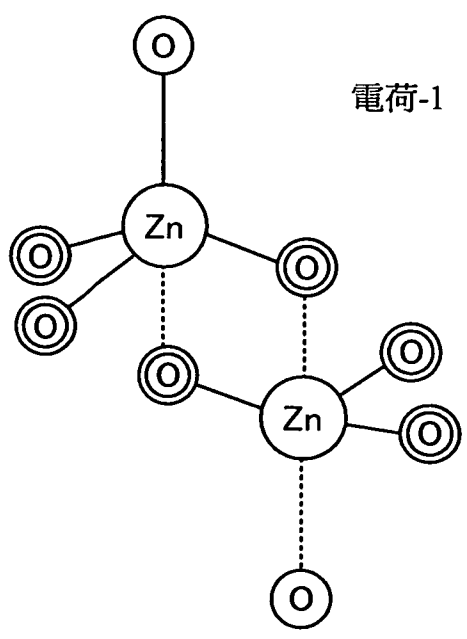


圖 18C

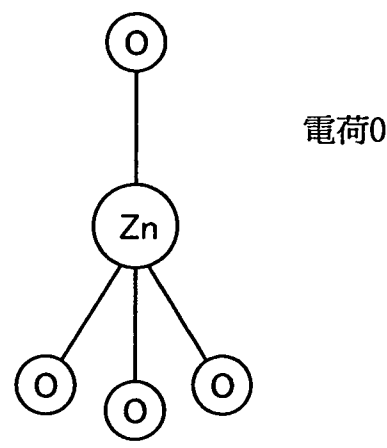


圖 22

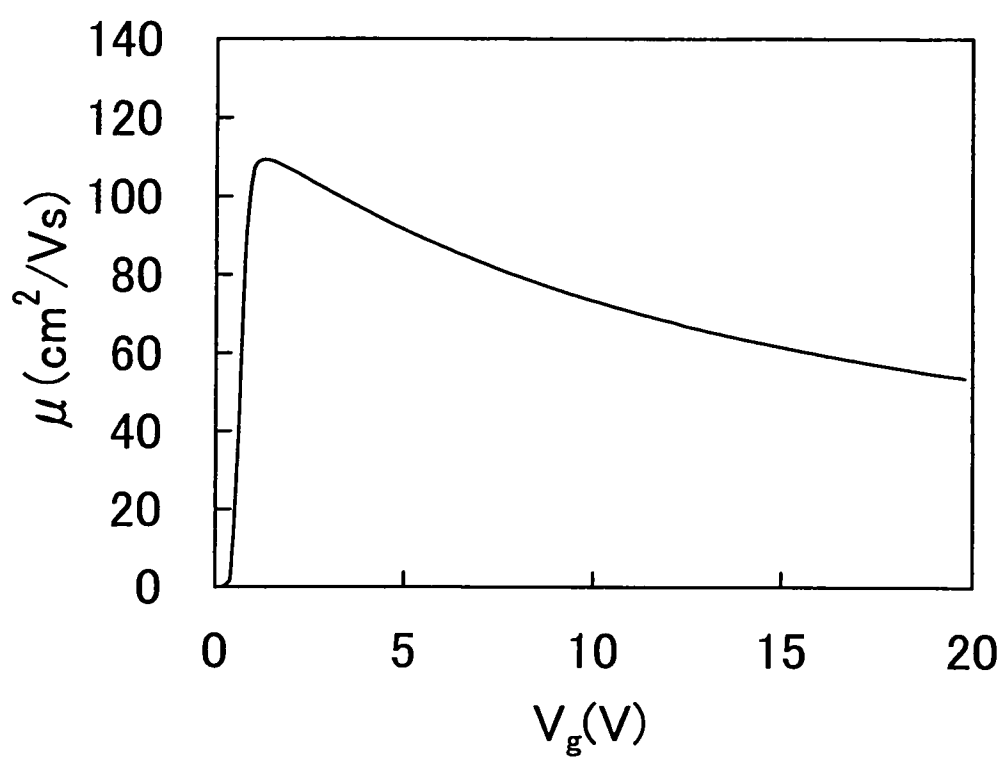


圖 23A

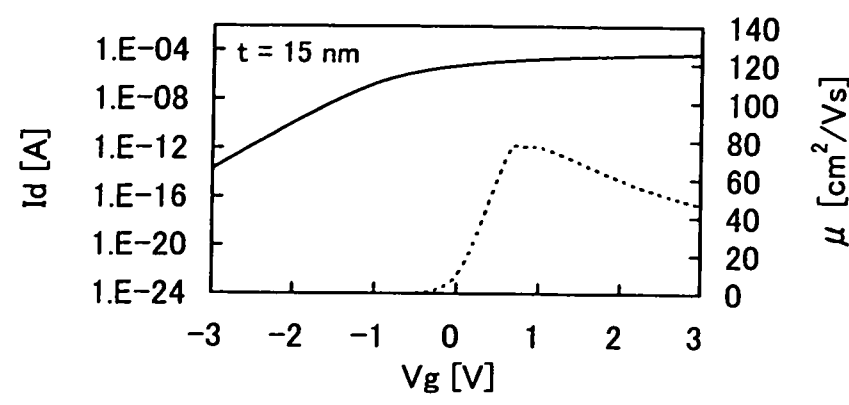


圖 23B

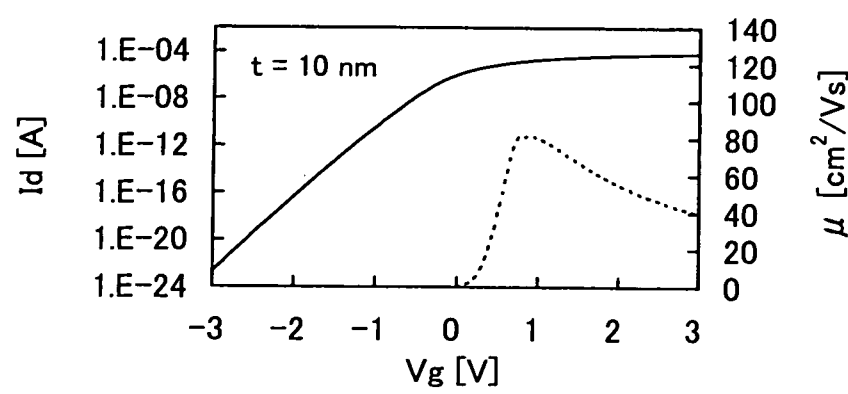


圖 23C

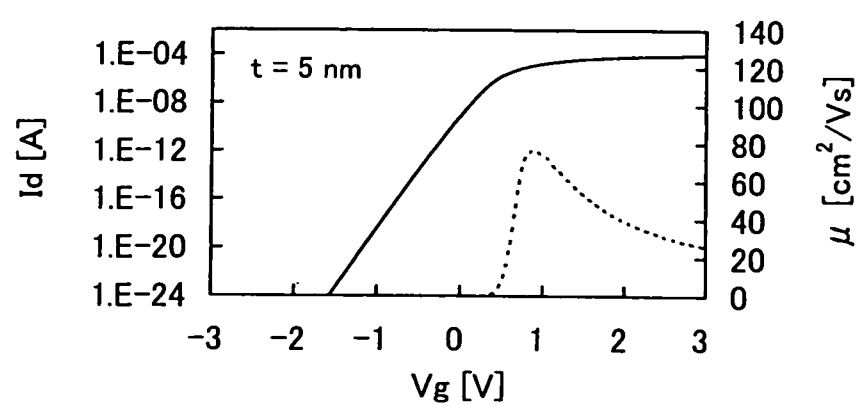


圖 24A

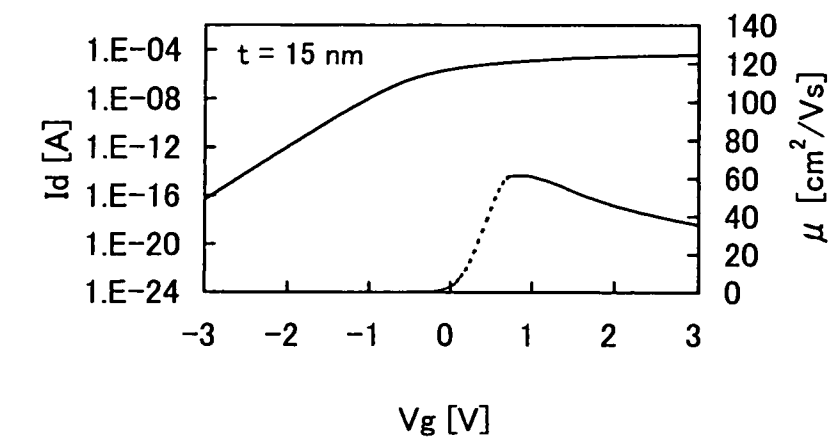


圖 24B

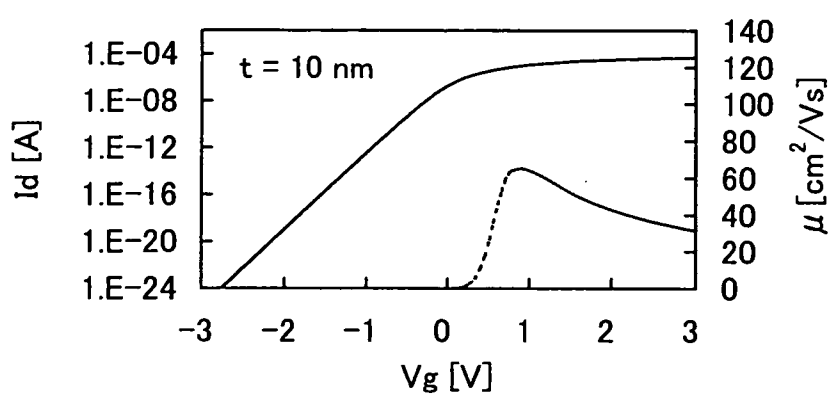


圖 24C

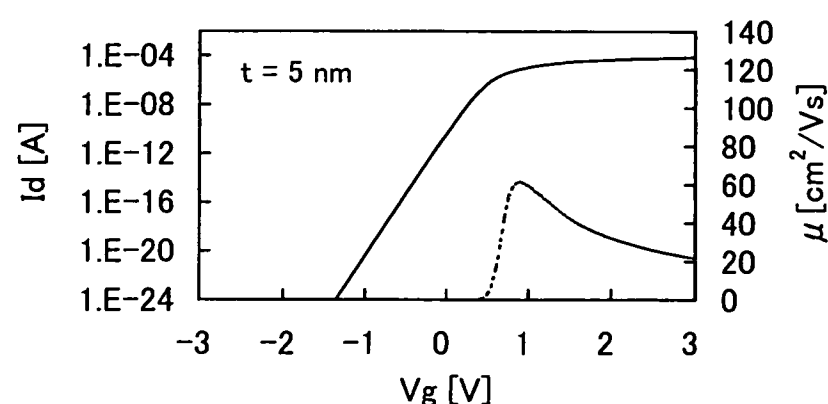


圖 25A

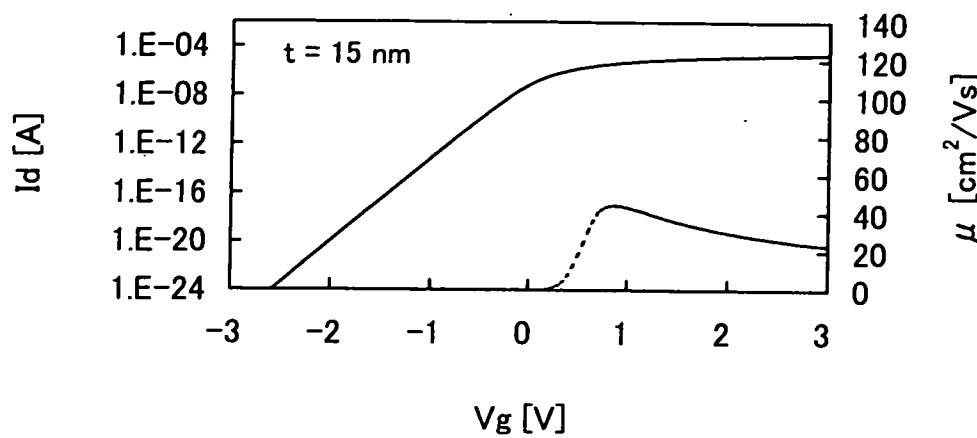


圖 25B

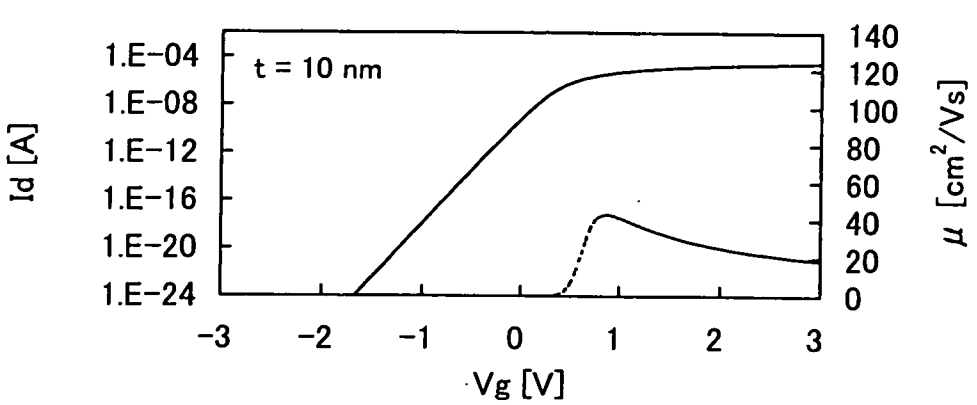
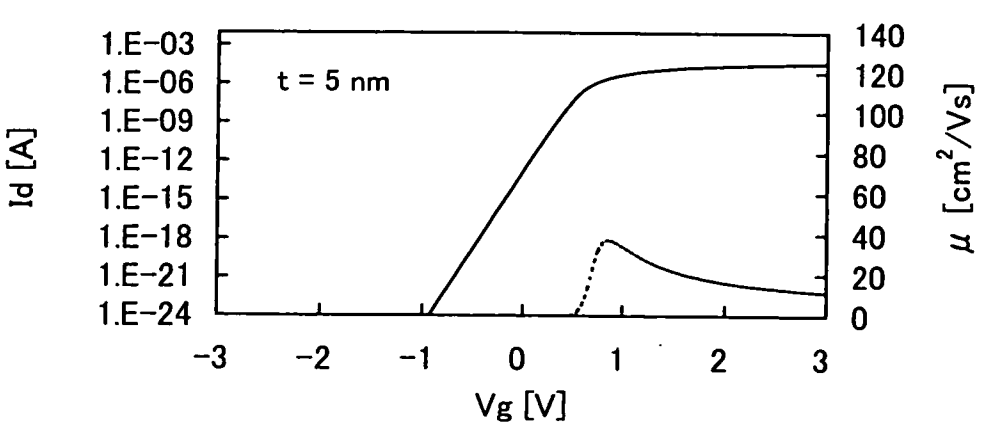


圖 25C



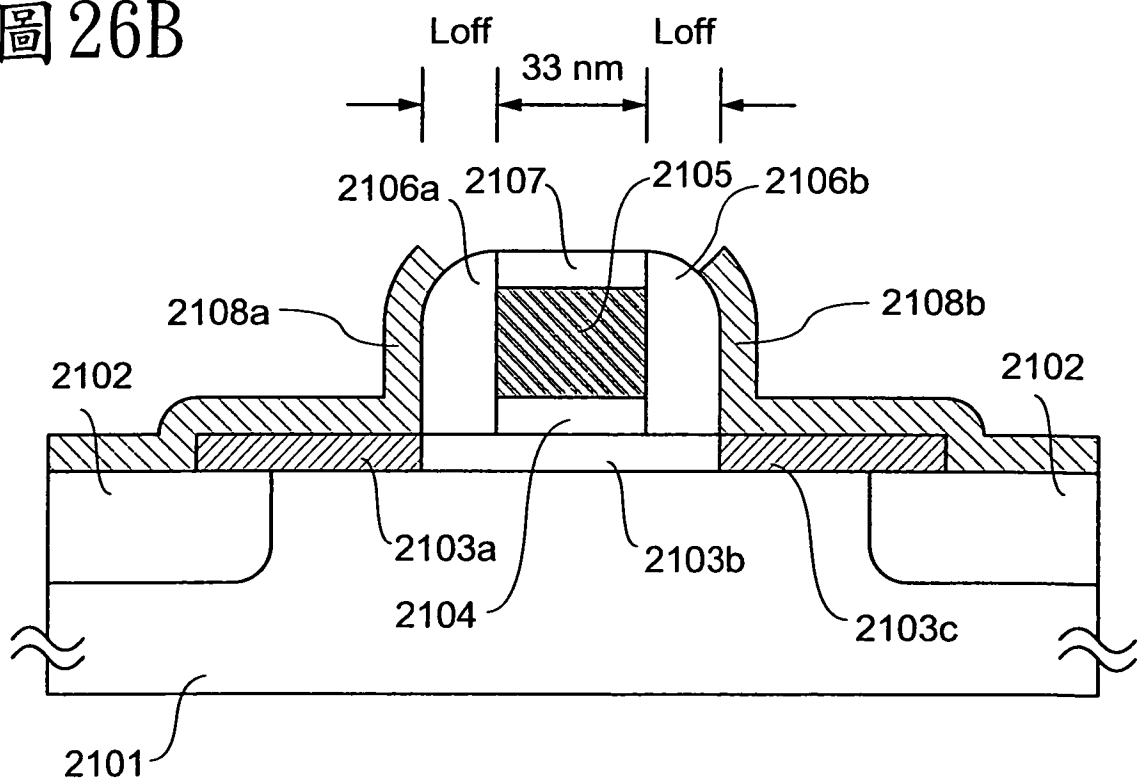
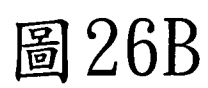


圖 27A

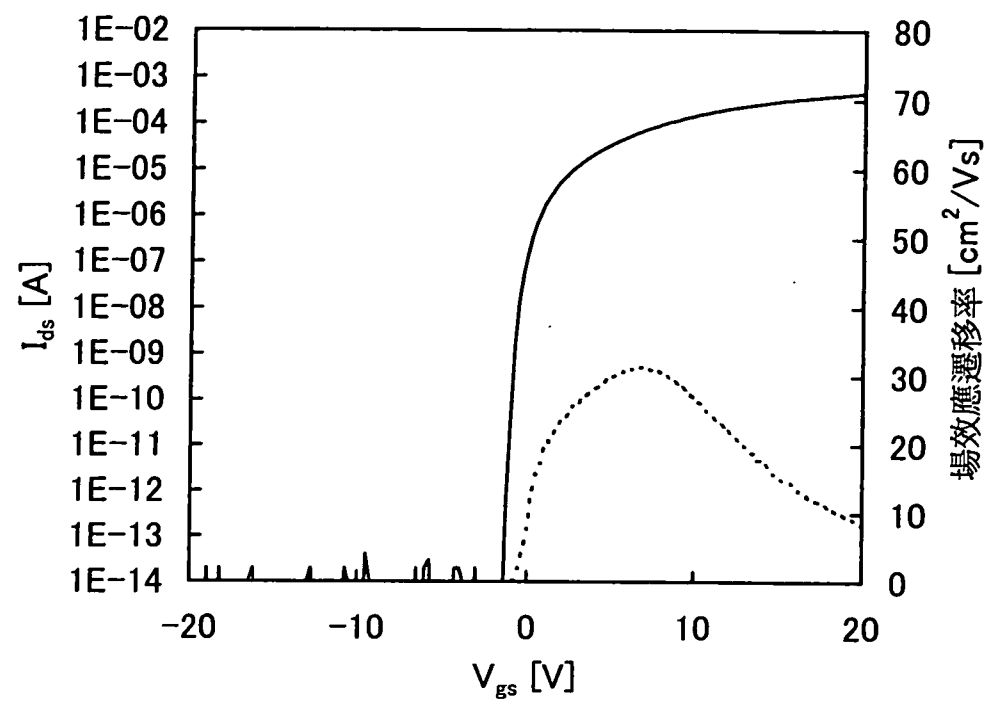


圖 27B

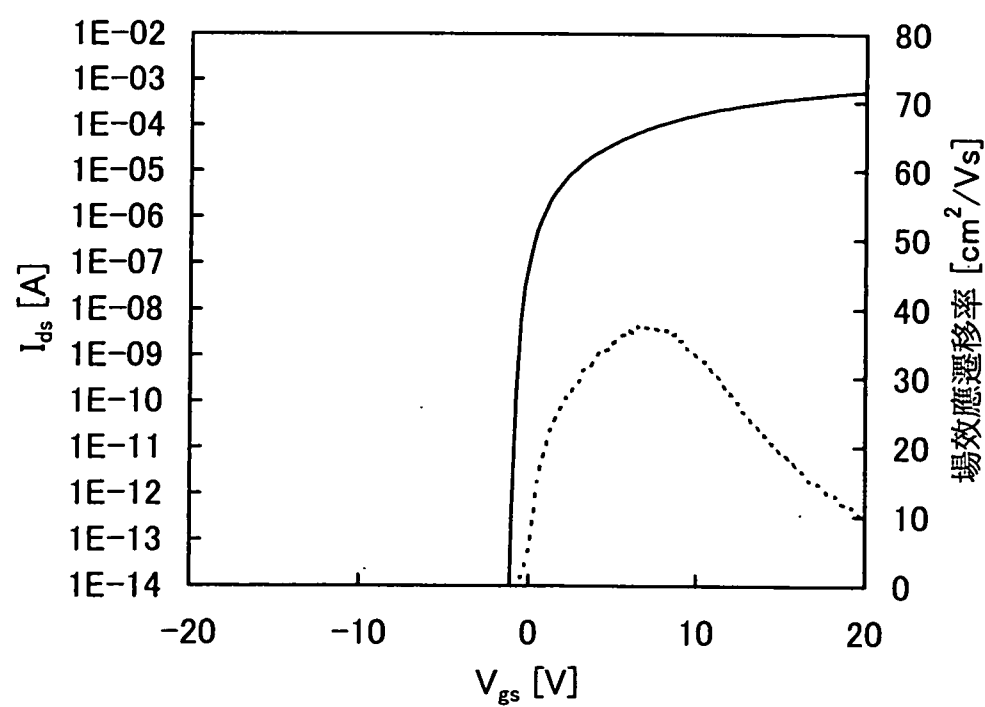


圖 28

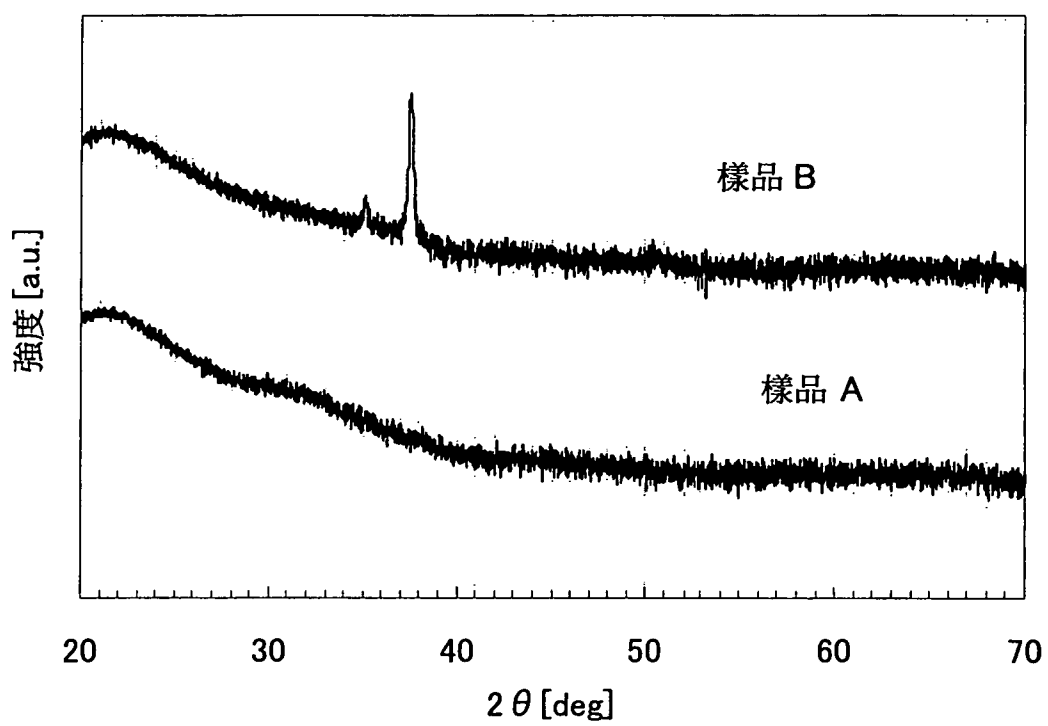


圖 29

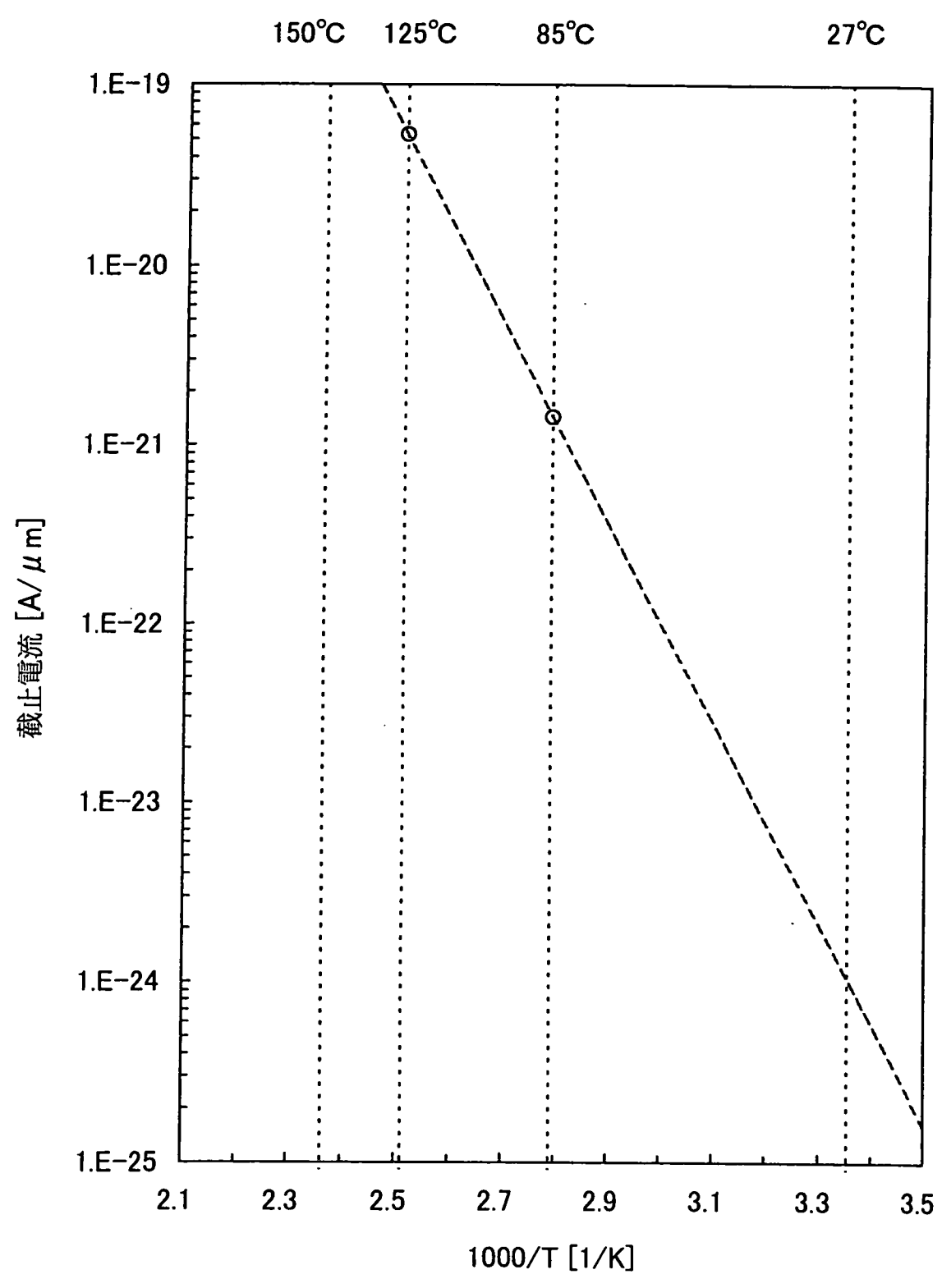


圖 30A

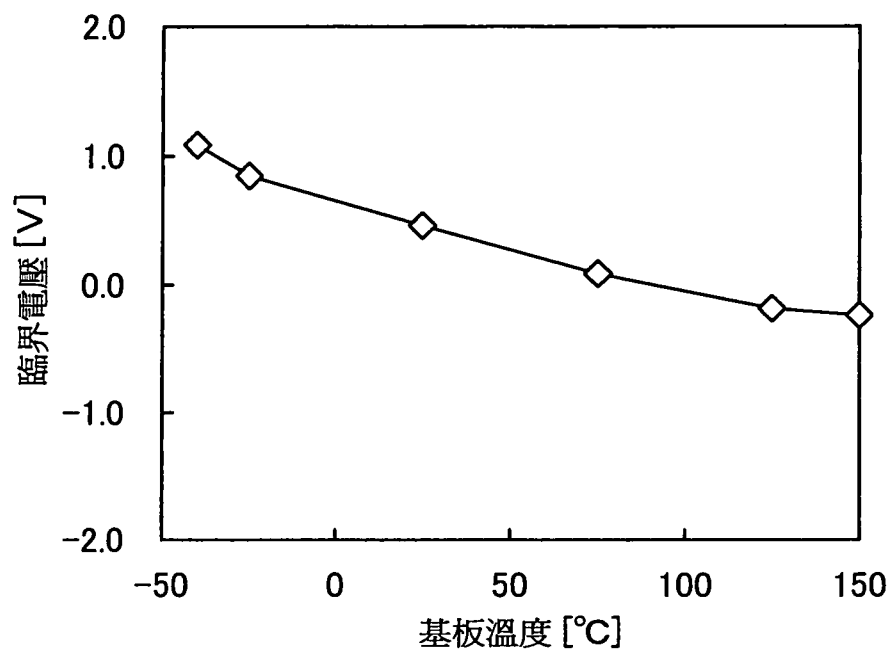


圖 30B

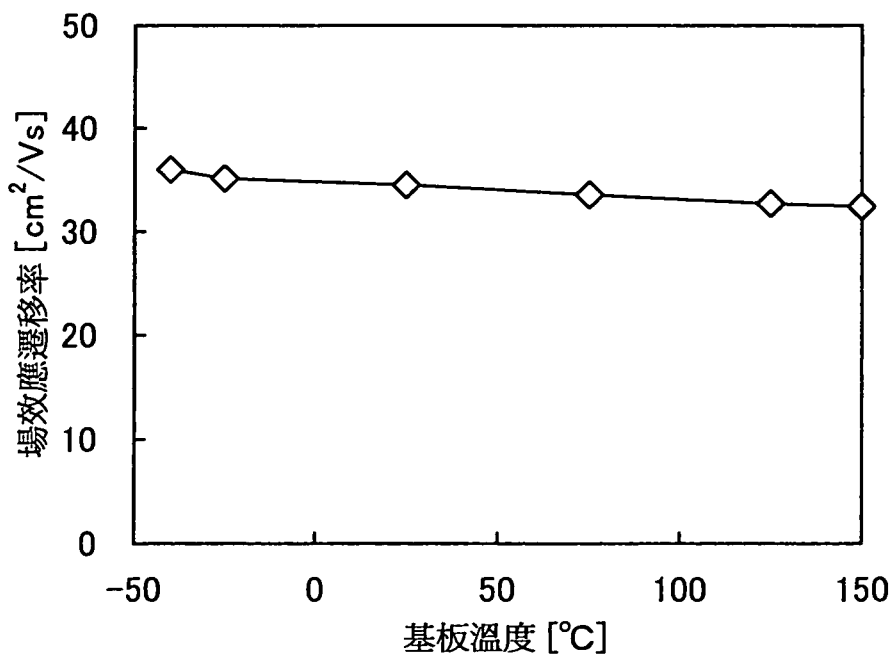


圖 31A

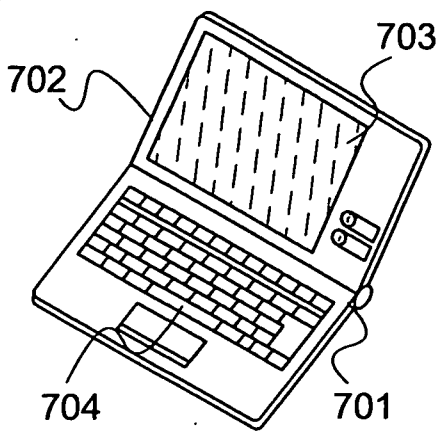


圖 31D

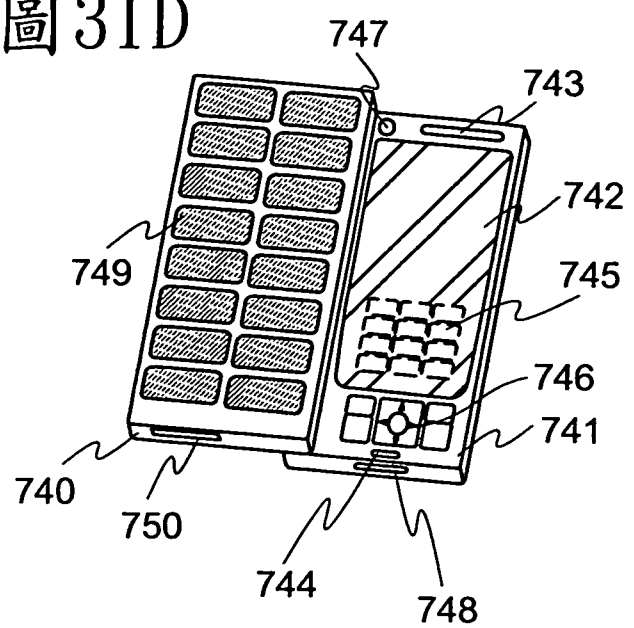


圖 31B

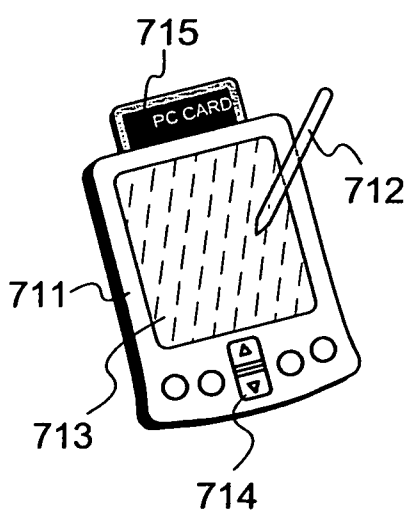


圖 31E

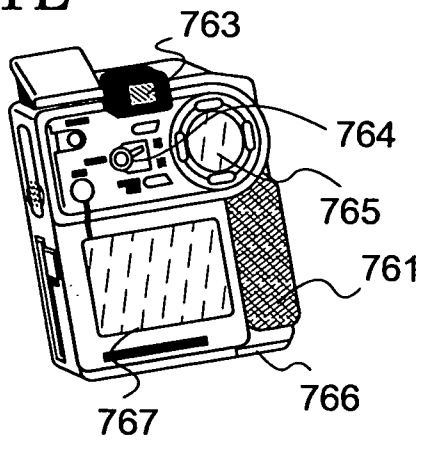


圖 31C

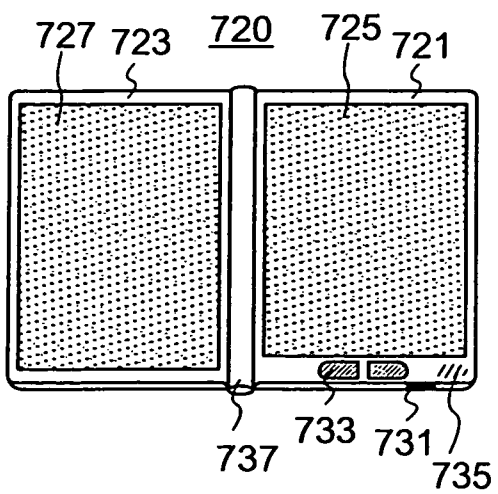


圖 31F

