

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5680979号
(P5680979)

(45) 発行日 平成27年3月4日 (2015.3.4)

(24) 登録日 平成27年1月16日 (2015.1.16)

(51) Int. Cl.

F I

HO 1 L 27/148 (2006.01)

HO 1 L 27/14 B

HO 4 N 5/335 (2011.01)

HO 4 N 5/335

請求項の数 2 (全 13 頁)

(21) 出願番号	特願2011-10114 (P2011-10114)	(73) 特許権者	000236436
(22) 出願日	平成23年1月20日 (2011.1.20)		浜松ホトニクス株式会社
(65) 公開番号	特開2012-151364 (P2012-151364A)		静岡県浜松市東区市野町 1 1 2 6 番地の 1
(43) 公開日	平成24年8月9日 (2012.8.9)	(74) 代理人	100088155
審査請求日	平成25年8月30日 (2013.8.30)		弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100124291
			弁理士 石田 悟
		(72) 発明者	▲高▼木 慎一郎
			静岡県浜松市東区市野町 1 1 2 6 番地の 1
			浜松ホトニクス株式会社内
		(72) 発明者	米田 康人
			静岡県浜松市東区市野町 1 1 2 6 番地の 1
			浜松ホトニクス株式会社内
			最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光入射に応じて電荷を発生し且つ平面形状が二つの長辺と二つの短辺とによって形作られる略矩形状を成す光感応領域と、前記光感応領域に対して前記光感応領域の平面形状を成す長辺に平行な所定方向に沿って高くされた電位勾配を形成する電位勾配形成領域と、をそれぞれ有すると共に、前記所定方向に交差する方向に沿うように併置された複数の光電変換部と、

前記光電変換部にそれぞれ対応し且つ前記光感応領域の平面形状を成す他方の短辺側に配置され、対応する光電変換部の光感応領域で発生した電荷を蓄積する複数の電荷蓄積部と、

前記複数の電荷蓄積部からそれぞれ転送された電荷を取得し、前記所定方向に交差する前記方向に転送して出力する電荷出力部と、を備え、

前記電荷蓄積部は、前記所定方向に沿って配置されると共に前記所定方向に向かってポテンシャルを高くするように所定の電位がそれぞれ与えられる少なくとも二つのゲート電極を有し、前記複数の電荷蓄積部において前記ポテンシャルの高低差が生じている状態で、前記複数の電荷蓄積部に電荷を蓄積し、前記複数の電荷蓄積部において前記ポテンシャルの高低差が生じている状態で、前記複数の電荷蓄積部から電荷を転送することを特徴とする固体撮像装置。

【請求項 2】

前記電荷蓄積部にそれぞれ対応し且つ各前記電荷蓄積部と前記電荷出力部との間に配置

され、対応する前記電荷蓄積部に蓄積されている電荷を取得し、取得した電荷を前記電荷出力部へ転送する複数の転送部を更に備えていることを特徴とする請求項 1 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置として、光入射に応じて電荷を発生し且つ平面形状が二つの長辺と二つの短辺とによって形作られる略矩形状を成す光感应領域と、光感应領域に対して光感应領域の平面形状を成す長辺に平行な所定の方向に沿って高くされた電位勾配を形成する電位勾配形成領域と、をそれぞれ有すると共に、所定の方向に交差する方向に沿うように併置された複数の光電変換部と、光電変換部にそれぞれ対応し且つ光感应領域の平面形状を成す他方の短辺側に配置され、対応する光電変換部の光感应領域で発生した電荷を蓄積する複数の電荷蓄積部と、を備えたものが開示されている（例えば、特許文献 1 参照）。このような固体撮像装置は、従来より様々な用途に用いられているが、特に、分光器の光検出手段として広く用いられている。

10

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】特開 2009 - 272333 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、近年、特に S D - O C T（光断層撮像装置）などの医療用途に向けた固体撮像装置に対し、ダイナミックレンジの向上と検診時間の低減の両立が求められている。ダイナミックレンジは、各電荷蓄積部の飽和電荷量を増大することにより、大きくすることができる。検診時間は、ラインレートを高速化することにより、低減することができる。

【0005】

30

しかしながら、飽和電荷量の増大とラインレートの高速化は、いわゆるトレードオフの関係にある。すなわち、飽和電荷量を増大するために、光感应領域を広くして発生する電荷を増やそうとすると、光感应領域から排出された電荷を蓄積する電荷蓄積部の面積も広くする必要がある。電荷蓄積部の面積を広くする場合、所定の方向に交差する方向の長さは画素ピッチで制約されるため、所定の方向の長さを長くしなければならない。電荷蓄積部を所定の方向に長くすると、電荷蓄積部内での電荷の転送に時間がかかり、ラインレートが低くなってしまう。

【0006】

本発明は上述の点に鑑みてなされたもので、ラインレートを犠牲にすることなく、飽和電荷量を高めることが可能な固体撮像装置を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

本発明に係る固体撮像装置は、光入射に応じて電荷を発生し且つ平面形状が二つの長辺と二つの短辺とによって形作られる略矩形状を成す光感应領域と、光感应領域に対して光感应領域の平面形状を成す長辺に平行な所定の方向に沿って高くされた電位勾配を形成する電位勾配形成領域と、をそれぞれ有すると共に、所定の方向に交差する方向に沿うように併置された複数の光電変換部と、光電変換部にそれぞれ対応し且つ光感应領域の平面形状を成す他方の短辺側に配置され、対応する光電変換部の光感应領域で発生した電荷を蓄積する複数の電荷蓄積部と、複数の電荷蓄積部からそれぞれ転送された電荷を取得し、所定の方向に交差する方向に転送して出力する電荷出力部と、を備え、電荷蓄積部は、所定

50

の方向に沿って配置されると共に所定の方向に向かってポテンシャルを高くするように所定の電位がそれぞれ与えられる少なくとも二つのゲート電極を有することを特徴とする。

【0008】

本発明に係る固体撮像装置では、各電荷蓄積部において、所定の方向に向かって高くされたポテンシャルの高低差が生じることとなる。このため、電荷は、このポテンシャルの高低差に支配されて移動することになり、電荷蓄積部における電荷の転送速度が高速化する。よって、飽和電荷量を高めるために電荷蓄積部の所定の方向での長さを長く設定したとしても、電荷蓄積部内での電荷の転送時間が長くなるのが抑制され、ラインレートが低くなることを防ぐことができる。

【0009】

本発明に係る固体撮像装置は、光入射に応じて電荷を発生し且つ平面形状が二つの長辺と二つの短辺とによって形作られる略矩形状を成す光感応領域と、光感応領域に対して光感応領域の平面形状を成す長辺に平行な所定の方向に沿って高くされた電位勾配を形成する電位勾配形成領域と、をそれぞれ有すると共に、所定の方向に交差する方向に沿うように併置された複数の光電変換部と、光電変換部にそれぞれ対応し且つ光感応領域の平面形状を成す他方の短辺側に配置され、対応する光電変換部の光感応領域で発生した電荷を蓄積する複数の電荷蓄積部と、複数の電荷蓄積部からそれぞれ転送された電荷を取得し、所定の方向に交差する方向に転送して出力する電荷出力部と、を備え、電荷蓄積部は、所定の方向に沿って配置されると共に所定の方向に高くされる所定の電位がそれぞれ与えられる少なくとも二つのゲート電極を有することを特徴とする。

【0010】

本発明に係る固体撮像装置では、電荷蓄積部の少なくとも二つのゲート電極に所定の方向に向かって高くされる所定の電位がそれぞれ与えられるため、各電荷蓄積部において、所定の方向に向かって高くされたポテンシャルの高低差が生じることとなる。このため、電荷は、このポテンシャルの高低差に支配されて移動することになり、電荷蓄積部における電荷の転送速度が高速化する。よって、飽和電荷量を高めるために電荷蓄積部の所定の方向での長さを長く設定したとしても、電荷蓄積部内での電荷の転送時間が長くなるのが抑制され、ラインレートが低くなることを防ぐことができる。

【発明の効果】

【0011】

本発明によれば、ラインレートを犠牲にすることなく、飽和電荷量を高めることが可能な固体撮像装置を提供することができる。

【図面の簡単な説明】

【0012】

【図1】本実施形態に係る固体撮像装置の構成を示す図である。

【図2】図1におけるII-II線に沿った断面構成を説明するための図である。

【図3】バッファゲート部の構成を示す模式図である。

【図4】本実施形態に係る固体撮像装置において、入力される各信号のタイミングチャートである。

【図5】図4における各時刻での電荷の蓄積及び排出動作を説明するためのポテンシャル図である。

【図6】バッファゲート部における電荷の移動を説明するための模式図である。

【図7】バッファゲート部内で電位差を設けない場合の固体撮像装置の電気的特性のシミュレーション結果を示す線図である。

【図8】バッファゲート部内で電位差を設けた場合の固体撮像装置の電気的特性のシミュレーション結果を示す線図である。

【図9】バッファゲート部の変形例の構成を示す模式図である。

【発明を実施するための形態】

【0013】

以下、添付図面を参照して、本発明の好適な実施形態について詳細に説明する。なお、

10

20

30

40

50

説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【 0 0 1 4 】

図 1 は、本実施形態に係る固体撮像装置の構成を示す図である。図 2 は、図 1 における II—II 線に沿った断面構成を説明するための図である。

【 0 0 1 5 】

本実施形態に係る固体撮像装置 1 は、図 1 に示されるように、複数の光電変換部 3 と、複数のバッファゲート部 5 と、複数の転送部 7 と、電荷出力部としてのシフトレジスタ 9 と、を備えている。

【 0 0 1 6 】

各光電変換部 3 は、光感应領域 1 5 と、電位勾配形成領域 1 7 と、を有している。光感应領域 1 5 は、光の入射に感应して、入射光強度に応じた電荷を発生する。電位勾配形成領域 1 7 は、光感应領域 1 5 に対して、光感应領域 1 5 の平面形状を成す一方の短辺側から他方の短辺側に向かう第 1 の方向（光感应領域 1 5 の長辺方向に沿う方向）に沿って高くされた電位勾配を形成する。電位勾配形成領域 1 7 により、光感应領域 1 5 に発生した電荷は、光感应領域 1 5 の他方の短辺側から排出される。

【 0 0 1 7 】

光感应領域 1 5 の平面形状は、二つの長辺と二つの短辺とによって形作られる略矩形形状を成している。複数の光電変換部 3 は、上記第 1 の方向に交差（例えば、直交）する方向に沿うように併置されて、一次元方向にアレイ状に配置されている。複数の光電変換部 3 は、光感应領域 1 5 の短辺方向に沿う方向に併置されている。本実施形態では、光感应領域 1 5 の長辺方向での長さは、例えば 1 mm 程度に設定され、光感应領域 1 5 の短辺方向での長さは例えば 2 4 μm 程度に設定されている。

【 0 0 1 8 】

各バッファゲート部 5 は、光電変換部 3 にそれぞれ対応し且つ光感应領域 1 5 の平面形状を成す他方の短辺側に配置されている。すなわち、複数のバッファゲート部 5 は、光感应領域 1 5 の平面形状を成す他方の短辺側に、上記第 1 の方向に交差する方向（光感应領域 1 5 の短辺方向に沿う方向）に併置されている。バッファゲート部 5 は、光電変換部 3（光感应領域 1 5）と転送部 7 とを仕切る。本実施形態では、バッファゲート部 5 には、電位勾配形成領域 1 7 によって光感应領域 1 5 から排出された電荷が蓄積される。隣り合うバッファゲート部 5 の間には、アイソレーション領域 1 8 が配置されており、バッファゲート部 5 の間における電氣的な分離を実現している。

【 0 0 1 9 】

本実施形態における各バッファゲート部 5 は、第 1 のバッファゲート部 5 a と第 2 のバッファゲート部 5 b から構成される。バッファゲート部 5 内では、第 1 のバッファゲート部 5 a が光感应領域 1 5 と第 1 の方向に隣接して配置され、さらに当該第 1 のバッファゲート部 5 a と第 1 の方向に隣接して第 2 のバッファゲート部 5 b が配置される。第 1 のバッファゲート部 5 a と第 2 のバッファゲート部 5 b を合わせたバッファゲート部 5 の第 1 の方向での長さは例えば、3 2 μm 程度に設定されている。

【 0 0 2 0 】

第 1 のバッファゲート部 5 a と第 2 のバッファゲート部 5 b は、それぞれ異なる電圧が印加されるゲート電極（後述する電極 5 3 及び電極 5 4）と、その下方に形成された半導体領域（後述する n 型半導体層 3 3 及び n 型半導体層 3 4）とによって構成され、電荷転送時には、第 1 のバッファゲート部 5 a のゲート電極に印加される電圧が第 2 のバッファゲート部 5 b のゲート電極に印加される電圧よりも低くなるように電圧が印加される。本実施形態では、第 1 のバッファゲート部 5 a と第 2 のバッファゲート部 5 b の半導体領域の不純物濃度が同一であって、第 1 のバッファゲート部 5 a のゲート電極に印加される電圧が第 2 のバッファゲート部 5 b のゲート電極に印加される電圧より、例えば 1 V 程度低く印加されている。この結果、ゲート電極下に形成される電位（ポテンシャル）が第 1 のバッファゲート部 5 a から第 2 のバッファゲート部 5 b になる境界面で階段状に高くなる

10

20

30

40

50

。

【 0 0 2 1 】

各転送部 7 は、バッファゲート部 5 にそれぞれ対応し且つバッファゲート部 5 とシフトレジスタ 9 との間に配置されている。すなわち、複数の転送部 7 は、光感応領域 1 5 の平面形状を成す他方の短辺側に、上記第 1 の方向に交差する方向に併置されている。転送部 7 は、バッファゲート部 5 に蓄積されている電荷を取得し、取得した電荷をシフトレジスタ 9 に向けて転送する。隣り合う転送部 7 の間には、アイソレーション領域 1 8 が配置されており、転送部 7 の間における電氣的な分離を実現している。

【 0 0 2 2 】

シフトレジスタ 9 は、光感応領域 1 5 の平面形状を成す他方の短辺側に配置されている。シフトレジスタ 9 は、転送部 7 からそれぞれ転送された電荷を受け取り、第 1 の方向に交差する上記方向に転送して、アンプ部 2 3 に順次出力する。シフトレジスタ 9 から出力された電荷は、アンプ部 2 3 によって電圧に変換され、第 1 の方向に交差する上記方向に併置された光電変換部 3 (光感応領域 1 5) 毎の電圧として固体撮像装置 1 の外部に出力される。

【 0 0 2 3 】

複数の光電変換部 3、複数の第 1 のバッファゲート部 5 a、複数の第 2 のバッファゲート部 5 b、複数の転送部 7、シフトレジスタ 9、図 2 に示されるように、半導体基板 3 0 上に形成される。半導体基板 3 0 は、半導体基板 3 0 の基体となる p 型半導体層 3 1 と、p 型半導体層 3 1 の一方向側に形成された n 型半導体層 3 2, 3 3, 3 4, 3 6, 3 8、n⁻ 型半導体層 3 5, 3 7 及び p⁺ 型半導体層 4 0 と、を含んでいる。なお、本実施形態では、半導体として Si を用いており、「高不純物濃度」とは例えば不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度以上のことであって、「+」を導電型に付けて示し、「低不純物濃度」とは不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 程度以下であって「-」を導電型に付けて示すものとする。n 型不純物としては砒素やリンなどがあり、p 型不純物としては硼素などがある。

【 0 0 2 4 】

p 型半導体層 3 1 と n 型半導体層 3 2 とは p n 接合を形成しており、n 型半導体層 3 2 により、光の入射により電荷を発生する光感応領域 1 5 が構成されることとなる。n 型半導体層 3 2 は、平面視で、二つの長辺と二つの短辺とによって形作られる略矩形状を成している。n 型半導体層 3 2 は、上記第 1 の方向 (すなわち、n 型半導体層 3 2 の平面形状を成す一方の短辺側から他方の短辺側に向かう、n 型半導体層 3 2 の長辺方向に沿う方向) に交差する方向に沿うように併置されて、一次元方向にアレイ状に配置されている。各 n 型半導体層 3 2 は、n 型半導体層 3 2 の短辺方向に沿う方向に併置されている。上記アイソレーション領域は、p⁺ 型半導体層により構成できる。

【 0 0 2 5 】

n 型半導体層 3 2 に対して、電極 5 1 が配置されている。電極 5 1 は、光を透過する材料、例えば、ポリシリコン膜からなり、絶縁層 (図示せず) を介して n 型半導体層 3 2 上に形成されている。電極 5 1 により、電位勾配形成領域 1 7 が構成されることとなる。電極 5 1 は、上記第 1 の方向に交差する方向に沿うように併置されている複数の n 型半導体層 3 2 にわたるように、上記第 1 の方向に交差する方向に連続して伸びて形成されている。もちろん、電極 5 1 は、n 型半導体層 3 2 ごとに形成されていてもよい。

【 0 0 2 6 】

電極 5 1 は、いわゆる抵抗性ゲートを構成しており、n 型半導体層 3 2 の平面形状を成す一方の短辺側から他方の短辺側に向かう方向 (上記第 1 の方向) に伸びて形成されている。電極 5 1 は、両端に定電位差を与えることにより、当該電極 5 1 の第 1 の方向での電気抵抗成分に応じた電位勾配、すなわち上記第 1 の方向に沿って高くされた電位勾配を形成する。電極 5 1 の一端には制御回路 (図示せず) から信号 M G L が与えられ、電極 5 1 の他端には制御回路 (図示せず) から信号 M G H が与えられる。信号 M G L が L レベルであると共に M G H が H レベルであると、n 型半導体層 3 2 において上記第 1 の方向に沿っ

10

20

30

40

50

て高くされる電位勾配が形成されるようになっている。

【0027】

電極51と第1の方向に隣接して、電極53、更に電極53と第1の方向に隣接して電極54が配置されている。電極53及び電極54は、絶縁層（図示せず）を介して、n型半導体層33、34にそれぞれ形成されている。n型半導体層33は、n型半導体層32の平面形状を成す他方の短辺側に配置されており、n型半導体層34は、n型半導体層33の平面形状を成す他方の短辺側に配置されている。電極53及び54は、例えば、ポリシリコン膜からなる。電極53及び電極54には、制御回路（図示せず）から信号BG1、BG2がそれぞれ与えられる。電極53及び電極53下のn型半導体層33によって、第1のバッファゲート部5aが構成され、電極54及び電極54下のn型半導体層34によって、第2のバッファゲート部5bが構成されることとなる。

10

【0028】

電極54と第1の方向に隣接して、転送電極55、56が配置されている。転送電極55、56は、絶縁層（図示せず）を介して、n⁻型半導体層35及びn型半導体層36上にそれぞれ形成されている。n⁻型半導体層35及びn型半導体層36は、n型半導体層34と第1の方向に隣接して配置されている。転送電極55、56は、例えば、ポリシリコン膜からなる。転送電極55、56には、制御回路（図示せず）から信号TGが与えられる。転送電極55、56及び転送電極55、56下のn⁻型半導体層35及びn型半導体層36によって、転送部7が構成されることとなる。

20

【0029】

転送電極56と第1の方向に隣接して、転送電極57が配置されている。転送電極57は、絶縁層（図示せず）を介して、n⁻型半導体層37及びn型半導体層38上にそれぞれ形成されている。n⁻型半導体層37及びn型半導体層38は、n型半導体層36と第1の方向に隣接して配置されている。転送電極57は、例えば、ポリシリコン膜からなる。転送電極57には、制御回路（図示せず）から信号PHが与えられる。転送電極57及び転送電極57下のn⁻型半導体層37及びn型半導体層38によって、シフトレジスタ9が構成されることとなる。

【0030】

p⁺型半導体層40は、n型半導体層32、33、36、38、及びn⁻型半導体層35、37を、半導体基板30の他の部分から電気的に分離している。上述した各絶縁層は、光を透過する材料、例えば、シリコン酸化膜からなる。n型半導体層32を除く、n型半導体層33、36、38、n⁻型半導体層35、37（第1のバッファゲート部5a、第2のバッファゲート部5b、転送部7、シフトレジスタ9）は、不要な電荷が生じるのを防ぐために、遮光部材を配置するなどして、遮光されていることが好ましい。

30

【0031】

図3にバッファゲート部5の構成を示す模式図を示す。各バッファゲート部5は、各光感応領域15の平面形状を成す他方の短辺側に配置されている。各光感応領域15で発生した電荷は、図3内のAの方向に転送され、バッファゲート部5に蓄積される。上述したようにバッファゲート部5は、第1のバッファゲート部5aと当該第1のバッファゲート部5aの第1の方向に隣接した第2のバッファゲート部5bからなる。

40

【0032】

当該バッファゲート部5と第1の方向に交差する方向に隣接してオーバーフローゲート（OFG）19が配置されている。オーバーフローゲート19の第1の方向に交差する方向に隣接して、ゲートトランジスタにより構成されるオーバーフロードレイン（OFD）20が配置されている。このような構成により、バッファゲート部5にて当該バッファゲート部5の蓄積容量を超える電荷が発生した際に、蓄積容量を超えた分の電荷を図3内のBの方向に排出できる。これにより、蓄積容量を超えたバッファゲート部5から溢れた電荷が他のバッファゲート部5へ漏れ出すブルーミング等の不都合が防止される。

【0033】

続いて、図4及び図5に基づいて、固体撮像装置1における動作を説明する。図4は、

50

本実施形態に係る固体撮像装置 1 において、電極 5 1 ~ 6 0 に入力される各信号 M G L , M G H , B G 1 , B G 2 , T G , P 1 H のタイミングチャートである。図 5 (a) ~ (c) は、図 4 における各時刻 $t_1 \sim t_3$ での電荷の蓄積及び排出動作を説明するためのポテンシャル図である。

【 0 0 3 4 】

ところで、 n 型の半導体では正にイオン化したドナーが存在し、 p 型の半導体では負にイオン化したアクセプターが存在する。半導体におけるポテンシャルは、 p 型よりも n 型の方が高くなる。換言すれば、エネルギーバンド図におけるポテンシャルは、下向きがポテンシャルの正方向となるため、 n 型の半導体におけるポテンシャルは、エネルギーバンド図においては p 型の半導体のポテンシャルよりも深くなり（高くなり）、エネルギー準位は低くなる。また、各電極に正電位を印加すると、電極直下の半導体領域のポテンシャルが深くなる（正方向に大きくなる）。各電極に印加される正電位の大きさを小さくすると、対応する電極直下の半導体領域のポテンシャルが浅くなる（正方向に小さくなる）。

【 0 0 3 5 】

図 4 に示されるように、時刻 t_1 にて、信号 M G H が H レベルであると、 n 型半導体層 3 2 において上記第 1 の方向に沿って高くされる電位勾配が形成されている。ポテンシャル ϕ_{32} は、 n 型半導体層 3 3 側に向けて深くなるように傾斜し、ポテンシャル ϕ_{32} に勾配が形成されている（図 5 (a) 参照）。信号 M G L , B G 1 , T G , P 1 H が L レベルであり、信号 M G H , B G 2 が H レベルであると、 n 型半導体層 3 3 のポテンシャル ϕ_{33} 及び n 型半導体層 3 4 のポテンシャル ϕ_{34} は、 n^- 型半導体層 3 5 のポテンシャル ϕ_{35} より深いことから、ポテンシャル ϕ_{33} , ϕ_{34} の井戸が形成されている（図 5 (a) 参照）。この状態で、 n 型半導体層 3 2 に光が入射して電荷が発生していると、発生した電荷は、ポテンシャル ϕ_{33} , ϕ_{34} の井戸内に蓄積される。ポテンシャル ϕ_{33} , ϕ_{34} には、電荷量 Q_L が蓄積されている。なお、 ϕ_{33} 及び ϕ_{34} は、図 6 にも示されるように、 ϕ_{34} が ϕ_{33} より深くなるように、B G 1 , B G 2 が与えられる。

【 0 0 3 6 】

時刻 t_2 にて、信号 T G が H レベルであると、 n^- 型半導体層 3 5 及び n 型半導体層 3 6 の各ポテンシャル ϕ_{35} , ϕ_{36} が深くなり、ポテンシャル ϕ_{36} の井戸が形成されている。ポテンシャル ϕ_{33} , ϕ_{34} の井戸に蓄積されていた電荷は、ポテンシャル ϕ_{36} の井戸内に転送される。ポテンシャル ϕ_{36} には、電荷量 Q_L が蓄積されている。

【 0 0 3 7 】

時刻 t_3 にて、信号 T G が L レベルであると、ポテンシャル ϕ_{35} , ϕ_{36} は浅くなる。これにより、ポテンシャル ϕ_{33} , ϕ_{34} の井戸が形成される。また、時刻 t_3 にて、信号 P 1 H が H レベルであると、 n^- 型半導体層 3 7 のポテンシャル ϕ_{37} は深くなり、ポテンシャル ϕ_{37} の井戸が形成されている。ポテンシャル ϕ_{36} の井戸内に蓄積されていた電荷はポテンシャル ϕ_{38} の井戸内に転送される。ポテンシャル ϕ_{38} には、電荷量 Q_L が蓄積されている。

【 0 0 3 8 】

この後、電荷量 Q_L の電荷は、電荷転送期間 T P の間において、上記第 1 の方向に交差する方向に順次転送されて、アンプ部 2 3 に出力されることとなる。図 3 での図示は省略するが、電荷転送期間 T P では、電荷量 Q_L を上記第 1 の方向に交差する方向に転送するための信号が信号 P 1 H として与えられる。

【 0 0 3 9 】

以上のように、本実施形態では、バッファゲート部 5 の電極 5 3 と電極 5 4 とに、電荷の転送方向（上記第 1 の方向）に向かって高くされる所定の電位がそれぞれ与えられるため、電極 5 3 と電極 5 4 との下に形成されるポテンシャルは、電荷の転送方向（上記第 1 の方向）に向かって階段状に高くなる高低差が形成される。このため、電荷は、このポテンシャルの高低差に支配されて移動することになり、バッファゲート部 5 における電荷の転送速度が高速化する。よって、飽和電荷量を高めるためにバッファゲート部 5 の上記第 1 の方向での長さを長く設定したとしても、バッファゲート部 5 内での電荷の転送時間が

10

20

30

40

50

長くなるのが抑制されて、ラインレートが低くなることを防ぐことができる。

【 0 0 4 0 】

続いて、図 7 及び図 8 に基づきバッファゲート部 5 における電荷の読出し速度高速化の検証結果について説明する。ここでは、バッファゲート部 5 の電荷の転送方向（上記第 1 の方向）での長さが $32\ \mu\text{m}$ に設定されている。

【 0 0 4 1 】

図 7 は、バッファゲート部 5 内で電位差を設けない、すなわち一つの電極でバッファゲート部 5 を構成した場合の固体撮像装置 1 の電気的特性のシミュレーション結果を示す線図である。（a）は、横軸をバッファゲート部 5 の光電変換部側の端面からの第 1 の方向への距離、左の縦軸を電位（ポテンシャル）、右の縦軸を電場とした、第 1 の方向に沿った電場 C 1、電位 D 1 の変化を示している。（b）は、横軸をバッファゲート部 5 の光電変換部側の端面からの第 1 の方向への距離、縦軸を転送時間とした、バッファゲート部 5 における第 1 の方向への電荷の転送時間 T 1 を示し、電荷がバッファゲート部 5 内を転送するのに費やされた時間を遷移時間 F 1 とした。

【 0 0 4 2 】

図 7（a）に示すように、一つの電極でバッファゲート部 5 を構成した場合（電位差を設けない場合）、の第 1 の方向における電場 C 1 はバッファゲート部 5 の中央部で最も弱くなる。その理由は、バッファゲート部 5 に隣接する光電変換部 3 及び転送部 7（以下、隣接部）の近傍ではバッファゲート部 5 が隣接部の電極からのフリンジング電界を受けて第 1 の方向における電場 C 1 が十分得られるが、隣接部の電極から最も離れた中央部ではこのフリンジング電界が弱くなるためである。また電位 D 1 は、隣接部の電極の近傍では急激に変化しているが、バッファゲート部 5 の中央部での電位 D 1 の変化はほとんど見られない。すなわち、ポテンシャルの高低差が生じない。この場合の遷移時間 F 1 は、図 7（b）に示すように、約 $0.8\ \mu\text{s}$ となった。

【 0 0 4 3 】

一方、図 8 は、バッファゲート部 5 内で電位差を設けた場合の固体撮像装置 1 の電気的特性のシミュレーション結果を示す線図である。図 7 と同様に（a）には、第 1 の方向に沿った電場 C 2、電位 D 2 の変化を示している。（b）には、バッファゲート部 5 における第 1 の方向への電荷の転送時間 T 2 を示し、電荷がバッファゲート部 5 を転送するのに費やされた時間を遷移時間 F 2 とした。

【 0 0 4 4 】

図 8（a）に示すように、二つの電極でバッファゲート部 5 を構成した場合、バッファゲート部 5 の中央部において電位 D 2 が階段状に深くなるように電位差が設けられバッファゲート部 5 が 2 分割される。この場合の遷移時間 F 2 は、（b）に示すように約 $0.025\ \mu\text{s}$ と、遷移時間 F 1 に比べて、約 $1/40$ 高速化した。

【 0 0 4 5 】

本実施形態では、バッファゲート部 5 に蓄積された電荷は、転送部 7 に取得されて、第 1 の方向に転送される。そして各転送部 7 から転送された電荷は、シフトレジスタ 9 により、上記第 1 の方向に交差する方向に転送されて出力される。複数の光電変換部 3 から転送された電荷は、シフトレジスタ 9 により取得されて上記第 1 の方向に交差する方向に転送される。この結果、固体撮像装置 1 においては、一次元画像を得るための信号処理をあらためて実行する必要はなく、画像処理の煩雑化を防ぐことができる。

【 0 0 4 6 】

以上、本発明の好適な実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

【 0 0 4 7 】

例えば、本実施形態では、さらにオールリセットゲート（ARG）21 及びオールリセットドレイン（AGD）22 を併置してもよい。この場合、オールリセットゲート 21 及びオールリセットドレイン 22 は、図 9 に示すように、光感應領域 15 の平面形状を成す

10

20

30

40

50

他方の長辺側にそれぞれ併置されていることが好ましい。すなわち、光感応領域 15 と第 1 の方向に交差する方向に隣接してオールリセットゲート 21 が併置され、オールリセットゲート 21 と第 1 の方向に交差する方向に隣接してオールリセットドレイン 22 が併置されていることが好ましい。

【0048】

このような構成によれば、光感応領域 15 の電荷をリセットする場合、光感応領域 15 で発生した電荷は図 9 内の G の方向に移動するため、僅かな移動距離（一般に画素ピッチの 10 ~ 24 μm 程度）でオールリセットゲート 21、オールリセットドレイン 22 に到達できるので、リセットに要する時間が短縮化できる。なお、オーバーフローゲート 19、オーバーフロドレイン 20 を用いて光感応領域 15 の電荷をリセットすることも可能であるが、光感応領域 15 で発生した電荷がバッファゲート 5 を経由して移動（図 9 内の A 及び B）する必要があるため、リセットに要する時間が長くなる。

10

【0049】

本実施形態では、バッファゲート部 5 は、第 1 のバッファゲート部 5a と第 2 のバッファゲート部 5b の 2 段で構成されているが、バッファゲート部 5 を 3 段以上の電位が異なる段で構成しても良い。バッファゲート部 5 を 3 段以上で構成した場合にも、第 1 の方向に沿って電位が階段上に高くなるようにすればよい。この場合も、各バッファゲート部 5 において、電荷の転送方向（上記第 1 の方向）に向かって階段状に高くなるポテンシャルの高低差が生じる。このため、電荷は、ポテンシャルの高低差（電位差）に支配されて移動することになり、バッファゲート部 5 における電荷の転送速度が高速化する。

20

【0050】

さらに、バッファゲート部 5 は、光電変換部 3 の電位勾配形成領域 17 のようにいわゆる抵抗性ゲートで構成してもよい。この構成では、電極両端に定電位差を与えることにより、当該電極の第 1 の方向での電気抵抗成分に応じた電位勾配、すなわち上記第 1 の方向に沿って高くされた電位勾配が形成される。この場合、各バッファゲート部 5 において、電荷の転送方向（上記第 1 の方向）に向かって徐々に高くなるポテンシャルの高低差が生じる。このため、電荷は、ポテンシャルの高低差（電位差）に支配されて移動することになり、バッファゲート部 5 における電荷の転送速度が高速化する。

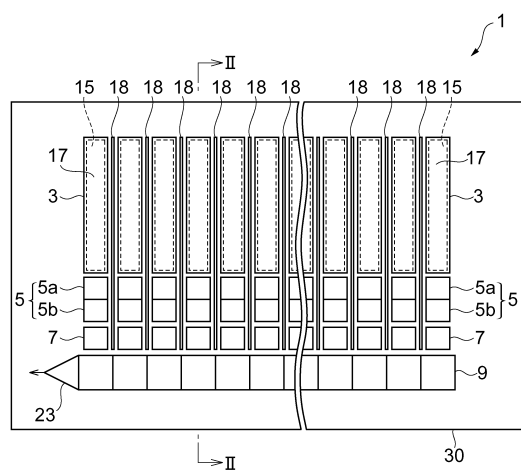
【符号の説明】

【0051】

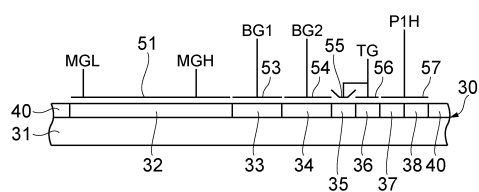
30

1 ... 固体撮像装置、3 ... 光電変換部、5 ... バッファゲート部、7 ... 転送部、9 ... シフトレジスタ、15 ... 光感応領域、17 ... 電位勾配形成領域、23 ... アンプ部。

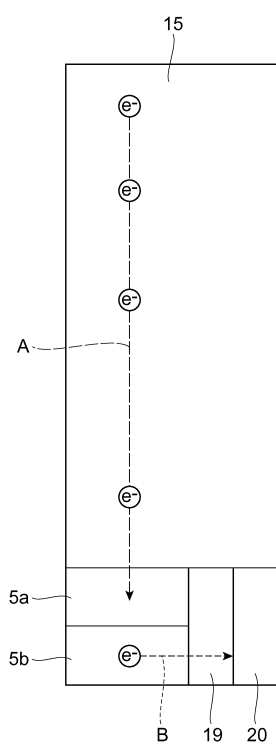
【 図 1 】



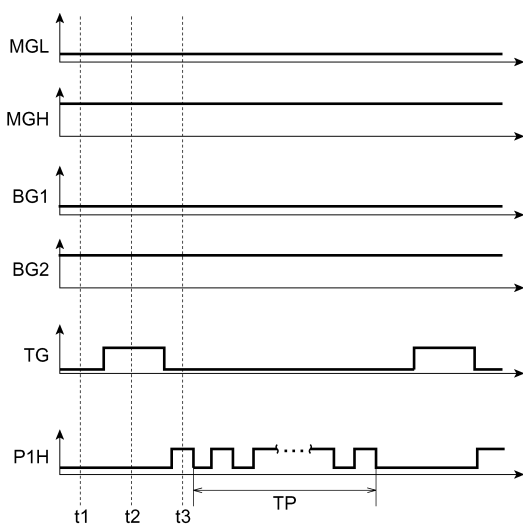
【圖 2】



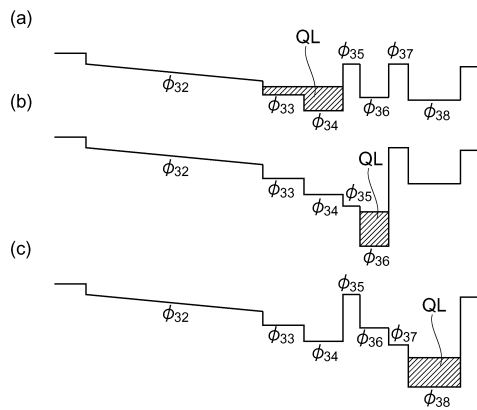
【 図 3 】



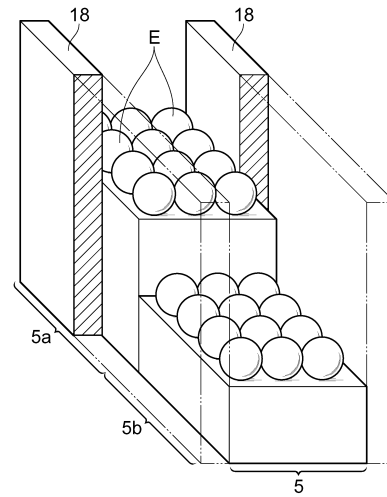
【 図 4 】



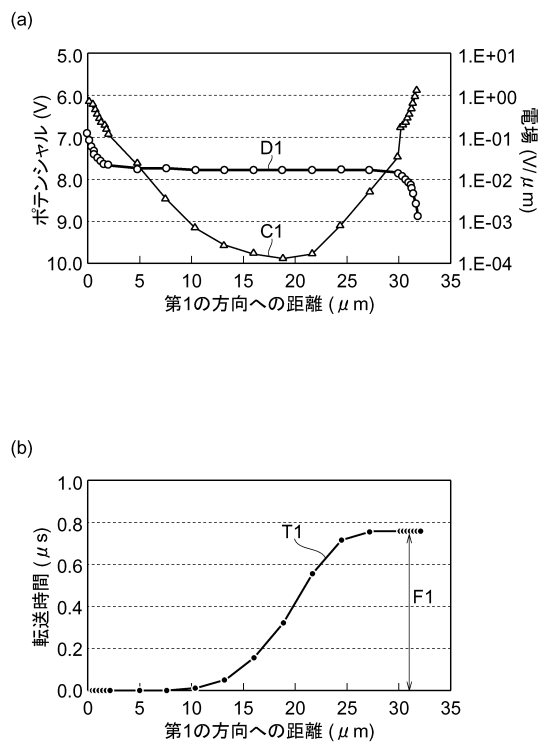
【図 5】



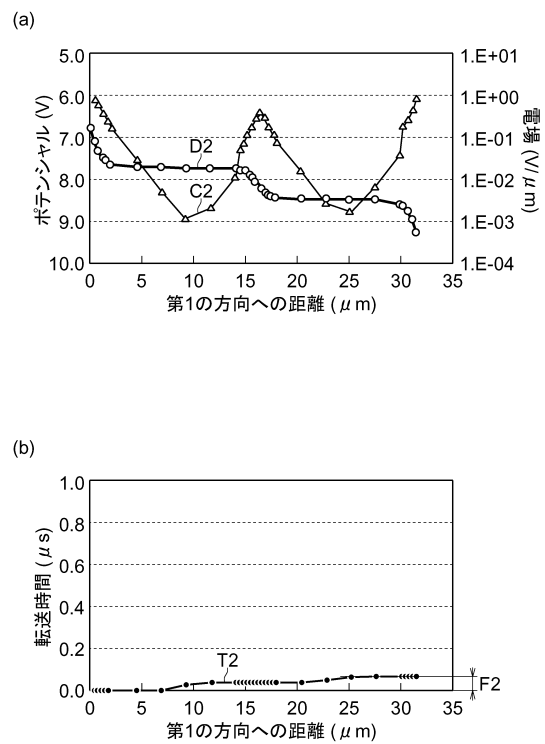
【図 6】



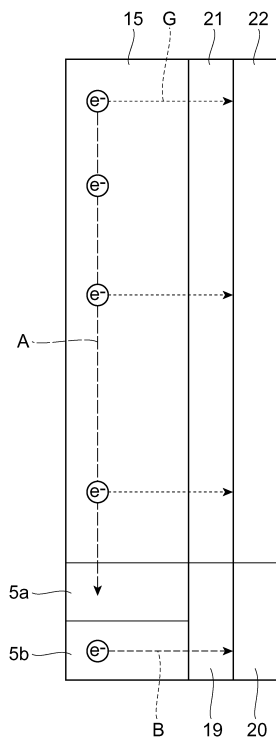
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 鈴木 久則

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

(72)発明者 村松 雅治

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

審査官 山口 大志

(56)参考文献 特開平 0 4 - 1 3 4 8 6 2 (J P , A)

特開 2 0 1 1 - 1 8 7 9 2 1 (J P , A)

特開 2 0 0 9 - 2 7 2 3 3 3 (J P , A)

特開平 0 4 - 1 1 5 5 7 4 (J P , A)

特開平 0 6 - 2 3 6 9 8 7 (J P , A)

特開昭 6 0 - 0 8 4 8 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 7 / 1 4 8

H 0 4 N 5 / 3 3 5