

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 5/14

(45) 공고일자 1996년07월18일
(11) 공고번호 특 1996-0009394

(21) 출원번호	특 1992-0019411	(65) 공개번호	특 1993-0009209
(22) 출원일자	1992년10월22일	(43) 공개일자	1993년05월22일
(30) 우선권주장	91-279387 1991년10월25일 니쁜 덴끼 가부시끼가이샤 1996년07월18일	일본(JP) 세끼모또 다다히로	

(72) 발명자
가와따 고지
일본국 도오꼬도 미나또꾸 시바 5죠메 7반 1고 니쁜 덴끼 가부시끼가이
샤 나이
스기바야시 다다히코
일본국 도오꼬도 미나또꾸 시바 5죠메 7반 1고 니쁜 덴끼 가부시끼가이
샤 나이
하라 다까히로
일본국 도오꼬도 미나또꾸 시바 5죠메 7반 1고 니쁜 덴끼 가부시끼가이
샤 나이
(74) 대리인
이병호, 최달용

심사관 : 이해평 (책자공보 제4550호)

(54) 동적 임의 접근 메모리용 전원 회로

요약

내용없음

대표도

도1

명세서

[발명의 명칭]

동적 임의 접근 메모리용 전원 회로

[도면의 간단한 설명]

제1도는 종래의 동적 RAM용 전원 회로의 한 실시예를 도시한 블럭도.

제2도는 본 발명에 따른 실시예의 동적 RAM용 전원 회로를 도시한 블럭도.

제3도는 제2도 블럭도에 의해 도시된 제1중간 전위 발생 회로를 도시한 상세 회로도.

제4도는 제2도 블럭도에 의해 도시된 제2중간 전위 발생 회로를 도시한 상세 회로도.

제5도는 제2도에 도시한 바와 같은 장치의 동작을 설명하는데 사용하기 위한 관련 신호 각각의 파형을 도시한 그림.

* 도면의 주요부분에 대한 부호의 설명

1 : 전원 공급 탐지 회로	2 : 내부 전원 회로
3 : 제1중간 전위 발생 회로	4 : 제2중간 전위 발생 회로

[발명의 상세한 설명]

발명의 배경

발명의 분야

본 발명은 동적 임의 접근 메모리(이하에서는 동적 RAM이라 한다)용 전원 회로에 관한 것이며, 특히 외부 전원 전위보다 낮은 내부 전원 전위를 발생시키는 내부 전원 회로와, 내부 전원 전위의 절반에 달하는 중간 전위를 발생시키는 회로를 구비하는 동적 RAM용 전원 회로에 관한 것이다.

종래 기술의 설명

동적 RAM의 실제 사용에 있어서, 그 고집적화에 따라 한 메모리 셀을 구성하는 콘덴서의 대향된 전극의 전위는 신뢰성 향상의 이유로 전원 전위와 접지 전위 사이의 중간 전위로 설정된다. 16M 비트의 동적 RAM에서는, 외부의 전원 전위보다 낮은 한 전원 전위를 발생시키기 위한 내부 전원 회로를 갖는 것이 이용될 수 있는 점까지 이르게 되었다. 이같은 장치에서는 외부 전원 전위는 통상 5V이나 내부 전원 전위는 3.3V로 내려간 이후 사용된다. 이와 관련해서 중간 전위는 3.3V의 내부 전원 전위와 접지 전위 사이의 중간 값인 1.65V로 설정된다.

제1도는 블록도로서 종래의 동적 RAM용의 전원 회로를 도시한 것이며, 이 회로는 상기에서 설명된 바와 같이 내부 전원 회로와 중간 전위 발생 회로를 갖는다.

내부 전원 회로(2)는 5V의 외부 전원 전위를 수신하며, 3.3V의 내부 전원 전위 V_{INT} 를 발생시킨다. 중간 전위 발생 회로(4a)는 내부 전원 전위 V_{INT} 를 수신하여 내부 전원 전위 V_{INT} 의 절반인 중간 전위 V_H 를 발생시킨다.

내부 전원 전위 V_{INT} 에 의해 구동되는 중간 전위 V_H 는 안정되 있으며 외부 전위 V_∞ 의 어떠한 변환에도 영향을 받지 않게 되므로, 결국 중간 전위 V_H 가 공급되는 회로의 동작 마진(margin) 또는 허용 오차를 증가시키게 된다. 그러나, 전원이 투입될 때는, 전위가 외부 전원 전위에 응답하여 상승하기 때문에 내부 전원 전위 V_{INT} 의 상승 시간에는 지연이 불가피하게 발생되어진다. 더구나, 중간 전위 발생 회로(4a)는 낮은 전위와 낮은 전력 소모로 동작하도록 설계되었기 때문에, 그에 따라 그 구동 능력이 작으로 인해 중간 전위 V_H 가 사전설정된 전위에 도달하기까지는 일정한 시간이 소요되게 된다.

한편, 중간 전위 V_H 의 상승 시간에 대해서는, 그것이 외부 전원 전위 V_∞ 의 상승이 있은 후 100μs 이내에 사용될 수 있어야 하는 필요조건이 부여된다. 이같은 필요조건을 만족시키기 위하여, 상승하는 구동 능력을 유지시키기에 충분히 큰 중간 전위 발생 회로(4a)가 필요하게 된다.

상기에서 설명된 종래의 동적 RAM용의 전원 회로에서는, 내부 전원 전위가 수신되고 난 뒤 중간 전위 V_H 가 발생되므로, 전원이 투입된 후에 중간 전위 V_H 가 사전설정된 전위에 도달하기까지는 일정한 시간이 걸리게 된다. 이같은 시간을 좀더 짧게 하려는 시도는 결국 불가피하게 전류 소모를 증가시키게 될 것이다. 이러한 것들이 종래의 동적 RAM용 전원 회로에서의 문제점들로서 본 발명에 의해 해결되어야 할 것이다.

발명의 요약

따라서, 본 발명의 목적은 종래의 동적 RAM용 전원 회로에 존재하는 문제점을 극복하는 것이며, 개선된 동적 RAM용 전원 회로를 제공하는 것으로서 전원이 공급된 뒤 중간 전위의 상승 시간이 짧아지고 이와 관련한 전류 소모가 작아지도록 하는 것이다.

본 발명에 따라, 동적 RAM용의 한 전원 회로가 제공되는데, 이는, 전원이 공급된 후 외부에서 공급되는 외부 전원 전위가 언제 사전설정된 전위에 도달되는지를 탐지하고, 그리고 제1 및 제2탐지 신호를 발생시키는 전원 공급(power-on) 탐지 회로 ; 외부 전원 전위를 수신하고, 외부 전원 전위보다 낮은 내부 전원 전위를 발생시키는 내부 전원 회로 ; 중간 전위 공급 노드에 대한 사전설정된 중간 전위 구동 능력을 갖는 제1중간 전위 발생 회로로서, 외부 전원 전위를 수신하고, 제1중간 전위를 발생하여 이를 중간 전위 공급 노드에 공급하며, 제1탐지 신호가 발생되고 제1중간 전위가 사전설정된 전위에 도달하는 때 중간 전위 공급 노드로의 제1중간 전위 공급을 중단하고 중간 전위 발생 기능을 중단하는 제1중간 전위 발생 회로, 그리고 제1중간 전위 발생 회로보다 작은 중간 전위 구동 능력을 갖는 제2중간 전위 발생 회로로서, 내부 전원 전위를 수신하고, 제2중간 전위를 발생시키며, 제2탐지 신호가 발생되는 때 제2중간 전위를 중간 전위 공급 노드에 공급하는 제2중간 전위 발생 회로를 포함한다.

이제까지 설명된 본 발명의 목적, 특징, 장점들은 첨부된 도면을 참조하여 설명되는 본 발명의 적합한 실시예에 대한 다음의 설명들로부터 명백해진다.

하기에서는 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

제2도는 본 발명에 따른 동적 RAM용 전원 회로의 한 실시예에 대한 블럭도이다.

본 발명의 동적 RAM용 전원 회로는 전원 공급 탐지 회로(1), 내부 전원 회로(2), 제1중간 전위 발생 회로(3), 그리고 제2중간 전위 발생 회로(4)로 구성된다. 전원 공급 탐지 회로(1)는 외부 전원 회로가 켜진 뒤 외부 전원 전위 V_∞ 가 언제 사전설정된 전위에 도달하는지를 탐지하고 탐지 신호 P_{ONA} 와 P_{ONB} 를 발생시킨다. 내부 전원 회로(2)는 외부 전원 전위 V_∞ 를 수신하며, 이같은 외부 전원 전위보다 낮은 전위의 내부 전원 전위 V_{INT} 를 발생시킨다. 중간 전위에 대한 큰 구동 능력을 갖는 제1중간 전위 발생 회로(3)는 외부 전원 전위 V_∞ 와 기준 전압 V_{REF} 를 수신하며, 제1중간 전위 V_{H1} 를 발생시켜, 이를 중간 전위 공급 노드에 공급하며, 그리고 탐지 신호 P_{ONA} 가 발생되고 제1중간 전위 V_{H1} 이 사전설정된 전위에 도달하는 때 중간 전위 공급 노드로의 제1중간 전위 V_{H1} 의 공급을 중단시키며, 또한 제1중간 전위 V_{H1} 를 발생시키는 기능을 중단시킨다. 제2중간 전위 발생 회로(4)는 내부 전원 전위 V_{INT} 를 수신하며 제2중간 전위 V_{H2} 를 발생시키고, 그리고 탐지 신호 P_{ONB} 가 발생되는 때 중간 전위에 대한 구동 능력이 제1중간 전위 발생 회로(3)의 구동 능력보다는 작은 중간 전위 공급 노드로 제2중간 전위 V_{H2} 를 공급한다.

다음에는, 제1 및 제2중간 전위 발생 회로(3)(4)의 상세한 회로도가 제3도와 제4도에 관련하여 설명

된다.

제1중간 전위 발생 회로(3)는 한 차동 증폭기 회로로 되어 있으며, 이 회로는 한 게이트가 중간 전위 공급 노드에 연결되 있는 제1트랜지스터 Q1, 한 게이트가 내부 기준 전압 V_{R1} 을 수신하고 한 소스(source)가 제1트랜지스터 Q1의 소스에 연결되 있는 제2트랜지스터 Q2, 제1 및 제2트랜지스터 Q1, Q2의 드레인들과 외부 전원 전위 V_∞ 가 공급되는 한 노드 사이에 연결된 전류-미러(current-mirror) 구조의 한 부하회로인 트랜지스터 Q4와 Q5, 그리고 회로의 작동을 제어하기 위한 트랜지스터 Q3를 포함한다.

차동 증폭기 회로 제2트랜지스터 Q2의 드레인으로부터 제1중간 전위를 출력시킨다. 제1중간 전위 발생 회로(3)는 기준 전압 V_{REF} 로부터 내부 기준 전압 V_{R1} 을 발생시키기 위한 트랜지스터 Q6와, 저항 R1, R2를 포함하며 ; NOR 게이트 NR1, 인버터 IV1, IV2, 그리고 트랜지스터 Q7~Q9을 포함하여 탐지 신호 P_{ONA} 와 트랜지스터 Q2 드레인에서의 전위를 기초로 해서 중간 전위 공급 노드로의 중간 전위 V_{H1} 의 공급 및 중단을 제어하게 된다. 외부에서 제1중간 전위 발생 회로(3)로 공급된 기준 전압 V_{REF} 는 외부 전원 전위 V_∞ 로부터 발생된다.

제2중간 전위 발생 회로(4)는 그 한 단부에서 내부 전원 전위 V_{INT} 를 수신하는 저항기(3) ; 접지된 한 단부를 갖는 저항기(4) ; 소스가 저항기(R3)의 다른 단부에 연결되 있으며 게이트가 제2중간 전위를 수신하는 트랜지스터 Q10 ; 소스가 저항기 R4의 다른 단부에 연결되 있으며 게이트가 제2중간 전위를 수신하는 트랜지스터 Q13 ; 게이트와 드레인이 공통으로 트랜지스터 Q10의 드레인에 연결되 있는 트랜지스터 Q11 ; 게이트와 드레인이 공통으로 트랜지스터 Q13의 드레인에 연결되고, 소스가 트랜지스터 Q11의 소스에 연결되 있는 트랜지스터 Q12 ; 드레인이 내부 전원 전위 V_{INT} 를 수신하고, 게이트가 트랜지스터 Q11의 게이트에 연결되며, 그리고 소스가 제2중간 전위를 출력시키는 트랜지스터 Q14 ; 소스가 접지되어 있고, 게이트가 트랜지스터 Q12의 게이트에 연결되며, 그리고 드레인이 트랜지스터 Q14의 소스에 연결되는 트랜지스터 Q15 ; 그리고 게이트가 탐지 신호 P_{ONB} 를 수신하고, 중간 전위 공급 노드로의 제2중간 전위의 공급 및 중단을 제어하는 트랜지스터 Q16를 포함한다.

이제, 이같은 실시예에 따른 회로의 동작이 설명된다.

제5도는 이같은 실시예 회로의 동작을 설명하기 위한 여러가지 신호의 파형을 도시한 것이다.

전원 공급 탐지 회로(1)는 외부 전원 전위 V_∞ 가 언제 5V에 도달하는지를 탐지하며, 그 전위가 외부 전원 전위 V_∞ 로부터 접지 전위로 변화하는 탐지 신호 P_{ONA} 와 그 전위가 접지 전위로부터 외부 전원 전위 V_∞ 로 변화하는 탐지 신호 P_{ONB} 를 발생시킨다.

전원이 공급된 후 탐지 신호 P_{ONA} 가 외부 전원 전위 V_∞ 크기에 따라 상승하여, 외부 전원 전위 V_∞ 의 5V로 안정되는 기간동안, 트랜지스터 Q3, Q9는 ON(전도상태)이 되고, 트랜지스터 Q7은 OFF가 되어 트랜지스터 Q1~Q5로 구성되 있는 차동 증폭기가 동작하게 되며, 제1중간 전위 V_{H1} 이 트랜지스터 Q8과 Q9를 통해서 중간 전위 공급 노드로 공급된다.

제1중간 전위 V_{H1} 은, 중간 전위 공급 노드가 차동 증폭기 회로와 트랜지스터 Q8에 의해 구동되고 제1중간 전위가 외부 전원 전위 V_∞ 로부터 발생되기 때문에, 큰 구동 능력을 갖게 되며 외부 전원 전위 V_∞ 의 상승과 관련하여 지연이 거의 없게 된다. 따라서, 중간 전위 공급 노드에서의 중간 전위 V_{H1} 상승은 빠르다.

탐지 신호 P_{ONA} 가 접지 전위가 되고 동시에 탐지 신호 P_{ONB} 가 외부 전원 전위 V_{OC} 가 되는때가 되면, 제1중간 전위 V_{H1} 뿐 아니라 제2중간 전위 V_{H2} 가 사전설정된 레벨(1.65V)에 도달하게 된다.

따라서, 트랜지스터 Q3, Q9가 OFF 상태가 되고 트랜지스터 Q7은 ON 상태로 되어, 제1중간 전위 발생 회로(3)로부터 중간 전위 공급 노드로의 중간 전위 V_{H1} 의 공급이 중단되며, V_{H1} 에 대한 중간 전위 발생 기능 또한 중단된다. 동시에, 트랜지스터 Q16이 ON 상태가 되고, 제1중간 전위 V_{H1} 대신에 제2중간 전위 V_{H2} 가 제2중간 전위 발생 회로(4)로부터 중간 전위 공급 노드로 공급된다. 제2중간 전위 발생 회로(4)는 저항-분할(resistor-divided)형이므로 여기서 소모되는 전류는 작게 된다.

상기에서 설명되는 방식으로, 구동 능력이 큰 제1중간 전위 발생 회로(3)는, 외부 전원 전위 V_∞ 가 도달되어 5V의 사전설정된 전압으로 고정되기까지 제1중간 전위 발생 회로(3)에 의해서 제1중간 전위 V_{H1} 를 공급하며, 이는 결국 중간 전위 공급 노드에서 중간 전위가 빠르게 상승하도록 한다.

외부 전원 전위 V_∞ 가 고정되고 제2중간 전위 V_{H2} 가 사전설정된 전위에 도달한 후, 제1중간 전위 발생 회로(3)의 중간 전위 발생 기능이 중단되고 제2중간 전위 V_{H2} 는 전류 소비가 적은 제2중간 전위 발생 회로(4)로부터 공급되어 그에 따라 회로에서의 전체 전류 소모를 줄이게 된다.

이같은 실시예에서, 탐지 신호 P_{ONA} , P_{ONB} 는 단지 외부 전원 전위 V_∞ 만의 탐지에 의해서 발생되지만, 탐지 신호 P_{ONA} , P_{ONB} 가 각각 사전에 정해진 소정의 전위에 도달한 외부 전원 전위 V_∞ 와 내부 전원 전위 V_{INT} 모두의 탐지에 의해서 발생되는 장치를 제공하는 것 역시 가능하다. 이같은 경우, 내부 전원 전위 V_{INT} 는 제2도의 점선으로 도시된 바와 같이 전원 공급 탐지 회로(1)내로 입력된다. 이같은 장치는 제1중간 전위 V_{H1} 으로부터 제2중간 전위 V_{H2} 로의 안정된 전환을 보장하게 된다.

동적 RAM에서, 중간 전위가 공급되기 위한 노드는 하나의 노드로 제한되지 아니하며, 프리차지 회로

및 메모리 콘텐서 소자의 대향된 전극의 경우와 같이 여러개의 노드가 될 수도 있다. 그와 같은 경우, 여러개의 중간 전위는 서로간에 어느정도 높거나 낮은 다양한 크기를 가질 수 있기 때문에, 상기에서 설명된 바와 같이 다수개의 제1 및 제2중간 전위 발생 회로가 제공될 수 있으며 그에 따라 각각의 회로에 개별적으로 적합한 중간 전위를 공급할 수 있도록 한다.

상기에서 설명된 바와 같이, 본 발명에 따른 장치는, 사전설정된 레벨에 도달한 외부 전원 전위를 탐지하자 마자 탐지 신호를 발생시키는 전원 공급 탐지 회로와, 큰 구동 능력을 가지며 외부 전원 전위로부터 중간 전위를 발생시키는 제1중간 전위 발생 회로를 포함한다. 전원이 공급되는 때로부터 탐지 신호가 발생되는 때까지, 제1중간 전위 발생 회로는 사전설정된 노드로 중간 전위를 공급하며, 탐지 신호를 발생한 후에는, 내부 전원 전위로부터 제2중간 전위를 발생시키는 제2중간 전위 발생 회로가 상기 설명된 노드로 중간 전위를 공급하고, 또한 제1중간 전위 발생 회로의 중간 전위 발생 기능을 종단시킨다. 이같은 장치로서, 전원이 공급된 후 상기 언급된 노드에서의 중간 전위 상승 시간을 줄이는 것이 가능하고 회로 전체의 전류 소모를 줄이는 것이 가능하게 된다.

본 발명의 적합한 실시예가 설명되었으나 명세서에서 사용된 용어는 본원 발명을 설명하기 위한 것이며, 본 발명의 범위 및 사상의 범위내에서 첨부된 청구범위 취지에 따라 실시의 변경이 가능한 것이다.

(57) 청구의 범위

청구항 1

동적 RAM용 전원 회로에 있어서, 전원이 공급된 후 외부에서 공급되는 외부 전원 전위(V_{∞})가 언제 사전설정된 전위에 도달되는지를 탐지하여, 제1 및 제2탐지 신호(P_{ONA} , P_{ONB})를 발생시키는 전원 공급(power-on) 탐지 회로(1) ; 외부 전원 전위(V_{∞})를 수신하고, 외부 전원 전위보다 낮은 내부 전원 전위(V_{INT})를 발생시키는 내부 전원 회로(2) ; 상기 외부 전원 전위(V_{∞})를 수신하고 제1중간 전위(V_{H1})를 발생하여 이를 중간 전위 공급 노드에 공급하는 제1중간 전위 발생 회로(3)로서, 상기 제1탐지 신호(P_{ONA})가 발생되고 상기 제1중간 전위(V_{H1})가 사전설정된 전위에 도달하는때 상기 중간 전위 공급 노드로의 상기 제1중간 전위(V_{H1}) 공급을 중단하고, 제1중간 전위 발생 회로의 동작을 중단하며, 상기 중간 전위 공급 노드에 대한 사전설정된 중간 전위 구동 능력을 갖는 상기 제1중간 전위 발생 회로(3) ; 및 상기 내부 전원 전위(V_{INT})를 수신하고 제2중간 전위(V_{H2})를 발생시키는 제2중간 전위 발생 회로(4)로서, 상기 제2탐지 신호(P_{ONB})가 발생되는때 상기 제2중간 전위(V_{H2})를 상기 중간 전위 공급 노드에 공급하고, 상기 제1중간 전위 발생 회로(3)의 구동 능력보다는 작은 중간 전위 구동 능력을 갖는 상기 제2중간 전위 발생 회로(4)를 구비하는 동적 RAM용 전원 회로.

청구항 2

제1항에 있어서, 상기 제1중간 전위 발생 회로(3)는, 게이트가 상기 중간 전위 공급 노드에 연결된 제1트랜지스터(Q1), 게이트가 기준 전압(V_{RI})을 수신하고 소스가 상기 제1트랜지스터(Q1)의 소스에 연결되 있는 제2트랜지스터(Q2), 드레인이 상기 제1 및 제2트랜지스터의 공통 소스에 연결되 있고 소스가 접지되 있는 제3트랜지스터(Q3), 게이트와 드레인이 상기 제1트랜지스터의 드레인에 연결되 있고 소스가 상기 외부 전원 전위가 입력되는 노드에 연결되는 제4트랜지스터(Q4), 및 게이트가 상기 제4트랜지스터의 게이트에 연결되고 드레인이 상기 제2트랜지스터의 드레인에 연결되며 소스가 상기 외부 전원 전위가 입력되는 노드에 연결되는 제5트랜지스터를 포함하는 차동 증폭기 회로를 구비하며 ; 상기 제5트랜지스터는 제4트랜지스터와 함께 상기 제1 및 제2트랜지스터(Q1,Q2)에 대한 전류-미러형 부하 회로를 형성하고 ; 상기 제1중간 전위(V_{H1})는 상기 제2 및 제5트랜지스터의 공통 연결 노드로부터 출력되는 동적 RAM용 전원 회로.

청구항 3

제2항에 있어서, 상기 제1 내지 제3트랜지스터(Q1-Q3)는 N-채널 MOS 트랜지스터이고, 상기 제4 및 제5트랜지스터(Q4,Q5)는 P-채널 MOS 트랜지스터인 동적 RAM용 전원 회로.

청구항 4

제2항에 있어서, 상기 제1중간 전위 발생 회로(3)는 전원 공급 탐지 회로(1)로부터의 상기 제1탐지 신호(P_{ONA})에 따라 상기 중간 전위 공급 노드로의 상기 제1중간 전위(V_{H1})의 공급을 제어하는 제어회로(Q7-Q9,NR1,IV1,IV2)를 구비하는 동적 RAM용 전원 회로.

청구항 5

제2항에 있어서, 상기 제1중간 전위 발생 회로(3)는 상기 외부 전원 전위(V_{∞})로부터 상기 기준 전압(V_{RI})을 발생시키는 기준 전압 발생 회로(Q6,R1,R2)를 더 구비하는 동적 RAM용 전원 회로.

청구항 6

제1항에 있어서, 상기 전원 공급 탐지 회로(1)는 또한 상기 내부 전원 회로(2)로부터 상기 내부 전원 전위(V_{INT})를 수신하고, 상기 내부 전원 전위가 사전설정된 전위에 도달하는때를 탐지하는때 상기 제2탐지 신호(P_{ONB})를 발생시키는 동적 RAM용 전원 회로.

청구항 7

제1항에 있어서, 서로 다른 다수의 제1중간 전위(V_{H1})들을 발생시키는 다수의 제1중간 전위 발생 회로(3)들과 서로 다른 다수의 제2중간 전위(V_{H2})들을 발생시키는 다수의 제2중간 전위 발생 회로(4)들이 동적 RAM에 제공되는 동적 RAM용 전원 회로.

청구항 8

제1항에 있어서, 상기 제2중간 전위 발생 회로(4)는 그 한 단부에서 상기 내부 전원 전위(V_{INT})를 수신하는 제1저항기(R3), 한 단부가 접지된 제2저항기(R4), 소스가 상기 제1저항기(R3)의 다른 단부에 연결되고 게이트가 상기 제2중간 전위(V_{H2})를 수신하는 제1트랜지스터(Q10), 소스가 상기 제2저항기(R4)의 다른 단부에 연결되고 게이트가 상기 제2중간 전위를 수신하는 제2트랜지스터(Q13), 게이트와 드레인이 상기 제1트랜지스터(Q10)의 드레인에 공통으로 연결되는 제3트랜지스터(Q11), 소스가 상기 제3트랜지스터(Q11)의 소스에 연결되고 게이트와 드레인이 상기 제2트랜지스터(Q13)의 드레인에 공통으로 연결되는 제4트랜지스터(Q12), 드레인이 상기 내부 전원 전위(V_{INT})를 수신하고 게이트가 제3트랜지스터(Q11)의 게이트에 연결되는 제5트랜지스터(Q14), 및 소스가 접지되며 게이트가 상기 제4트랜지스터(Q12)의 게이트에 연결되고 드레인이 상기 제5트랜지스터(Q14)의 소스에 연결되는 제6트랜지스터(Q15)를 구비하며 ; 상기 제2중간 전위(V_{H2})는 상기 제5트랜지스터(Q14)의 소스와 상기 제6트랜지스터(Q15)의 드레인 사이의 연결 노드로부터 출력되는 동적 RAM용 전원 회로.

청구항 9

제8항에 있어서, 상기 제1 및 제4트랜지스터(Q10,Q12)는 P-채널 MOS 트랜지스터이고, 제2, 제3, 제5 및 제6트랜지스터는 N-채널 MOS 트랜지스터인 동적 RAM용 전원 회로.

청구항 10

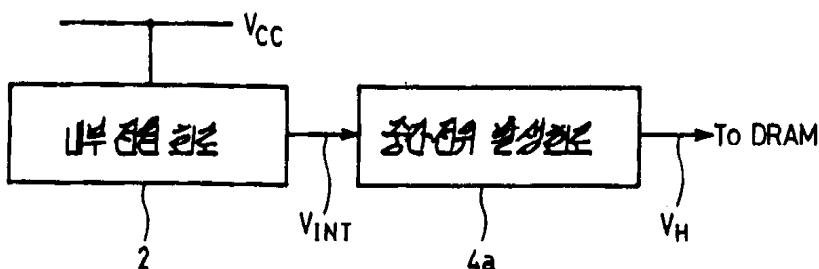
제8항에 있어서, 상기 제2중간 전위 발생 회로(4)는 상기 전원 공급 탐지 회로(1)로부터의 상기 제2탐지 신호(P_{ONB})에 따라 상기 중간 전위 공급 노드로의 상기 제2중간 전위(V_{H2})의 공급을 제어하는 제어회로(Q16)를 더 구비하는 동적 RAM용 전원 회로.

청구항 11

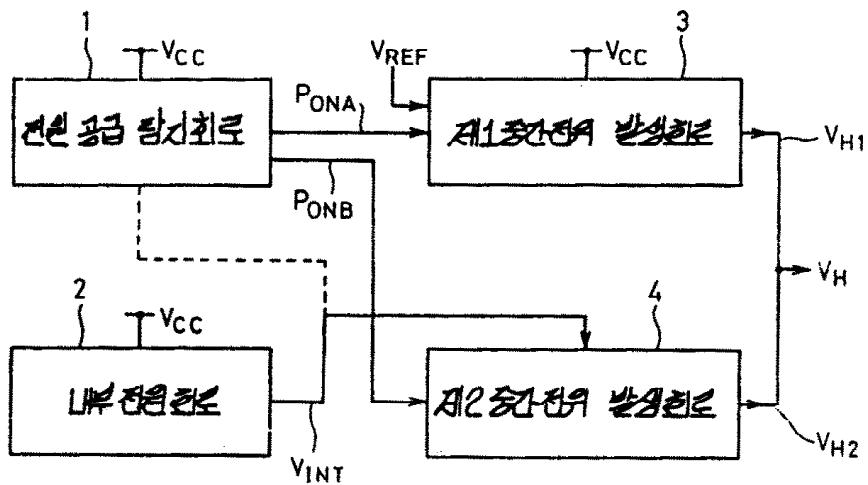
제10항에 있어서, 상기 제어 회로는, 드레인이 상기 제5트랜지스터(Q14)의 소스와 상기 제6트랜지스터(Q15) 드레인 사이의 연결 노드에 연결되고 게이트가 상기 제2탐지 신호(P_{ONB})를 수신하며, 소스가 상기 중간 전위 공급 노드에 연결되는 N-채널 MOS 트랜지스터(Q16)를 포함하는 동적 RAM용 전원 회로.

도면

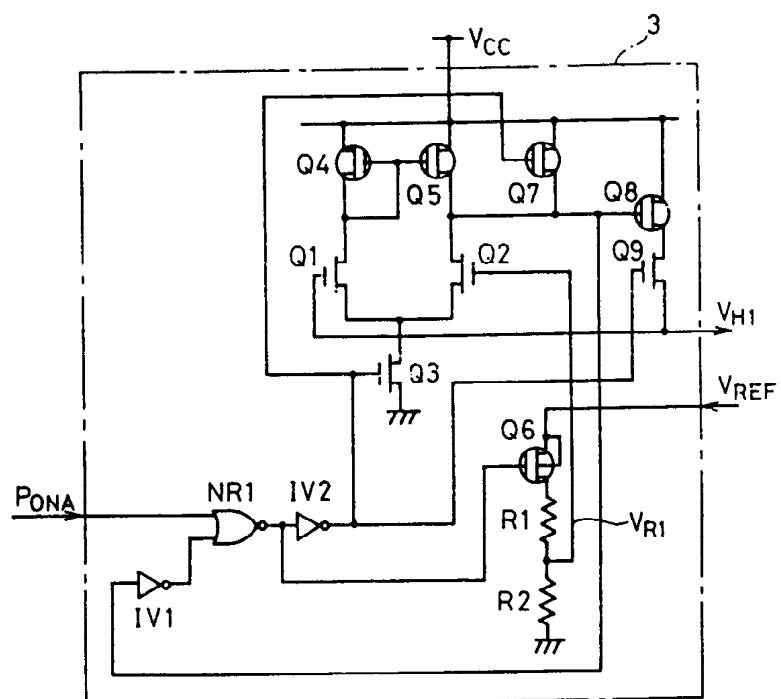
도면1



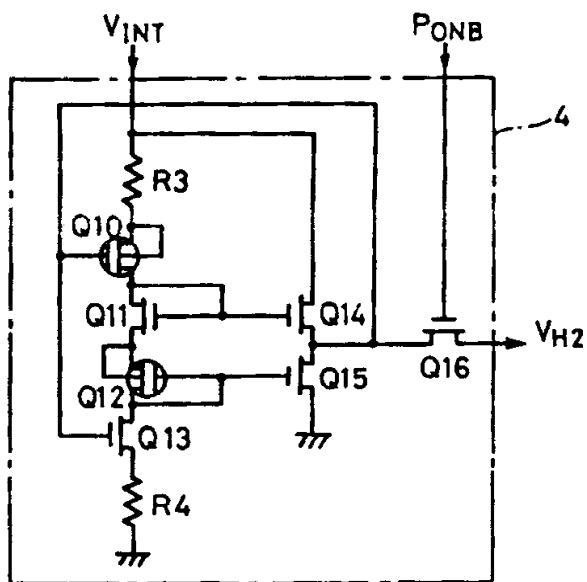
도면2



도면3



도면4



도면5

