

99. 3. 24
年 月 日修正本

公告本

發明專利說明書

中文說明書替換本(99年3月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095149379

※ 申請日期：95.12.28

※IPC 分類：H03M1/36 (2006.01)

一、發明名稱：(中文/英文)

類比/數位變換電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 牧川 潔志
MAKIGAWA, KIYOSHI
2. 尾野 孝一
ONO, KOICHI
3. 大川 剛史
OHKAWA, TAKESHI

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年01月13日；特願2006-006134

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種將所輸入之類比信號變換為數位信號之類比/數位變換電路，尤其係關於一種可實現小面積化及低消耗電力化之並列型類比/數位變換電路。

【先前技術】

圖13係表示一般的並列型類比/數位變換電路之構成例圖。

圖13所示之類比/數位變換電路具有產生複數個基準電壓之階梯電阻(R1~R8)、二級(two-stage)放大電路A1及A2、實行比較判定之主鎖存比較器(Master Comparator Latch)U31~U37、以及編碼電路A3。

二級放大電路係放大由階梯電阻(R1~R8)所產生之複數個基準電壓與類比輸入電壓之差。主鎖存比較器U31~U37係根據時脈信號CKA而一同進行比較動作。輸入高於類比輸入電壓之基準電壓的主鎖存比較器，係產生全部為"0"位準之輸出，而輸入低於類比輸入電壓之基準電壓的主鎖存比較器，係產生全部為"1"位準之輸出。編碼電路A3進行相鄰接之比較輸出的互斥或邏輯處理，並將該處理結果變換為數位信號而輸出。通常，由於一級的放大電路無法獲得足夠之增益，故常設置二級左右之放大級。

下述專利文獻1係關於一種並列型類比/數位變換電路。

[專利文獻1]日本專利特開2000-183742號公報

【發明內容】

[發明所欲解決之問題]

上述並列型類比/數位變換方式可實行高速處理，但必需具有與解析度相應之放大電路及主鎖存比較器，因此存在下述缺點，即，當欲提高解析度時，電路規模呈指數函數地增大，故消耗電力及晶片尺寸隨之增大。進而，當欲實現高解析度時，各電路間之偏移變得嚴重，故存在其應用範圍受到限制之傾向。

本發明係鑒於上述情形而創作完成者，其目的在於提供一種可實現小面積化及低消耗電力化之類比/數位變換電路。

[解決問題之技術手段]

本發明之類比/數位變換電路包含：第1放大部，係輸入類比信號，分別放大該類比信號與複數個基準信號之位準差，並且輸出與該放大結果對應之複數個差動信號；第2放大部，係分別放大自上述第1放大部所輸出之複數個差動信號，並且輸出與該放大結果對應之複數個差動信號；比較部，係分別比較自上述第2放大部所輸出之複數個差動信號之成對信號，並且輸出與該比較結果對應之複數個二進制信號；第1平均化部，係含有連接上述第1放大部之輸出端子之間的複數個平均化用電阻元件；第2平均化部，係含有連接上述第2放大部之輸出端子之間的複數個平均化用電阻元件；以及第3平均化部，係分別對自上述比較部所輸出之複數個二進制信號各者，進行其與其他特定數量二進制信號間的多數決邏輯運算之平均化處理。

較佳態樣係上述第1放大部及上述第2放大部中之至少一者包含有：差動放大電路，係放大所輸入之差動信號；以及電壓隨耦器電路，係輸入自上述差動放大電路所輸出之差動信號，並且將與該輸入之差動信號之電壓差所對應之差動電壓輸出至上述輸出端子。

又，較佳態樣為上述電壓隨耦器電路之輸出阻抗，與經上述輸出端子而連接於該電壓隨耦器電路之上述電阻元件之電阻值間的阻抗比，係具有特定值。

[發明之效果]

根據本發明，於第1放大部及第2放大部之各級中，利用平均化用電阻元件而連接各輸出端子，並且於二進制信號之層級中，進一步進行多數決邏輯運算之平均化處理，藉此，縱或電路元件之尺寸較小，亦可減小偏移差異，故可實現小面積化及低消耗電力化。

【實施方式】

<第1實施形態>

圖1係表示本發明第1實施形態之3位元類比/數位變換電路之構成其中一例圖。

圖1所示之類比/數位變換電路具有基準電壓產生用電阻元件10A~17A、第1放大部2、第1平均化部3、第2放大部4、第2平均化部5、比較部6、第3平均化部7、以及編碼部8。

第1放大部2係本發明之第1放大部之一實施形態。

第2放大部4係本發明之第2放大部之一實施形態。

第1平均化部3係本發明之第1平均化部之一實施形態。

第2平均化部5係本發明之第2平均化部之一實施形態。

比較部6係本發明之比較部之一實施形態。

第3平均化部7係本發明之第3平均化部之一實施形態。

電阻元件10A~17A依符號之號碼順序而串聯，對該串聯電路之電阻元件10A側之端部施加基準電壓VRB，並且對電阻元件17A側之端部施加高於基準電壓VRB之基準電壓VRT。

於電阻元件10A~17A之各連接點，自低電壓側依序產生基準電壓Vr1、Vr2、...、Vr7。

第1放大部2分別放大輸入電壓VIN與基準電壓Vr1~Vr7之電壓差，並且分別輸出與該放大結果對應之差動信號。

第1放大部2例如於圖1所示，具有進行差動信號放大之放大電路21~27。

放大電路2i(i表示1至7之整數。以下同)放大基準電壓Vri與輸入電壓VIN之差，並且將該放大結果作為差動電壓而輸出。

第1平均化部3係將自第1放大部2所輸出之各差動信號之電壓進行類比平均化，藉此而使第1放大部2之偏移減小之電路，該第1平均化部3具有連接第1放大部2之輸出端子之間之平均化用電阻元件311~316及321~326。

平均化用電阻元件31j(j表示1至6之整數。以下同。)連接於放大電路2j與放大電路2(j+1)之正輸出端子之間。平均化用電阻元件32j連接於放大電路2j與放大電路2(j+1)之

負輸出端子之間。

上述連接關係可以下述方式換而言之。

根據使7個放大電路21~27之輸出差動信號產生極性反轉的輸入電壓VIN之位準，來對7個放大電路21~27附以順序時，該順序依符號之號碼順序為放大電路21、22、23、...、27。平均化用電阻元件31j連接於該順序下鄰接之放大電路2j與放大電路2(j+1)之正輸出端子之間。平均化用電阻元件32j亦同樣地連接於鄰接之放大電路2j與放大電路2(j+1)之負輸出端子之間。

圖2係用以說明第1放大部2之偏移因第1平均化部3之平均化作用而減小之圖。

作為緩和電路之需求精確度、削減電路元件之面積之技術，存在稱作平均化之方法(例如參照非專利文獻1 "Hui Pan, "Spatial Filtering in Flash A/D Converters", IEEE Transactions on Circuits and Systems-II, vol.50, pp424-436, Aug., 2003")。

如圖2(A)所示，由於元件特性不匹配引起之差異，致使第1放大部2產生偏移電壓 ΔV_{os1} 。若維持該第1放大部2之結構，如圖2(B)所示將平均化用電阻元件插入至鄰接之輸出之間，則第1放大部2之偏移電壓 ΔV_{os2} 被平均化，其值小於原本之偏移電壓 ΔV_{os1} 。若偏移電壓變小，則可以更小面積而實行高精確度之信號處理，因此能夠使元件面積整體變小，故可實現消耗電力及面積之減小。

圖3係表示於第1放大部2中進行差動信號放大之放大電

路 22 之構成其中一例圖。第 1 放大部 2 之其他放大電路 (21、23~27) 亦具有與該放大電路 22 相同之構造。

圖 3 所示之放大電路 22，包含有 n 型 MOS 電晶體 101~106、電阻元件 107 與 108、以及定電流電路 109~111。

含有 MOS 電晶體 101~104 與電阻元件 107、108 之電路，係本發明之差動放大電路之一實施形態。

含有 MOS 電晶體 105、106 及定電流電路 110、111 之電路，係本發明之電壓隨耦器電路之一實施形態。

MOS 電晶體 101 及 102 彼此之源極共通連接，且該源極經由定電流電路 109 而連接於基準電位 VSS。

MOS 電晶體 101 之汲極係連接於 MOS 電晶體 103 之源極，且對其閘極施加輸入電壓 V_{IN} 。MOS 電晶體 102 之汲極係連接於 MOS 電晶體 104 之源極，且對其閘極施加基準電壓 V_{r2} 。

MOS 電晶體 103 之汲極，係經由電阻元件 107 而連接於電源電壓 VDD，並且連接於 MOS 電晶體 105 之閘極。MOS 電晶體 104 之汲極，係經由電阻元件 108 而連接於電源電壓 VDD，並且連接於 MOS 電晶體 106 之閘極。對 MOS 電晶體 103 及 104 之閘極施加特定之偏壓電壓 V_G 。

MOS 電晶體 105 之汲極係連接於電源電壓 VDD，且其源極經由定電流電路 111 而連接於基準電位 VSS。MOS 電晶體 106 之汲極係連接於電源電壓 VDD，且其源極經由定電流電路 110 而連接於基準電位 VSS。

於 MOS 電晶體 106 與定電流電路 110 之連接點所產生之電

壓，係輸出至放大電路22之正輸出端子PAOP。於MOS電晶體105與定電流電路111之連接點所產生之電壓，係輸出至放大電路22之負輸出端子PAON。

MOS電晶體101~104與電阻元件107、108構成差動放大電路。該差動放大電路係放大輸入電壓VIN與基準電壓Vr2之差，並將該放大結果作為差動電壓，而產生於MOS電晶體103及104之汲極之間。

MOS電晶體105及定電流電路111構成源極隨耦器電路，並且使MOS電晶體105之源極(即放大電路22之負輸出端子PAON)電壓隨從於MOS電晶體105之閘極電壓。又，MOS電晶體106及定電流電路110亦與上述同樣地構成源極隨耦器電路，並且使MOS電晶體106之源極(即放大電路22之正輸出端子PAOP)電壓隨從於MOS電晶體106之閘極電壓。

因此，於放大電路22之輸出端子(PAOP、PAON)輸出有將輸入電壓VIN與基準電壓Vr2之差放大後之差動電壓。

如圖3所示，放大電路22於其輸出級具有源極隨耦器電路(105及111、106及110)。

於本實施形態中，將該源極隨耦器電路之輸出阻抗Ro與平均化用電阻元件(311、312...)之電阻值Ra之比(Ra/Ro)設定為特定值(例如"0.1")。

如非專利文獻1中所示可知，通常將放大電路之輸出阻抗與平均化用電阻元件之電阻值之比設定為大致"0.1"左右，藉此而獲得良好之平均化效果。

圖4係表示自圖3所示之放大電路中省略輸出級之源極隨

耦器電路之圖。

於圖4所示之情形下，放大電路之輸出阻抗成為電阻元件107、108之電阻值 R_l 。因此，當欲滿足上述阻抗比($R_a/R_l=0.1$)時，電阻值 R_l 因電阻值 R_a 而受到制約。電阻值 R_l 與差動放大電路(101~104、107~109)之增益相關，使該值越大，則越可提高增益，但於電阻值 R_a 之範圍受到限制時，無法使電阻值 R_l 過大，因而可能無法獲得預期之增益。

相對於此，於圖3所示之放大電路22中，於輸出級設有源極隨耦器電路，故可與平均化用電阻元件之電阻值 R_a 獨立地設定電阻元件107、108之電阻值 R_l 。因此，可一邊保持上述較佳阻抗比($R_a/R_o=0.1$)，一邊防止初級之差動放大電路(101~104、107~109)之增益下降。

即，由於設定為較佳阻抗比($R_a/R_o=0.1$)，故可實現偏移之減小及變換精確度之提高，並且可實行初級之差動放大電路(101~104、107~109)之高增益化及動作速度之高速化。

返回至圖1之說明。

第2放大部4進而放大自第1放大部2所輸出之各差動信號，並且分別輸出與該放大結果對應之差動信號。

第2放大部4與第1放大部2同樣地具有進行差動信號放大之7個放大電路41~47。

放大電路4i($i=1\sim 7$)放大自第1放大部2之放大電路2i所輸出之差動信號，並且將該放大結果作為差動信號而輸出。

放大電路4i具有與圖3所示之放大電路22相同之結構。

第2平均化部5係將自第2放大部4所輸出之各差動信號之電壓進行類比平均化，藉此而使第2放大部5之偏移減小之電路，該第2平均化部5具有連接第2放大部4之輸出端子之間的平均化用電阻元件511~516及521~526。

平均化用電阻元件51j(j=1~6)連接於放大電路4j與放大電路4(j+1)之正輸出端子之間。平均化用電阻元件52j連接於放大電路4j與放大電路4(j+1)之負輸出端子之間。

上述連接關係可以下述方式換而言之。

根據使7個放大電路41~47之輸出差動信號產生極性反轉的輸入電壓VIN之位準，來對7個放大電路41~47附以順序時，該順序依符號之號碼順序為放大電路41、42、43、...、47。平均化用電阻元件51j連接於該順序下鄰接之放大電路4j與放大電路4(j+1)之正輸出端子之間。平均化用電阻元件52j亦同樣地連接於鄰接之放大電路4j與放大電路4(j+1)之負輸出端子之間。

利用平均化用電阻元件(511~516及521~526)來連接鄰接之放大電路41~47各自之輸出端子，藉此與第1平均化部2相同，可使元件不匹配引起之放大電路41~47之偏移電壓進行類比平均化而減小。

比較部6分別比較自第2放大部4所輸出之差動信號之成對信號，並且輸出與該比較結果對應之7位元二進制信號。

比較部6於圖1之例中，具有主鎖存比較器

(MCL)61~67。MCL6i(i=1~7)與時脈信號CKA同步，比較自放大電路4i所輸出之差動信號之成對信號，並且保持(鎖存)與該比較結果對應之二進制信號。

第3平均化部7對自比較部6之MCL61~67所輸出之二進制信號之各自，實行與自MCL61~67所輸出之其他2個二進制信號進行多數決邏輯運算之平均化處理。

第3平均化部7於圖1之例中，具有7個多數決邏輯電路71~77。多數決邏輯電路7k(k表示2至6之整數。以下同。)對自MCL6(k-1)、6k及6(k+1)所輸出之3個二進制信號進行多數決邏輯運算。多數決邏輯電路71對自MCL61及62所輸出之2個二進制信號(將自MCL61所輸出之二進制信號作為2個信號)進行多數決邏輯運算。多數決邏輯電路77對自MCL66及67所輸出之2個二進制信號(將自MCL67所輸出之二進制信號作為2個信號)進行多數決邏輯運算。

第3平均化部7中之上述動作可以下述方式換而言之。

根據使比較部6之MCL61~67之輸出產生邏輯反轉的輸入電壓VIN之位準，來對比較部6之MCL61~67附以順序時，該順序依符號之號碼順序為MCL61、...、67。第3平均化部7以該順序下鄰接之3個二進制信號為組，按組進行多數決邏輯運算。

圖5係表示第3平均化部7之多數決邏輯電路73之構成例圖。其他多數決邏輯電路(71、72、74~77)亦具有相同之結構。

圖5所示之多數決邏輯電路73具有NAND電路201、NOR

電路 202 及 205、OR 電路 206、NOT 電路 203 及 204、以及輸入端子 I1~I3。

輸入端子 I1、I2、I3 中分別輸入有 MCL64、63、62 之輸出信號。NAND 電路 201 對輸入至輸入端子 I1 及 I2 之信號進行 NAND 運算。NOR 電路 202 對輸入至輸入端子 I1 及 I2 之信號進行 NOR 運算。NOT 電路 203 使輸入至輸入端子 I3 之信號邏輯反轉。NOT 電路 204 使 NAND 電路 201 之輸出邏輯反轉。NOR 電路 205 對 NOR 電路 202 及 NOT 電路 203 之輸出進行 NOR 運算。OR 電路 206 對 NOT 電路 204 及 NOR 電路 205 之輸出進行 OR 運算，並且將多數決邏輯運算之結果作為信號 D 而輸出。

將輸入至輸入端子 I1、I2、I3 之信號之邏輯值分別設為 "I1"、"I2"，"I3"，則具有圖 5 之真值表所示之值。以邏輯式表示信號 D 時，如下所示。

[數 1]

$$D = I1 * I2 + I2 * I3 + I3 * I1 \dots \quad (1)$$

如圖 5 之真值表所示，信號 D 之值基本上等於 "I2"，但 "I1=1""I2=0""I3=1" 時，"D=1"，"I1=0""I2=1""I3=0" 時，"D=0" 為例外。

如上所述，若將 MCL 之各輸出信號與鄰接之信號進行多數決邏輯而使 MCL 之各輸出信號平均化，則可修正含有稱作泡沫錯誤之誤差的 MCL 之輸出結果(例如參照非專利文獻 2 "Sanroku Tsukamoto, "ACMOS 6-b, 400-MSample/s ADC with Error Correction", vol.33, pp1939-1947, Dec., 1998")。

編碼部8將於第3平均化部7中進行多數決邏輯運算之平均化處理後的7位元二進制信號變換為3位元數位信號而輸出。

此處，說明具有上述結構之圖1所示之類比/數位變換電路之動作。

首先，分別放大第1放大部2中7個基準電壓($V_{r1} \sim V_{r7}$)與輸入電壓 V_{IN} 之差，進而於第2放大部4中分別放大該差動信號，並將其輸入至比較部6。比較部6比較於第2放大部4中所放大之各差動信號之成對信號，並且輸出與該比較結果所對應之7位元二進制信號。該7位元二進制信號經與第3平均化部7中鄰接之二進制信號之多數決邏輯運算之平均化處理後，於編碼部8中變換為3位元數位信號。

如上所說明，根據本實施形態之類比/數位變換電路，於第1放大部2及第2放大部4之各級之輸出端子利用平均化用電阻元件而連接，並且對自比較部6所輸出之二進制信號進一步進行多數決邏輯運算之平均化處理，藉此，即便電路元件之尺寸較小，亦可減少偏移差異，故可實現小面積化及低消耗電力化。

即，根據本實施形態，於第1放大部2、第2放大部4、比較部6之輸出部分設置有共計三級之平均化用電路，可有效地減小各輸出部分所產生之偏移。藉此，各要素電路可由較小尺寸之電路元件(電晶體等)構成，因而可實現小面積化及低消耗電力化。

進而，於第1放大部2或第2放大部4之輸出級設置有源極

隨耦器電路(電壓隨耦器電路)，將其輸出阻抗 R_o 與平均化用電阻元件之電阻值 R_a 之比設定為特定值(例如 $R_a/R_o=0.1$)，藉此可提高第1平均化部3、第2平均化部5之平均化效果，以提高精確度。

又，該情形時，於第1放大部2、第2放大部4之輸出級設置有電壓隨耦器電路，藉此可進行上述阻抗比之設定，而不會使其初級(差動放大電路)之增益下降，並且可實現動作速度之高速化。

<第2實施形態>

繼而，就本發明之第2實施形態加以說明。

於第2實施形態之類比/數位變換電路中，設置有折疊電路及插值電路。

圖6係表示本發明第2實施形態之3位元類比/數位變換電路之構成其中一例圖。

圖6所示之類比/數位變換電路具有基準電壓產生用之電阻元件10A~15A、第1放大部2A、第1平均化部3A、折疊電路9、粗調(coarse)放大器10、插值電路11、第2平均化部5A、比較部6A、第3平均化部7A、以及編碼部8。

第1放大部2A係本發明之第1放大部之一實施形態。

折疊電路9係本發明之折疊電路之一實施形態。

第1差動放大電路10係本發明之第1差動放大電路之一實施形態。

插值電路11係本發明之插值電路之一實施形態。

第1平均化部3A係本發明之第1平均化部之一實施形態。

第2平均化部5A係本發明之第2平均化部之一實施形態。

比較部6A係本發明之比較部之一實施形態。

第3平均化部7A係本發明之第3平均化部之一實施形態。

電阻元件10A~15A依符號之號碼順序而串聯，於該串聯電路中電阻元件10A側之端部施加有基準電壓VRDB，並且於電阻元件15A側之端部施加有高於基準電壓VRDB之基準電壓VRDT。

於電阻元件10A~15A之各連接點，自低電壓側起依序產生基準電壓Vr1、Vr2、...、Vr5。

第1放大部2A分別放大輸入電壓VIN與基準電壓Vr1、Vr2、...、Vr5之電壓差，並且分別輸出與該放大結果對應之差動信號。

第1放大部2A例如於圖6所示，具有進行差動信號放大之放大電路21~25。

放大電路2n(n表示1至5之整數。以下同。)放大基準電壓Vrn與輸入電壓VIN之差，並且將該放大結果作為差動電壓而輸出。放大電路2n具有與圖3所示之放大電路22相同之結構。

又，第1放大部2A具有放大電路20、26，該放大電路20、26產生第1平均化部3A之平均化處理中所使用之虛擬位元信號。

放大電路20放大輸入電壓VIN與基準電壓VRDB之差，並且將該放大結果作為差動電壓而輸出。放大電路26放大輸入電壓VIN與基準電壓VRDT之差，並且將該放大結果

作為差動電壓而輸出。該放大電路20、26亦具有與圖3所示之放大電路22相同之結構。

第1平均化部3A與上述第1平均化部3同樣地將自第1放大部2A所輸出之各差動信號之電壓進行類比平均化，藉此使第1放大部2A之偏移減小。第1平均化部3A具有連接第1放大部2A之輸出端子之間之平均化用電阻元件310~315及320~325。

平均化用電阻元件31 m (m 表示0至5之整數。以下同。)連接於放大電路2 m 與放大電路2($m+1$)之正輸出端子之間。平均化用電阻元件32 m 連接於放大電路2 m 與放大電路2($m+1$)之負輸出端子之間。

於放大電路之輸出端子之間連接平均化用電阻元件，以進行平均化時，有時於全標度兩端附近，判定電壓會產生偏移。為防止該偏移，於圖6所示之類比/數位變換電路中放大全標度，且分別於低電壓側及高電壓側設置虛擬位元用放大電路20、26。藉由平均化電阻元件而將虛擬位元用放大電路20、26所輸出之差動電壓，供給至放大電路21、25之輸出端子，可抑制於全標度兩端附近之精確度下降情形。於圖6之例中，虛擬位元用放大電路之數量為二個，亦可根據必要之精確度來增加初級放大電路之數量、基準電壓VRDT及VRDB之電壓差、以及基準電壓產生用電阻元件之數量。

第1差動放大電路10係放大來自於編碼部8所輸出之3位元數位信號之最高階位元D2其第1放大部2A之輸出信號。

最高階位元D2於輸入電壓VIN到達全標度之一半時，自"0"反轉為"1"。在與此相同條件下反轉之信號，係放大電路23之輸出信號，而該輸出信號係放大對應於全標度之中點的基準電壓Vr3與輸入電壓VIN間之差值者。因此，第1差動放大電路10放大差動放大電路23之輸出信號。

折疊電路9包含有分別放大第1放大部2A之放大電路21~26之輸出的放大電路(第2差動放大電路)91~96，並以特定之組合而合成自該等放大電路91~96所輸出之差動信號，藉此，產生差動信號產生極性反轉時的輸入電壓VIN之位準各不相同的折疊信號FL1、FL2。

於圖6例示之折疊電路9中，藉由合成放大電路91、93及95之輸出，產生折疊信號FL1。即，將放大電路91及95之負輸出端子與放大電路93之正輸出端子加以連接，藉此產生折疊信號FL1其中一側之信號FL1P，並且將放大電路91及95之正輸出端子與放大電路93之負輸出端子加以連接，藉此而產生折疊信號FL1另一側之信號FL1N。

圖8(A)表示折疊信號FL1之波形其中一例。如該圖所示，當輸入電壓VIN與基準電壓Vr1、Vr3、Vr5一致時，於折疊信號FL1之波形中分別產生差動信號之極性反轉。

又，於圖6例示之折疊電路9中，將放大電路92、94及96之輸出加以合成，藉此而產生折疊信號FL2。即，將放大電路92及96之負輸出端子與放大電路94之正輸出端子加以連接，藉此而產生折疊信號FL2其中一側之信號FL2P，並且將放大電路92及96之正輸出端子與放大電路94之負輸出

端子加以連接，藉此而產生折疊信號FL2另一側之信號FL2N。

一般而言，折疊電路為調整折疊信號之動作點，係由奇數個放大電路所構成。因此圖6之例中，於折疊電路9中，係利用虛擬位元放大電路96之輸出。

圖8(B)表示折疊信號FL1之波形其中一例。如該圖所示，當輸入電壓VIN與基準電壓Vr2、Vr4一致時，於折疊信號FL1之波形中分別產生差動信號之極性反轉。

於圖6所示之類比/數位變換電路中，於產生如上所述之折疊信號FL1、FL2之折疊電路9的後段，設置有插值電路11。

插值電路11根據折疊電路9所產生之折疊信號FL1、FL2，產生插值折疊信號INT2、INT4，該等插值折疊信號係於差動信號產生極性反轉時，輸入電壓VIN之位準與折疊信號FL1、FL2中之任一者均不相同。

又，插值電路11產生合成折疊信號INT1、INT3，該等合成折疊信號係於差動信號產生極性反轉時，輸入電壓VIN之位準與折疊信號FL1、FL2分別相等。

例如，插值電路11對折疊電路9中作為差動電流所產生之折疊信號FL1、FL2分別加權而合成，藉此產生上述插值折疊信號或合成折疊信號作為差動電流。

圖7係表示插值電路11之構成其中一例圖。

圖7所示之插值電路11具有p型MOS電晶體401~416。

於下述說明中，於差動信號之符號名後附以"P"或"N"符

號，以此表示該差動信號之成對的2個信號之一方。例如，分別以"FL1P"及"FL1N"表示折疊信號FL1之成對信號。

於p型MOS電晶體401~416之源極側，如下所述，輸入有折疊電路9中所產生之折疊信號(FL1P、FL1N、FL2P、FL2N)。

使MOS電晶體408、411、412、415之源極共通連接，並且於其連接點輸入有信號FL1P之電流。

使MOS電晶體406、409、410、413之源極共通連接，並且於其連接點輸入有信號FL1N之電流。

使MOS電晶體403、404、407、414之源極共通連接，並且於其連接點輸入有信號FL2P之電流。

使MOS電晶體401、402、405、416之源極共通連接，並且於其連接點輸入有信號FL2N之電流。

自p型MOS電晶體401~416之汲極側，如下所述，輸出有插值折疊信號INT2、INT4及合成折疊信號INT1、INT3。

使MOS電晶體401、402之汲極共通連接，並且自其連接點輸出信號INT3N之電流。

使MOS電晶體403、404之汲極共通連接，並且自其連接點輸出信號INT3P之電流。

使MOS電晶體405、406之汲極共通連接，並且自其連接點輸出信號INT2N之電流。

使MOS電晶體407、408之汲極共通連接，並且自其連接點輸出信號INT2P之電流。

使MOS電晶體409、410之汲極共通連接，並且自其連接點輸出信號INT1N之電流。

使MOS電晶體411、412之汲極共通連接，並且自其連接點輸出信號INT1P之電流。

使MOS電晶體413、414之汲極共通連接，並且自其連接點輸出信號INT4P之電流。

使MOS電晶體415、416之汲極共通連接，並且自其連接點輸出信號INT4N之電流。

圖8係表示圖7所示之插值電路11之輸入輸出信號及第1差動放大電路10之輸出信號CAS1之波形之一例圖。

圖8(A)、(B)分別表示折疊電路9中所產生之折疊信號FL1、FL2之波形其中一例。

圖8(C)、(D)、(E)、(F)分別表示插值電路11中所產生之折疊信號INT1、INT2、INT3、INT4之波形其中一例。

圖8(G)表示第1差動放大電路10中所放大之信號CAS1的波形其中一例。

於圖7所示之插值電路11中，折疊信號FL1與其他信號並未合成，而是輸出折疊信號FL1作為折疊信號INT1，故比較圖8(A)與圖8(C)可知，折疊信號FL1與INT1於相等之輸入電壓VIN處產生差動信號之極性反轉。

折疊信號FL2與INT3亦相同，於相等之輸入電壓VIN處產生差動信號之極性反轉(圖8(B)、圖8(E))。

另一方面，折疊信號INT2、INT4藉由合成折疊信號FL1及FL2而產生，在與折疊信號FL1及FL2中之任一者不同之

輸入電壓VIN處產生差動信號之極性反轉。即，折疊信號INT2在基準電壓Vr1與Vr2之中點以及基準電壓Vr3與Vr4之中點產生差動信號之極性反轉，折疊信號INT4在基準電壓Vr2與Vr3之中點以及基準電壓Vr4與Vr5之中點產生差動信號之極性反轉。

返回至圖6之說明。

第2平均化部5A係將插值電路11中所產生之折疊信號INT1~INT4之電壓進行類比平均化，藉此而使插值電路11之輸出所產生之偏移減小之電路，其具有連接插值電路11之輸出端子之間的平均化用電阻元件510~513及520~523。

平均化用電阻元件511及521連接折疊信號INT1及INT2之同一極性之輸出端子。即，連接信號INT1P及INT2P之輸出端子，並且連接信號INT1N及INT2N之輸出端子。

平均化用電阻元件512及522連接折疊信號INT2及INT3之同一極性之輸出端子。即，連接信號INT2P及INT3P之輸出端子，並且連接信號INT2N及INT3N之輸出端子。

平均化用電阻元件513及523連接折疊信號INT3及INT4之同一極性之輸出端子。即，連接信號INT3P及INT4P之輸出端子，並且連接信號INT3N及INT4N之輸出端子。

平均化用電阻元件510及520連接折疊信號INT1及INT4之反極性輸出端子。即，連接信號INT1P及INT4N之輸出端子，並且連接信號INT1N及INT4P之輸出端子。

與上述情形相同，利用平均化用電阻元件(511~513及521~523)而連接折疊信號INT1~INT4之鄰接之輸出端子，

藉此可使因元件不匹配等所引起之插值電路11之輸出之偏移電壓進行類比平均化而減小。又，藉由以相互不同之方式連接平均化用電阻元件部兩端之電阻元件510及520，而可更有效地抑制變換精確度之下降。

比較部6A分別比較第1差動放大電路10之輸出信號CAS1與插值電路11之折疊信號INT1~INT4之成對信號，並且輸出與該比較結果對應之5位元二進制信號。

比較部6A例如具有主鎖存比較器(MCL)61~65。MCL61~65與時脈信號CKA同步，分別比較輸出信號CAS1及折疊信號INT1~INT4的成對信號，並且保持(鎖存)與該比較結果對應之二進制信號。

圖9係用以說明自折疊電路9至比較部6A的信號路徑電路之圖。

折疊電路9中所產生之折疊信號(FL1、FL2)，係例如圖9所示，與連接於電源電壓VDD之定電流電路503、504之電流加以合成，且經由MOS電晶體501、502之疊接電路而輸入至插值電路11。

於插值電路11之輸出與基準電位VSS之間例如连接有電流電壓變換用之電阻元件12，並且於該電阻元件12中所產生之電壓經由第2平均化部5A而輸入至比較部6A。

若將電阻元件12之電阻值設為" $R1$ "，且將第2平均化部5A之平均化用電阻元件之電阻值設為" Ra "，則在將該電阻值之比($Ra/R1$)大致設定為" 0.1 "時，可獲得良好之偏移減小效果。

圖 10 係表示 MCL61~65 之構成其中一例圖，其表示具有輸入差動電壓類型之比較器 600 時之構成例。圖 10 所示之 MCL 包含有比較器 600 及鎖存電路 610。

於圖 10 之例中，於比較器 600 之前段，自插值電路 11 所輸出之折疊信號 (INT1~INT4) 之差動電流藉由電流電壓變換用電阻元件 121 及 122 而變換為差動電壓。比較器 600 於時脈信號 CK 之高位準期間比較該差動電壓之成對電壓，並將其比較結果之二進制信號輸出至鎖存電路 610。鎖存電路 610 與時脈信號 CK 同步，鎖存自比較器 600 所輸出之比較結果之二進制信號。

圖 10 所示之比較器 600 具有 n 型 MOS 電晶體 601~605 及 p 型 MOS 電晶體 606~609。

MOS 電晶體 601 及 602 彼此之源極共通連接，並且其連接點經由 MOS 電晶體 603 而連接於基準電位 VSS。

MOS 電晶體 606~609 之源極與電源電壓 VDD 共通連接。MOS 電晶體 606 及 608 之汲極連接於 MOS 電晶體 604 之汲極。MOS 電晶體 607 及 609 之汲極連接於 MOS 電晶體 605 之汲極。

於 MOS 電晶體 601 及 602 之閘極之間，輸入有來自插值電路 11 之差動電壓。於 MOS 電晶體 603、606、607 之閘極輸入有時脈信號 CK。

MOS 電晶體 608 及 604 之閘極共通連接於 MOS 電晶體 605 之汲極。

MOS 電晶體 609 及 605 之閘極共通連接於 MOS 電晶體 604

之汲極。

鎖存電路610與時脈信號CK同步，鎖存產生於MOS電晶體604及605之汲極之間之差動電壓。

根據圖10所示之比較器600，當時脈信號CK為低位準時，MOS電晶體603斷開且MOS電晶體606、607接通，並且使MOS電晶體604及605之汲極一併連接於電源電壓VDD。因此，並未實行差動輸入電壓之比較動作。

時脈信號CK自低位準變化為高位準時，MOS電晶體606、607斷開，MOS電晶體603接通，由此，MOS電晶體601及602之閘極之間的電壓差以非常高之增益而放大，故使MOS電晶體604及605之汲極之間產生差動電壓。

圖11係表示MCL61~65之其他構成例圖，其表示具有自插值電路11直接輸入差動電流之類型的比較器700時之構成例。圖11所示之MCL具有比較器700及鎖存電路710。

於圖11之例中，將自插值電路11所輸出之折疊信號(INT1~INT4)之差動電流直接輸入至比較器700。比較器700於時脈信號CK1之高位準期間(時脈信號CK2之低位準期間)，比較該差動電流之成對電流，將其比較結果之二進制信號輸出至鎖存電路710。鎖存電路710與時脈信號CK1同步，鎖存自比較器700所輸出之比較結果之二進制信號。

圖11所示之比較器700具有n型MOS電晶體701~705及p型MOS電晶體706~709。

MOS電晶體701及702彼此之源極連接於基準電位VSS。

MOS電晶體701之汲極連接於MOS電晶體704之源極。MOS電晶體701之閘極連接於MOS電晶體702之汲極。MOS電晶體702之汲極連接於MOS電晶體705之源極。MOS電晶體702之閘極連接於MOS電晶體701之汲極。MOS電晶體703連接於MOS電晶體701及702之汲極之間。

MOS電晶體706~709之源極與電源電壓VDD共通連接。MOS電晶體706及708之汲極連接於MOS電晶體704之汲極。MOS電晶體707及709之汲極連接於MOS電晶體705之汲極。

於MOS電晶體701及702之汲極之間，輸入有來自插值電路11之差動電流。於MOS電晶體704~707之閘極輸入有時脈信號CK1。於MOS電晶體703之閘極輸入有時脈信號CK2。

MOS電晶體708之閘極連接於MOS電晶體705之汲極。MOS電晶體709之閘極連接於MOS電晶體704之汲極。

鎖存電路710與時脈信號CK1同步，鎖存產生於MOS電晶體704及705之汲極之間之差動電壓。

比較器700接收以高位準期間相互不重合之方式而受到控制之2系統之時脈信號CK1、CK2而動作。首先，時脈信號CK2於高位準期間成為重置狀態。即，來自插值電路11之差動電流之輸入IIP及IIN因MOS電晶體703而短路，電源側之路徑因MOS電晶體704及705而自該輸入部切斷。此時，與鎖存電路710連接之比較器700之輸出端子(P1、P2)經MOS電晶體706及707而連接於電源電壓VDD。繼而，於

CK1為高位準期間，成為MOS電晶體704及705接通、MOS電晶體703、706、707斷開之狀態，並且自輸入IIP及IIN所輸入之差動電流被放大。即，以放大輸入至輸入IIP及IIN之電流差之方式而提供正反饋，並且將比較結果作為差動電壓而自輸出端子(P1、P2)輸出。

於時脈信號CK2成為高位準之重置期間，由輸入IIP及IIN觀察之比較器700之輸入阻抗表示為" $1/(2 \cdot gm)$ "。此處，" gm "表示MOS電晶體701、702之電壓電流放大率。若使該輸入阻抗與第2平均化部5A之平均化用電阻元件之電阻值 R_a 之比大致為" 0.1 "，則可獲得先前所說明之良好之偏移減小效果。

再者，平均化電阻元件亦可並非為被動元件，以電晶體等主動元件取代亦可起到同樣效果。

再次返回至圖6之說明。

第3平均化部7A對自比較部6A之MCL61~64所輸出之二進制信號之各自，實行與其他2個二進制信號進行多數決邏輯運算之平均化處理。

第3平均化部7A於圖6之例中，具有4個多數決邏輯電路71~74。多數決邏輯電路71就自MCL61及62所輸出之2個二進制信號(將自MCL61所輸出之二進制信號作為2個信號)進行多數決邏輯運算。多數決邏輯電路72就自MCL61~63所輸出之3個二進制信號進行多數決邏輯運算。多數決邏輯電路73就自MCL62~64所輸出之3個二進制信號進行多數決邏輯運算。多數決邏輯電路74就自MCL63及64所輸出之

2個二進制信號(將自MCL64所輸出之二進制信號作為2個信號)進行多數決邏輯運算。

編碼部8將於第3平均化部7A中實行多數決邏輯運算之平均化處理後之4位元二進制信號、以及自比較部6A之MCL65所輸出之二進制信號，變換為3位元數位信號。

於具有上述構成之本實施形態之類比/數位變換電路中，亦與第1實施形態相同，藉由第1平均化部3A、第2平均化部5A及第3平均化部7A之三級平均化用電路而可有效地減小偏移，故可實現小面積化及低消耗電力化。

又，藉折疊電路9及插值電路11而可大幅減少比較器等電路元件之數量，因此可更有效地減小電路面積及消耗電力。

以上說明本發明之實施形態之若干例，而本發明並非僅限定於上述形態，其可進行各種變更。

於圖3所示之放大電路之例中，於製造時調節電晶體之元件常數或定電流電路之電流值，藉此而可實現適合於平均化之阻抗比($R_a/R_o=0.1$)，但亦可另外設置該阻抗比之調節用電路。

圖12係其例示圖，於放大電路內，設置有輸出與阻抗比(R_a/R_o)對應之檢測信號之檢測電路112，以及根據該檢測信號來控制定電流電路110、111中流動之電流之控制電路113。

於上述實施形態中說明了3位元變換器之例，但並非限定於該結構，於4位元以上之變換器中亦可應用本發明。

於上述實施形態中，舉例有於插值電路11中利用電流之合成來進行信號之插值，但並非限定於此，亦可利用電阻之分壓等而由電壓來進行信號之插值。

【圖式簡單說明】

圖1係表示本發明第1實施形態之3位元類比/數位變換電路之構成其中一例圖。

圖2(A)、(B)係用以說明第1放大部之偏移因第1平均化部之平均化作用而減小之圖。

圖3係表示於第1放大部進行差動信號放大之放大電路構成其中一例圖。

圖4係表示自圖3所示之放大電路中省略輸出級之源極隨耦器電路之圖。

圖5係表示第3平均化部之多數決邏輯電路之構成例圖。

圖6係表示本發明第2實施形態之3位元類比/數位變換電路之構成其中一例圖。

圖7係表示插值電路之構成其中一例圖。

圖8(A)-圖8(G)係表示圖7所示之插值電路之輸入輸出信號及第1差動放大電路之輸出信號的波形其中一例圖。

圖9係用以說明自折疊電路至比較部之信號路徑電路之圖。

圖10係表示主鎖存比較器(MCL)之構成其中一例圖。

圖11係表示主鎖存比較器(MCL)之其他構成例之圖。

圖12係表示於放大電路內設置阻抗比控制電路之例圖。

圖13係表示一般的並列型類比/數位變換電路之構成例

圖。

【主要元件符號說明】

| | |
|------|----------|
| 2、2A | 第1放大部 |
| 3、3A | 第1平均化部 |
| 4、4A | 第2放大部 |
| 5、5A | 第2平均化部 |
| 6、6A | 比較部 |
| 7、7A | 第3平均化部 |
| 8 | 編碼部 |
| 9 | 折疊電路 |
| 10 | 第1差動放大電路 |
| 11 | 插值電路 |

五、中文發明摘要：

本發明提供一種可實現小面積化及低消耗電力化之類比/數位變換電路。根據本實施形態之類比/數位變換電路，於複數級放大部之各級中，係藉由平均化用電阻元件而將輸出端子彼此連接，並且於變換為二進制信號之階段實行多數決邏輯運算之平均化處理，藉此可減小偏移差異，實現電路之小面積化及低消耗電力化。即，於第1放大部2、第2放大部4、比較部6之輸出部分設置有共計三級之平均化用電路，可有效地減小於各輸出部分所產生之偏移。由此，各要素電路可由較小尺寸之電晶體而構成，故可實現小面積化及低消耗電力化。

六、英文發明摘要：

十、申請專利範圍：

1. 一種類比/數位變換電路，其將所輸入之類比信號變換為數位信號，且包含：

第1放大部，係分別放大上述類比信號與複數個基準信號之位準差，並且輸出與該放大結果對應之複數個差動信號；

第2放大部，係分別放大自上述第1放大部所輸出之複數個差動信號，並且輸出與該放大結果對應之複數個差動信號；

比較部，係分別比較自上述第2放大部所輸出之複數個差動信號之成對信號，並且輸出與該比較結果對應之複數個二進制信號；

第1平均化部，係含有連接上述第1放大部之輸出端子之間的複數個平均化用電阻元件；

第2平均化部，係含有連接上述第2放大部之輸出端子之間的複數個平均化用電阻元件；以及

第3平均化部，係分別對自上述比較部所輸出之複數個二進制信號各者，進行其與其他特定數量二進制信號間的多數決邏輯運算之平均化處理；

上述第1放大部及上述第2放大部中之至少一者包含有：

差動放大電路，係放大所輸入之差動信號者；及

電壓隨耦器電路，係輸入自上述差動放大電路所輸出之差動信號，並且將與該輸入之差動信號之電壓差所對

應的差動電壓輸出至上述第1放大部及上述第2放大部中之至少一者之輸出端子；

其中上述電壓隨耦器電路之輸出阻抗，與經上述輸出端子而連接於該電壓隨耦器電路之上述電阻元件之電阻值間的阻抗比，係具有特定值。

2. 如請求項1之類比/數位變換電路，其中上述電壓隨耦器電路包含有：

第1電晶體，係將自上述差動放大電路所輸出之差動信號之成對信號其中一者，作為控制信號而加以輸入；

第2電晶體，係將自上述差動放大電路所輸出之差動信號之成對信號另一者，作為控制信號而加以輸入；

第1定電流電路，係連接於上述第1電晶體；以及

第2定電流電路，係連接於上述第2電晶體；且

將上述第1電晶體及上述第1定電流電路之連接點所產生的電壓，與上述第2電晶體及上述第2定電流電路之連接點所產生的電壓間之差，作為差動電壓而輸出至上述輸出端子；

上述第1定電流電路及上述第2定電流電路，係產生將上述阻抗比調整為具有上述特定值之恆定電流。

3. 如請求項2之類比/數位變換電路，其包含：

檢測電路，係輸出與上述阻抗比對應之檢測信號；以及

控制電路，係依上述檢測信號而控制流動於上述第1定電流電路及上述第2定電流電路中之電流。

4. 一種類比/數位變換電路，其將所輸入之類比信號變換為

數位信號，且包含：

第1放大部，係分別放大上述類比信號與複數個基準信號之位準差，並且輸出與該放大結果對應之複數個差動信號；

第2放大部，係分別放大自上述第1放大部所輸出之複數個差動信號，並且輸出與該放大結果對應之複數個差動信號；

比較部，係分別比較自上述第2放大部所輸出之複數個差動信號之成對信號，並且輸出與該比較結果對應之複數個二進制信號；

第1平均化部，係含有連接上述第1放大部之輸出端子之間的複數個平均化用電阻元件；

第2平均化部，係含有連接上述第2放大部之輸出端子之間的複數個平均化用電阻元件；及

第3平均化部，係分別對自上述比較部所輸出之複數個二進制信號各者，進行其與其他特定數量二進制信號間的多數決邏輯運算之平均化處理；

上述第2放大部包含有：

第1差動放大電路，其係放大上述第1放大部之至少一個差動信號，該至少一個差動信號係與上述數位信號之特定高階位元相關；

折疊電路，其係含有將自上述第1放大部所輸出之複數個差動信號之至少一部分放大之複數個第2差動放大電路，並且以特定之組合而合成自該等複數個第2差動

放大電路所輸出之差動信號，藉此，產生複數個折疊信號，該複數個折疊信號係產生差動信號之極性反轉時之上述類比信號的位準各不相同者；及

插值電路，其係依上述折疊電路所產生之複數個折疊信號，而產生至少一個插值折疊信號，該至少一個插值折疊信號係產生差動信號之極性反轉時的上述類比信號之位準與該等複數個折疊信號中之任一者均不相同者；且

上述比較部係分別比較自上述第1差動放大電路所輸出之差動信號、上述複數個折疊信號、以及上述插值折疊信號之成對信號，並且輸出與該比較結果對應之複數個二進制信號。

5. 如請求項4之類比/數位變換電路，其中上述折疊電路係將上述複數個折疊信號分別作為差動電流而加以產生，

上述插值電路係對上述折疊電路中作為差動電流所產生之複數個折疊信號，分別給予特定之加權並合成，藉此將上述插值折疊信號作為差動電流而產生。

6. 如請求項5之類比/數位變換電路，其中上述比較部係比較作為差動電流所產生的上述插值折疊信號之成對電流之差，並且輸出與該比較結果對應之二進制信號。
7. 如請求項5之類比/數位變換電路，係包含有將作為差動電流所產生之上述插值折疊信號變換為差動電壓之電流電壓變換電路，

且上述比較部係比較上述電流電壓變換電路中經變換

之差動電壓的成對電壓之差，並輸出與該比較結果對應之二進制信號。

8. 如請求項4之類比/數位變換電路，其中上述插值電路產生複數個合成折疊信號，前述複數個合成折疊信號係差動信號產生極性反轉時的上述類比信號之位準，分別與上述複數個折疊信號相等者；

且上述比較部係輸入上述複數個合成折疊信號以作為上述複數個折疊信號，並且輸出與其對應之二進制信號。

9. 一種類比/數位變換電路，其將所輸入之類比信號變換為數位信號，且包含：

第1放大部，係分別放大上述類比信號與複數個基準信號之位準差，並且輸出與該放大結果對應之複數個差動信號；

第2放大部，係分別放大自上述第1放大部所輸出之複數個差動信號，並且輸出與該放大結果對應之複數個差動信號；

比較部，係分別比較自上述第2放大部所輸出之複數個差動信號之成對信號，並且輸出與該比較結果對應之複數個二進制信號；

第1平均化部，係含有連接上述第1放大部之輸出端子之間的複數個平均化用電阻元件；

第2平均化部，係含有連接上述第2放大部之輸出端子之間的複數個平均化用電阻元件；及

第3平均化部，係分別對自上述比較部所輸出之複數個二進制信號各者，進行其與其他特定數量二進制信號間的多數決邏輯運算之平均化處理；

其中上述第1平均化部之平均化用電阻元件係將對上述第1放大部之複數個輸出端子依據使其輸出的差動信號產生極性反轉的上述類比信號之位準而賦予了順序之情形下的該順序中鄰接之輸出端子彼此加以連接；

上述第2平均化部之平均化用電阻元件係將對上述第2放大部之複數個輸出端子依據使其輸出的差動信號產生極性反轉的上述類比信號之位準而賦予了順序之情形下的該順序中鄰接之輸出端子彼此加以連接。

10. 一種類比/數位變換電路，其將所輸入之類比信號變換為數位信號，且包含：

第1放大部，係分別放大上述類比信號與複數個基準信號之位準差，並且輸出與該放大結果對應之複數個差動信號；

第2放大部，係分別放大自上述第1放大部所輸出之複數個差動信號，並且輸出與該放大結果對應之複數個差動信號；

比較部，係分別比較自上述第2放大部所輸出之複數個差動信號之成對信號，並且輸出與該比較結果對應之複數個二進制信號；

第1平均化部，係含有連接上述第1放大部之輸出端子之間的複數個平均化用電阻元件；

第2平均化部，係含有連接上述第2放大部之輸出端子之間的複數個平均化用電阻元件；及

第3平均化部，係分別對自上述比較部所輸出之複數個二進制信號各者，進行其與其他特定數量二進制信號間的多數決邏輯運算之平均化處理；

其中上述第3平均化部係對將上述比較部之複數個二進制信號依據使其產生邏輯反轉的上述類比信號之位準而賦予了順序之情形下的該順序中相鄰接之特定數量的二進制信號組之各組，進行多數決邏輯運算。

十一、圖式：

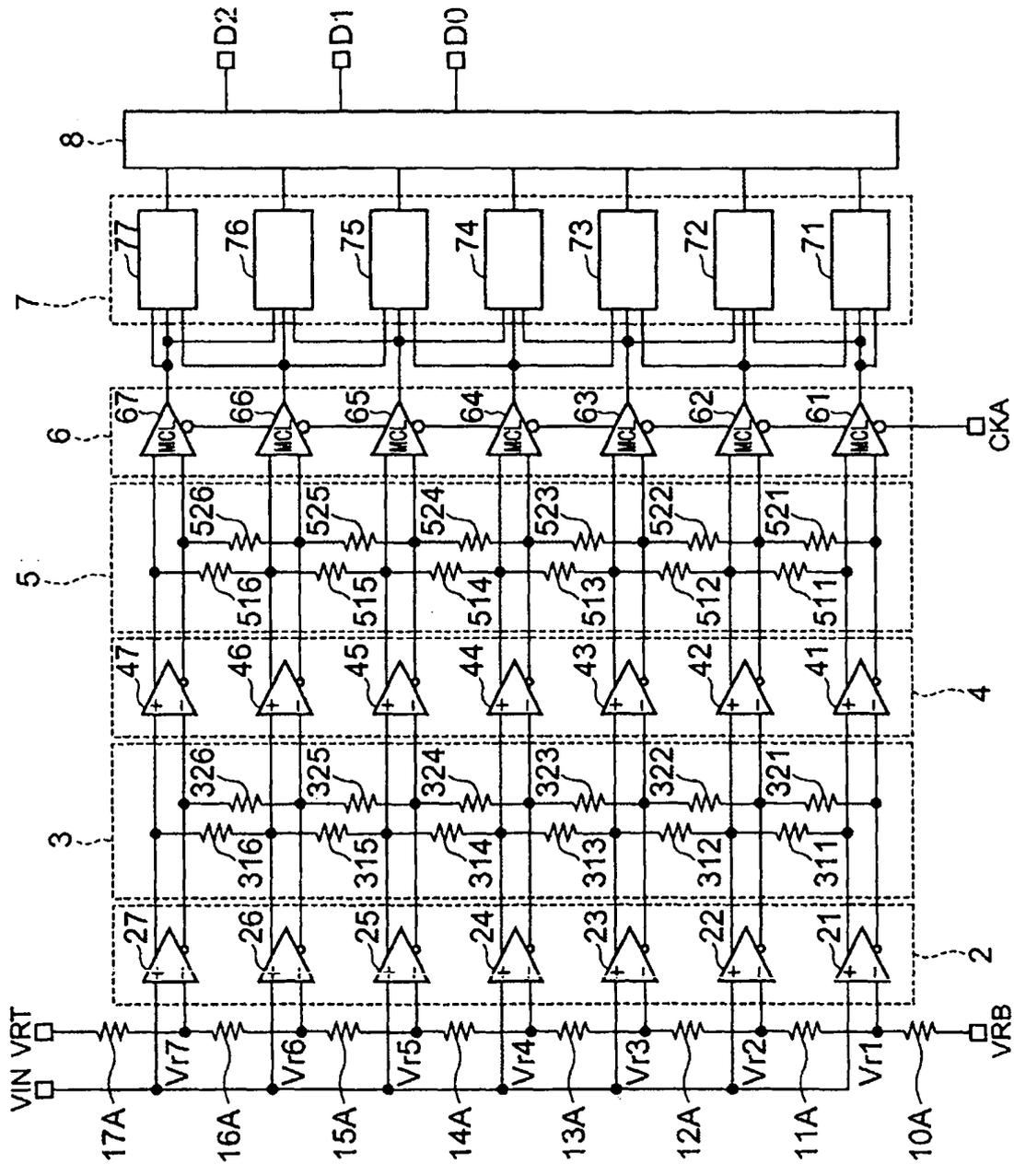


圖1

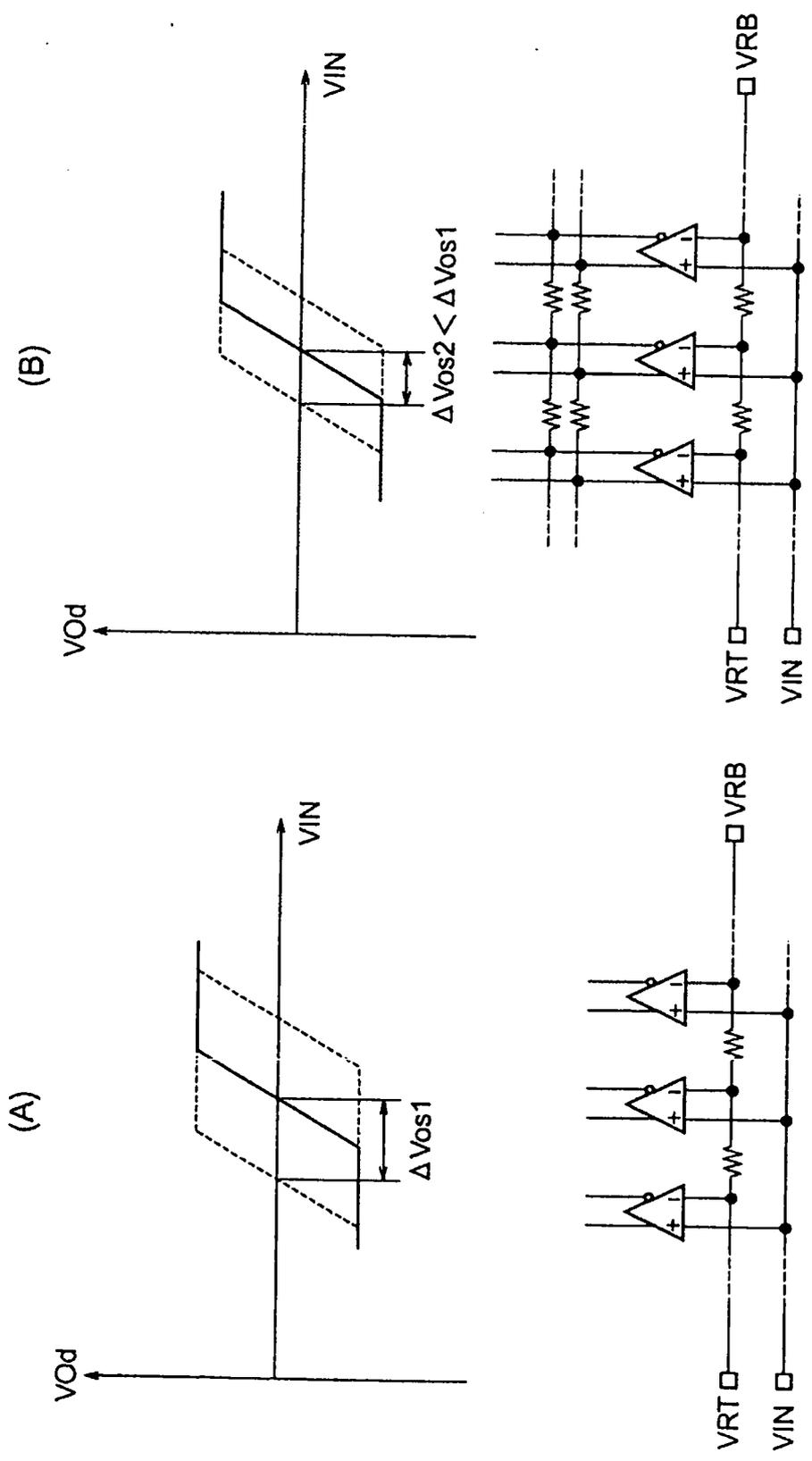


圖 2

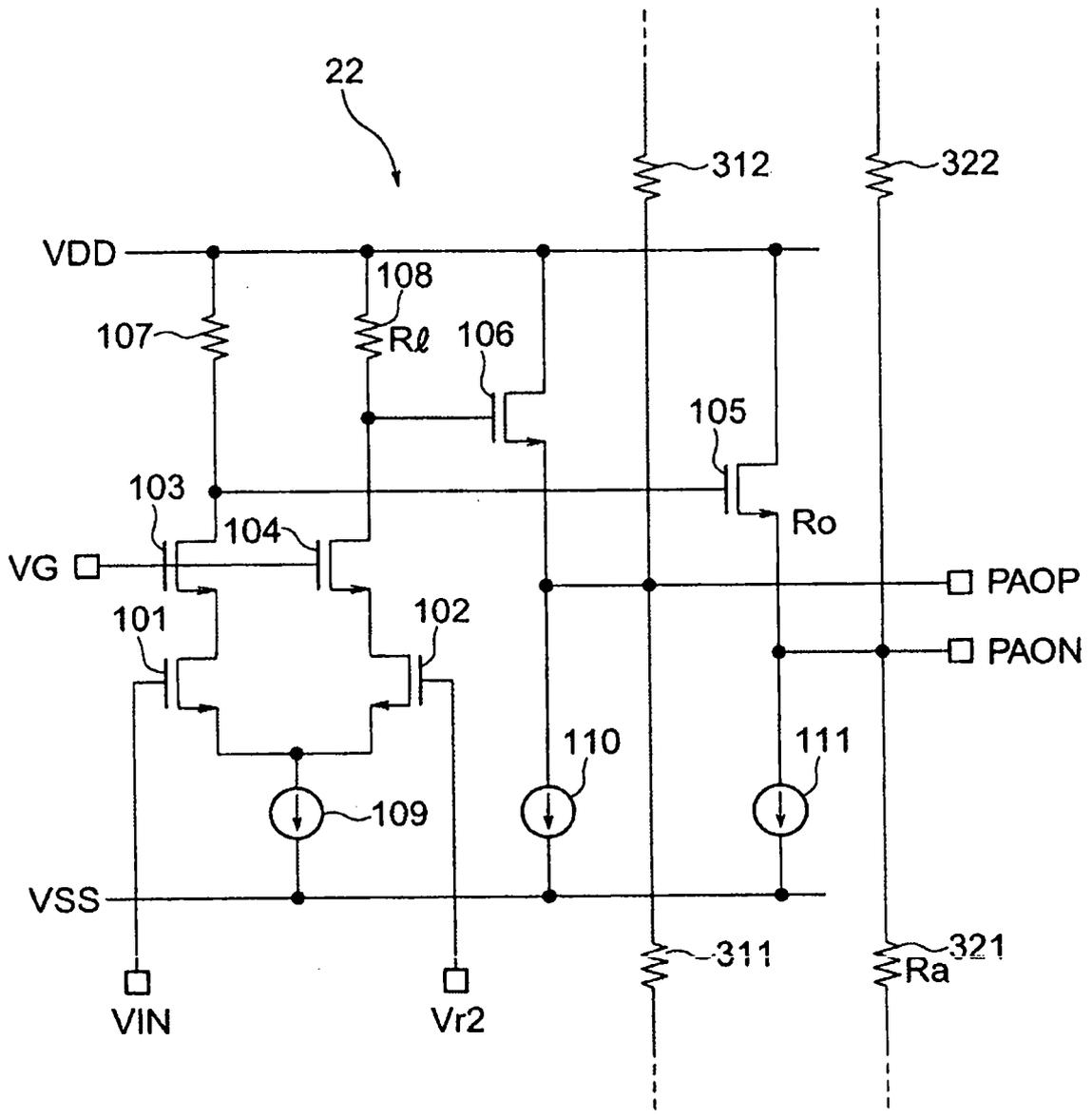


圖3

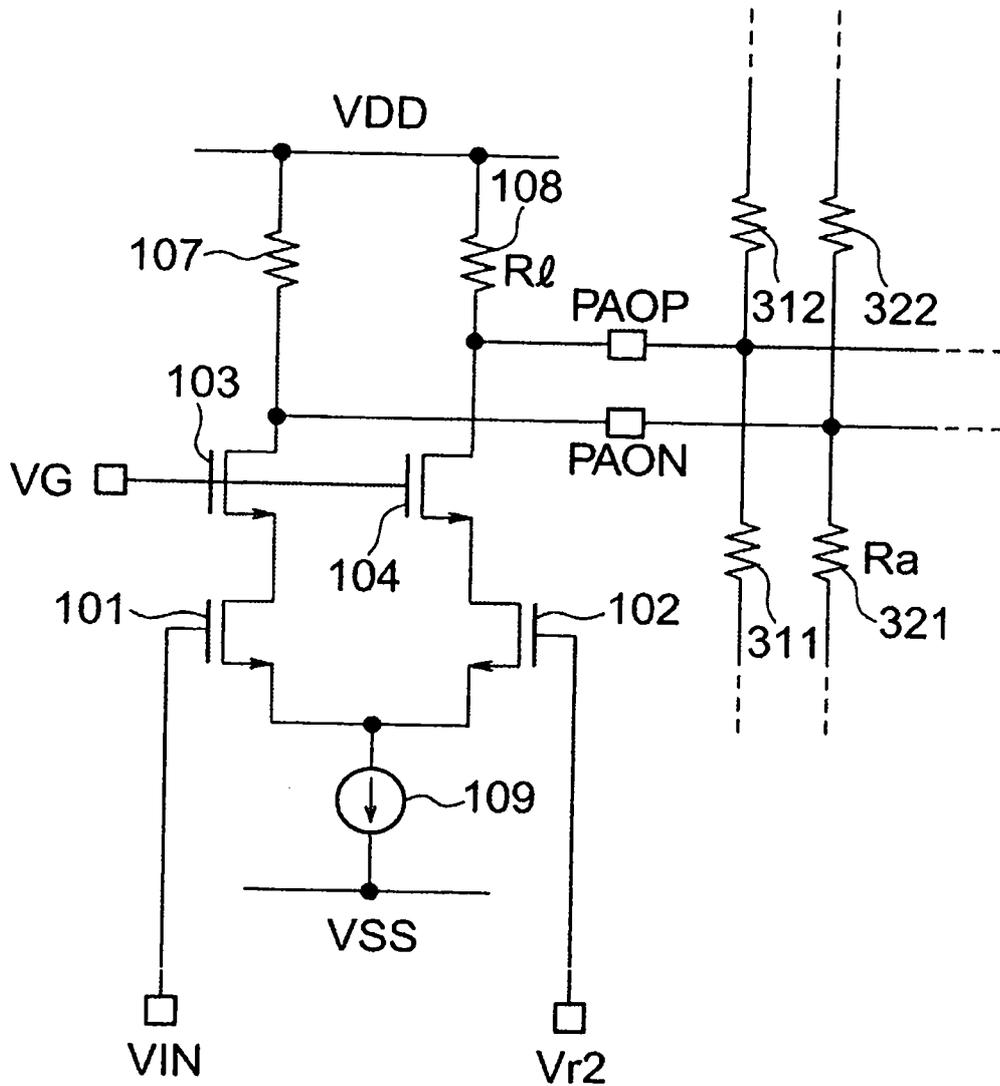
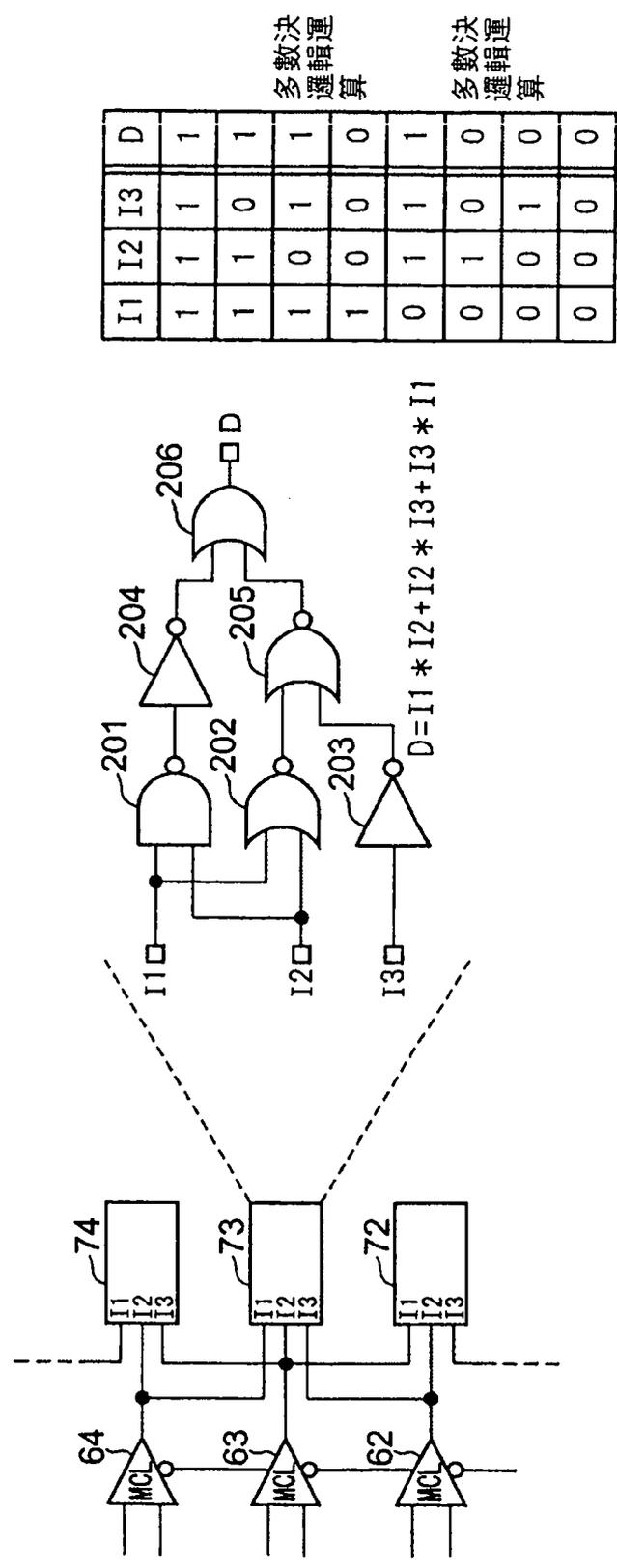


圖4



| I1 | I2 | I3 | D |
|----|----|----|---|
| 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 |

多數決
邏輯運
算

多數決
邏輯運
算

圖5

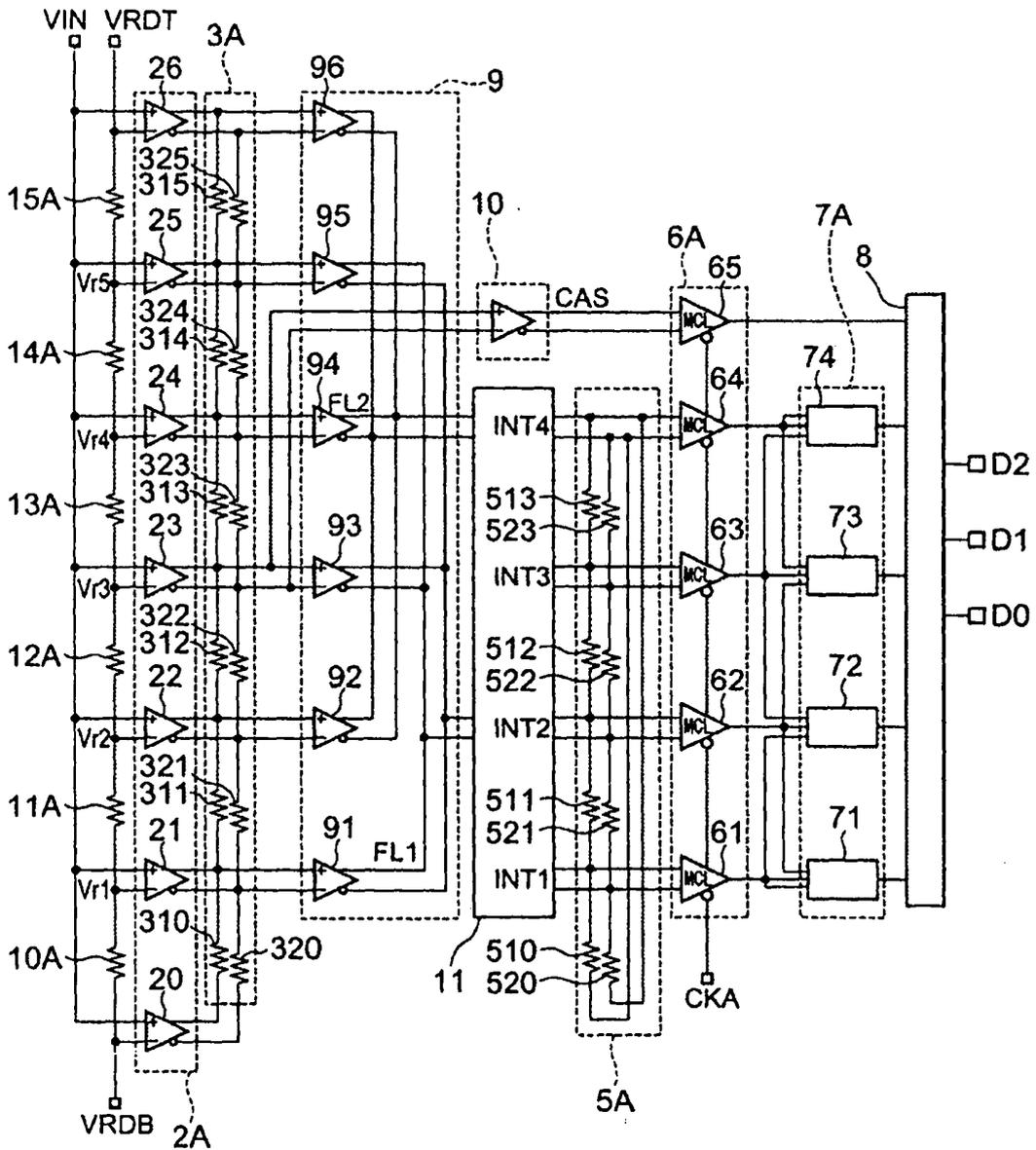


圖6

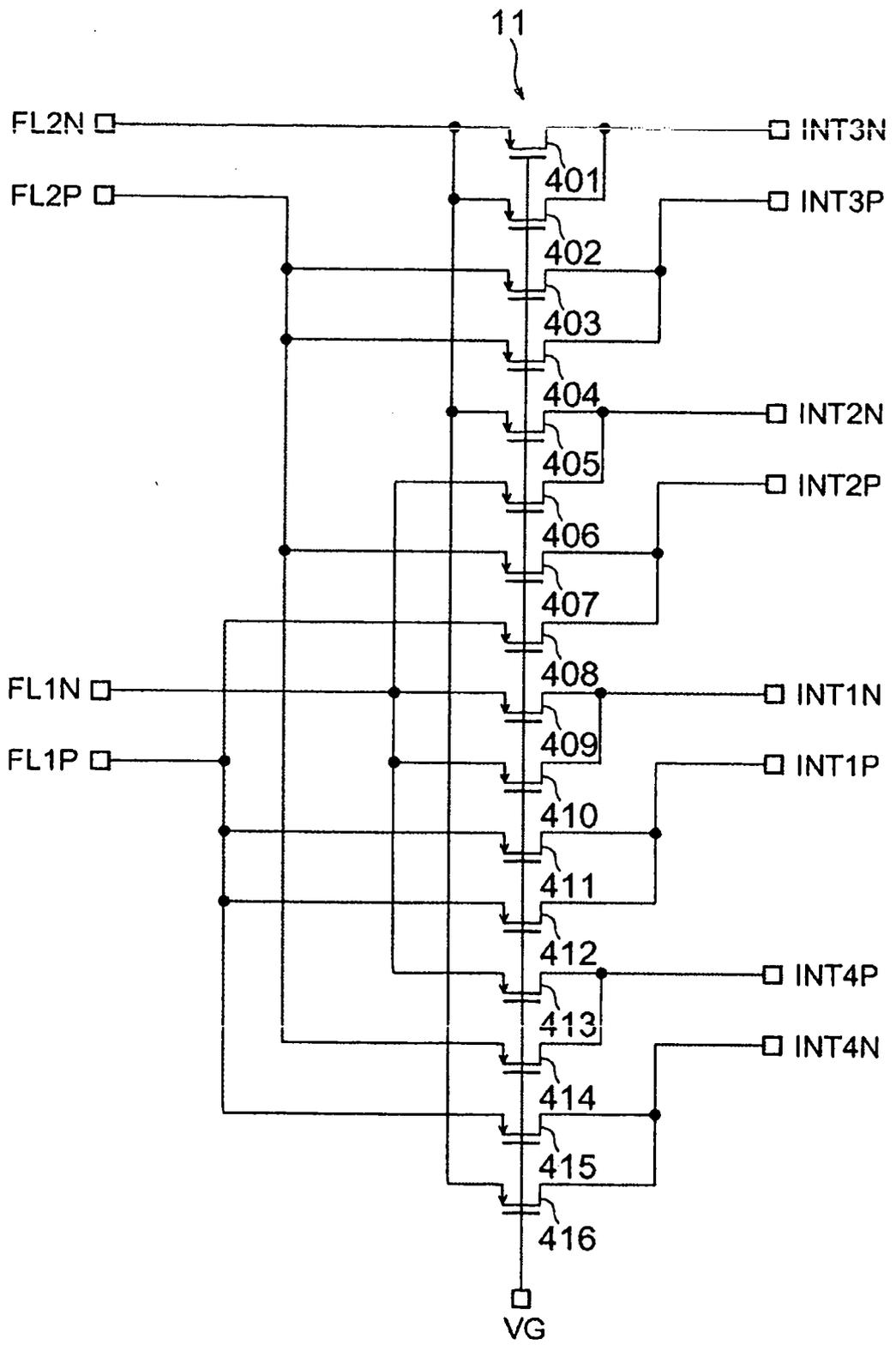


圖 7

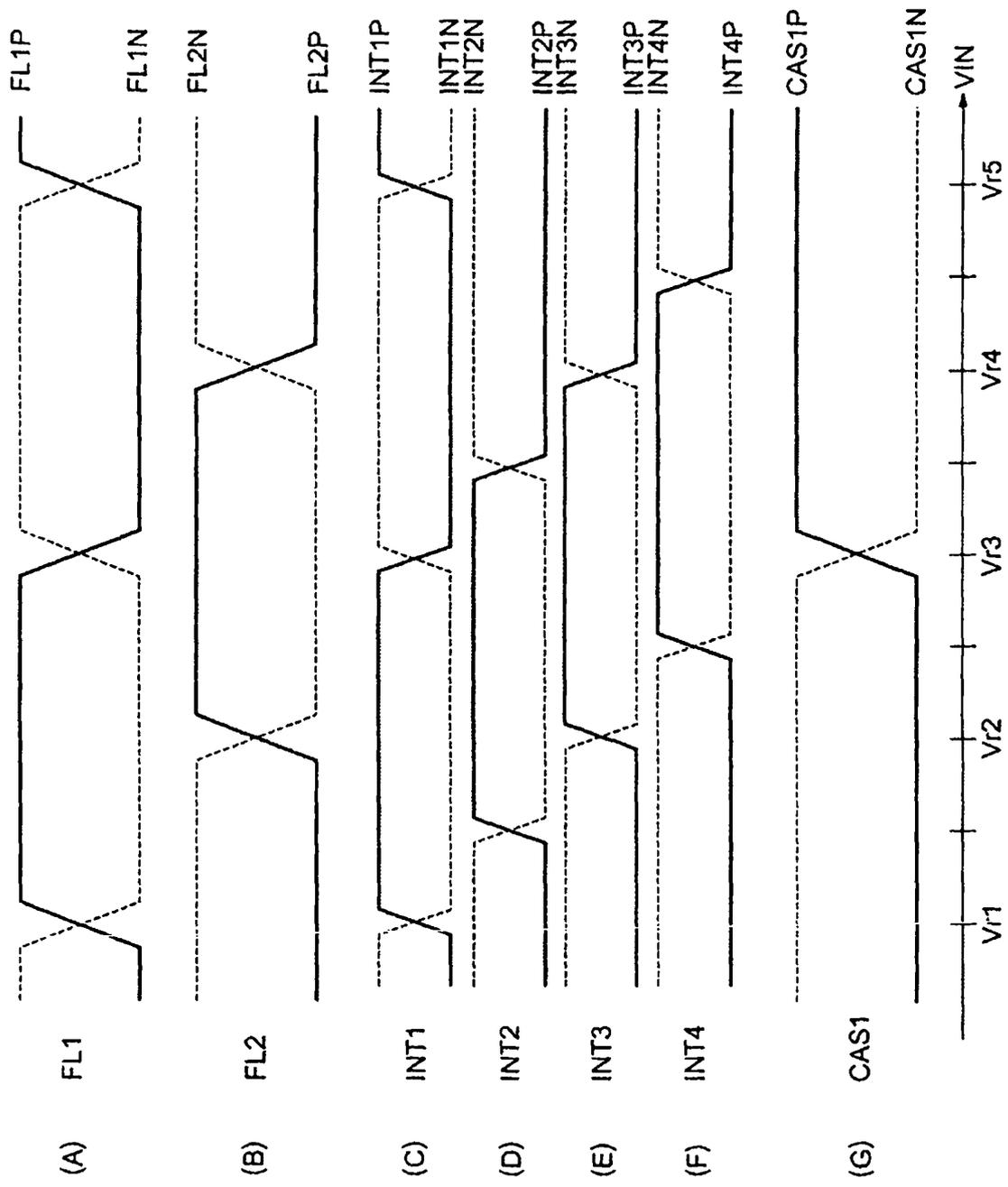


圖8

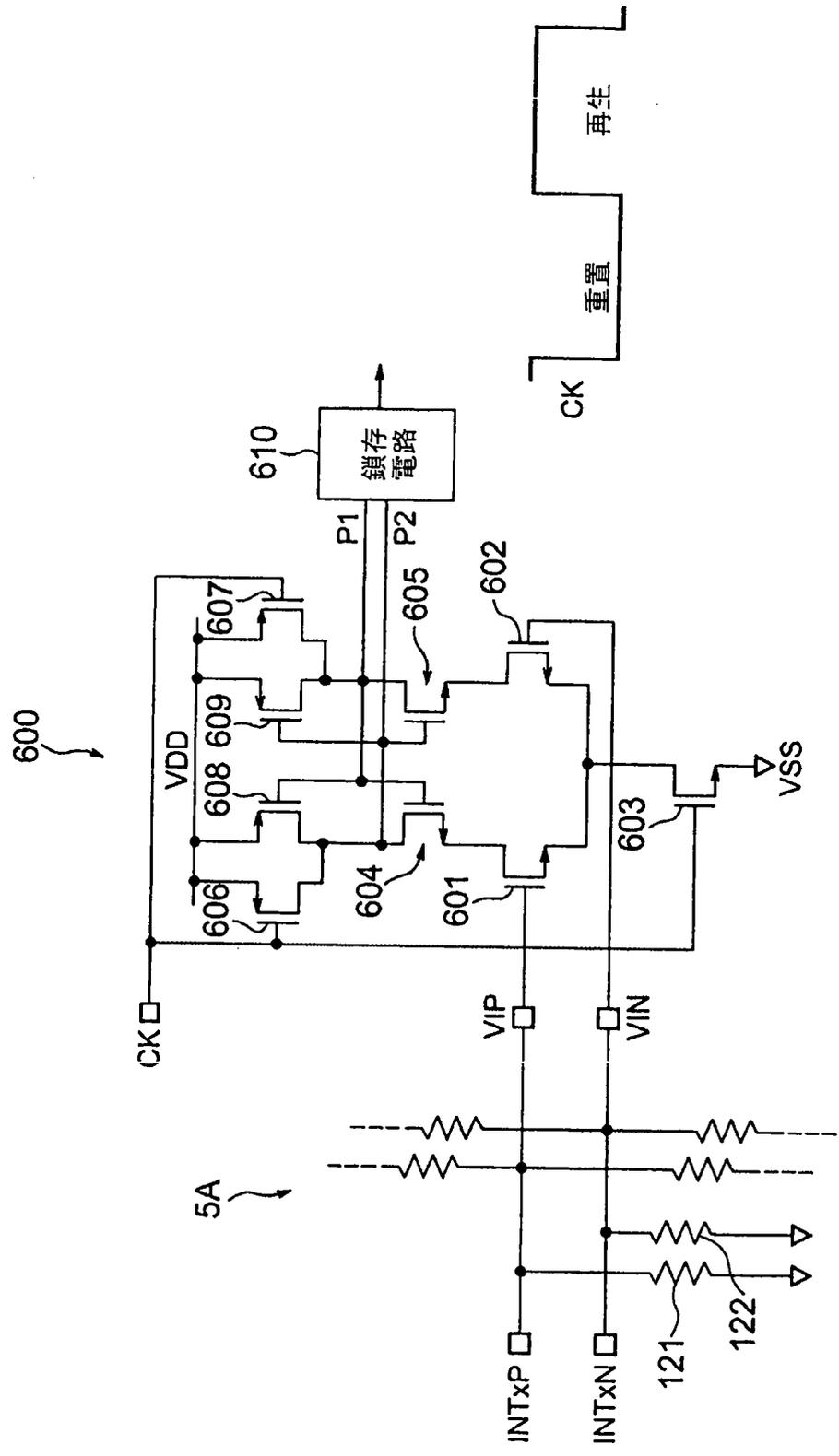


圖10

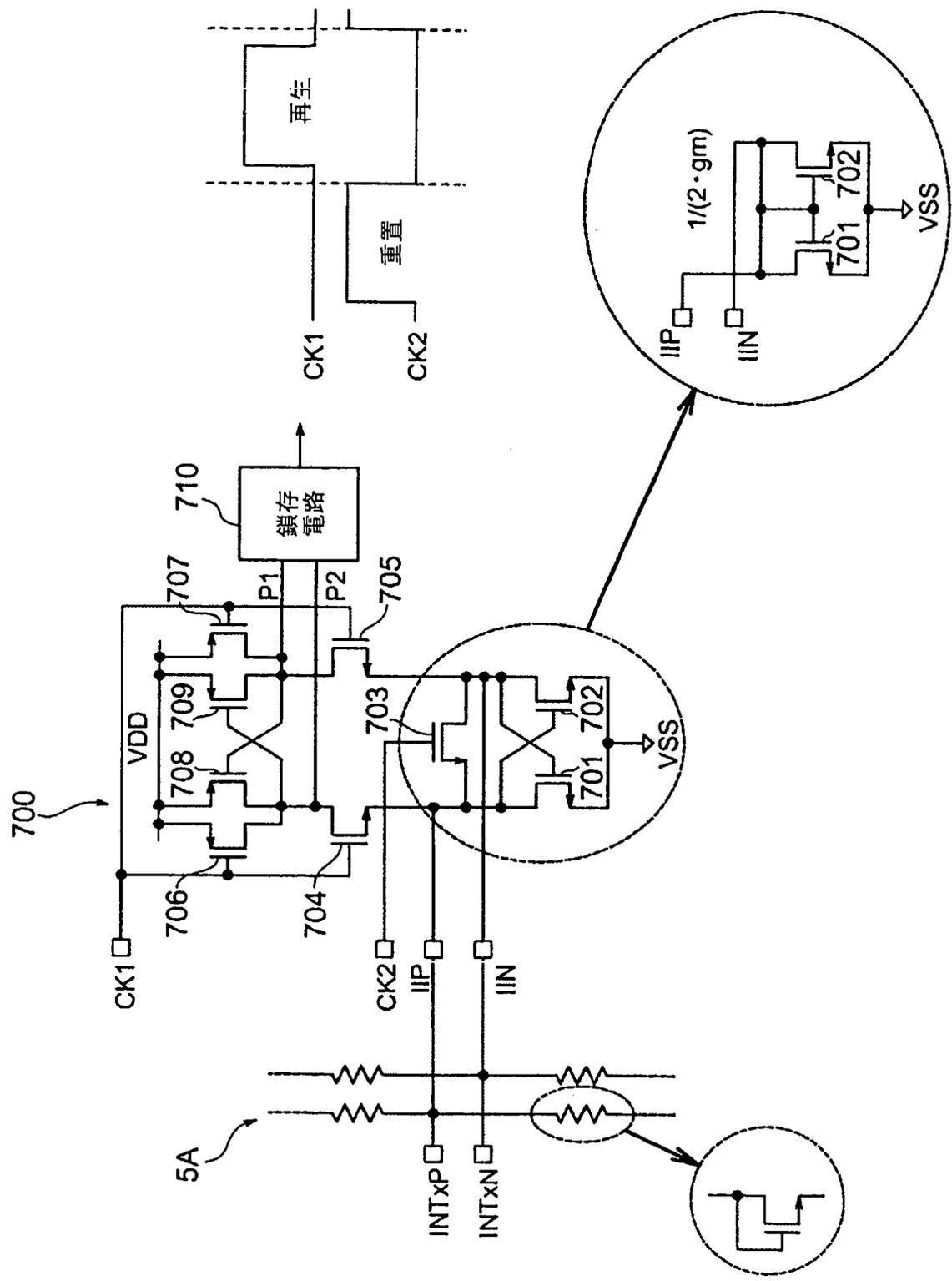


圖11

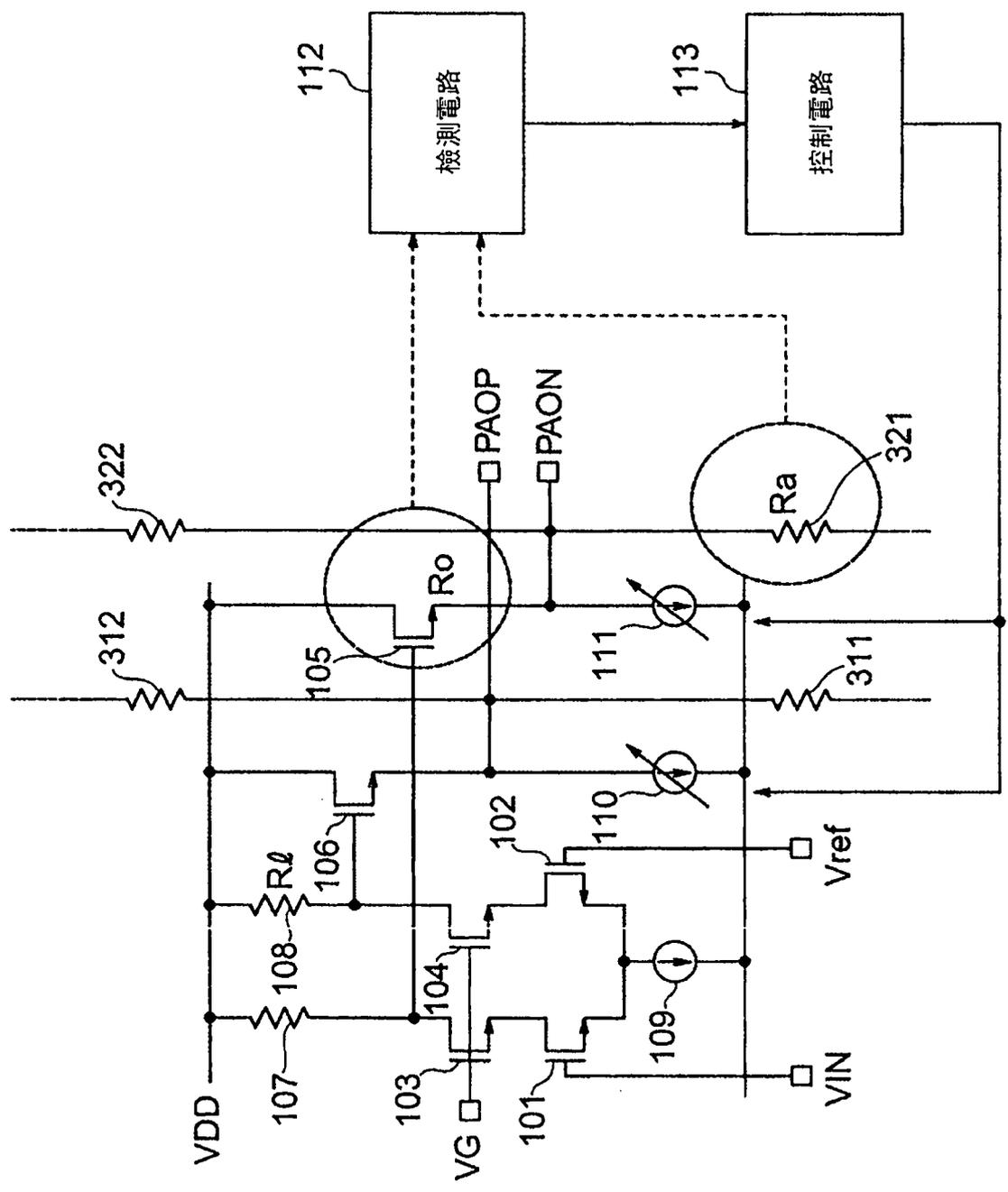


圖12

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

| | |
|-------------------------------------|-------------|
| 2 | 第1放大部 |
| 3 | 第1平均化部 |
| 4 | 第2放大部 |
| 5 | 第2平均化部 |
| 6 | 比較部 |
| 7 | 第3平均化部 |
| 8 | 編碼部 |
| 10A~17A | 電阻元件 |
| 21~27、41~47 | 放大電路 |
| 61~67 | 主鎖存比較器(MCL) |
| 71~77 | 多數決邏輯電路 |
| 311~316、321~326、 511~516、521~526 | 平均化用電阻元件 |
| CKA | 時脈信號 |
| D2 | 最高階位元 |
| VIN | 輸入電壓 |
| Vr1~Vr7、VRB、VRT | 基準電壓 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)