

MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	**102001900899351**
Data Deposito	**03/01/2001**
Data Pubblicazione	**03/07/2002**

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	05	K		

Titolo

CIRCUITERIA DI RILEVAZIONE PER MEMORIE FLASH A BASSA TENSIONE.

RM2001 A 000011

SIB-92452

FSP# 400.072ITO1

DESCRIZIONE DELL'INVENZIONE INDUSTRIALE dal titolo: "CIRCUITERIA DI RILEVAZIONE PER MEMORIE FLASH A BASSA TENSIONE"

della ditta MICRON TECHNOLOGY, INC. (una Società dello stato del Delaware)

con sede in BOISE, IDAHO (U.S.A.)

DESCRIZIONE

CAMPO TECNICO DELL'INVENZIONE

La presente invenzione si riferisce in senso generale a dispositivi di memoria a semiconduttori, ed in particolare, la presente invenzione si riferisce a circuiterie di rilevazione in dispositivo di memoria flash a semiconduttori a bassa tensione.

BASE TECNICA DELL'INVENZIONE

I dispositivi di memoria a semiconduttori sono dispositivi di memoria a rapido accesso. In un dispositivo di memoria a semiconduttori, il tempo richiesto per immagazzinare e recuperare informazione è generalmente indipendente dalla collocazione fisica dell'informazione entro il

S.I.B.
ROMA

dispositivo di memoria. Dispositivi di memoria a semiconduttori tipicamente immagazzinano informazione in una grande schiera di celle. un gruppo di celle viene collegato elettricamente assieme da una linea di bit, o linea di dati. Viene impiegato un segnale elettrico per programmare una cella o celle.

Applicazioni in calcolatori, in comunicazioni e industriali stanno spingendo la richiesta di dispositivi di memoria in un'ampia gamma di sistemi elettronici. una forma importante di dispositivo di memoria a semiconduttori include una memoria non volatile costituita da celle di memoria a gate flottante chiamata memoria flash. Applicazioni per calcolatori impiegano memoria flash per memorizzare firmware di BIOS. Dispositivi periferici quali stampanti immagazzinano font e moduli su memoria flash. Applicazioni cellulari digitali e radio consumano una grande quantità di memoria flash e stanno spingendo continuamene per tensioni più basse e più bassi requisiti di potenza. Applicazioni portatili quali camere digitali, registratori audio, assistenti personali digitali (PDA) e apparecchiatura di collaudo impiegano anche memoria flash quale supporto per memorizzare dati.

S.I.B.
ROMA

Per ottenere tensioni di lavoro più basse e minori requisiti di potenza, il funzionamento del dispositivo di memoria deve rientrare genericamente sotto vincoli più stretti. I più bassi margini di funzionamento aumentano le richieste sui circuiti di rilevazione e circuiti correlati per l'accesso ad una cella di memoria e per rilevare i dati contenuti in essa. Ad esempio, dispositivi di rilevazione in dispositivi di memoria flash si basano spesso su differenza di tensione per determinare lo stato programmato di una cella di memoria, quale una differenza di tensione tra una linea di bit bersaglio ed una tensione di riferimento. Quando le tensioni di funzionamento vengono ridotte, tali dispositivi di rilevazione differenziale devono spesso essere in grado di distinguere tra più piccole differenze di tensione. Con tensioni più basse la rilevazione differenziale diviene più lenta e, a tensioni molto basse, può anche divenire non affidabile.

I dispositivi di memoria a sola lettura (ROM) spesso impiegano uno schema di rilevazione sbilanciato in contrapposizione alla rilevazione differenziale. Un dispositivo di rilevazione sbilanciato ha un unico ingresso accoppiato ad una

S.I.B.
ROMA

linea di bit bersaglio e fornisce un segnale di uscita indicativo di un livello di potenziale della linea di bit bersaglio. Nel funzionamento, la linea di bit bersaglio viene precaricata ad un certo potenziale di precarica. Durante o dopo la precarica, la linea di parola della cella di memoria bersaglio viene pilotata. In seguito allo sgancio dal potenziale di precarica, lo stato logico della cella di memoria bersaglio viene rilevato. Se il livello di potenziale della linea di bit bersaglio rimane immutato, questo è indicativo di assenza di flusso di corrente attraverso la cella di memoria bersaglio, corrispondendo quindi ad un primo stato logico. Se il livello di potenziale della linea di bit bersaglio cade, questo è indicativo del flusso di corrente attraverso la cella di memoria bersaglio, corrispondendo quindi ad un secondo stato logico. Il dispositivo di rilevazione sbilanciato spesso contiene un invertitore che fornisce il segnale di uscita indicativo dello stato logico ed avente un punto di soglia prossimo al potenziale di precarica. La scelta di un punto di soglia prossimo al potenziale di precarica migliora la velocità del dispositivo di rilevazione riducendo il tempo

S.I.B.
ROMA

necessario per rivelare il secondo stato logico. La scelta di un punto di soglia prossimo al potenziale di precarica migliora anche l'utilizzo di potenza del dispositivo di rilevazione riducendo la quantità di corrente necessaria per precaricare la linea di bit per il prossimo ciclo di lettura. Tuttavia, la scelta di un punto di soglia prossimo al potenziale di precarica rischia indicazioni erronee del secondo stato logico se si presenta un flusso di corrente indesiderato, residuo. Tali rischi hanno impedito l'impiego di rilevazione sbilanciata in dispositivi di memoria flash ad alte prestazioni, che spesso presentano una qualche corrente residua dovuta a svuotamento, perdite, programmazione insufficiente o altre fenomeni, e che tuttavia debbono funzionare a tensioni di lavoro più basse e con requisiti di potenza minore.

Per la ragioni sopra indicate, e per altre ragioni che verranno esposte oltre che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e comprensione della presente descrizione, vi è una necessità nella tecnica per dispositivi di rilevazione alternativi per dispositivi di memoria a circuito integrato, dispositivi di memoria contenenti tali dispositivi di rilevazione, e

S.I.B.
ROMA

metodi per il loro funzionamento.

SOMMARIO DELL'INVENZIONE

I problemi sopra menzionati con i dispositivi di memoria ed altri problemi sono oggetto della presente invenzione e verranno compresi dalla lettura e studio della seguente descrizione.

Dispositivi di rilevazione sbilanciati per rilevare lo stato programmato di una cella di memoria a gate flottante sono qui descritti per l'impiego in dispositivi di memoria a bassa tensione. Dispositivi di rilevazione secondo le varie forme di realizzazione includono un nodo di ingresso accoppiato selettivamente ad una cella di memoria a gate flottante. Tali dispositivi di rilevazione includono un percorso di precarica per applicare un potenziale di precarica al nodo di ingresso del dispositivo di rilevazione. Il potenziale di precarica viene impiegato per precaricare linee di bit prima della rilevazione dello stato programmato della cella di memoria a gate flottante. Tali dispositivi di rilevazione includono inoltre un percorso di corrente di riferimento per applicare una corrente di riferimento al nodo di ingresso del dispositivo di rilevazione. Tali dispositivi di rilevazione

S.I.B.
ROMA

includono inoltre un invertitore di rilevazione avente un ingresso accoppiato al nodo di ingresso del dispositivo di rilevazione e una uscita per fornire un segnale di uscita indicativo dello stato programmato dalla cella di memoria a gate flottante. La corrente di riferimento viene applicata al nodo di ingresso del dispositivo di rilevazione durante la rilevazione dello stato programmato della cella di memoria a gate flottante, compensando quindi la corrente residua e migliorando la immunità ad indicazioni erronee di una cella di memoria a gate flottante che è stata cancellata.

Per una prima forma di realizzazione, l'invenzione fornire un dispositivo di rilevazione sbilanciato per rilevare lo stato programmato di una cella di memoria a gate flottante. Il dispositivo di rilevazione ha un nodo di ingresso accoppiato selettivamente alla cella di memoria a gate flottante. Il dispositivo di rilevazione include un percorso di precarica accoppiato tra un primo nodo di potenziale ed il nodo di ingresso del dispositivo di rilevazione, in cui il primo nodo di potenziale è accoppiato per ricevere un potenziale di precarica. Il dispositivo di

S.I.B.
ROMA

rilevazione include inoltre un percorso di corrente di riferimento accoppiato tra un secondo nodo di potenziale ed il nodo d'ingresso del dispositivo di rilevazione, in cui il secondo nodo di potenziale viene accoppiato per ricevere un secondo potenziale per fornire una corrente di riferimento al nodo d'ingresso del dispositivo di rilevazione. Il dispositivo di rilevazione include inoltre un invertitore di rilevazione avente un ingresso accoppiato al nodo d'ingresso del dispositivo di rilevazione ed una uscita per fornire un segnale di uscita sensibile ad un livello di potenziale del nodo di ingresso del dispositivo di rilevazione rispetto ad un punto di soglia, in cui il segnale di uscita è indicativo dello stato programmato della cella di memoria a gate flottante. Per una ulteriore forma di realizzazione, il dispositivo di rilevazione include inoltre un generatore di segnale di controllo di corrente di riferimento avente un nodo di uscita accoppiato al gate di un transistore ad effetto di campo a canale p del percorso di corrente i riferimento per fornire un segnale di controllo di corrente di riferimento per applicare la corrente di riferimento. Il generatore di segnale di controllo di corrente di riferimento

S.I.B.
ROMA

include un diodo accoppiato tra un nodo di potenziale ed il nodo di uscita del segnale del generatore di segnale di controllo di controllo di riferimento ed un componente resistivo accoppiato tra un altro nodo di potenziale ed il nodo di uscita del generatore del segnale di controllo di riferimento.

Per un'altra forma di realizzazione, l'invenzione fornisce un metodo di rilevazione dello stato programmato di una cella di memoria a gate flottante. Il metodo include l'accoppiare una linea di bit ad un nodo di ingresso di un dispositivo di rilevazione sbilanciato, in cui la linea di bit viene accoppiata alla regione sorgente /assorbitore della cella di memoria a gate flottante, accoppiare al linea di bit ed il nodo d'ingresso ad un primo nodo di potenziale per ricevere un potenziale di precarica, applicare una corrente di riferimento al nodo d'ingresso, pilotare una linea di parola accoppiata al gate di controllo della cella di memoria a gate flottante, ed isolare la linea di bit ed il nodo di ingresso dl primo nodo di potenziale. Il metodo include inoltre il rilevare un livello di potenziale sul nodo di ingresso mentre si applica la corrente di

S.I.B.
ROMA

riferimento, in cui il livello di potenziale sul nodo d'ingresso è indicativo dello stato programmato della cella di memoria a gate flottante. Per una ulteriore forma di realizzazione, l'applicazione di una corrente di riferimento al nodo d'ingresso include il generare una corrente di riferimento ed applicare la corrente di riferimento al nodo d'ingresso, in cui la corrente di riferimento varia in modo inverso con variazioni nella temperatura ambiente.

L'invenzione fornisce inoltre dispositivi di memoria e sistemi elettronici che fanno uso di tali dispositivi di rilevazione. L'invenzione inoltre fornisce ancora metodi ed apparecchiatura di ambito variabile.

BREVE DESCRIZIONE DEI DISEGNI

La figura 1A è uno schema a blocchi di un dispositivo a base di memoria flash accoppiato ad un processore come parte di un sistema elettronico.

La figura 1B è uno schema di una parte di un tipico blocco principale di memoria non volatile quale parte di una schiera di memoria di un dispositivo di memoria del tipo mostrato nella figura 1A.

La figura 2 è uno schema di una parte di un

S.I.B.
ROMA

dispositivo di memoria che mostra un dispositivo rilevatore sbilanciato accoppiato per ricevere una corrente di riferimento.

La figura 3 è uno schema di generatore di segnale di controllo di corrente di riferimento per l'impiego con un dispositivo rilevatore del tipo mostrato nella figura 2.

La figura 4 uno schema di un circuito di pilotaggio per l'impiego con un circuito passante ed un dispositivi di rilevazione dei tipi mostrati nella figura 2.

La figura 5 è uno schema di un circuito di temporizzazione per l'impiego con un dispositivo rilevatore del tipo mostrato nella figura 2.

DESCRIZIONE PARTICOLAREGGIATA DELL'INVENZIONE

Nella seguente descrizione particolareggiata delle seguenti forme di realizzazione, si fa riferimento ai disegni allegati che ne formano parte, ed in cui sono mostrate a titolo di illustrazione specifiche forme di realizzazione secondo le quali può essere realizzata in pratica l'invenzione.

Queste forme di realizzazione sono descritte con particolari sufficienti a consentire a coloro che sono esperti nel ramo di realizzare in pratica

S.I.B.
ROMA

l'invenzione e si comprenderà che si possono utilizzare altre forme di realizzazione e che si possono effettuare cambiamenti di processo, elettrici o meccanici senza scostarsi dall'ambito della presente invenzione. Il termine substrato impiegato nella seguente descrizione comprende qualsiasi struttura a semiconduttore di base. Esempi includono tecnologia a silicio su zaffiro (SOS), tecnologia a silicio su isolante (SOI), tecnologia a transistori a film sottile (TFT), semiconduttori drogati e non drogati, strati epitassiali di silicio supportato da una struttura a semiconduttore di base, così come altre strutture a semiconduttore ben note ad una persona esperta nel ramo. Inoltre, quando si fa riferimento ad un substrato nella seguente descrizione, precedenti passi di processo possono essere stati utilizzati per formare regioni/giunzioni nella struttura di semiconduttore di base, ed il termine substrato include gli strati sottostanti contenenti tali regioni/giunzioni. La seguente descrizione particolareggiata deve essere quindi non presa in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

S.I.B.
ROMA

Dispositivi di rilevazione secondo le varie forme di realizzazione sono adattabili ad una varietà di dispositivi di memoria, inclusi i dispositivi di memoria flash. La figura 1A è uno schema a blocchi funzionale di un dispositivo 101 di base a memoria flash che è accoppiato ad un processore 103. Il dispositivo di memoria 101 ed il processore 103 possono far parte di un sistema elettronico 100. Il dispositivo di memoria 101 è stato semplificato per focalizzarsi sulle caratteristiche della memoria che sono utili nella comprensione della presente invenzione. Il dispositivo 101 di memoria comprende una schiera di celle 105 di memoria. Le celle di memoria sono preferibilmente celle di memoria a gate flottante, non volatili e generalmente hanno i loro gate di controllo accoppiati a linee di parola, regioni di assorbitore accoppiate a linee locali di bit, e regioni di sorgente accoppiate in comune a potenziale di massa. La schiera di memoria 105 è disposta in righe e colonne, con le righe disposte in blocchi. Le celle di memoria generalmente possono essere cancellate a blocchi. Dati, tuttavia, possono essere immagazzinati sulla schiera 105 di memoria separatamente dalla

S.I.B.
ROMA

struttura a blocchi.

Sono previsti un decodificatore 109 di riga ed un decodificatore 111 di colonna per decodificare segnali di indirizzo forniti sulle linee di indirizzo A0-Ax 113. Un circuito 115 buffer di indirizzo è previsto per agganciare i segnali di indirizzo. Segnali di indirizzo sono ricevuti e decodificati per l'accesso alla schiera di memoria 105. E' previsto un circuito 119 di selezione di colonna per selezionare una colonna della schiera di memoria 105 in risposta a segnali di controllo dal decodificatore 111 di colonna. La circuiteria 121 di rilevazione viene impiegata per rilevare ed amplificare dati immagazzinati nelle celle di memoria. La circuiteria 121 di rilevazione include un dispositivo di rilevazione secondo le varie forme di realizzazione dell'invenzione. L'ingresso di dati 123 ed i circuiti buffer 125 di uscita sono inclusi per la comunicazione di dati bidirezionale su una molteplicità di linee 127 di dati DQ con l'elaboratore 103. Un aggancio 129 di dati è tipicamente fornito tra il circuito 123 buffer di ingresso di dati e le linee 127 DQ per memorizzare valori di dati (che devono essere scritti in una cella di memoria) ricevuti dalle linee 127 di dati

S.I.B.
ROMA

DQ. Dati amplificati dalla circuiteria 121 di rilevazione sono applicati al circuito 125 buffer di uscita dei dati per la uscita sulle linee 127 DQ.

Il circuito 131 di controllo di comando decodifica segnali forniti sulle linee di controllo 135 dal processore 103. Questi segnali sono impiegati per controllare le operazioni sulla schiera 105 di memoria, inclusi lettura dati, scrittura dati, ed operazioni di cancellazione. Il circuito 133 di controllo d'ingresso/uscita viene impiegato per controllare il circuito 123 buffer di ingresso dati ed il circuito 125 buffer di uscita dati in risposta ad alcuni dei segnali di controllo. Come esposto precedentemente, il dispositivo di memoria flash 101 è stato esemplificato per facilitare la comprensione di base delle caratteristiche della memoria. Una comprensione più particolareggiata della memoria flash è nota a coloro che sono esperti nel ramo.

Schiere di celle di memoria flash sono spesso configurate come transistori a gate flottante disposti sulla intersezione di linee di parola e di linee di bit locali. Le linee di parola sono accoppiate ai gate di controllo dei transistori a

S.I.B.
ROMA

gate flottante. La figura 1B è uno schema di una parte di un tipico blocco 130 principale di memoria non volatile come parte della schiera 105 di memoria.

I dettagli del blocco 130 principale sono forniti per una migliore comprensione delle varie forme di realizzazione dell'invenzione. Tuttavia, l'invenzione non è limitata alla specifica cella e disposizione di memoria a gate flottante descritta in riferimento alla figura 1B.

Come mostrato nella figura 1B, il blocco 130 principale comprende linee di parola 132 e linee 134 di bit locali che si intersecano. Per facilità di indirizzamento nell'ambiente digitale, il numero delle linee 132 di parola e il numero delle linee 134 di bit locali sono una qualche potenza di 2, ad esempio 256 linee di parola 132 per 4096 linee 134 di bit locali.

I transistori 136 a gate flottante sono collocati in ciascuna intersezine di una linea 132 di parola e di una linea 134 locale di bit. I transistori 136 a gate flottante rappresentano le celle di memoria non volatile per la memorizzazione di dati. La costruzione tipica di tali transistori 136 a gate flottante comprende una regione di

S.I.B.
ROMA

sorgente 138, una regione 140 di assorbitore costruita da un materiale di tipo N^+ con elevata concentrazione di impurità formata in un substrato semiconduttore di tipo P a bassa concentrazione di impurità, una regione di canale formata tra la sorgente e l'assorbitore, un gate flottante 142, ed un gate di controllo 144. Il gate flottante 142 viene isolato dalla regione di canale da dielettrico di effetto tunnel e dal gate 144 di controllo da un dielettrico tra gate. I materiali di costruzione non sono critici per l'invenzione, ma comunemente includono polisilicio drogato per i materiali di gate, e ossidi, nitruri o ossinitruri di silicio per i materiali dielettrici. I transistori 46 a gate flottante che hanno i loro gate di controllo 144 accoppiati alla linea 132 di parola tipicamente condividono una regione di sorgente comune mostrata come una sorgente 146 di schiera. Per ridurre la resistenza in ciascuna regione 138 di sorgente, ciascuna sorgente 146 di schiera è spesso accoppiata ad una linea metallica a massa, quale la massa 148 della schiera. Come mostrato nella figura 1B, transistori 136 a gate flottante accoppiati a linee 132 di parola adiacenti possono condividere la medesima sorgente

S.I.B.
ROMA

146 di schiera. I transistori 136 a gate flottante hanno le loro regioni 140 di assorbitore accoppiate ad una linea locale di bit 134. Una colonna dei transistori 136 a gate flottante sono quei transistori che hanno le loro regioni di assorbitore accoppiate in maniera comune ad una data linea 134 di bit locale. Una riga dei transistori 136 a gate flottante sono quei transistori che hanno i loro gate 144 di controllo accoppiati in comune ad una data linea di parola 132.

La figura 2 è uno schema di una parte di un dispositivo 101 di memoria avente almeno un dispositivo rilevatore 205 secondo l'invenzione. Come mostrato in figura 2, una cella 136 di memoria bersaglio viene accoppiata selettivamente ad un dispositivo rilevatore 205 attraverso la sua linea di bit 134 locale associata e la linea 215 di bit globale. Come notato precedentemente, vi sono in genere numerose linee 134 di bit locali associate con una singola linea 215 di bit globale e numerose linee 215 di bit globali associate con un singolo dispositivo 205 rilevatore in tipici dispositivi di memoria ad alta densità. Il dispositivo 205 di rilevazione è generalmente uno di numerosi

S.I.B.
ROMA

dispositivi 105 di rilevazione contenuti nella circuiteria 121 di rilevazione come illustrato nella figura 1A.

La linea 215 di bit globale associata con la cella 136 di memoria bersaglio è accoppiata al suo dispositivo 205 di rilevazione associato impiegando il circuito passante 210. Il circuito passante 210 è illustrato come contenente un singolo dispositivo di accoppiamento selettivo o transistore passante 225 che fornisce l'accoppiamento selettivo tra la linea 215 di bit globale e il dispositivo 2o5 di rilevazione. Il transistore passante 225 ha un gate accoppiato per ricevere un segnale di controllo dal nodo 235. Coloro che sono esperti nella tecnica dei dispositivi di memoria identificheranno che il circuito 210 passante conterrà transistori passanti aggiuntivi associati con altre linee di bit globali. Inoltre, transistori passanti aggiuntivi possono essere interposti tra la linea 215 di bit globale e il dispositivo 205 di rilevazione.

La linea 134 di bit locale associata con la cella 136 di memoria bersaglio è accoppiata alla sua linea 215 di bit globale associata impiegando il circuito passante 220. Il circuito passante 220 è illustrato come contenente un singolo dispositivo

S.I.B.
ROMA

di accoppiamento selettivo o transistore passante 230 che fornisce l'accoppiamento selettivo tra la linea 1334 di bit locale e la linea 215 di bit globale. Il transistore passante 230 ha un gate accoppiato per ricevere un segnale di controllo dal noto 240. Coloro che sono esperti nella tecnica dei dispositivi di memoria riconosceranno che il circuito 220 passante conterrà transistori passanti aggiuntivi associati con altre linee di bit locali. Inoltre, transistori passanti aggiuntivi possono essere interposti tra la linea di bit locale 134 e la linea di bit globale 215. Circuiti passanti 210 e 220 possono rappresentare una parte del circuito 119 di selezione di colonna della figura 1A.

Il dispositivo rilevatore 205 comprende un percorso di precarica per applicare selettivamente il potenziale di precarica per caricare la linea di bit locale 134, la linea di bit globale 215, ed il nodo 262 di ingresso. Il percorso di precarica è mostrato in figura 2 come transistore ad effetto di campo a canale p (pFET) 256 accoppiato tra un nodo di potenziale 250 e il nodo d'ingresso 262. Il nodo 250 di potenziale è accoppiato per ricevere il potenziale di precarica. Il potenziale di precarica può essere un potenziale di alimentazione quale

S.I.B.
ROMA

Vcc. Il pFET 256 accoppia selettivamente il nodo 250 di potenziale al nodo 262 di ingresso in risposta ad un segnale di controllo ricevuto sul nodo 254. Il dispositivo rilevatore 205 include inoltre un percorso di corrente di riferimento per applicare selettivamente una corrente di riferimento al nodo di ingresso 262. Idealmente, una cella 236 di memoria bersaglio ed il suo percorso verso il suo dispositivo rilevatore 205 presenterebbe un assorbimento di corrente zero se il transistore a gate flottante della cella 136 di memoria bersaglio fosse programmato, cioè, in un primo stato programmato, di modo che il nodo 262 di ingresso rimarrebbe al potenziale di precarica durante la rilevazione. Tuttavia, ci si può aspettare una qualche corrente residua, sia che tale corrente residua sia dovuta a perdite, svuotamento, o qualche altro fenomeno. Questa corrente residua potrebbe dare origine ad una indicazione erronea che la cella di memoria bersaglio è cancellata, cioè, si trova in un secondo strato programmato. Il percorso di corrente di riferimento fornisce una corrente di riferimento al nodo 262 d'ingresso per compensare tali correnti residue e per evitare indicazioni erronee del

S.I.B.
ROMA

secondo stato programmato.

Il percorso di corrente di riferimento è mostrato in figura 2 come il pFET 258 accoppiato tra il nodo 252 di potenziale ed il nodo di ingresso 262. Il nodo 252 di potenziale è accoppiato per ricevere un potenziale di alimentazione, quale Vcc. La corrrente di riferimento deve essere minore di un flusso di corrente attraverso la cella 136 di memoria bersaglio se la cella 136 di memoria bersaglio viene cancellata o si trova nel secondo stato programmato, ed ancora più della corrente residua prevista. Per una forma di realizzazione la corrente di riferimento è controllata per essere meno di metà della corrente prevista di una cella di memoria cancellata nel secondo stato programmato. per una ulteriore forma di realizzazione, la corrente di riferimento è controllata per essere approssimativamente un ordine di grandezza inferiore alla corrente prevista di una cella di memoria cancellata nel secondo stato programmato. Per una forma di realizzazione, la corrente di riferimento è controllata attraverso l'applicazione di un segnale di controllo di corrente di riferimento al gate del

S.I.B.
ROMA

pFET 258 dal nodo 260. La variazione del livello di potenziale del segnale di controllo della corrente di riferimento varierà la conduttanza del pFET 258, dando origine al controllo del passaggio di corrente attraverso il percorso di corrente di riferimento. Il dispositivo rilevatore 205 comprende inoltre ulteriormente un invertitore 264 di rilevazione avente un punto di soglia. L'invertitore di rilevazione genera un segnale di uscita sul nodo 278 in risposta ad un livello di potenziale sul nodo di ingresso 262 rispetto al punto di soia. Il livello di potenziale del nodo di ingresso 262 è indicativo dello stato della linea di bit locale 134.

L'invertitore 264 di rilevazione include uno stadio a canale p avente un pFET 268 accoppiato tra un nodo di potenziale 266 ed il nodo ed il nodo di uscita 278. Il nodo di potenziale 266 è accoppiato per ricevere un potenziale di alimentazione, quale Vcc. Il potenziale di alimentazione rappresenta un primo livello logico, quale un livello logico alto. L'invertitore 264 di rilevazione comprende inoltre uno stadio a canale n avente almeno un transistore ad effetto di campo a canale n (nFET) accoppiato tra il nodo 278 di uscita ed un nodo di potenziale

S.I.B.
ROMA

276. Il nodo di potenziale 276 accoppiato per ricevere un potenziale di massa, quale Vss. Il potenziale di massa rappresenta un secondo livello logico, quale il livello logico basso. Per la forma di realizzazione di figura 2, l'invertitore 264 di rilevazione include nFET 270, nFET 272 e nFET 274 accoppiato in serie tra il nodo 278 di uscita ed il nodo 276 di potenziale. I pFET 268, nFET 270, nFET 272 e nFET 274 hanno ciascunom un gate accoppiato al nodo d'ingresso 262. I dispositivi multipli nFET nell'invertitore 264 di rilevazione sono impiegati per spostare il punto di soglia più prossimo al potenziale di precarica. La combinazione di uno stadio a canale p a bassa tensione e di uno stadio debole a canale n nell'invertitore 264 di rilevazione può mantenere il punto di soglia prossimo al potenziale di precarica. Si possono impiegare altri metodi per modificare il punto di soglia dell'invertitore 264 di rilevazione, ad esempio variando il dimensionamento dei dispositivi FET.

Durante la rilevazione, se la cella di memoria bersaglio si trova nel secondo stadio programmato le linee di bit sono previste cadere ad un potenziale sotto il potenziale di precarica. Il

S.I.B.
ROMA

potenziale di linea di bit previsto è approssimativamente il potenziale di precarica meno la tensione di soglia dei transistori meno un qualche delta per la caduta ohmica attraverso le linee di bit. Il punto di soglia dell'invertitore 264 di rilevazione deve essere ad un certo livello di potenziale più alto di questo potenziale previsto per la linea di bit al fine di rilevare affidabilmente ed amplificare il valore dei dati della cella di memoria bersaglio. Per una prima forma di realizzazione il potenziale minimo previsto della linea di bit è di circa 0,94 V, ed il punto di soglia dell'invertitore 264 di rilevazione è approssimativamente pari a 1,1V, impiegando un potenziale di alimentazione ed un potenziale di precarica di circa 1,8V.

Il funzionamento del dispositivo 102 di memoria procede in senso generale come segue. Le linee di bit 134 e 215 vengono decodificate ed accoppiate al nodo d'ingresso 262 di un dispositivo rilevatore 205. Le linee di bit decodificate possono essere considerate come costituite da una singola linea di bit accoppiata alla cella di memoria bersaglio. La linea di bit ed il nodo d'ingresso 262 sono precaricati al potenziale di

S.I.B.
ROMA

precarica dal nodo 250 di potenziale e la linea 132 di parola della cella 136 di memoria bersaglio viene pilotata. In aggiunta, viene applicata una corrente di riferimento al nodo d'ingresso 262 del dispositivo rilevatore 205 attraverso il percorso di corrente di riferimento. La linea di bit viene quindi isolata dal potenziale di precarica pure mantenendo l'applicazione della corrente di riferimento. lo stato programmato della cella 136 di memoria bersaglio viene rilevato ed amplificato dal dispositivo 205 di rilevazione. Il valore dei dati sul modo di uscita 278 viene agganciato ed il dispositivo di memoria viene ricondotto ad un modo a bassa potenza.

Per una prima forma di realizzazione, viene impiegato un generatore di segnale di controllo di corrente di riferimento per controllare la corrente di riferimento per simulare la corrente residua prevista per la cella di memoria bersaglio. Per una ulteriore forma di realizzazione, il dispositivo di memoria comprende un tale generatore di segnale di controllo di corrente di riferimento per ciascun dispositivo rilevatore. Per un'altra forma di realizzazione, il dispositivo di memoria comprende un tale generatore di segnale di controllo di

S.I.B.
ROMA

corrente di riferimento per un certo numero di dispositivi rilevatori. Per una ulteriore forma di realizzazione, il dispositivo di memoria include un tale generatore di segnale di controllo di corrente di riferimento per ciascuna parola di uscita o ogni 16 dispositivi rilevatori.

Per imitare nel modo migliore la corrente residua prevista di una cella di memoria a gate flottante può essere desiderabile utilizzare una simile cella di memoria a gate flottante per controllare la corrente di riferimento. Tuttavia, l'impiego di una cella di memoria a gate flottante fittizia richiede un'operazione di aggiustamento e conduce ad un collaudo indesiderato durante la fabbricazione. Come qui descritto, si può usare un componente resistivo nel generatore del segnale di controllo della corrente di riferimento in luogo della cella di memoria a gate flottante per evitare una taratura non necessaria ed il collaudo di una cella di memoria a gate flottante fittizia.

La figura 3 è uno schema di un generatore 300 di segnale di corrente di controllo di riferimento secondo una forma di realizzazione dell'invenzione. Il generatore 300 di segnale di controllo di corrente di riferimento fornisce il segnale di

S.I.B.
ROMA

controllo di corrente di riferimento come segnale di uscita. Per una forma di realizzazione, il segnale di controllo di corrente di riferimento ha un livello di potenziale che varia in proporzione con le variazioni nella temperatura ambiente. Con l'aumentare della temperatura ambiente, il segnale di controllo di corrente di riferimento aumenta. A sua volta, il pFET 258 viene portato più prossimo alla disattivazione con una risultante diminuzione del valore della corrente di riferimento in modo che la corrente di riferimento varia in modo inverso con variazioni della temperatura ambiente. Ciò tenderà ad inserire variazioni nel flusso di corrente attraverso una cella di memoria bersaglio nello stato cancellato, dato che questa corrente tenderà anche a decrescere in risposta a temperature ambiente crescenti. La corrente di riferimento è preferibilmente proporzionale al flusso di corrente attraverso la cella di memoria bersaglio nella condizione cancellata per mantenere condizioni di rilevazione coerenti.

Il generatore 300 di segnale di corrente di riferimento comprende un diodo 302 avente un ingresso accoppiato per ricevere un potenziale di alimentazione da un nodo 304 di potenziale ed una

S.I.B.
ROMA

uscita accoppiata ad un nodo 306. Il nodo di potenziale 304 è preferibilmente accoppiato per ricevere il medesimo potenziale di alimentazione ricevuto sul nodo di potenziale 266 dell'invertitore 264 di rilevazione, ad esempio, il potenziale di alimentazione Vcc. Il nodo 306 di uscita è accoppiato al nodo 260 per fornire il segnale di controllo al gate del pFET 258 di un dispositivo rilevatore 205. per la forma di realizzazione illustrata dalla figura 3, il diodo 302 contiene una schiera di uno o più transistori ad effetto di campo collegati al diodo quali i pFET 358. I pFET 358 sono accoppiati in parallelo tra l'ingresso e l'uscita del diodo 302. Ciascun pFET 358 ha il gate accoppiato all'uscita del diodo 302, una prima regione sorgente/assorbitore accoppiata all'ingresso del diodo 302, ed una seconda regione di sorgente/assorbitore accoppiata all'uscita del diodo 302. Per una prima forma di realizzazione, ciascun pFET 358 è preferibilmente dimensionato per essere sostanzialmente identico al pFET 258 del dispositivo di rilevazione 205. Per una ulteriore forma di realizzazione, il diodo 302 comprende 12 pFET 358 accoppiati in parallelo, ciascuno dimensionato per essere sostanzialmente identico al

S.I.B.
ROMA

pFET 258 del dispositivo rilevatore 205. Per ancora una ulteriore forma di realizzazione, il nodo di uscita 306 è contemporaneamente accoppiato a 16 dispositivi rilevatori 205.

Il generatore 300 di segnale di controllo dio corrente di riferimento può opzionalmente essere selettivamente abilitato o disabilitato. Un segnale di abilitazione ricevuto sul nodo 310 può essere impiegato per abilitare o disabilitare il generatore 300 di segnale di controllo di corrente di riferimento fornendo un FET di un primo tipo

quale ad esempio il pFET 308, accoppiato tra il nodo 304 di potenziale e l'ingresso del diodo 302 ed avente il suo gate accoppiato per ricevere il segnale di abilitazione. Il generatore 300 di segnale di controllo di corrente di riferimento è abilitato quando l'ingresso del diodo 302 è accoppiato attivamente per ricevere il potenziale di alimentazione dal nodo 304 di potenziale. Il segnale di abilitazione ricevuto sul nodo 310 può anche essere impiegato per tirare il nodo 306 di uscita a potenziale di terra quando il generatore 300 di segnale di controllo di corrente di riferimento viene disabilitato fornendo un FET di un tipo opposto, quale ad esempio il nFET 312,

S.I.B.
ROMA

accoppiato tra il nodo di uscita 306 e un nodo 314 di potenziale di massa ed avente il suo gate accoppiato per ricevere il segnale di abilitazione.

Il generatore 300 di segnale di controllo di corrente di riferimento comprende inoltre un componente resistivo 316 accoppiato tra il nodo 306 dio uscita ed un nodo 318 di potenziale. Il nodo 318 di potenziale viene accoppiato per ricevere un potenziale di massa. Il nodo 318 di potenziale viene preferibilmente accoppiato per ricevere il medesimo potenziale di massa ricevuto sul nodo di potenziale 576 dell'invertitore 264 di rilevazione, cioè, il potenziale di massa Vss. Il componente resistivo 316 include almeno un elemento resistivo, quale elemento resistivo 320. Elementi resistivi aggiuntivi, quali gli elementi resistivi 322, 324 e 326, possono essere accoppiati in parallelo con l'elemento resistivo 320. Come mostrato in figura 3, ciascun elemento resistivo può selettivamente presentare un percorso aperto per consentire la regolazione post-fabbricazione della resistenza del componente resistivo 316. Ciò consentirà un aggiustamento più fine ed il controllo della corrente di riferimento generata in risposta al segnale di controllo di corrente di riferimento.

S.I.B.
ROMA

Il primo elemento resistivo 320 ha un primo valore di resistenza, il secondo elemento 322 resistivo ha un secondo valore di resistenza, il terzo elemento resistivo 324 ha un terzo valore di resistenza ed il quarto elemento 326 resistivo ha un quarto valore di resistenza. Per una forma di realizzazione, il secondo valore di resistenza è sostanzialmente eguale al primo valore di resistenza, il terzo valore di resistenza è approssimativamente la metà del primo valore di resistenza ed il quarto valore di resistenza è approssimativamente un quarto del primo valore di resistenza. Per un'ulteriore forma di realizzazione, il primo valore di resistenza è di circa 16 kΩ. Come mostrato, l'elemento resistivo 322 presenta selettivamente un percorso aperto impiegando il nFET 340 in risposta ad un segnale di controllo ricevuto sul nodo 348, l'elemento 324 resistivo presenta selettivamente un percorso aperto impiegando il nFET 342 in risposta ad un segnale di controllo ricevuto sul nodo 350, ed un elemento 326 resistivo presenta selettivamente un percorso aperto impiegando il nFET 344 in risposta ad un segnale di controllo ricevuto sul nodo 352. Ciascun segnale di controllo è distinto,

S.I.B.
ROMA

consentendo la selezione del valore di resistenza combinato del componente 316 resistivo dopo la fabbricazione. Il generatore 300 di segnale di controllo di corrente di riferimento può ulteriormente includere uno o più transistori ad effetto di campo accoppiati tra il nodo 306 di uscita ed il componente resistivo 316. Per la forma di realizzazione illustrata in figura 3, il generatore 300 di segnale di controllo di corrente di riferimento include un primo nFET 325 ed un secondo nFET 300 accoppiati in serie tra il nodo di uscita 306 ed il componente resistivo 316. Per una prima forma di realizzazione, il nFET 325 è preferibilmente dimensionato per essere sostanzialmente identico al transistore passante 325 del circuito passante 210, e il nFET 330 è preferibilmente per essere sostanzialmente identico al transistore passante 230 del circuito passante 220.

Il nFET 325 e il nFET 330 ciascuno ha il loro gate accoppiato per ricevere un segnale di controllo sul nodo 346. Il nFET 338 accoppiato tra l'elemento resistivo 320 e il secondo nodo di potenziale 318 inoltre ha il suo gate accoppiato per ricevere il segnale di controllo sul nodo 346.

S.I.B.
ROMA

Il nodo 346 può essere accoppiato per ricevere un potenziale di alimentazione quale il segnale di controllo, attivando in tal nodo il nFET 325 e 338. Alternativamente, il nodo 346 può essere accoppiato per ricevere l'uscita di un partitore di tensione. Come tale, il segnale di controllo può essere ad un livello di potenziale ridotto, quale Vcc e può dare origine ad almeno una parziale attivazione dei nFET 325, 330 e 338.

Si deve notare che il transistore passante 225 del circuito passante 210 opera come un amplificatore in cascode avente una elevata capacità d'ingresso ed una bassa capacità di uscita; la capacità della linea 215 di bit globale è tipicamente ordini di grandezza maggiore della capacità del nodo d'ingresso 262 del dispositivo 205 di rilevazione. Anche se ciò condurrà a rapidi tempi di reazione sul nodo d'ingresso 262 verso un pozzo di corrente attraverso la cella di memoria bersaglio, ciò anche riduce la immunità del dispositivo rilevatore 205 a rumore nel segnale di controllo del gate del transistore passante 225. Per una migliorata affidabilità, si preferisce che il rumore di segnale venga soppresso per il segnale di controllo ricevuto sul nodo 225 almeno durante

S.I.B.
ROMA

la rilevazione dello stato programmato della cella di memoria bersaglio. La domanda di brevetto italiana n° RM 2000 A000698 intitolata "Riduzione di rumore di alimentazione nella selezione di colonna in dispositivi di memoria" e a nome dello stesso titolare, descrive metodi e circuiti per sopprimere l'umore per tali segnali di controllo. Un esempio di un tale circuito e metodo per la soppressione di rumore verrà descritto in riferimento alla figura 4.

Il dispositivo rilevatore 205 possiede tre fasi di funzionamento, cioè una prima fase di rilevazione per precaricare e per la decodifica di indirizzo, la seconda fase di rilevazione per rilevare lo stato programmato della cella di memoria bersaglio, ed una fase di non rilevazione per l'isolamento del dispositivo rilevatore dalle celle di memoria. Il circuito pilota 400 della figura 4 possiede tre stati corrispondenti a queste tre fasi di funzionamento. Nella prima e nella seconda fase di rilevazione, il transistore passante 225 viene attivato per consentire l'accoppiamento della cella di memoria bersaglio 136 al suo dispositivo 205 rilevatore associato. Durante la prima fase di rilevazione, il

S.I.B.
ROMA

transistore passante 225 riceve il suo segnale di controllo di attivazione impiegando un percorso non filtrato. Durante la prima fase di rilevazione, il dispositivo 205 di rilevazione è tollerante al rumore. Per migliorare le velocità di transizione del transistore passante 225, il segnale di controllo sul nodo 235 è preferibilmente non filtrato. Durante la seconda fase di rilevazione, il transistore 225 passante riceve il suo segnale di controllo di passivazione attraverso un percorso filtrato ed è isolato dal percorso non filtrato. Dato che lo stato programmato della cella di memoria bersaglio viene rilevato durante la seconda fase di rilevazione, è desiderabile sopprimere rumore sul nodo 235. Il transistore passante 225 viene semplicemente mantenuto nello stato attivato durante la seconda fase di rilevazione in modo che la velocità di transizione non abbia conseguenze. nella fase di non rilevazione, il transistore passante 225 viene disattivato per isolare la cella 136 di memoria bersaglio dal suo dispositivo rilevatore associato 205.

Come mostrato in figura 4, un primo segnale di controllo viene applicato ad un primo ingresso della porta NAND 440 dal nodo 450. Il primo segnale

S.I.B.
ROMA

di controllo, qui identificato come FILTER_ON, è indicativo del fatto che il transistore passante 225 debba essere isolato o meno dal potenziale di alimentazione non filtrato. impiegando i circuiti logici come mostrato in figura 4, un livello logico basso di FILTER_ON indica che il transistore passante 225 deve essere isolato dal noto 410 di potenziale mentre un livello logico alto indica che il transistore passante 225 può essere accoppiato al nodo 4120 di potenziale. Il nodo 410 di potenziale viene accoppiato per ricevere un potenziale di alimentazione quale Vcc. Un secondo segnale di controllo viene applicato ad un secondo ingresso della porta NAND 440 e ad un invertitore 445 dal nodo 455. Il secondo segnale di controllo, qui identificato come YPASS è indicativo del fatto che il transistore passante 225 debba essere attivato o disattivato. Impiegando i circuiti logici come mostrato in figura 4, un livello logico basso di YPASS indica che il transistore passante 225 deve essere accoppiato al nodo di potenziale 420 per la disattivazione mentre un livello logico alto indica che il transistore passante 225 deve essere accoppiato ad almeno uno dei nodi di potenziale 410 e 415 per l'attivazione. Il nodo di

S.I.B.
ROMA

potenziale 420 viene accoppiato per ricevere un potenziale di massa quale Vss. Il nodo di potenziale 415, quale il nodo di potenziale 410, viene accoppiato per ricevere il potenziale di alimentazione.

Nel funzionamento, il dispositivo di memoria 101 inizialmente può essere nella fase di non rilevazione nel funzionamento, almeno per quanto riguarda la cella di memoria bersaglio 136. Il segnale di controllo YPASS, per i circuiti logici come illustrato in figura 4, ha un livello logico basso durante la fase di non rilevazione. L'uscita dell'invertitore 445 applicata al gate del pFET 430, ora a livello logico alto, disattiverà il pFET e isolerà il gate del transistore passante 225 dal nodo di potenziale 415. Dato che il nFET è di tipo opposto al pFET 430, la sua risposta al medesimo segnale di controllo sarà opposta. Come tale, l'uscita dell'invertitore 445 applicata al gate del nFET 435 attiverà il nFET 435, accoppiando quindi il gate del transistore passante 225 al nodo di potenziale 420. L'uscita della porta NAND 440 sarà anche a livello logico alto, disattivando quindi il pFET 425 ed isolando il gate del transistore passante 225 dal nodo di potenziale 410. Isolare il

S.I.B.
ROMA

gate del transistore passante 225 dai potenziali di alimentazione e l'accoppiarlo al potenziale di massa fornirà quindi un segnale di controllo avente un livello logico basso, che dà origine alla disattivazione del transistore 225 passante a canale n e l'isolamento della cella 136 di memoria bersaglio dal dispositivo rilevatore 205.

Impiegando i circuiti logici come illustrato nella figura 4, il segnale di controllo YPASS e il segnale di controllo FILTER_ON ciascuno ha un livello logico alto durante la prima fase di rilevazione. In questo modo, il gate del transistore passante 225 viene acccoppiato al nodo di potenziale 410 per ricevere un potenziale di alimentazione non filtrato. Il gate del transistore passante 225 è contemporaneamente isolato dal nodo di potenziale 420. In questa configurazione, il gate del transistore passante 225 è anche accoppiato al nodo di potenziale 415 attraverso un percorso filtrato. Il percorso filtrato del circuito pilota 400 include il percorso dal nodo 415 di potenziale verso il nodo 235 attraverso il filtro 455 e il pFET 430 di accoppiamento selettivo. Il filtro 455 serve a ridurre rumore, o fluttuazioni indesiderabili, nel potenziale di

S.I.B.
ROMA

alimentazione ricevuto sul nodo di potenziale 415. Il filtro 455 può essere un filtro RC passabasso, avente un componente resistivo 460 ed un componente capacitivo 465, per ridurre il rumore ad alta frequenza. Anche se non è necessario accoppiare contemporaneamente il gate del transistore passante 225 ad ambedue i nodi di potenziale 410 e 415 durante la fase di rilevazione, vi sono vantaggi nel procedere in tal modo. Accoppiando concorrentemente il gate del transistore passante 225 ad ambedue i nodi di potenziale 410 e 415 durante la prima fase di rilevazione, la componente capacitiva 465 del percorso filtrato viene caricata rapidamente. Una transizione successiva della seconda fase di rilevazione, come descritta oltre, non rischierà la perdita della polarizzazione di gate di attivazione sul transistore passante 225 per effetto della costante di tempo RC di un filtro non caricato.

Durante la seconda fase di rilevazione, il dispositivo di memoria 101 rileva lo stato programmato della cella di memoria bersaglio 136 e quindi il suo valore di dato. Per migliorare i margini operativi del dispositivo rilevatore 205, particolarmente nelle applicazioni a bassa

S.I.B.
ROMA

tensione, è desiderabile ridurre il rumore nel potenziale di alimentazione applicato al gate del transistore passante 225.

Conseguentemente, il gate del transistore passante 225 dovrà essere accoppiato al nodo 415 di potenziale attraverso il percorso filtrato ed isolato dal nodo di potenziale 410.

Impiegando i circuiti logici come illustrato nella figura 4, il segnale di controllo YPASS rimane a livello logico alto e il segnale di controllo FILTER_ON effettua transizioni verso un livello logico basso durante la seconda fase di rilevazione. In questo modo, il gate del transistore passante 225 è isolato dai nodi di potenziale 410 e 420, ma è accoppiato al nodo 415 di potenziale attraverso il percorso filtrato. Il gate del transistore passante 225 riceve quindi un potenziale di alimentazione filtrato in qualità di suo segnale di controllo, dando origine ad una migliorata immunità al rumore nell'operazione di rilevazione. Come mostrato in figura 4, le uscite della porta NAND 440 e dell'invertitore 455 possono essere munite di buffer, ad esempio mediante la coppia di invertitori 460/465 e 470/475, rispettivamente.

S.I.B.
ROMA

Dopo l'aggancio del valore di dati rivelato, il dispositivo di memoria può ritornare alla fase di funzionamento di non rilevazione. La temporizzazione delle varie fasi di funzionamento è controllata dal circuito di controllo di comando del dispositivo di memoria. I vari segnali di controllo, quali FILTER_ON e YPASS sono generati dal circuito di controllo di comando per il controllo dell'accesso verso la schiera di memoria come qui descritta. Per prestazioni migliorate del dispositivo rilevatore 205, è importante che la temporizzazione della precarica della linea di bit sia controllata strettamente. La precarica dovrà essere sufficiente a caricare completamente le capacità parassite delle linee di bit per fornire operazioni di rilevazione congruenti. Una precarica insufficiente può portare ad una indicazione erronea di uno stato cancellato della cella di memoria bersaglio. Tuttavia, per una migliorata velocità di accesso, la precarica non deve essere più lunga di quanto non sia necessario per caricare queste capacità parassite. La temporizzazione di una fase di funzionamento quale la fase di precarica è generalmente controllata da un segnale o impulso di temporizzazione. Generatori di impulsi

S.I.B.
ROMA

per generare un impulso di temporizzazione spesso forniscono compensazione per variazioni nella tensione di alimentazione, ma possono presentare variazione inaccettabile come risultato di cambiamenti nella temperatura ambiente. la domanda di brevetto italiano n° RM 2000 A000700 intitolata "Generatore d'impulsi compensato in tensione e temperatura" e a nome dello stesso titolare descrive metodi e circuiti per generare un impulso di temporizzazione comprendente compensazione della tensione di alimentazione e temperatura ambiente. un esempio di tale circuito e metodo per generare tale impulso di temporizzazione verrà descritto in riferimento alla figura 5.

La figura 5 è uno schema di un generatore 500 di impulsi avente un comparatore 510, un generatore 550 di segnale a rampa ed un generatore 570 di segnale di soia adattativo. Il generatore 550 di segnale a rampa è spesso un circuito RC. Il comparatore 510 fornisce un segnale di uscita in risposta alla differenza tra un livello di potenziale di un segnale di soglia generato dal generatore 570 di segnale di soglia ed un livello di potenziale di un segnale a rampa generato dal generatore 550 di segnale a rampa.

S.I.B.
ROMA

Il generatore 570 di segnale di soglia adattativo della figura 5 comprende un componente 576 resistivo superiore accoppiato tra un primo nodo 572 di potenziale ed un nodo di uscita 580. Il componente 576 resistivo superiore di figura 5 include un elemento resistivo 582. Come è ben noto nella tecnica, elementi resistivi o resistori possono essere configurati in una varietà di configurazioni in parallelo, configurazione in serie, o configurazioni in combinazione parallelo/serie per produrre elementi resistivi equivalenti. Conseguentemente, per forme di realizzazione aggiuntive l'elemento resistivo 582 può rappresentare due o più elementi resistivi in una varierà di configurazioni in parallelo, serie o parallelo/serie. Per una prima forma di realizzazione l'elemento resistivo 582 contiene uno o più resistori a semiconduttore e il componente resistivo superiore 576 ha un coefficiente di resistività positivo con la temperatura.

Il componente resistivo superiore 576 ha un coefficiente di resistività in funzione della temperatura effettivo che è il composito dei coefficienti di temperatura di resistività di tutti i suoi elementi resistivi. Per la forma di

S.I.B.
ROMA

realizzazione illustrata in figura 5, il coefficiente di temperatura effettivo di resistività del componente 576 resisitivo superiore è uguale al coefficiente di temperatura di resistività dell'elemento resistivo 582.

Il generatore 570 di segnale di soglia adattativo di figura 5 comprende inoltre un componente 578 resistivo inferiore accoppiato tra un secondo nodo 574 di potenziale ed il nodo 580 di uscita. Il primo nodo 572 di potenziale è accoppiato per ricevere un primo potenziale e il secondo nodo 574 di potenziale è accoppiato per ricevere un secondo potenziale, con il primo potenziale più alto del secondo potenziale. Per una forma di realizzazione, il primo nodo di potenziale 572 è accoppiato per ricevere un potenziale di alimentazione, quale Vcc ed il secondo nodo di potenziale 574 è accoppiato per ricevere potenziale di massa, quale Vss.

Il componente resistivo inferiore 578 ha un coefficiente di temperatura effettivo di resistività che è inferiore al coefficiente di temperatura effettivo di resistività del componente resistivo superiore 576. Per ottenere ciò, il componente 578 resistivo inferiore include almeno

S.I.B.
ROMA

un elemento resistivo avente un coefficiente di resistività in temperatura inferiore al coefficiente di temperatura effettivo di resistività del componente resistivo superiore 576. Per una forma di realizzazione, il componente 578 resistivo inferiore include almeno un elemento resistivo avente un coefficiente di temperatura di resistività inferiore al più basso coefficiente di temperatura di resistività di qualsiasi elemento resistivo del componente 576 resistivo superiore. Per un'altra forma di realizzazione, il componente 578 resistivo inferiore include almeno un elemento resistivo avente un coefficiente di resistività in temperatura negativo.

Per la forma di realizzazione illustrata in figura 5, il componente resistivo inferiore 578 include, come elemento resistivo, un transistore bipolare a giunzione (BJT) 586 avente la sua base accoppiata al suo collettore. Il BJT 586 ha un coefficiente di temperatura negativo di resistività. Come esempio, la polarizzazione base-emettitore, Vbe, di un BJT npn può cambiare di 0,2 mV/°C in questa configurazione. Elementi resistivi aggiuntivi quali gli elementi resistivi 584 e 588 possono essere usati per aggiustare il livello

S.I.B.
ROMA

nominale di resistenza del componente resistivo inferiore 578 per produrre un rapporto di resistenza desiderato tra il componente 576 resistivo superiore ed il componente 578 resistivo inferiore, e quindi produrre un desiderato segnale di soglia per un dato insieme di primi e secondi potenziali. Per la forma di realizzazione illustrata in figura 5, l'elemento 584 resistivo viene accoppiato in parallelo con il BJT 586 mentre l'elemento resistivo 588 è accoppiato in serie con il BJT 586. Per una prima forma di realizzazione, gli elementi resistivi 584 e 588 contengono ciascuno resistori a semiconduttore, ciascuno avente un coefficiente di resistività positivo con la temperatura. Come nel caso dell'elemento resistivo 582, gli elementi resistivi 584 e 588 possono ciascuno rappresentare uno o più elementi resistivi in una varietà di configurazione in parallelo, configurazioni in serie o configurazioni di combinazioni parallelo/serie.

L'aumento dei livelli di resistenza nel circuito RC del generatore di rampa condurrà ad una pendenza decrescente del segnale a rampa. Se il segnale di soglia rimane sostanzialmente costante, una pendenza decrescente del segnale a rampa

S.I.B.
ROMA

condurrà ad una maggiore larghezza di impulso dal comparatore in quanto sarà necessario un tempo maggiore perchè il segnale a rampa eguagli o superi un segnale di soglia. Per compensare questa variazione indesiderabile di temperatura nel generatore di segnale a rampa, il generatore 570 di segnale di spoglia include un componente resistivo inferiore 578 avente un coefficiente di resistività in temperatura effettivo che è più basso del coefficiente di temperatura effettivo del componente 576 resistivo superiore. Nella configurazione del partitore di tensione, questa differenza nei coefficienti di temperatura effettivi di resistività dà origine ad un decrescente segnale di soglia in risposta all'aumentare della temperatura ambiente, compensando in tal modo la pendenza decrescente del segnale a rampa e conducendo a impulsi di temporizzazione più congruenti entro un intervallo di condizioni operative.

CONCLUSIONE

Sono stati descritti dispositivi di rilevazione sbilanciati per la rilevazione di uno stato programmato di una cella di memoria a gate flottante per l'impiego in dispostivi di memoria a

S.I.B.
ROMA

bassa tensione. Dispositivi di rilevazione secondo le varie forme di realizzazione comprendono un nodo d'ingresso accoppiato selettivamente alla cella di memoria a gate flottante. Tali dispositivi di rilevazione includono un percorso di precarica per applicare un potenziale di precarica per applicare un potenziale di precarica al nodo di ingresso del dispositivo di rilevazione per precaricare linee di bit prima della rilevazione dello stato programmato della cella di memoria a gate flottante. Tali dispositivi di rilevazione includono inoltre un percorso di corrente di riferimento per applicare una corrente di riferimento al nodo d'ingresso del dispositivo rilevatore. Tali dispositivi di rilevazione ancora includono un invertitore di rilevazione avente un ingresso accoppiato al nodo d'ingresso del dispositivo di rilevazione ed una uscita per fornire un segnale di uscita indicativo dello stato programmato della cella di memoria a gate flottante. La corrente di riferimento viene applicata al nodo d'ingresso del dispositivo di rilevazione durante la rilevazione dello stato programmato della cella di memoria a gate flottante, compensando quindi la corrente residua e

S.I.B.
ROMA

migliorando la immunità a indicazioni erronee di una cella di memoria a gate flottante cancellata.

Sebbene siano state qui illustrate e descritte specifiche forme di realizzazione, sarà compreso da coloro che sono di ordinaria esperienza nel ramo che si può calcolate qualsiasi disposizione per raggiungere lo stesso scopo e può essere sostituita alle specifiche forme di realizzazione mostrate. Saranno chiare a coloro di ordinaria esperienza nella tecnica numerosi adattamenti della invenzione. Conseguentemente, questa domanda è intesa proteggere qualsiasi adattamento o variazione dell'invenzione. E' esplicitamente inteso che questa invenzione sia limitata soltanto dalle seguenti rivendicazioni e loro equivalenti.

(Iscr. [illegible] BM)

CAMERA COMMERCIO I.A.A. - DI [illegible]

S.I.B.
ROMA

RM2001 A 000001

RIVENDICAZIONI

1. Dispositivo di rilevazione (205) per rilevare lo stato programmato di una cella di memoria a gate flottante (136), in cui il dispositivo rilevatore (205) possiede un nodo d'ingresso (262) accoppiato selettivamente alla cella di memoria a gate flottante (136), il dispositivo di rilevazione (205) comprendendo:

un percorso di precarica accoppiato tra un primo nodo di potenziale (250) ed il nodo d'ingresso (262) del dispositivo rilevatore (205), in cui il primo nodo di potenziale (250) è accoppiato per ricevere un potenziale di precarica;

un percorso di corrente di riferimento accoppiato tra un secondo nodo di potenziale (252) ed il nodo d'ingresso (262) del dispositivo di rilevazione 8205), in cui il secondo nodo di potenziale (252) è accoppiato per ricevere un secondo potenziale per fornire una corrente di riferimento al nodo d'ingresso (262) del dispositivo rilevatore (205); e

un invertitore di rilevazione (264) avente un ingresso accoppiato al nodo d'ingresso (262) del dispositivo rilevatore (205) ed una uscita per fornire un segnale di uscita sensibile ad un

S.I.B.
ROMA

livello di potenziale del nodo di ingresso (262) del dispositivo di rilevazione (205) relativamente ad un punto di soglia, in cui il segnale di uscita è indicativo dello stato programmato della cella di memoria a gate flottante (136).

2. Dispositivo rilevatore (205) secondo la rivendicazione 1, in cui l'invertitore di rilevazione (264) comprende ulteriormente:

uno stadio a canale p accoppiato tra un terzo nodo di potenziale (266) e l'uscita dell'invertitore di rilevazione 8264), lo stadio a canale p comprendendo almeno un transistore ad effetto di campo a canale p avente ciascuno un gate accoppiato al nodo di ingresso (262) del dispositivo rilevatore (205);

uno stadio a canale n accoppiato tra un quarto nodo di potenziale (276) e l'uscita dell'invertitore di rilevazione (264), lo stadio a canale n comprendendo almeno un transistore ad effetto di campo a canale n ciascuno avente una porta accoppiata al nodo d'ingresso (262) del dispositivo rilevatore (205);

in cui il terzo nodo di potenziale (266) è accoppiato per ricevere un terzo potenziale; e

in cui il quarto nodo di potenziale 276 è

S.I.B.
ROMA

accoppiato per ricevere un quarto potenziale.

3. Dispositivo rivelatore (205) secondo la rivendicazione 2, in cui il secondo potenziale ed il terzo potenziale sono ciascuno un potenziale di alimentazione ed il quarto potenziale è potenziale di massa.

4. Dispositivo rivelatore (205) secondo la rivendicazione 2, in cui lo stadio a canale p comprende un transistore ad effetto di campo a canale p (268) e lo stadio a canale n comprende tre transistori ad effetto di campo a canale n (270, 272, 274) accoppiati in serie.

5. Dispositivo rilevatore (205) secondo la rivendicazione 1, in cui il percorso di precarica comprende inoltre un transistore ad effetto di campo accoppiato tra il primo nodo di potenziale (250) ed il nodo di ingresso (262) del dispositivo rilevatore (205).

6. Dispositivo rilevatore (205) secondo la rivendicazione 1 o 3, in cui il percorso di corrente di riferimento comprende inoltre un transistore ad effetto di campo accoppiato tra il secondo nodo di potenziale (252) ed il nodo di ingresso (262) del dispositivo rilevatore (205) ed avente un gate accoppiato per ricevere un segnale

S.I.B.
ROMA

di controllo di corrente di riferimento.

7. Dispositivo rilevatore (205) secondo la rivendicazione 6, in cui il transistore ad effetto di campo del percorso di corrente di riferimento è un transistore ad effetto di campo a canale p (258).

8. Dispositivo rilevatore (205) secondo la rivendicazione 7, ulteriormente comprendente un generatore di segnale di controllo di corrente di riferimento (300) avente un nodo di uscita (306) accoppiato al gate del transistore ad effetto di campo a canale p (258) del percorso di corrente di riferimento per fornire il segnale di controllo di corrente di riferimento, il generatore (300) di segnale di controllo di corrente di riferimento comprendendo:

un diodo (302) accoppiato tra un quinto nodo di potenziale (304) ed il nodo di uscita (306) del generatore (300) di segnale di controllo di controllo di riferimento, in cui il quinto nodo di potenziale (304) è accoppiato per ricevere un quinto potenziale; e

un componente resistivo (316) accoppiato tra un sesto nodo di potenziale (318) e il nodo di uscita (306) del generatore (300) di segnale di

S.I.B.
ROMA

controllo di controllo di riferimento, in cui il sesto nodo di potenziale (318) è accoppiato per ricevere un sesto potenziale.

9. Dispositivo rilevatore (205) secondo la rivendicazione 8, in cui il quinto potenziale è un potenziale di alimentazione ed il sesto potenziale è un potenziale di massa.

10. Dispositivo rilevatore (205) secondo la rivendicazione 9, in cui il terzo potenziale ed il quinto potenziale sono il medesimo potenziale di alimentazione ed il quarto potenziale ed il sesto potenziale sono il medesimo potenziale di massa.

11. Dispositivo rilevatore (205) secondo la rivendicazione 8, in cui il diodo (302) comprende inoltre una molteplicità di transistori ad effetto di campo collegati a diodo accoppiati in parallelo tra il quarto nodo di potenziale (276) ed il nodo di uscita (306) del generatore di segnale di controllo di corrente di riferimento (300).

12. Dispositivo rilevatore (205) secondo la rivendicazione 11, in cui ciascun transistore ad effetto di campo della molteplicità di transistori ad effetto di campo collegati a diodo è un transistore (358) ad effetto di campo a canale p dimensionato per essere sostanzialmente identico al

S.I.B.
ROMA

transistore (258) ad effetto di campo a canale p del percorso di correte di riferimento.

13. Dispositivo rilevatore (205) secondo la rivendicazione 8, in cui il generatore (300) di segnale di controllo di corrente di riferimento comprende inoltre:

almeno un transistore ad effetto di campo (325, 330) accoppiato tra il componente resistivo (316) ed il nodo di uscita (306) del generatore (300) di segnale di controllo di riferimento.

14. Dispositivo rilevatore (205) secondo la rivendicazione 13, in cui almeno un transistore ad effetto di campo (325, 330) è dimensionato per essere sostanzialmente identico ad un transistore passante (225, 230) accoppiato tra una cella di memoria bersaglio (136) ed il nodo di ingresso (262) del dispositivo rilevatore (205).

15. Dispositivo rilevatore (205) secondo la rivendicazione 8, in cui il componente resistivo (316) comprende inoltre:

un primo elemento resistivo (320) accoppiato tra il sesto nodo di potenziale (318) ed il nodo di uscita (306) del generatore (300) di segnale di controllo di corrente di riferimento;

un primo transistore ad effetto di campo (338)

S.I.B.
ROMA

accoppiato tra il primo elemento resistivo (320) ed il sesto nodo di potenziale (318) e sensibile ad un primo segnale di controllo;

un secondo elemento resistivo (322) accoppiato in parallelo con il primo elemento (320) resistivo tra il sesto nodo di potenziale (318) ed il nodo di uscita (306) del generatore (300) di segnale di controllo di corrente di riferimento; e

un secondo transistore ad effetto di campo (340) accoppiato tra il secondo elemento resistivo (322) ed il sesto nodo di potenziale (318) e sensibile ad un secondo segnale di controllo differente dal primo segnale di controllo.

16. Dispositivo (205) secondo la rivendicazione 15, in cui il primo segnale di controllo è un potenziale di alimentazione.

17. Dispositivo rilevatore (205) secondo la rivendicazione 15, in cui il primo segnale di controllo viene ricevuto da una uscita di un partitore di tensione.

18. Dispositivo rilevatore (205) secondo la rivendicazione 15, in cui il primo segnale di controllo è approssimativamente Vcc/2.

19. Dispositivo rilevatore (205) secondo la rivendicazione 15, in cui il componente resistivo

S.I.B.
ROMA

(316) comprende inoltre:

almeno un ulteriore elemento resistivo (324, 326) accoppiato in parallelo con il primo elemento resistivo (320) tra il sesto nodo di potenziale (318) ed il nodo di uscita 8306 del generatore (300) di segnale di controllo di corrente di riferimento; e

almeno un transistore ad effetto di campo aggiuntivo (342, 344), ciascun transistore ad effetto di campo aggiuntivo (342, 344) accoppiato su uno degli elementi resistivi aggiuntivi (324, 326) ed il sesto nodo di potenziale (318) e ciascun transistore ad effetto di campo aggiuntivo (342, 344) sensibile ad un segnale di controllo aggiuntivo diverso dal primo segnale di controllo.

20. Dispositivo rilevatore (205) secondo la rivendicazione 8, in cui il componente resistivo (316) comprende una molteplicità di elementi resistivi (320, 322, 324, 326) selettivamente accoppiati in parallelo tra il sesto nodo di potenziale (318) ed il nodo di uscita (306) del generatore (300) di segnale di controllo di corrente di riferimento.

21. Dispositivo rilevatore (205) secondo la rivendicazione 7, ulteriormente comprendente un

S.I.B.
ROMA

generatore (300) di segnale di controllo di corrente di riferimento avente un nodo di uscita 8306) accoppiato al gate del transistore ad effetto di campo a canale p (258) del percorso di corrente di riferimento per fornire il segnale di controllo di corrente di riferimento, il generatore (300) di segnale di controllo di corrente di riferimento comprendendo:

la molteplicità di transistori (358) ad effetto di campo a canale p collegati a diodo, ciascun transistore (358) ad effetto di campo a canale p collegato a diodo avendo una prima regione sorgente/assorbitore accoppiata per ricevere un quinto potenziale da un quinto nodo di potenziale (304), una seconda regione sorgente/assorbitore accoppiata al nodo di uscita (306) del generatore (300) di segnale di controllo di corrente di riferimento, ed un gate accoppiato al nodo di uscita (306) del generatore 8300) di segnale di controllo di corrente di riferimento, in cui ciascun transistore (358) ad effetto di campo a canale p della molteplicità di transistori (358) ad effetto di campo a canale p collegati a diodo è dimensionato per essere sostanzialmente identico al transistore (258) ad effetto di campo a canale p

S.I.B.
ROMA

del percorso di corrente di riferimento;

un primo transistore (325) ad effetto di campo a canale n avente una prima regione sorgente /assorbitore accoppiata al nodo di uscita (306) del generatore (300) di segnale di controllo di corrente di riferimento, una seconda regione sorgente/assorbitore, ed un gate accoppiato per ricevere un primo segnale di controllo, in cui il primo transistore (325) ad effetto di campo a canale n è dimensionato per essere sostanzialmente identico ad un primo transistore passante (225) accoppiato tra la cella di memoria a gate flottante (136) ed il dispositivo rilevatore (205);

un secondo transistore (330) ad effetto di campo a canale n avente una prima regione sorgente/assorbitore accoppiata alla seconda sorgente /assorbitore del primo transistore ad effetto di campo (325), una seconda regione sorgente /assorbitore, ed un gate accoppiato per ricevere il primo segnale di controllo, in cui il secondo transistore (330) ad effetto di campo a canale n è dimensionato per essere sostanzialmente identico ad un secondo transistore passante (230) accoppiato tra la cella di memoria a gate flottante (136) ed il dispositivo rilevatore (205); e

S.I.B.
ROMA

un componente resistivo (316) avente un ingresso accoppiato alla seconda regione sorgente/assorbitore del secondo assorbitore ad effetto di campo (330) ed una uscita accoppiata per ricevere un sesto potenziale da un sesto nodo di potenziale (318), il componente resistivo (316 includendo un primo elemento resistivo (320) accoppiato tra la seconda regione di sorgente/assorbitore del secondo transistore ad effetto di campo (330) ed il sesto nodo di potenziale (318) ed un terzo transistore (338) ad effetto di campo a canale n accoppiato tra il primo elemento resistivo (320) ed il sesto nodo di potenziale (318), il terzo transistore (338) ad effetto di campo a canale n avendo un gate accoppiato per ricevere il primo segnale di controllo; in cui il terzo potenziale ed il quinto potenziale sono lo stesso potenziale e che tale potenziale è un potenziale di alimentazione; e

in cui il quarto potenziale ed il sesto potenziale sono lo stesso potenziale e che tale potenziale è potenziale di massa.

22. Dispositivo rilevatore (205) secondo la rivendicazione 21, in cui il primo segnale di controllo è un potenziale di alimentazione.

S.I.B.
ROMA

23. Dispositivo rilevatore (205) secondo la rivendicazione 21, in cui il primo segnale di controllo viene ricevuto da una uscita di un partitore di tensione.

24. Dispositivo rilevatore (205) secondo la rivendicazione 21, in cui il primo segnale di controllo è approssimativamente Vcc/2.

25. Dispositivo rilevatore (205) secondo la rivendicazione 15, in cui il componente resistivo (316) comprende inoltre:

almeno un elemento resistivo aggiuntivo (322, 324, 326) accoppiato in parallelo con il primo elemento resistivo (320) tra la seconda regione sorgente/assorbitore del secondo transistore (300) ad effetto di campo a canale n ed il sesto nodo di potenziale (318); e

almeno un transistore ad effetto di campo a canale n aggiuntivo (340, 342, 344), ciascun transistore ad effetto di campo a canale n aggiuntivo (340, 342, 344) accoppiato tra uno degli elementi resistivi aggiuntivi (322, 324, 326) ed il sesto nodo di potenziale (218) e ciascun transistore aggiuntivo ad effetto di campo 8340, 342, 344) avente un gate accoppiato per ricevere un controllo di segnale separato diverso dal primo

S.I.B.
ROMA

segnale di controllo.

26. Dispositivo rilevatore (205) secondo la rivendicazione 1, in cui la corrente di riferimento è inferiore a metà del previsto flusso di corrente attraverso la cella di memoria a gate flottante (136) nella condizione cancellata.

27. Dispositivo rilevatore (205) secondo la rivendicazione 1, in cui la corrente di riferimento è circa un ordine di grandezza inferiore al previsto flusso di corrente attraverso la cella di memoria a gate flottante (136) nella condizione cancellata.

28. Dispositivo rilevatore (205) secondo la rivendicazione 1, in cui un transistore passante (225) è accoppiato tra la cella di memoria a gate flottante (136) e il nodo di ingresso (262) del dispositivo rilevatore (2059, in cui il gate del transistore passante (225) è accoppiato per ricevere un segnale di controllo, ed in cui il rumore di segnale viene soppresso sul segnale di controllo ricevuto dal gate del transistore passante (225) durante almeno una parte di una operazione di rilevazione.

29. Dispositivo rilevatore (205) secondo la rivendicazione 1, in cui il percorso di precarica

S.I.B.
ROMA

accoppia il potenziale di precarica all'ingresso del dispositivo rilevatore (205) per un certo periodo di tempo, in cui il periodo di tempo è controllato da un impulso di temporizzazione generato da un generatore di impulsi avente compensazione sia per la tensione di alimentazione sia per la temperatura ambiente.

30. Metodo per rilevare lo stato programmato di una cella di memoria a gate flottante (136), il metodo comprendendo:

accoppiare una linea di bit (134, 215) ad un nodo di ingresso (262) di un dispositivo (205) di rilevazione sbilanciato, in cui la linea di bit (134, 215) è accoppiata a una regione sorgente /assorbitore della cella di memoria a gate flottante (136);

accoppiare la linea di bit (134, 215) ed il nodo di ingresso (262) ad un primo nodo di potenziale (250) per ricevere un potenziale di precarica;

applicare una corrente di riferimento al nodo d'ingresso (262);

pilotare una linea di parola (132) accoppiata ad un gate di controllo (144) della cella di memoria (136) a gate flottante;

S.I.B.
ROMA

isolare la linea di bit (134, 215) ed il nodo d'ingresso (262) dal primo nodo di potenziale (250); e

percepire un livello di potenziale sul nodo d'ingresso (262) mentre si applica la corrente di riferimento, in cui il livello di potenziale sul nodo d'ingresso (262) è indicativo dello stato programmato della cella di memoria a gate flottante (136).

31. Metodo secondo la rivendicazione 30, in cui l'applicazione di una corrente di riferimento al nodo d'ingresso (262) comprende:

il generare una corrente di riferimento, in cui la corrente di riferimento varia inversamente con le variazioni nella temperatura ambiente; e

applicare la corrente di riferimento al nodo d'ingresso (262).

32. Metodo secondo la rivendicazione 30, in cui applicare una corrente di riferimento al nodo d'ingresso (262) comprende:

generare un segnale di controllo di corrente di riferimento avente un livello di potenziale, in cui il livello di potenziale del segnale di controllo della corrente di riferimento varia proporzionalmente con le variazioni della

S.I.B.
ROMA

temperatura ambiente;

generare una corrente di riferimento in risposta al livello di potenziale del segnale di controllo della corrente di riferimento, in cui la corrente di riferimento varia inversamente con le variazioni nella temperatura ambiente; e

applicare la corrente di riferimento al nodo d'ingresso (262).

33. Metodo secondo la rivendicazione 30, in cui l'applicazione di una corrente di riferimento al nodo di ingresso (262) comprende;

generare un segnale di controllo di corrente di riferimento avente un livello di potenziale, in cui il segnale di controllo di corrente di riferimento è generato su un nodo di uscita (306) collocato sull'uscita di un diodo (302) avente un ingresso accoppiato per ricevere un potenziale di alimentazione da un secondo nodo di potenziale (304) ed in cui un componente resistivo (316) è accoppiato tra il nodo di uscita (306) ed un terzo nodo di potenziale (318) accoppiato per ricevere un potenziale di massa;

generare una corrente di riferimento in risposta al livello di potenziale del segnale di controllo di corrente di riferimento; e

S.I.B.
ROMA

applicare la corrente di riferimento al nodo di ingresso 8262).

34. metodo secondo la rivendicazione 30, in cui l'applicare una corrente di riferimento al nodo di ingresso (262) comprende:

generare un segnale di controllo di corrente di riferimento avente un livello di potenziale, in cui il segnale di controllo di corrente di riferimento viene generato su un nodo di uscita (306) collocato su una uscita di una schiera di transistori (358) ad effetto di campo a canale p collegati a diodo ciascuno avente una prima regione sorgente/assorbitore accoppiata per ricevere un potenziale di alimentazione da un secondo nodo di potenziale (304), una seconda regione di sorgente /assorbitore accoppiata al nodo di uscita (306) ed un gate accoppiato al nodo di uscita (306), in cui un componente resistivo (316) è accoppiato tra il nodo di uscita (306) ed un terzo nodo di potenziale (318) accoppiato per ricevere un potenziale di massa, ed in cui un primo transistore ad effetto di campo a canale n (325) e un secondo transistore ad effetto di campo a canale n (330) sono accoppiati in serie tra il nodo di uscita (306) ed il componente resistivo (326); e

S.I.B.
ROMA

applicare un segnale di controllo di corrente di riferimento ad un gate di un transistore ad effetto di campo a canale p (258) accoppiato tra il nodo di ingresso (262) ed un quarto nodo di potenziale (252) accoppiato per ricevere il potenziale di alimentazione, applicando in tal modo la corrente di riferimento al nodo di ingresso (262).

35. Metodo secondo la rivendicazione 34, in cui il componente resistivo (316) comprende:

un primo elemento resistivo (320) accoppiato tra il terzo nodo di potenziale (318) ed il nodo di uscita (306); e

un trasistore ad effetto di campo (338) accoppiato tra il primo elemento resistivo (320) ed il terzo nodo di potenziale (318) e sensibile ad un primo segnale di controllo.

36. Metodo secondo la rivendicazione 35, in cui il componente resistivo (316) ulteriormente comprende:

un secondo elemento resistivo (322) accoppiato in parallelo con il primo elemento resistivo (320) tra il terzo nodo di potenziale (318) ed il nodo di uscita (306); e

un secondo transistore ad effetto di campo

S.I.B.
ROMA

(240) accoppiato tra il secondo elemento resistivo (122) ed il terzo nodo di potenziale (318) e sensibile ad un secondo segnale di controllo diverso dal primo segnale di controllo.

37. Metodo secondo la rivendicazione 36, in cui il componente resistivo (316) ulteriormente comprende:

almeno un elemento resistivo aggiuntivo (324, 326) accoppiato in parallelo con il primo elemento resistivo (220) tra il terzo nodo di potenziale (318) ed il nodo di uscita (306); e

almeno un transistore aggiuntivo ad effetto di campo (342, 344), ciascun transistore ad effetto di campo aggiuntivo (342, 344) accoppiato tra uno degli elementi resistivi aggiuntivi (324, 326) ed il terzo nodo di potenziale (318) e ciascun transistore ad effetto di campo aggiuntivo (342, 344) sensibile ad un segnale di controllo aggiuntivo diverso dal primo segnale di controllo.

38. Metodo secondo la rivendicazione 34, in cui il componente resistivo (316) comprende una molteplicità di elementi resistivi (320, 322, 3214, 326) accoppiati selettivamente in parallelo tra il terzo nodo di potenziale (318) ed il nodo di uscita (306).

S.I.B.
ROMA

39. Metodo secondo la rivendicazione 34, in cui ciascun transistore ad effetto di campo a canale p (358) è dimensionato per essere sostanzialmente identico al transistore ad effetto di campo a canale p (258).

40. Metodo secondo la rivendicazione 34, in cui il primo transistore ad effetto di campo a canale n (325) è dimensionato per essere sostanzialmente identico ad un primo transistore passante (225) accoppiato tra la cella di memoria a gate flottante (136) ed il nodo d'ingresso (262) ed il secondo transistore ad effetto di campo a canale n (330) è dimensionato per essere sostanzialmente identico ad un secondo transistore passante (230) accoppiato tra la cella di memoria a gate flottante (136) ed il nodo d'ingresso 8262).

41. Metodo secondo la rivendicazione 30, in cui il riferimento è meno di metà di un flusso di corrente previsto attraverso la cella (136) di memoria a gate flottante nella condizione cancellata.

42. Metodo secondo la rivendicazione 30, in cui la corrente di riferimento è approssimativamente un ordine di grandezza inferiore al previsto flusso di corrente attraverso

S.I.B.
ROMA

la cella (136) di memoria a gate flottante nella condizione cancellata.

43. Dispositivo (101)a memoria flash avente una schiera (105) di celle (136) di memoria a gate flottante, in cui il dispositivo (101) di memoria flash comprende:

un dispositivo rilevatore sbilanciato (205) per rilevare lo stato programmato di una cella (136) di memoria a gate flottante, in cui detto dispositivo rilevatore (205) possiede un nodo di ingresso (262) selettivamente accoppiato ad una cella (136) di memoria a gate flottante, il dispositivo rilevatore (205) ulteriormente comprendendo:

un percorso di precarica accoppiato tra un primo nodo di potenziale (250) ed il nodo d'ingresso (262) del dispositivo rilevatore (205), in cui il primo nodo di potenziale (250) è accoppiato per ricevere un potenziale di precarica;

un percorso di corrente di riferimento accoppiato tra un secondo nodo di potenziale (252) ed il nodo d'ingresso (262) del dispositivo rilevatore (205)in cui il secondo nodo di potenziale (252) è accoppiato per ricevere un secondo potenziale per fornire una corrente di

S.I.B.
ROMA

riferimento al nodo d'ingresso 8262) del dispositivo rilevatore (205); e

un invertitore di rilevazione (264) avente un ingresso accoppiato al nodo d'ingresso (262) del dispositivo rilevatore (205) ed una uscita per fornire un segnale di uscita sensibile ad un livello di potenziale del nodo d'ingresso (262) del dispositivo rilevatore (205) relativamente ad un punto di soglia, in cui il segnale di uscita è indicativo dello stato programmato della cella (136) di memoria a gate flottante.

44. Sistema elettronico (100) avente un dispositivo di memoria (101) accoppiato ad un elaboratore (103), il dispositivo di memoria (101) avendo una schiera (105) di celle di memoria (136) a gate flottante, in cui il dispositivo di memoria (101) ulteriormente comprende:

un dispositivo rilevatore sbilanciato (205) per rilevare lo stato programmato di una cella di memoria (136) a gate flottante, in cui il dispositivo rilevatore (205) ha un nodo d'ingresso 8262) selettivamente accoppiato ad una cella di memoria a gate flottante (136), il dispositivo rilevatore (205) ulteriormente comprendendo:

un percorso di precarica accoppiato tra un

S.I.B.
ROMA

primo nodo di potenziale (250) ed il nodo d'ingresso 8262) del dispositivo rilevatore (205), in cui il primo nodo di potenziale (250) è accoppiato per ricevere un potenziale di precarica;

un percorso di corrente di riferimento accoppiato tra un secondo nodo di potenziale (252) ed il nodo d'ingresso (262) del dispositivo rilevatore (205), in cui il secondo nodo di potenziale 252 è accoppiato per ricevere un secondo potenziale per fornire una corrente di riferimento al nodo d'ingresso (262) del dispositivo rilevatore (205); e

un invertitore di rilevazione (264) avente un ingresso accoppiato al nodo d'ingresso (262) del dispositivo rilevatore (205) ed una uscita per fornire un segnale di uscita sensibile ad un livello di potenziale del nodo d'ingresso (262) del dispositivo rilevatore (205) rispetto ad un punto di soglia, in cui il segnale di uscita è indicativo dello stato programmato della cella di memoria (136) a gate flottante.

p.p. MICRON TECHNOLOGY, INC. (una società dello Stato del Delaware)

Gilberto Tonon
(Iscr. Albo n. 83 BM)

CAMERA COMMERCIO I.A.A. - DI ROMA -

S.I.B.
ROMA

RM2001 A 000001

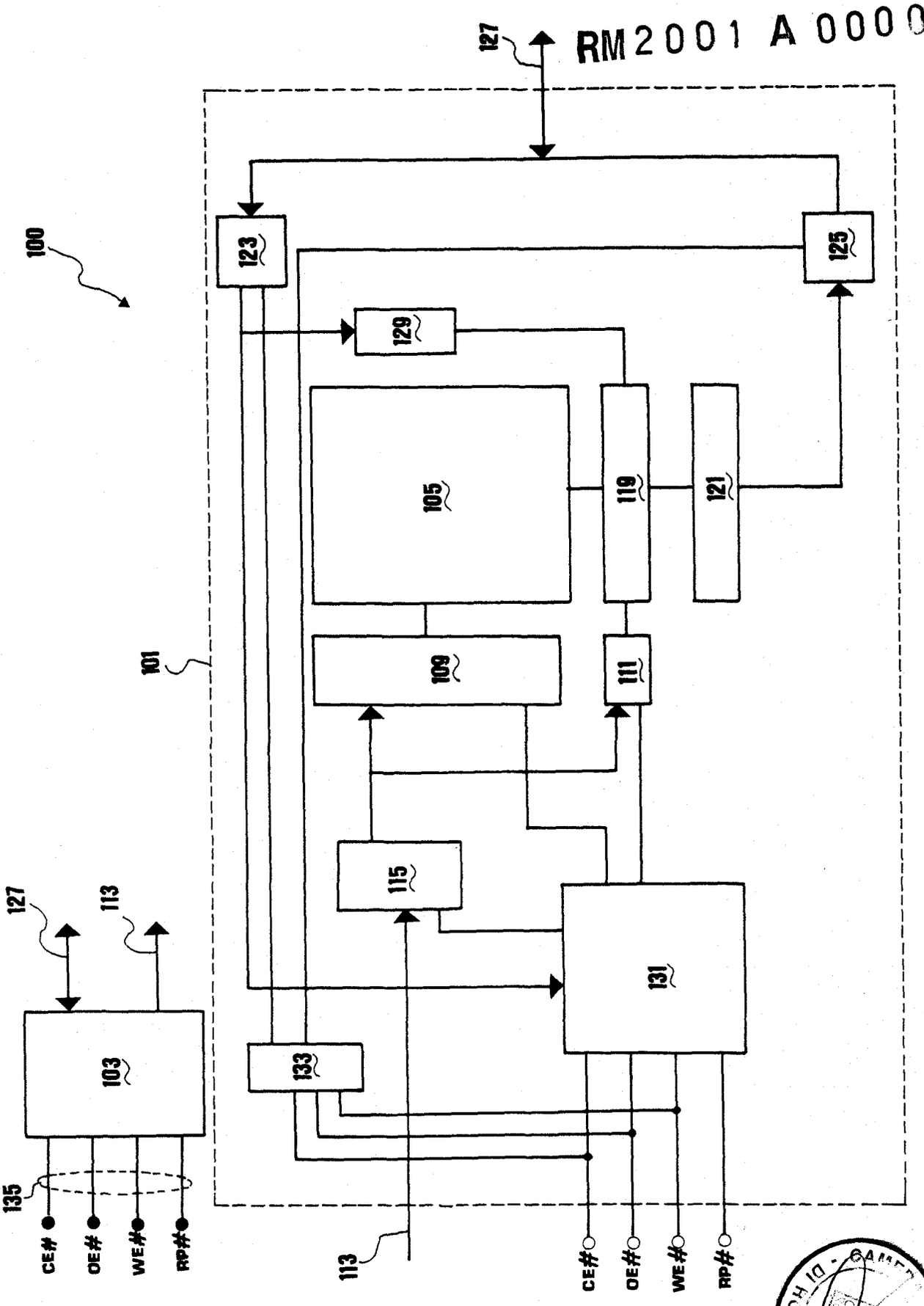


FIG.1A

p.p. MICRON TECHNOLOGY, INC.

(Iscr. Albo n. 83 BM)

RM2001 A 000001

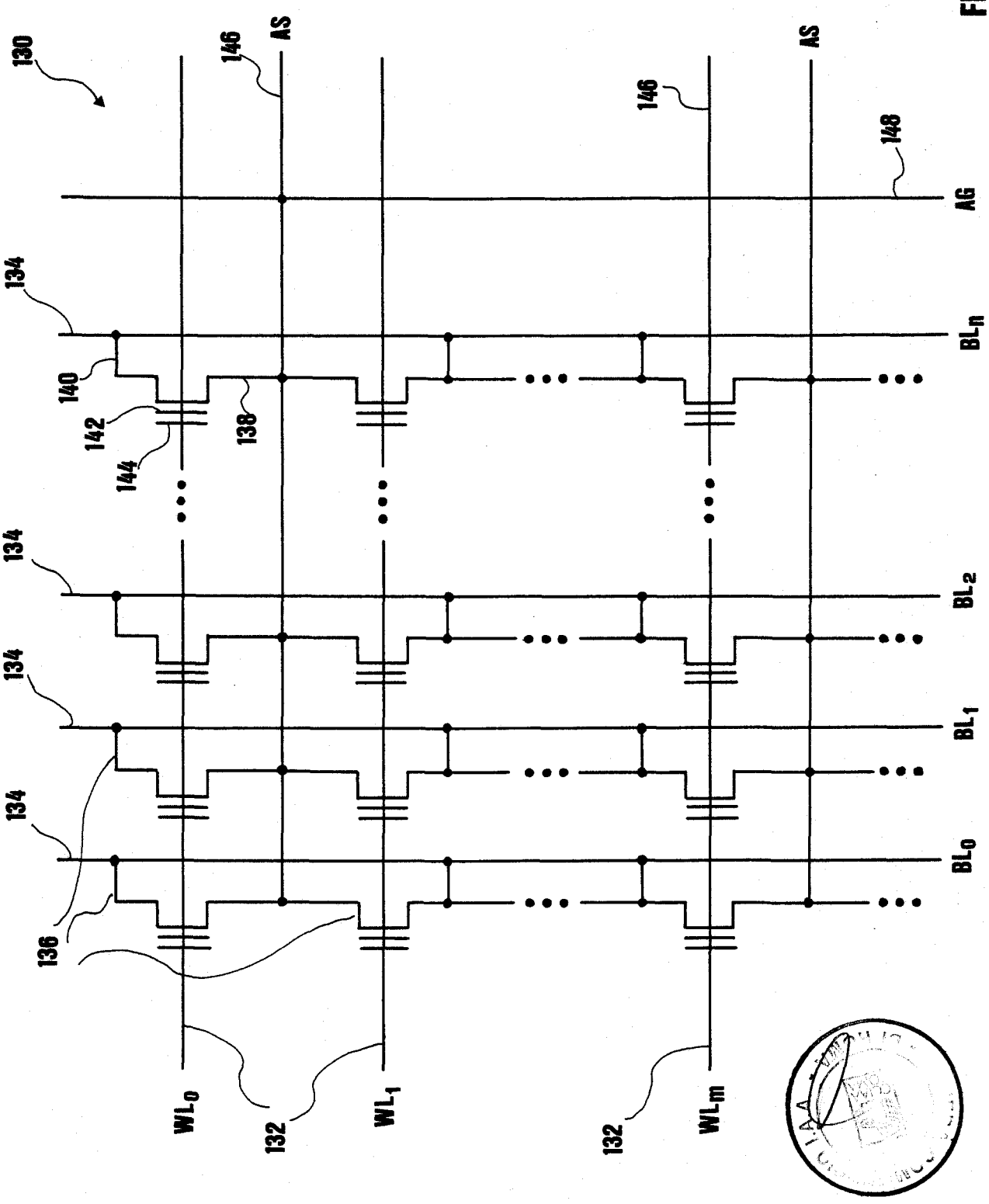


FIG.1B

p.p. MICRON TECHNOLOGY, INC.

Dott. Albo n. 83 BM

RM2001A000001

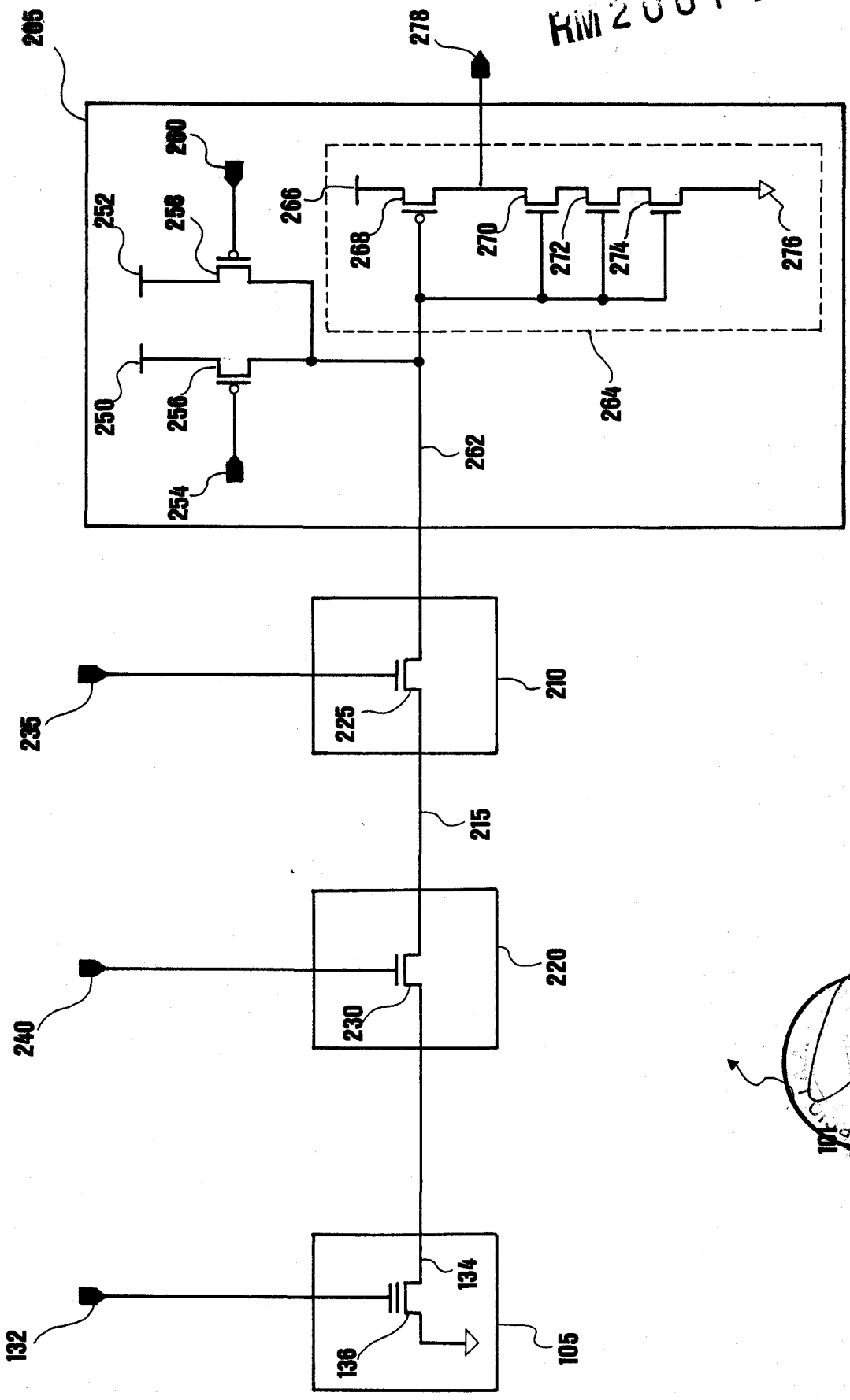


FIG.2

p.p. MICRON TECHNOLOGY, INC.

Oliverio Tonon
(Iscr. Albo n. 83 BM)

RM2001 A 000001

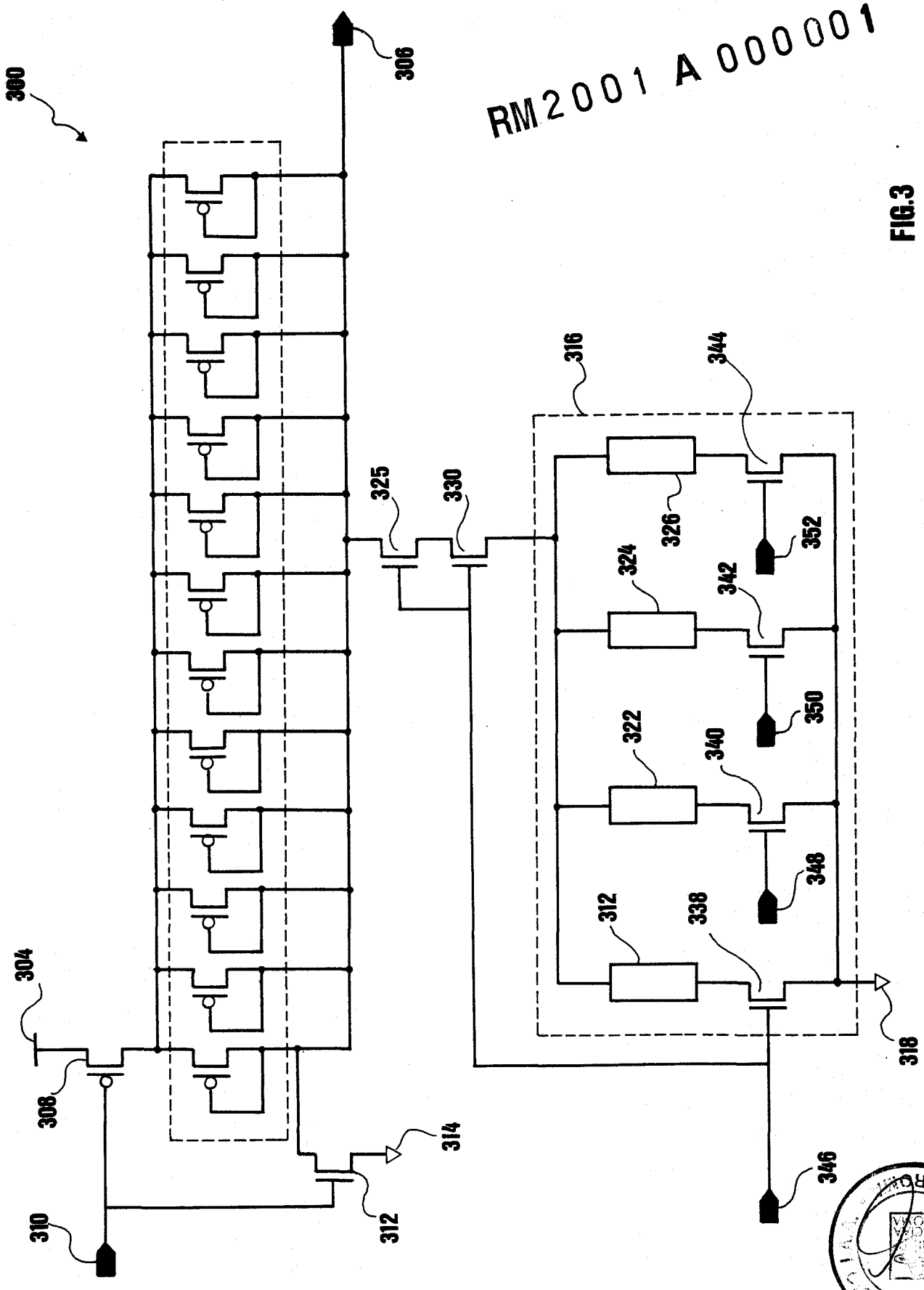


FIG.3

Gilberto Tonon
(Iscr. Albo n. 83 BM)

p.p. MICRON TECHNOLOGY, INC.

RM2001 A 000001

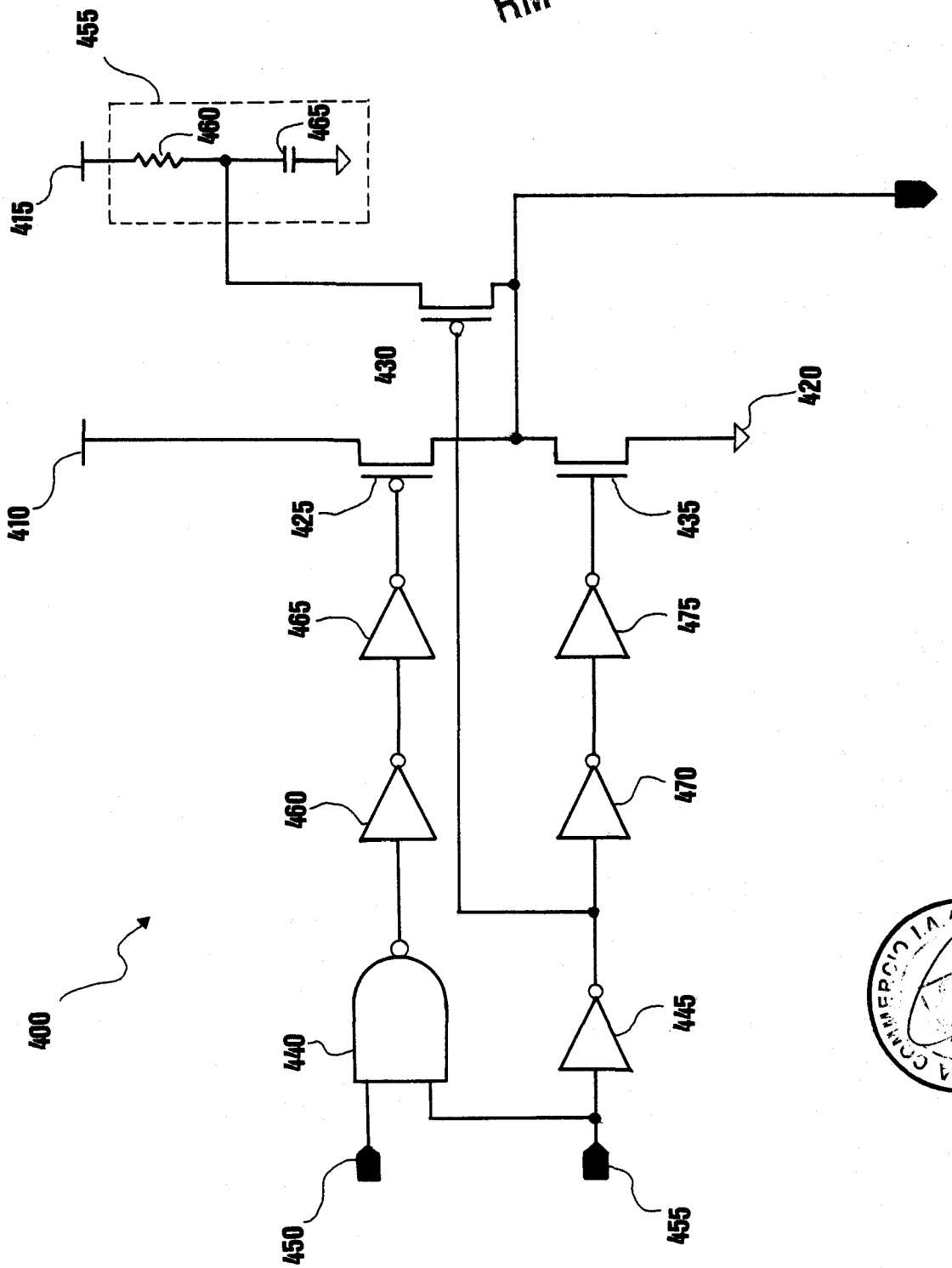


FIG.4

p.p. MICRON TECHNOLOGY, INC.

(Iscr. Albo n. 83 BM)

RM2001 A 000001

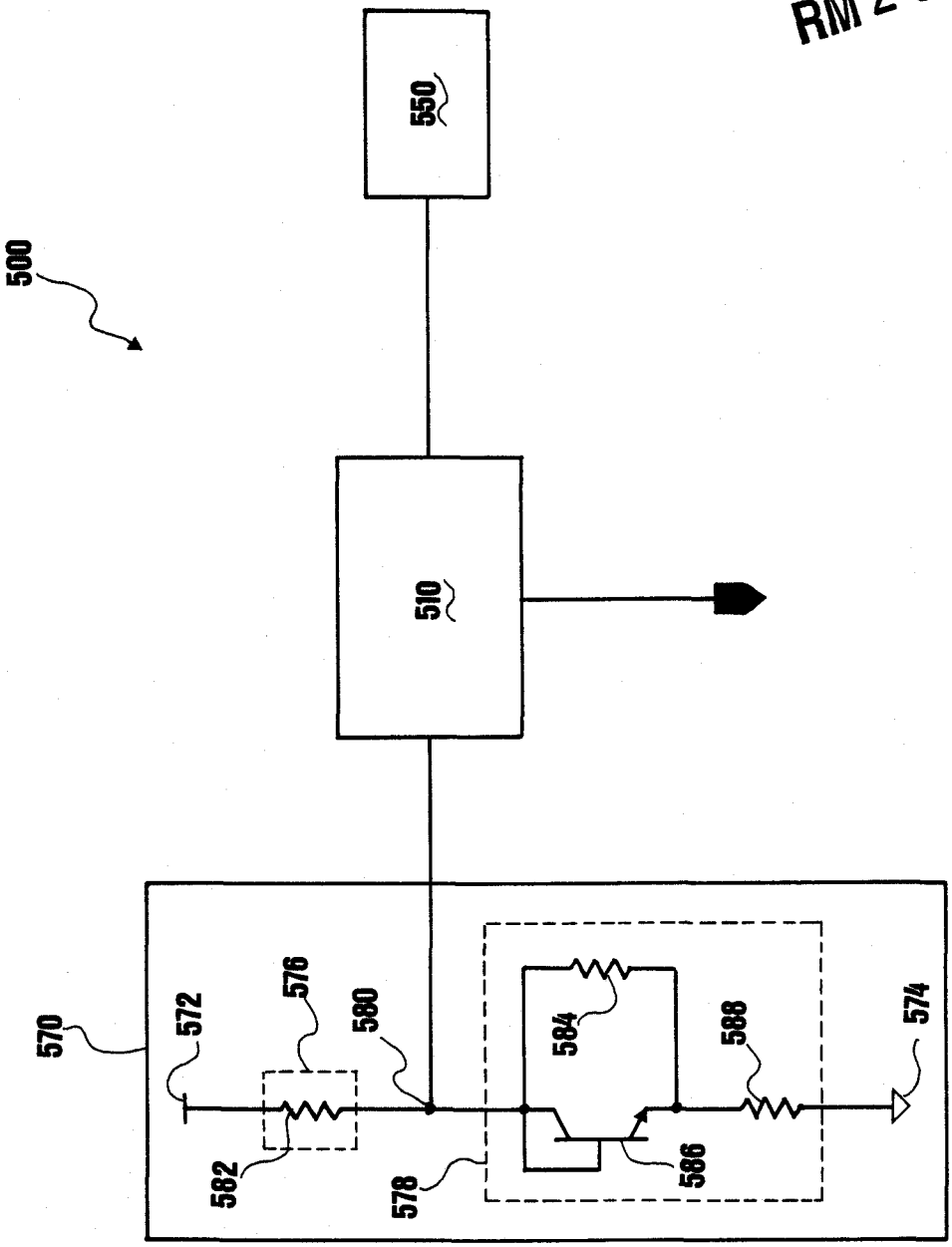


FIG.5

p.p. MICRON TECHNOLOGY, INC.