



등록특허 10-2090102



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월17일
(11) 등록번호 10-2090102
(24) 등록일자 2020년03월11일

- (51) 국제특허분류(Int. Cl.)
G01R 1/073 (2006.01) *H01L 21/66* (2006.01)
- (21) 출원번호 10-2014-0022332
(22) 출원일자 2014년02월26일
심사청구일자 2018년12월03일
(65) 공개번호 10-2014-0112396
(43) 공개일자 2014년09월23일
(30) 우선권주장
JP-P-2013-050078 2013년03월13일 일본(JP)
(56) 선행기술조사문헌
JP2012194188 A*
(뒷면에 계속)

- (73) 특허권자
재팬 일렉트로닉 메트리얼스 코오포레이숀
(6600805) 일본국 효고Ken 아마가사키시 니사나
가수쵸 2-5-13
신꼬오덴기 고교 가부시키가이샤
일본국 나가노Ken 나가노시 오시마다마치 80
(72) 발명자
시라이시 아키노리
일본국 나가노Ken 나가노시 오시마다마치 80 신꼬
오덴기 고교 가부시키가이샤 내
후지하라 고스케
일본국 나가노Ken 나가노시 오시마다마치 80 신꼬
오덴기 고교 가부시키가이샤 내

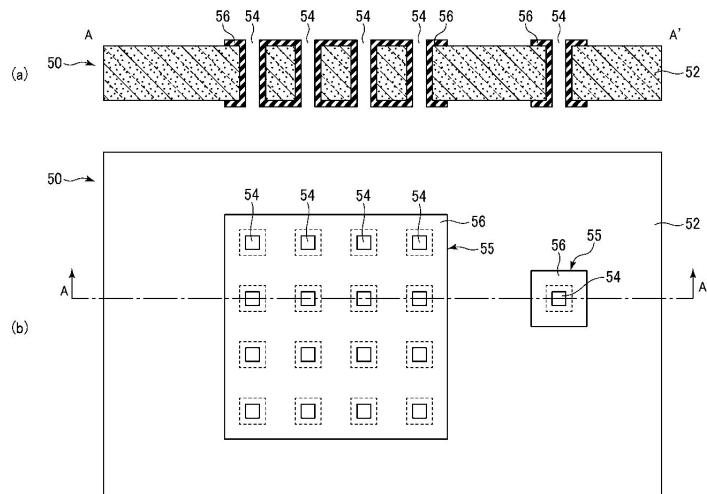
(74) 대리인
문두현

심사관 : 오경환

전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **프로브 가이드판 및 그 제조 방법****(57) 요 약**

프로브 가이드판이 제공된다. 프로브 가이드판은, 기판을 통해 형성되는, 프로브를 가이드하기 위한 관통 구멍을 갖고, 제1 주면(主面) 및 상기 제1 주면의 반대측의 제2 주면을 포함하는 상기 기판과, 상기 기판의 상기 제1 및 제2 주면의 일부가 노출되도록, 상기 기판의 상기 관통 구멍의 내벽과, 상기 기판의 상기 제1 및 제2 주면에 형성된 제1 절연막을 포함한다.

대 표 도

(56) 선행기술조사문현

US06337572 B1*

US20050266687 A1

KR1020100028300 A

JP2010085107 A

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

실리콘 기판을 통해 형성되는, 프로브를 가이드하기 위한 관통 구멍을 갖고, 제1 주면(正面) 및 상기 제1 주면의 반대측의 제2 주면을 포함하는 상기 실리콘 기판과,

상기 실리콘 기판의 상기 제1 및 제2 주면의 일부가 노출되도록, 상기 실리콘 기판의 상기 관통 구멍의 내벽과, 상기 실리콘 기판의 상기 제1 및 제2 주면에 형성된 제1 실리콘 절연막을 포함하는

프로브 가이드판.

청구항 2

기판을 관통하여 형성되는, 프로브를 가이드하기 위한 관통 구멍을 갖고, 제1 주면 및 상기 제1 주면의 반대측의 제2 주면을 포함하는 상기 기판과,

상기 관통 구멍의 내벽에만 형성된 제1 절연막과,

상기 기판의 상기 제1 및 제2 주면에 형성된 제2 절연막을 포함하고,

상기 제2 절연막의 두께는 상기 제1 절연막의 두께보다 얇은

프로브 가이드판.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제1 실리콘 절연막은 상기 실리콘 기판을 열산화해서 형성된 열산화막인

프로브 가이드판.

청구항 5

제2항에 있어서,

상기 기판은 실리콘 기판이며,

상기 제1 절연막은 상기 실리콘 기판을 열산화해서 형성된 열산화막인

프로브 가이드판.

청구항 6

제1항에 있어서,

상기 제1 실리콘 절연막의 막두께는 $3\mu\text{m} \sim 10\mu\text{m}$ 범위인

프로브 가이드판.

청구항 7

제2항에 있어서,

상기 제1 절연막의 막두께는 $3\mu\text{m} \sim 10\mu\text{m}$ 범위인

프로브 가이드판.

청구항 8

제1항에 기재된 프로브 가이드판을 포함하는
프로브 장치.

청구항 9

제2항에 기재된 프로브 가이드판을 포함하는
프로브 장치.

청구항 10

- (a) 기판에 프로브를 가이드하기 위한 관통 구멍을 형성하는 공정과,
- (b) 상기 기판의 상기 관통 구멍의 내벽과, 상기 기판의 제1 주면과, 상기 기판의 상기 제1 주면의 반대측의 제2 주면에, 제1 절연막을 형성하는 공정과,
- (c) 상기 기판의 상기 제1 주면에 형성된 상기 제1 절연막의 일부를 제거하는 공정과,
- (d) 상기 기판의 상기 제2 주면에 형성된 상기 제1 절연막의 일부를 제거하는 공정을 포함하는
프로브 가이드판의 제조 방법.

청구항 11

- (a) 제1 주면 및 상기 제1 주면의 반대측의 제2 주면을 포함하는 기판에 프로브를 가이드하기 위한 관통 구멍을 형성하는 공정과,
- (b) 상기 기판의 상기 관통 구멍과, 상기 기판의 상기 제1 및 제2 주면의 일부가 노출되도록, 상기 기판에 마스크층을 형성하는 공정과,
- (c) 상기 마스크층을 마스크로 해서, 상기 기판의 상기 관통 구멍의 내벽과, 상기 기판의 상기 제1 및 제2 주면의 노출된 부분에 제1 절연막을 형성하는 공정을 포함하는
프로브 가이드판의 제조 방법.

청구항 12

- (a) 제1 주면 및 상기 제1 주면의 반대측의 제2 주면을 포함하는 기판에 프로브를 가이드하기 위한 관통 구멍을 형성하는 공정과,
- (b) 상기 기판의 상기 관통 구멍의 내벽과, 상기 기판의 상기 제1 및 제2 주면에 제1 절연막을 형성하는 공정과,
- (c) 상기 기판의 상기 제1 및 제2 주면에 형성된 상기 제1 절연막의 일부를 얇게 하는 공정을 포함하는
프로브 가이드판의 제조 방법.

청구항 13

제12항에 있어서,

- (d) 상기 (b) 공정 후에, 상기 관통 구멍 내에 상기 제1 절연막과는 예칭 특성이 상이한 부재를 매립하는 공정을 더 포함하고,
상기 (c) 공정은, 상기 제1 절연막의 일부를 예칭에 의해 얇게 하는 공정을 포함하는
프로브 가이드판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 프로브 가이드판 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 프로브 카드에 장착하는 프로브를 지지하기 위해 프로브 지지 기판을 사용한 구조가 알려져 있다. 프로브 카드의 프로브 지지 기판에는, 복수의 프로브가 장착되고, 이 프로브를 통해 프로브 카드와 웨이퍼가 접속한다. 프로브 지지 기판은, 실리콘 기판 등의 반도체층과, 반도체층을 피복하는 피복 절연막을 구비하고 있다. 피복 절연막은, 프로브를 가이드하는 관통 구멍이 형성된 반도체층을 열산화함으로써 형성되고, 관통 구멍의 내벽도 피복 절연막에 의해 피복된다. 이에 따라, 프로브와 프로브 지지 기판의 반도체층간의 절연성을 확보하면서 프로브가 프로브 지지 기판에 장착된다(예컨대, 일본국 특개2007-171139호 공보 참조).

발명의 내용

해결하려는 과제

[0003] 그러나, 종래는, 장착되는 프로브를 가이드하는 관통 구멍의 위치가 어긋나는 경우가 있었다.

[0004] 본 발명의 목적은, 프로브를 가이드하는 관통 구멍의 위치 어긋남을 억제할 수 있는 프로브 가이드판 및 그 제조 방법을 제공하는 것에 있다.

과제의 해결 수단

[0005] 본 발명의 하나 이상의 관점에 따르면, 프로브 가이드판이 제공된다. 프로브 가이드판은, 기판을 통해 형성되는, 프로브를 가이드하기 위한 관통 구멍을 갖고, 제1 주면(主面) 및 상기 제1 주면의 반대측의 제2 주면을 포함하는 상기 기판과, 상기 기판의 상기 제1 및 제2 주면의 일부가 노출되도록, 상기 기판의 상기 관통 구멍의 내벽과, 상기 기판의 상기 제1 및 제2 주면에 형성된 제1 절연막을 포함한다.

[0006] 본 발명의 하나 이상의 관점에 따르면, 프로브 가이드판이 제공된다. 프로브 가이드판은, 기판을 통해 형성되는, 프로브를 가이드하기 위한 관통 구멍을 갖는 상기 기판과, 상기 관통 구멍의 내벽에만 형성된 제1 절연막을 포함한다.

도면의 간단한 설명

[0007] 도 1은 반도체 시험 장치를 개략적으로 나타내는 도면.

도 2는 반도체 시험 장치의 프로브를 나타내는 도면.

도 3의 (a) 및 (b)는 제1 실시형태에 따른 프로브 가이드판을 나타내는 도면.

도 4의 (a) 내지 (c)는 제1 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도.

도 5의 (a) 내지 (c)는 제1 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도.

도 6의 (a) 내지 (c)는 제1 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도.

도 7의 (a) 내지 (c)는 제1 실시형태에 따른 프로브 가이드판의 제2 제조 방법을 나타내는 공정 단면도.

도 8의 (a) 내지 (c)는 제1 실시형태에 따른 프로브 가이드판의 제2 제조 방법을 나타내는 공정 단면도.

도 9의 (a) 및 (b)는 제2 실시형태에 따른 프로브 가이드판을 나타내는 도면.

도 10의 (a) 내지 (c)는 제2 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도.

도 11의 (a) 및 (b)는 제2 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도.

도 12의 (a) 내지 (c)는 제2 실시형태에 따른 프로브 가이드판의 제2 제조 방법을 나타내는 공정 단면도.

도 13의 (a) 및 (b)는 제3 실시형태에 따른 프로브 가이드판을 나타내는 도면.

도 14의 (a) 내지 (c)는 제3 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도.

도 15의 (a) 내지 (c)는 제3 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도.

도 16의 (a) 내지 (c)는 제3 실시형태에 따른 프로브 가이드판의 제2 제조 방법을 나타내는 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0008] 이제, 첨부 도면을 참조로 본 발명의 실시형태를 기술한다.

[0009] 상술한 바와 같이, 종래는, 프로브 지지 기판의 전체 표면을, 열산화에 의한 피복 절연막에 의해 피복하고 있었다. 이 때문에, 피복 절연막인 실리콘 열산화막과 반도체층인 실리콘 기판과의 열팽창률의 차이에 의해, 실리콘 기판에 응력이 발생하여, 장착되는 프로브를 가이드하는 관통 구멍의 위치가 어긋날 경우가 있었다.

[0010] [반도체 시험 장치]

[0011] 우선, 반도체 시험 장치에 대해서 도 1을 사용하여 설명한다. 도 1은 반도체 시험 장치의 개략을 나타내는 도면이다. 도 2는 프로브를 나타내는 도면이다.

[0012] 반도체 시험 장치(10)는, 테스터(12)와, 프로브 장치(20)와, 인터포저 기판(16)을 갖고 있다. 테스터(12)는, 반도체 디바이스에 전류를 흘려서 반도체 디바이스가 정상적으로 동작하는지를 시험하도록 구성된다. 프로브 장치(20)는, 반도체 웨이퍼 등의 검사 대상물(DUT: device under test)(14)의 전극(15)에 니들(프로브)을 놓도록 구성된다. 인터포저 기판(16)은, 테스터(12)와 프로브 장치(20) 사이에 설치된다. 인터포저 기판(16)에는 배선층(도시 생략)이 형성되어 있다.

[0013] 프로브 장치(20)의 상부에는, 내부에 배선(24)이 형성된 배선 기판(22)이 설치되어 있다. 배선 기판(22)은, 예를 들면, 프린트 기판(PCB: Printed Circuit Board)에 의해 형성되어 있다.

[0014] 배선 기판(22)의 상면에는 전극(26)이 설치되고, 배선 기판(22)의 하면에는 전극(28)이 설치되어 있다. 상면의 전극(26)과 하면의 전극(28)이 배선(24)에 의해 서로 전기적으로 접속되어 있다. 배선 기판(22)의 상면의 전극(26)은, 인터포저 기판(16)의 하면의 전극(17)에 각각 전기적으로 접속되어 있다.

[0015] 배선 기판(22)의 하부에는, 니들(프로브)(40)을 고정하기 위한 하우징(30)이 설치되어 있다. 하우징(30) 내에는, 홀더(32)에 의해, 프로브(40)를 고정하기 위한 세라믹 기판(34), 및 프로브(40)를 안내하기 위한 2장의 프로브 가이드판(36, 38)이 유지되어 있다.

[0016] 프로브(40)는, 도 2에 나타내는 바와 같이, 베이스부(42)와 선단부(44) 사이에 굴곡부(46)가 형성되어 있다. 굴곡부(46)의 탄성에 의해, 프로브(40)의 선단부(44)가 DUT(14)의 전극(15)에 적절한 압력으로 가압된다.

[0017] 상측의 프로브 가이드판(36)의 관통 구멍(37)에 의해 프로브(40)의 베이스부(42)가 가이드되고, 하측의 프로브 가이드판(38)의 관통 구멍(39)에 의해 프로브(40)의 선단부(44)가 가이드된다.

[0018] 프로브 가이드판(36, 38)의 관통 구멍(37, 39)의 위치는, DUT(14)의 전극(15)의 위치에 정확하게 일치하는 것이 바람직하다. 프로브 가이드판(36, 38)의 관통 구멍(37, 39)의 위치가 크게 어긋나, 프로브(40)와 전극(15)이 서로 접속되지 않으면, 검사가 정상적으로 수행되지 않는다.

[0019] 프로브(40)의 선단부(44)를, DUT(14)의 전극(15)에 가압할 때에는, 프로브(40) 전체가 상하로 이동한다. 이에 따라, 프로브(40)의 베이스부(42)가 상측의 프로브 가이드판(36)의 관통 구멍(37)에서 슬라이딩하고, 프로브(40)의 선단부(44)가 하측의 프로브 가이드판(38)의 관통 구멍(39)에서 슬라이딩한다.

[0020] [제1 실시형태]

[0021] (프로브 가이드판)

[0022] 제1 실시형태에 따른 프로브 가이드판에 대해서 도 3의 (a) 및 (b)를 사용하여 설명한다. 도 3의 (a)는 본 실시형태에 따른 프로브 가이드판의 A-A'선 단면도이며, 도 3의 (b)는 본 실시형태에 따른 프로브 가이드판의 평면도이다.

[0023] 본 실시형태에 따른 프로브 가이드판(50)은, 예를 들면, 도 1, 도 2에 나타내는 반도체 시험 장치(10)의 프로브 장치(20)에 있어서 사용되는 것이다. 예를 들면, 도 1, 도 2의 프로브 가이드판(36, 38)의 각각에, 본 실시형태에 따른 프로브 가이드판(50)을 사용할 수 있다.

[0024] 프로브 가이드판(50)의 기판(52)에는, 프로브(40)를 가이드하기 위한 복수의 관통 구멍(54)이 형성되어 있다.

- [0025] 기판(52)은, 예를 들면, 약 $200\mu\text{m}$ 두께의 실리콘 기판이다. 한편, 기판(52)은 이에 한정되는 것이 아니다. 실리콘 기판 두께는 약 $50\mu\text{m} \sim 500\mu\text{m}$ 의 범위여도 된다. 또한, 기판(52)은, 실리콘 기판이 아닌, 다른 재료로 이루어진 기판이어도 된다. 예를 들면, 기판(52)은 도전성의 SiC 기판이어도 되고, Cu 기판, Al 기판 등의 금속 기판, 또는 세라믹 기판이어도 된다.
- [0026] 기판(52)에 형성되는 각각의 관통 구멍(54)은, 예를 들면, 약 $50\mu\text{m} \times$ 약 $50\mu\text{m}$ 의 사각 형상이다. 한편, 관통 구멍(54)의 형상은, 사각 형상에 한정되는 것이 아니라, 원 형상, 다각 형상 등의 다른 형상이어도 된다. 또한, 관통 구멍(52)의 크기는, 약 $50\mu\text{m}$ 에 한정되는 것이 아니다. 관통 구멍(54)은 약 $10 \sim 100\mu\text{m}$ 의 범위의 크기여도 된다.
- [0027] 복수의 관통 구멍(54)의 수 및 위치는, DUT(14)에 설치된 복수의 전극(15)에 맞춰 설정되어 있다.
- [0028] 복수의 관통 구멍(54)의 내벽과, 복수의 관통 구멍(54)의 근방 영역(55)에 있어서의 기판(52)의 표면(제1 주면)과, 복수의 관통 구멍(54)의 근방 영역(55)에 있어서의 기판(52)의 이면(제2 주면)에, 절연막(56)이 선택적으로 형성되어 있다.
- [0029] 한편, 기판(52)의 표면(제1 주면)과 이면(제2 주면)에는, 자연 산화에 의해, 수mm 두께 정도의 실리콘 산화막이 각각 형성될 경우가 있다. 그러나, 이 자연 산화에 의해 형성되는 수mm 두께 정도의 실리콘 산화막은, 상기의 선택적으로 형성된 절연막(56)에는 포함되지 않는다.
- [0030] 절연막(56)은, 프로브(40)와 기판(52)을 서로 절연하기 위한 것이다. 프로브(40)는, 대응하는 관통 구멍(54)에 있어서 검사시에 반복 슬라이딩한다. 반복되는 프로브(40)의 슬라이딩에 의해 절연막(56)이 마모된다. 결과적으로, 프로브(40)와 기판(52)간의 절연성이 손상되어, 정상적으로 검사하는 것이 곤란해진다. 이 때문에, 절연막(56)에는, 프로브(40)의 슬라이딩에 충분히 견딜 수 있는 내구성이 요구된다.
- [0031] 절연막(56)은, 프로브(40)의 슬라이딩에 견디는 충분한 두께, 예를 들면, 약 $5\mu\text{m}$ 두께의 실리콘 산화막이다. 실리콘 산화막은, 예를 들면, 열산화에 의해 형성된다. 절연막(56)으로서, 열산화막을 사용하고 있는 것은, 열산화막이 CVD법에 의해 형성된 실리콘 산화막보다 마모 등에 대한 내구성이 높기 때문이다.
- [0032] 한편, 절연막(56)의 막두께는, 약 $5\mu\text{m}$ 에 한정되는 것이 아니라, 약 $3\mu\text{m} \sim 10\mu\text{m}$ 의 범위여도 된다. 절연막(56)의 막두께가 비교적 얇으면, 프로브(40)의 슬라이딩에 의한 절연막(56)의 마모에 의해, 비교적 초기(早期)에 절연 불량에 이르게 된다. 절연막(56)이 장기간의 사용에 견딜 수 있기 위해서는 절연막(56)의 막두께를 $3\mu\text{m}$ 이상으로 하는 것이 바람직하다. 한편, 절연막(56)의 막두께를 두껍게 하면, 산화 반응의 속도가 제한되어, 열산화막의 형성 속도가 현저하게 저하하게 된다. 또한, 각 관통 구멍(54)의 개구 치수가 과도하게 작아지게 된다.
- [0033] 관통 구멍(54)의 근방 영역(55)이란, 예를 들면, 관통 구멍(54)의 길이의 절반에 상응하여, 관통 구멍(54) 주위로 약 $25\mu\text{m}$ 연장되는 영역이다. 도 3의 (b)에 나타내는 바와 같이, 서로 근접한 복수의 관통 구멍(54)의 근방 영역(55)이 하나의 큰 영역이 되어도 된다. 절연막(56)은, 기판(52)의 표면 및 이면의, 상기 근방 영역(55) 이외에는 형성되어 있지 않다.
- [0034] 한편, 관통 구멍(54)의 근방 영역(55)은, 관통 구멍(54)의 주위로 약 $25\mu\text{m}$ 연장되는 영역에 한정되는 것이 아니라, 관통 구멍(54)의 주위의 약 $5\mu\text{m} \sim 200\mu\text{m}$ 의 범위로 연장되는 영역이어도 된다.
- [0035] 이와 같이, 본 실시형태에 의하면, 프로브(40)의 슬라이딩에 견디는 충분한 두께의 실리콘 산화막의 절연막(56)은, 관통 구멍(54)의 내벽에는 형성되어 있지만, 기판(52)의 표면 및 이면에 있어서, 근방 영역(55) 이외에는 절연막(56)이 형성되어 있지 않다. 이 때문에, 기판(52)의 열팽창률과 절연막(56)의 열팽창률이 상이해도, 기판(52)에 생기는 응력을 충분히 억제할 수 있어, 복수의 관통 구멍(54)의 위치 어긋남을 충분히 억제할 수 있다. 따라서, 프로브(40)를 정확한 위치에 가이드할 수 있다.
- [0036] (프로브 가이드판의 제1 제조 방법)
- [0037] 제1 실시형태에 따른 프로브 가이드판의 제1 제조 방법에 대해서 도 4의 (a) 내지 (c), 도 5의 (a) 내지 (c), 및 도 6의 (a) 내지 (c)를 사용하여 설명한다. 도 4의 (a) 내지 (c), 도 5의 (a) 내지 (c), 및 도 6의 (a) 내지 (c)는 제1 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도이다.
- [0038] 우선, 본 실시형태의 프로브 가이드판의 제조에 사용하는 실리콘 기판(52)을 준비한다(도 4의 (a)). 실리콘 기판(52)은, 예를 들면, 약 $725\mu\text{m}$ 두께이다.

- [0039] 다음으로, 실리콘 기판(52)의 상면(표면)에 레지스트(60)를 형성한다.
- [0040] 다음으로, 레지스트(60)를 패터닝하여, 복수의 관통 구멍(54)을 형성하기 위한 복수의 개구(62)를 레지스트(60)에 형성한다(도 4의 (a)). 레지스트(60)에 형성되는 각 개구(62)의 형상은, 예를 들면, 약 $50\mu\text{m} \times$ 약 $50\mu\text{m}$ 의 사각 형상이다. 개구(62)의 수 및 위치는, DUT(14)에 설치된 복수의 전극(15)에 맞춰 설정한다.
- [0041] 다음으로, 레지스트(60)를 마스크로 해서, 실리콘 기판(52)의 상면(표면)으로부터 구멍을 내어, 실리콘 기판(52)의 하면(이면)까지는 관통하지 않는 복수의 비(非)관통 구멍(64)을 형성한다(도 4의 (b)). 실리콘 기판(52)에 비관통 구멍(64)을 형성하는 방법으로서는, 예를 들면, DEEP-RIE(Reactive Ion Etching: 반응성 이온 에칭)법을 이용할 수 있다.
- [0042] 복수의 비관통 구멍(64) 각각은, 예를 들면 약 $50\mu\text{m} \times$ 약 $50\mu\text{m}$ 의 사각 형상이다. 비관통 구멍(64)은 깊이가 약 $200\mu\text{m}$ 이다. 복수의 비관통 구멍(64)의 형상, 수 및 위치는, 레지스트(60)에 형성된 복수의 개구(62)의 형상, 수 및 위치에 대응한다. 그 결과, 복수의 비관통 구멍(64)은, DUT(14)에 설치된 복수의 전극(15)에 맞춰 형성된다.
- [0043] 다음으로, 실리콘 기판(52)의 상면(표면)의 레지스트(60)를 박리한다(도 4의 (c)).
- [0044] 다음으로, 실리콘 기판(52)의 하면(이면)을 연마한다. 그 결과, 복수의 관통 구멍(54)이 형성된, 약 $200\mu\text{m}$ 두께의 실리콘 기판(52)이 형성된다(도 5의 (a)).
- [0045] 다음으로, 실리콘 기판(52) 전체를 열산화한다. 예를 들면, 약 1000°C 에서, 70시간 이상, O_2 분위기 중에서 실리콘 기판(52)을 가열한다. 그 결과, 실리콘 기판(52)의 복수의 관통 구멍(54)의 내벽, 실리콘 기판(52)의 표면, 이면 및 측면에, 예를 들면, 약 $5\mu\text{m}$ 두께의 실리콘 산화막(66)이 형성된다(도 5의 (b)).
- [0046] 다음으로, 실리콘 기판(52)의 표면 및 이면의 실리콘 산화막(66) 상에, 레지스트(68, 70)를 형성한다(도 5의 (c)).
- [0047] 다음으로, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55)(도 3의 (b) 참조)을 선택적으로 덮도록, 레지스트(68, 70)를 패터닝한다(도 6의 (a)).
- [0048] 다음으로, 레지스트(68, 70)를 마스크로 해서, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55) 이외의 실리콘 산화막(66)을 에칭 제거한다(도 6의 (b)).
- [0049] 실리콘 산화막(66)의 에칭은, 예를 들면, 버퍼하이드로플루오르산(BHF: Buffered Hydro Fluoric acid)을 사용하여, 실온에서 에칭 처리를 한다.
- [0050] 또한, RIE법 등의 드라이 에칭에 의해 실리콘 산화막(66)을 에칭 제거해도 된다. 예를 들면, 에칭 가스로서 O_2 또는 CF_4 를 사용하여, 실리콘 산화막(66)의 에칭 처리를 한다.
- [0051] 다음으로, 실리콘 기판(52)의 표면 및 이면의 실리콘 산화막(66) 상의 레지스트(68, 70)를 박리한다(도 6의 (c)). 따라서, 본 실시형태에 따른 프로브 가이드판(50)이 완성된다.
- [0052] (프로브 가이드판의 제2 제조 방법)
- [0053] 제1 실시형태에 따른 프로브 가이드판의 제2 제조 방법에 대해서 도 7의 (a) 내지 (c) 및 도 8의 (a) 내지 (c)를 사용하여 설명한다. 도 7의 (a) 내지 (c) 및 도 8의 (a) 내지 (c)는 제1 실시형태에 따른 프로브 가이드판의 제2 제조 방법을 나타내는 공정 단면도이다.
- [0054] 제1 실시형태에 따른 프로브 가이드판의 제1 제조 방법과 마찬가지로 하여, 복수의 관통 구멍(54)이 형성된, 약 $200\mu\text{m}$ 두께의 실리콘 기판(52)을 형성한다(도 7의 (a)).
- [0055] 다음으로, 실리콘 기판(52) 전체 면에, 예를 들면, CVD(Chemical Vapor Deposition, 화학 기상 퇴적)법에 의해, 예를 들면, 약 $1\mu\text{m}$ 두께의 실리콘 질화막(72)을 형성한다(도 7의 (b)). 실리콘 질화막(72)의 막두께는, 약 $0.5\mu\text{m} \sim 5.0\mu\text{m}$ 의 범위여도 된다.
- [0056] 실리콘 질화막(72)을 CVD법으로 형성하기 위해서는, 예를 들면, SiH_4 또는 NH_3 의 원료 가스를 사용하고, 예를 들면, 약 300°C 로 가열하여, 실리콘 질화막(72)을 실리콘 기판(52) 전체 면에 화학 기상 성장시킨다.
- [0057] 다음으로, 실리콘 질화막(72)이 전체 면에 형성된 실리콘 기판(52)의 전체 면에, 예를 들면, CVD법에 의해, 예

를 들면, 약 $1\mu\text{m}$ 두께의 실리콘 산화막(74)을 형성한다(도 7의 (b)). 실리콘 산화막(74)의 막두께는, 약 $0.5\mu\text{m}$ ~ $5.0\mu\text{m}$ 의 범위여도 된다.

[0058] 실리콘 산화막(74)을 CVD법으로 형성하기 위해서는, 예를 들면, TEOS의 원료 가스를 사용하고, 예를 들면, 약 300°C 로 가열하여, 실리콘 질화막(72)이 전체 면에 형성된 실리콘 기판(52)의 전체 면에 실리콘 산화막(74)을 성장시킨다.

[0059] 다음으로, 실리콘 질화막(72) 및 실리콘 산화막(74)이 형성된 실리콘 기판(52)의 전체 면에 포토 레지스트막(76)을 도포한다. 다음으로, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55)(도 3의 (b) 참조)을 개구하도록, 포토 레지스트막(76)을 패터닝한다(도 7의 (c)).

[0060] 다음으로, 포토 레지스트막(76)을 마스크로 해서, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55)의 실리콘 산화막(74)을 에칭 제거한다(도 7의 (c)).

[0061] 실리콘 산화막(74)의 에칭은, 예를 들면, 베퍼하이드로플루오르산을 사용하여, 실온에서 에칭 처리를 한다.

[0062] 또한, RIE법 등의 드라이 에칭에 의해 실리콘 산화막(74)을 에칭 제거해도 된다. 예를 들면, 에칭 가스로서 O_2 또는 CF_4 를 사용하여, 실리콘 산화막(74)의 에칭 처리를 한다.

[0063] 다음으로, 포토 레지스트막(76)을 제거한다.

[0064] 다음으로, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55) 이외의 영역에 잔존하고 있는 실리콘 산화막(74)을 마스크로 해서, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55)의 실리콘 질화막(72)을 에칭 제거한다(도 8의 (a)).

[0065] 한편, 포토 레지스트막(76)을 제거하지 않고, 마스크로 해서, 실리콘 질화막(72)을 에칭 제거하고, 그 후, 포토 레지스트막(76)을 제거하도록 해도 된다.

[0066] 실리콘 질화막(72)의 에칭은, 예를 들면, 열인산(hot phosphoric acid)을 사용하여, 약 200°C 에서 에칭 처리를 한다.

[0067] 이와 같이 하여, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55) 이외의 영역을 덮는 실리콘 질화막(72)과 실리콘 산화막(74)에 의한 마스크가 형성된다(도 8의 (a)).

[0068] 다음으로, 실리콘 기판(52) 전체를 열산화한다. 예를 들면, 약 1000°C 에서, 70시간 이상, O_2 분위기 중에서 실리콘 기판(52)을 가열한다.

[0069] 그 결과, 실리콘 질화막(72)과 실리콘 산화막(74)에 의한 마스크에 의해 덮여 있지 않은 영역에, 예를 들면, 약 $5\mu\text{m}$ 두께의 실리콘 산화막(78)이 형성된다. 즉, 실리콘 기판(52)의 복수의 관통 구멍(54)의 내벽, 및 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55)에, 예를 들면, 약 $5\mu\text{m}$ 두께의 실리콘 산화막(78)이 형성된다(도 8의 (b)).

[0070] 다음으로, CVD법에 의해 형성된 실리콘 산화막(74)을 제거한다(도 8의 (c)).

[0071] 실리콘 산화막(74)의 에칭은, 예를 들면, 베퍼하이드로플루오르산을 사용하여, 실온에서 에칭 처리를 한다.

[0072] 한편, 이 에칭 처리에 의해, 열산화에 의해 형성된 실리콘 산화막(78)도 약간 에칭된다. 그러나, 실리콘 산화막(78)의 막두께는, 실리콘 산화막(74)의 막두께보다 두꺼우므로, 프로브(40)의 슬라이딩에 견디는 충분한 두께의 실리콘 산화막(78)을 확보할 수 있다.

[0073] 이대로, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55) 이외의 영역에 실리콘 질화막(72)을 잔존시킨 채, 본 실시형태에 따른 프로브 가이드판(50)을 완성시켜도 된다(도 8의 (c)).

[0074] 또한, 실리콘 기판(52)의 관통 구멍(54)의 근방 영역(55) 이외의 영역에 잔존하고 있는 실리콘 질화막(72)을 에칭 제거한 후에, 본 실시형태에 따른 프로브 가이드판(50)을 완성시켜도 된다(도 6의 (c)). 실리콘 질화막(72)의 에칭은, 예를 들면, 열인산을 사용하여, 약 200°C 에서 에칭 처리를 한다.

[0075] [제2 실시형태]

[0076] (프로브 가이드판)

[0077] 제2 실시형태에 따른 프로브 가이드판에 대해서 도 9의 (a) 및 (b)를 사용하여 설명한다. 도 9의 (a)는 본 실

시형태에 따른 프로브 가이드판의 B-B'선 단면도이다. 도 9의 (b)는 본 실시형태에 따른 프로브 가이드판의 평면도이다. 한편, 제1 실시형태와 같은 구성 요소에는 같은 부호를 부여하여 설명을 생략 또는 간략하게 한다.

[0078] 본 실시형태에 따른 프로브 가이드판(50)은, 예를 들면, 도 1, 도 2에 나타내는 반도체 시험 장치(10)의 프로브 장치(20)에 있어서 사용되는 것이다. 예를 들면, 도 1, 도 2의 프로브 가이드판(36, 38)의 각각에, 본 실시형태에 따른 프로브 가이드판(50)을 사용할 수 있다. 한편, 프로브 가이드판(50)은 이에 한정되는 것이 아니라, 다른 시험장치의 프로브 장치에 있어서 사용되는 프로브 가이드판에도 적용할 수 있다.

[0079] 프로브 가이드판(50)의 기판(52)에는, 프로브(40)를 가이드하기 위한 복수의 관통 구멍(54)이 형성되어 있다.

[0080] 기판(52)은, 예를 들면, 약 $200\mu\text{m}$ 두께의 실리콘 기판이다. 기판(52)에 형성되는 각각의 관통 구멍(54)은, 예를 들면, 약 $50\mu\text{m} \times$ 약 $50\mu\text{m}$ 의 사각 형상이다. 복수의 관통 구멍(54)의 수 및 위치는, DUT(14)에 설치된 복수의 전극(15)에 맞춰 설정되어 있다.

[0081] 복수의 관통 구멍(54)의 내벽에는, 프로브(40)의 슬라이딩에 견디는 충분한 두께의 절연막(80)이 형성되어 있다. 기판(52)의 표면 및 이면에는, 절연막(80)보다 막두께가 얇은 절연막(80a)이 형성되어 있다.

[0082] 절연막(80)은, 프로브(40)의 슬라이딩에 견디는 충분한 두께, 예를 들면, 약 $5\mu\text{m}$ 두께의 실리콘 산화막이다. 이 실리콘 산화막은, 예를 들면, 열산화에 의해 형성된다. 한편, 이 실리콘 산화막의 막두께는, 약 $5\mu\text{m}$ 에 한정되는 것이 아니라, 약 $3\mu\text{m} \sim 10\mu\text{m}$ 의 범위여도 된다.

[0083] 절연막(80a)은, 절연막(80)보다 막두께가 얇은, 예를 들면, 약 $1\mu\text{m}$ 두께의 실리콘 산화막이다. 이 절연막(80a)은, 예를 들면, CVD법에 의해 형성된다. 한편, 이 절연막(80a)의 막두께는, 약 $1\mu\text{m}$ 에 한정되는 것이 아니라, 약 $0.5\mu\text{m} \sim 2.0\mu\text{m}$ 의 범위여도 된다.

[0084] 이와 같이, 본 실시형태에 의하면, 관통 구멍(54)의 내벽에는 프로브(40)의 슬라이딩에 견디는 충분한 두께의 절연막(80)이 형성되어 있지만, 기판(52)의 표면 및 이면의 절연막(80a)은 얇게 형성되어 있다. 기판(52)의 표면 및 이면의 절연막(82)이 얇기 때문에, 기판(52)의 열팽창률과 절연막(80, 80a) 각각의 열팽창률이 상이해도, 기판(52)에 생기는 응력은 비교적 작다. 그러므로, 복수의 관통 구멍(54)의 위치가 현저하게 어긋나지 않는다. 따라서, 프로브(40)를 DUT(14)에 설치된 전극(15)에 확실히 접속할 수 있다.

[0085] (프로브 가이드판의 제1 제조 방법)

[0086] 제2 실시형태에 따른 프로브 가이드판의 제1 제조 방법에 대해서 도 10의 (a) 내지 (c)와, 도 11의 (a) 및 (b)를 사용하여 설명한다. 도 10의 (a) 내지 (c)와, 도 11의 (a) 및 (b)는 제2 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도이다. 한편, 제1 실시형태와 같은 구성 요소에는 같은 부호를 부여하여 설명을 생략 또는 간략하게 한다.

[0087] 제1 실시형태에 따른 프로브 가이드판의 제1 제조 방법과 마찬가지로 하여, 복수의 관통 구멍(54)이 형성된, 약 $200\mu\text{m}$ 두께의 실리콘 기판(52)을 형성한다(도 10의 (a)).

[0088] 다음으로, 실리콘 기판(52) 전체를 열산화한다. 예를 들면, 약 1000°C 에서, 70시간 이상, O_2 분위기 중에서 실리콘 기판(52)을 가열한다. 그 결과, 실리콘 기판(52)의 복수의 관통 구멍(54)의 내벽, 실리콘 기판(52)의 표면, 이면 및 측면에, 예를 들면, 약 $5\mu\text{m}$ 두께의 실리콘 산화막(절연막)(80)이 형성된다(도 10의 (b)).

[0089] 다음으로, 실리콘 산화막(80)이 내벽에 형성된 복수의 관통 구멍(54) 내에, 절연막(80)과 예칭 특성이 상이한 매립 부재(84)를 매립한다(도 10의 (c)). 매립 부재(84)는, 예를 들면, 포토 레지스트 등의 수지이다. 진공 라미네이트 또는 진공 프레스에 의해 수지를 매립한다.

[0090] 다음으로, 실리콘 기판(52)의 표면, 이면 및 측면의 실리콘 산화막(80)을 예칭에 의해 얇게 하여, 실리콘 산화막(80)보다 막두께가 얇은 실리콘 산화막(80a)을 형성한다(도 11의 (a)). 관통 구멍(54) 내벽의 실리콘 산화막(80)과는 예칭 특성이 상이한 매립 부재(84)가 실리콘 산화막(80)에 매립되어 있기 때문에, 실리콘 산화막(80)은 예칭되지 않는다.

[0091] 실리콘 산화막(80)의 예칭은, 예를 들면, 베퍼하이드로플루오르산을 사용하여, 실온에서 예칭 처리를 한다.

[0092] 또한, RIE(반응성 이온 예칭) 등의 드라이 예칭에 의해, 실리콘 산화막(80)을 얇게 해도 된다. 예를 들면, 예칭 가스로서 O_2 또는 CF_4 를 사용하여, 예칭 처리를 한다.

[0093] 또한, 실리콘 기판(52)의 표면 및 이면을 연마함으로써, 실리콘 기판(52)의 표면 및 이면의 실리콘 산화막(80)

을 얇게 하여, 실리콘 산화막(80)보다 막두께가 얇은 실리콘 산화막(80a)을 형성해도 된다. 연마에 의해 실리콘 산화막(80)을 형성하는 경우에는, 관통 구멍(54) 내에 매립 부재(84)를 매립하지 않아도 된다.

[0094] 다음으로, 실리콘 산화막(80)이 내벽에 형성된 복수의 관통 구멍(54) 내에 매립된 매립 부재(84)를 제거한다(도 11의 (b)). 예를 들면, 용제 또는 드라이 에칭에 의해 매립 부재(84)를 제거한다.

[0095] (프로브 가이드판의 제2 제조 방법)

[0096] 제2 실시형태에 따른 프로브 가이드판의 제2 제조 방법에 대해서 도 12의 (a) 내지 (c)를 사용하여 설명한다. 도 12의 (a) 내지 (c)는 제2 실시형태에 따른 프로브 가이드판의 제2 제조 방법을 나타내는 공정 단면도이다. 한편, 제1 실시형태와 같은 구성 요소에는 같은 부호를 부여하여 설명을 생략 또는 간략하게 한다.

[0097] 실리콘 기판(52)을 준비하는 공정으로부터 복수의 관통 구멍(54) 내에 매립 부재(84)를 매립하는 공정까지는, 도 10의 (a) 및 도 10의 (b)를 사용하여 상술한 제2 실시형태에 따른 프로브 가이드판의 제1 제조 방법과 마찬 가지이기 때문에, 설명을 생략한다.

[0098] 다음으로, 실리콘 기판(52)의 표면, 이면 및 측면의 실리콘 산화막(80)을 에칭 제거한다(도 12의 (a)). 관통 구멍(54) 내벽의 실리콘 산화막(80)과는 에칭 특성이 상이한 매립 부재(84)가 실리콘 산화막(80)에 매립되어 있기 때문에, 실리콘 산화막(80)은 에칭 제거되지 않는다.

[0099] 실리콘 산화막(80)의 에칭은, 예를 들면, 베퍼하이드로플루오르산을 사용하여, 실온에서 에칭 처리를 한다.

[0100] 또한, RIE 등의 드라이 에칭에 의해, 실리콘 산화막(80)을 에칭 제거해도 된다. 예를 들면, 에칭 가스로서 O_2 또는 CF_4 를 사용하여, 에칭 처리를 한다.

[0101] 또한, 실리콘 기판(52)의 표면 및 이면을 연마함으로써, 실리콘 기판(52)의 표면 및 이면에서 실리콘 산화막(80)을 제거해도 된다. 연마에 의해 실리콘 산화막(80)을 제거하는 경우에는, 관통 구멍(54) 내에 매립 부재(84)를 매립하지 않아도 된다.

[0102] 다음으로, 실리콘 산화막(80)이 내벽에 형성된 복수의 관통 구멍(54) 내에 매립된 매립 부재(84)를 제거한다(도 12의 (b)).

[0103] 다음으로, 실리콘 기판(52)을 열산화하여, 실리콘 기판(52)의 표면, 이면 및 측면에 얇은 실리콘 산화막(82)을 형성한다(도 12의 (c)). 예를 들면, 약 1000°C에서, 15시간 이상, O_2 분위기 중에서 실리콘 기판(52)을 가열한다. 그 결과, 실리콘 기판(52)의 표면, 이면 및 측면에, 예를 들면, 약 1 μm 두께의 실리콘 산화막(82)이 형성된다.

[0104] 이와 같이, 본 실시형태의 다른 제조 방법에서는, 실리콘 기판(52)의 표면, 이면 및 측면에서 실리콘 산화막(80)을 완전히 제거하고 나서, 열산화에 의해 얇은 실리콘 산화막(82)을 다시 형성하고 있다. 이에 따라, 실리콘 기판(52)의 표면, 이면 및 측면에 균일한 두께의 얇은 실리콘 산화막(절연막)(82)을 형성할 수 있다.

[0105] [제3 실시형태]

[0106] (프로브 가이드판)

[0107] 제3 실시형태에 따른 프로브 가이드판에 대해서 도 13의 (a) 및 (b)를 사용하여 설명한다. 도 13의 (a)는 본 실시형태에 따른 프로브 가이드판의 C-C'선 단면도이다. 도 13의 (b)는 본 실시형태에 따른 프로브 가이드판의 평면도이다. 한편, 제1 실시형태 및 제2 실시형태와 같은 구성 요소에는 같은 부호를 부여하여 설명을 생략 또는 간략하게 한다.

[0108] 본 실시형태에 따른 프로브 가이드판(50)은, 예를 들면, 도 1, 도 2에 나타내는 반도체 시험 장치(10)의 프로브 장치(20)에 있어서 사용되는 것이다. 예를 들면, 도 1, 도 2의 프로브 가이드판(36, 38)의 각각에, 본 실시형태에 따른 프로브 가이드판(50)을 사용할 수 있다. 한편, 프로브 가이드판(50)은 이에 한정되는 것이 아니라, 다른 시험장치의 프로브 장치에 있어서 사용되는 프로브 가이드판에도 적용할 수 있다.

[0109] 프로브 가이드판(50)의 기판(52)에는, 프로브(40)를 가이드하기 위한 복수의 관통 구멍(54)이 형성되어 있다.

[0110] 기판(52)은, 예를 들면, 약 200 μm 두께의 실리콘 기판이다. 기판(52)에 형성되는 관통 구멍(54)은, 예를 들면, 약 50 μm × 약 50 μm 의 사각 형상이다. 복수의 관통 구멍(54)의 수 및 위치는, DUT(14)에 설치된 복수의 전극(15)에 맞춰 설정되어 있다.

- [0111] 복수의 관통 구멍(54)의 내벽에, 프로브(40)의 슬라이딩에 견디는 충분한 두께의 절연막(80)이 선택적으로 형성되어 있다. 기판(52)의 표면 및 이면에는 두꺼운 절연막(80)은 형성되어 있지 않다.
- [0112] 이와 같이, 본 실시형태에 의하면, 프로브(40)의 슬라이딩에 견디는 충분한 두께의 실리콘 산화막인 절연막(80)은, 관통 구멍(54)의 내벽에는 형성되어 있지만, 기판(52)의 표면 및 이면에는, 두꺼운 절연막(80)이 형성되어 있지 않다. 이 때문에, 기판(52)의 열팽창률과 절연막(80)의 열팽창률이 상이해도, 기판(52)에 생기는 응력을 충분히 억제할 수 있어, 복수의 관통 구멍(54)의 위치 어긋남을 충분히 억제할 수 있다. 따라서, 프로브(40)를 정확한 위치에 가이드할 수 있다.
- [0113] (프로브 가이드판의 제1 제조 방법)
- [0114] 제3 실시형태에 따른 프로브 가이드판의 제1 제조 방법에 대해서 도 14의 (a) 내지 (c) 및 도 15의 (a) 내지 (c)를 사용하여 설명한다. 도 14의 (a) 내지 (c) 및 도 15의 (a) 내지 (c)는 제3 실시형태에 따른 프로브 가이드판의 제1 제조 방법을 나타내는 공정 단면도이다. 한편, 제1 실시형태 및 제2 실시형태와 같은 구성 요소에는 같은 부호를 부여하여 설명을 생략 또는 간략하게 한다.
- [0115] 우선, 본 실시형태의 프로브 가이드판의 제조에 사용하는 실리콘 기판(52)을 준비한다. 실리콘 기판(52)은, 예를 들면, 약 $725\mu\text{m}$ 두께이다.
- [0116] 다음으로, 실리콘 기판(52)의 상면(표면) 또는 하면(이면)을 연마하여, 약 $200\mu\text{m}$ 두께의 실리콘 기판(52)을 형성한다(도 14의 (a)).
- [0117] 다음으로, 실리콘 기판(52) 전체 면에, 예를 들면, CVD법에 의해, 예를 들면, 약 $1\mu\text{m}$ 두께의 실리콘 질화막(90)을 형성한다(도 14의 (b)). 실리콘 질화막(90)의 막두께는, 약 $0.5\mu\text{m} \sim 5.0\mu\text{m}$ 의 범위여도 된다.
- [0118] 실리콘 질화막(90)을 CVD법으로 형성하기 위해서는, 예를 들면, SiH_4 또는 NH_3 의 원료 가스를 사용하고, 예를 들면, 약 300°C 로 가열하여, 실리콘 질화막(90)을 실리콘 기판(52) 전체 면에 화학 기상 성장시킨다.
- [0119] 다음으로, 실리콘 기판(52)의 상면(표면) 및 하면(이면)에 레지스트(92, 94)를 형성한다.
- [0120] 다음으로, 레지스트(92, 94)를 패터닝하여, 각각, 복수의 관통 구멍(54)을 형성하기 위한 복수의 개구(93) 및 복수의 개구(95)를 레지스트(92, 94)에 형성한다(도 14의 (c)).
- [0121] 레지스트(92, 94)에 형성되는 개구(93, 95) 각각의 형상은, 예를 들면, 약 $50\mu\text{m} \times$ 약 $50\mu\text{m}$ 의 사각 형상이다. 개구(93, 95)의 수 및 위치는, DUT(14)에 설치된 복수의 전극(15)에 맞춰 설정한다.
- [0122] 다음으로, 예를 들면, 레지스트(92, 94)를 마스크로 해서, 복수의 개구(93, 95)의 실리콘 질화막(90)을 에칭 제거한다(도 14의 (c)).
- [0123] 실리콘 질화막(90)의 에칭은, 예를 들면, 열인산을 사용하여, 약 200°C 에서 에칭 처리를 한다.
- [0124] 다음으로, 예를 들면, 레지스트(92)를 마스크로 해서, 실리콘 기판(52)의 상면(표면)으로부터 구멍을 내어, 실리콘 기판(52)의 하면(이면)까지 관통하는 복수의 관통 구멍(54)을 형성한다(도 15의 (a)). 실리콘 기판(52)에 관통 구멍(54)을 형성하는 방법으로서는, 예를 들면, DEEP-RIE법을 이용할 수 있다.
- [0125] 다음으로, 실리콘 기판(52) 전체를 열산화한다. 예를 들면, 약 1000°C 에서, 70시간 이상, O_2 분위기 중에서 실리콘 기판(52)을 가열한다. 그 결과, 실리콘 질화막(90)이 형성되어 있지 않은, 복수의 관통 구멍(54)의 내벽에, 예를 들면, 약 $5\mu\text{m}$ 두께의 실리콘 산화막(절연막)(80)이 형성된다(도 15의 (b)).
- [0126] 이대로, 실리콘 기판(52)의 표면, 이면 및 측면에 형성된 실리콘 질화막(90)을 잔존시킨 채, 본 실시형태에 따른 프로브 가이드판(50)을 완성시켜도 된다(도 15의 (b)).
- [0127] 또한, 실리콘 기판(52)의 표면, 이면 및 측면에 형성된 실리콘 질화막(90)을 에칭 제거한 후에, 본 실시형태에 따른 프로브 가이드판(50)을 완성시켜도 된다(도 15의 (c)). 실리콘 질화막(90)의 에칭은, 예를 들면, 열인산을 사용하여, 약 200°C 에서 에칭 처리를 한다.
- [0128] (프로브 가이드판의 제2 제조 방법)
- [0129] 제3 실시형태에 따른 프로브 가이드판의 제2 제조 방법에 대해서 도 16의 (a) 내지 (c)를 사용하여 설명한다. 도 16의 (a) 내지 (c)는 제3 실시형태에 따른 프로브 가이드판의 제2 제조 방법을 나타내는 공정 단면도이다. 한편, 제1 실시형태 및 제2 실시형태와 같은 구성 요소에는 같은 부호를 부여하여 설명을 생략 또는 간략하게

한다.

[0130] 실리콘 기판(52)을 준비하는 공정으로부터 복수의 관통 구멍(54) 내에 매립 부재(84)를 매립하는 공정까지는, 도 10의 (a) 및 도 10의 (b)를 사용하여 상술한 제2 실시형태에 따른 프로브 가이드판의 제1 제조 방법과 마찬 가지이기 때문에, 이를 공정의 설명을 생략한다(도 16의 (a)).

[0131] 다음으로, 실리콘 기판(52)의 표면, 이면 및 측면의 실리콘 산화막(절연막)(80)을 에칭 제거한다(도 16의 (b)). 관통 구멍(54) 내벽의 실리콘 산화막(80)과는 에칭 특성이 상이한 매립 부재(84)가 실리콘 산화막(80)에 매립되어 있기 때문에, 실리콘 산화막(80)은 에칭 제거되지 않는다.

[0132] 실리콘 산화막(80)의 에칭은, 예를 들면, 베퍼하이드로플루오르산을 사용하여, 실온에서 에칭 처리를 한다.

[0133] 또한, RIE 등의 드라이 에칭에 의해, 실리콘 산화막(80)을 에칭 제거해도 된다. 예를 들면, 에칭 가스로서 O₂ 또는 CF₄를 사용하여, 실리콘 산화막(80)의 에칭 처리를 한다.

[0134] 또한, 실리콘 기판(52)의 표면 및 이면을 연마함으로써, 실리콘 기판(52)의 표면 및 이면에서 실리콘 산화막(80)을 제거해도 된다. 연마에 의해 실리콘 산화막(80)이 제거되는 경우에는, 관통 구멍(54) 내에 매립 부재(84)를 매립하지 않아도 된다.

[0135] 다음으로, 실리콘 산화막(80)이 내벽에 형성된 복수의 관통 구멍(54) 내에 매립된 매립 부재(84)를 제거한다. 따라서, 본 실시형태에 따른 프로브 가이드판(50)을 완성시킨다(도 16의 (c)).

[변형 실시형태]

[0137] 상기 실시형태는 일례이다. 필요에 따라 여러 가지 변형이 가능하다.

[0138] 예를 들면, 상기 어느 하나의 실시형태에서는, 도 1, 도 2에 나타내는 반도체 시험 장치(10)의 프로브 장치(20)의 프로브 가이드판(36, 38)의 각각에 본 실시형태에 따른 프로브 가이드판(50)을 사용하고 있다. 그러나, 실시형태에 따른 프로브 가이드판(50)은 이에 한정되는 것이 아니라, 다른 시험 장치의 프로브 장치에 있어서 사용되는 프로브 가이드판에도 적용할 수 있다.

[0139] 이상, 바람직한 실시형태 및 변형 실시형태에 대해서 상술했다. 그러나, 본 발명은 이를 특정의 실시형태 및 변형 실시형태에 한정되는 것이 아니라, 특허청구범위에 기재된 요지의 범위 내에서, 상술한 실시형태 및 변형 실시형태에 대하여 여러 가지 변형이나 변경이 가능하다.

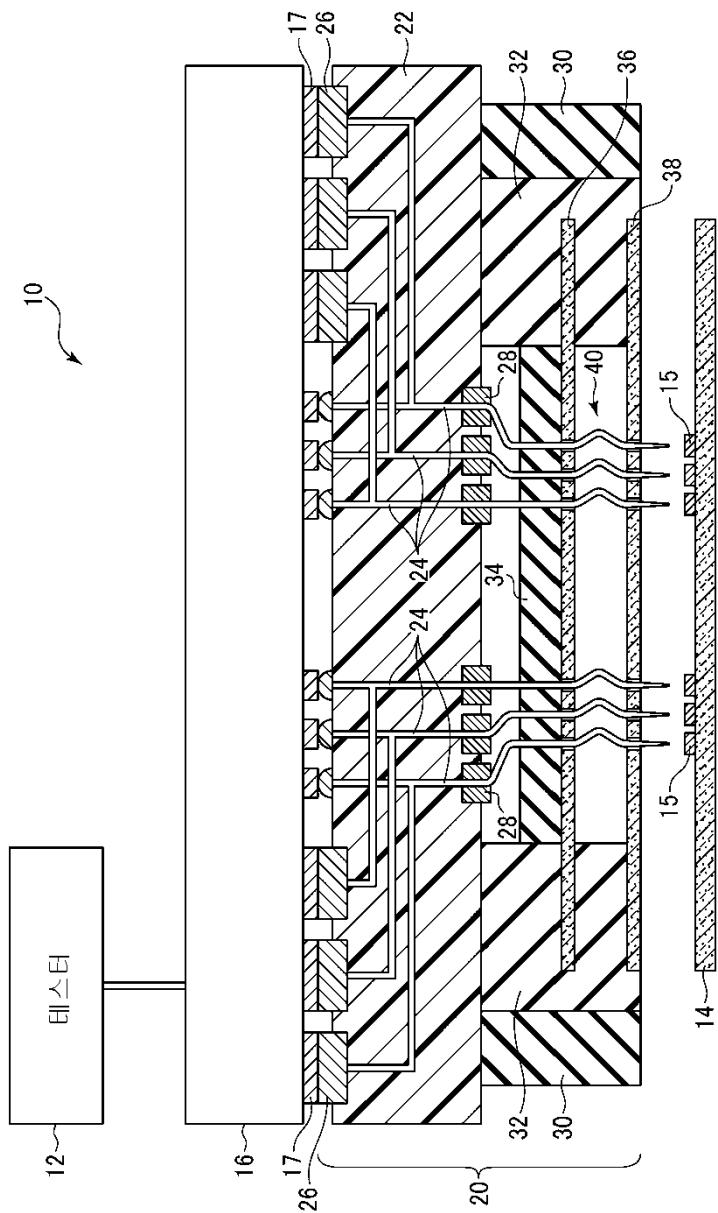
부호의 설명

| | |
|------------------|---------------|
| 10: 반도체 시험 장치 | 12: 테스터 |
| 14: DUT | 15: 전극 |
| 16: 인터포저 기판 | 17: 전극 |
| 20: 프로브 장치 | 22: 배선 기판 |
| 24: 배선 | 26: 전극 |
| 28: 전극 | 30: 하우징 |
| 32: 홀더 | 34: 세라믹 기판 |
| 36, 38: 프로브 가이드판 | 37, 39: 관통 구멍 |
| 40: 프로브 | 42: 베이스부 |
| 44: 선단부 | 46: 굴곡부 |
| 50: 프로브 가이드판 | 52: 기판 |
| 54: 관통 구멍 | 55: 근방 영역 |
| 56: 절연막 | 60: 레지스트 |
| 62: 개구 | 64: 비관통 구멍 |

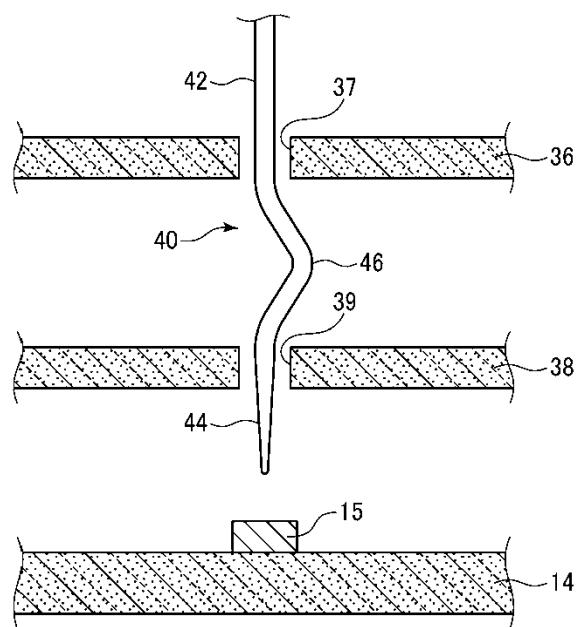
| | |
|------------------|------------------|
| 66: 실리콘 산화막 | 68, 70: 레지스트 |
| 72: 실리콘 질화막 | 74: 실리콘 산화막 |
| 76: 포토 레지스트막 | 78: 실리콘 산화막 |
| 80: 절연막(실리콘 산화막) | 82: 절연막(실리콘 산화막) |
| 84: 매립 부재 | 90: 실리콘 질화막 |
| 92, 94: 레지스트 | 93, 95: 개구 |

도면

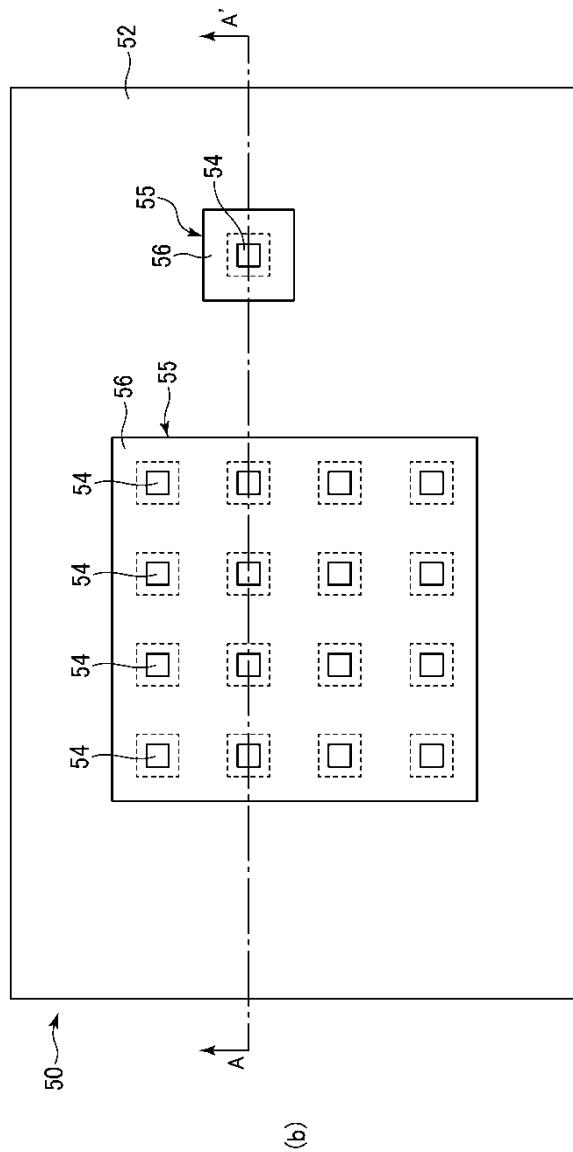
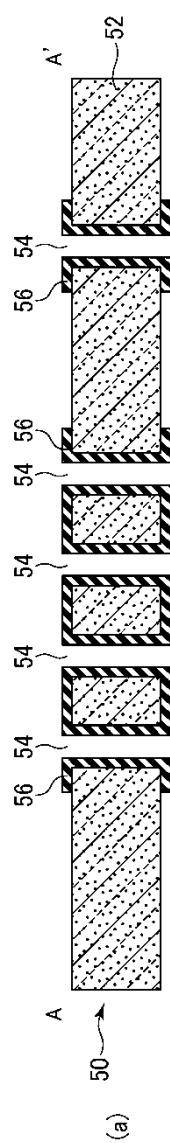
도면1



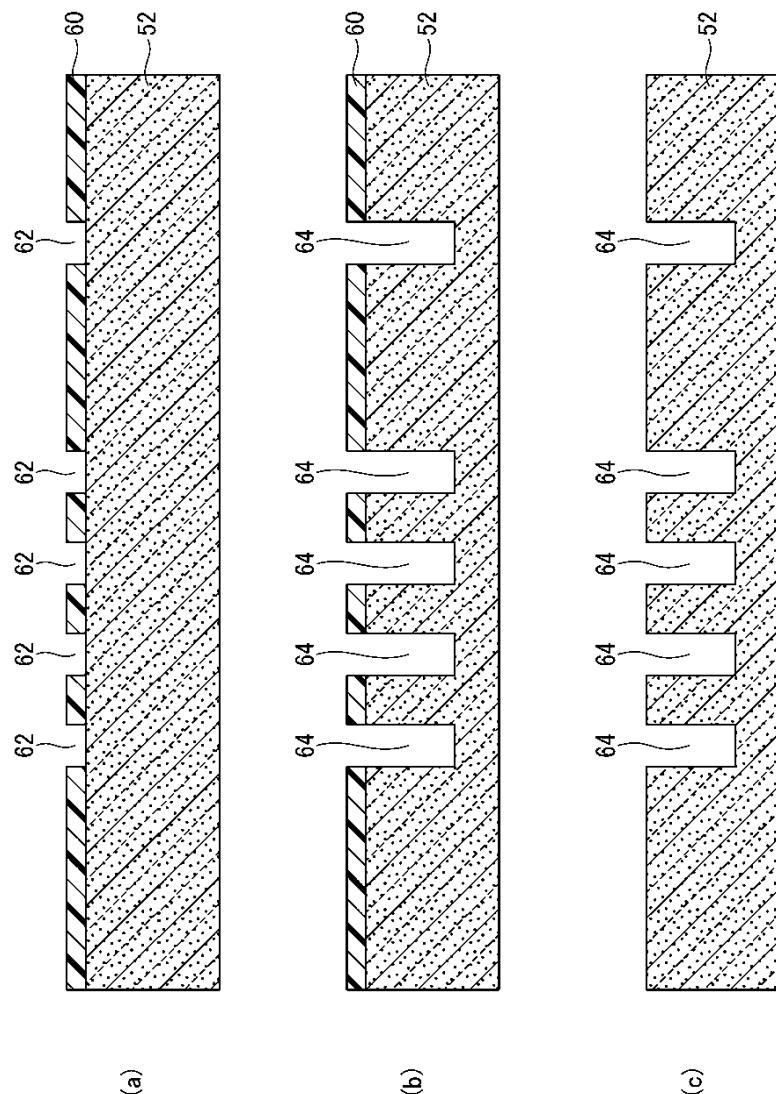
도면2



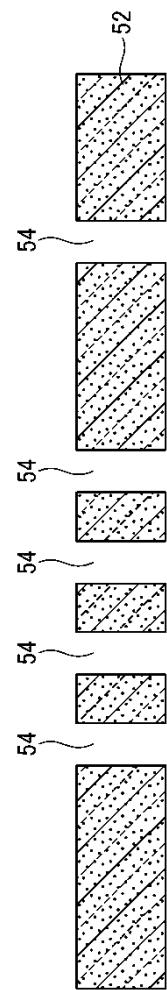
도면3



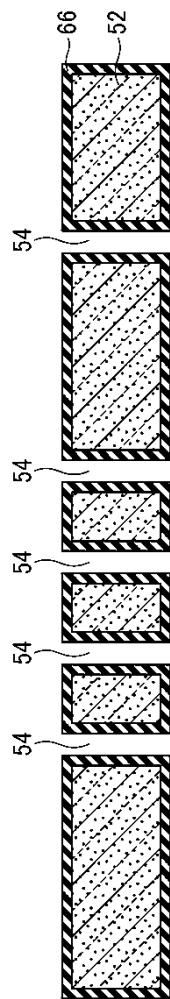
도면4



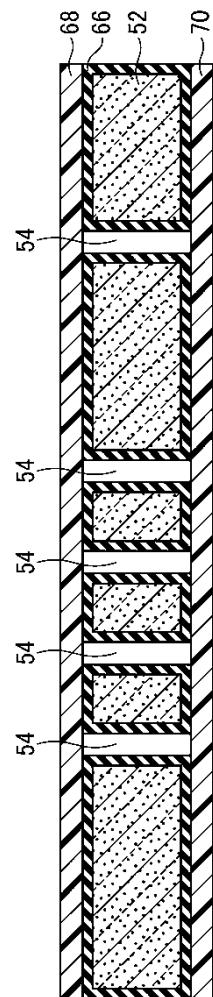
도면5



(a)

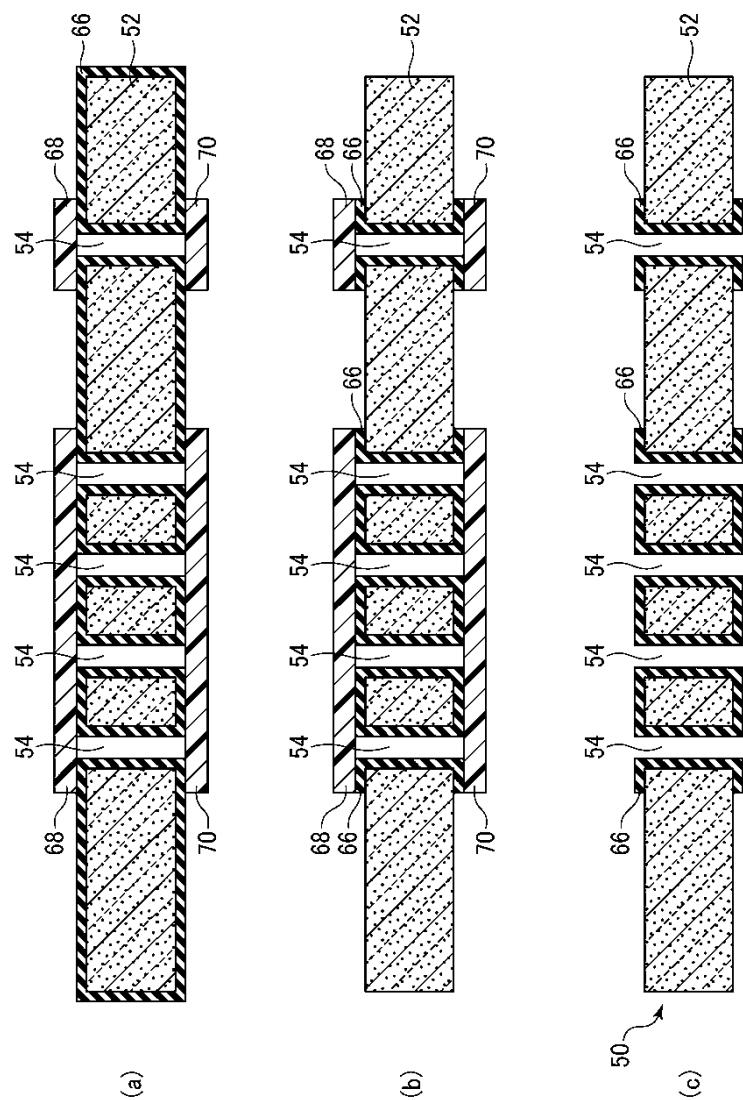


(b)

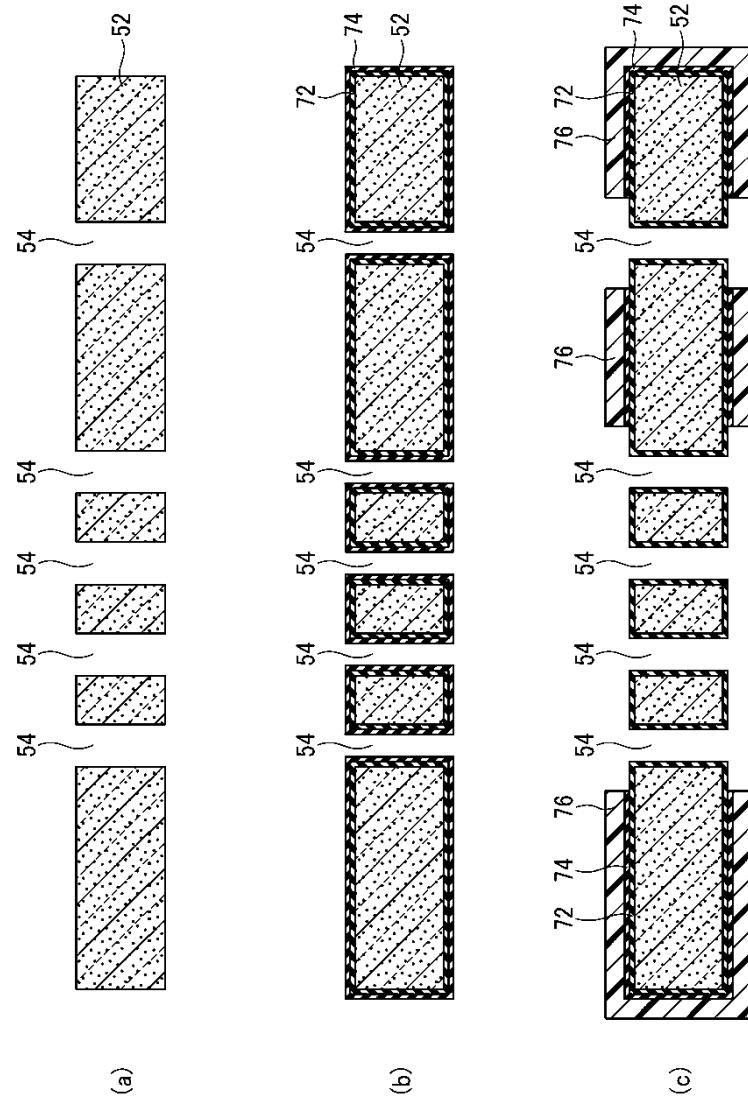


(c)

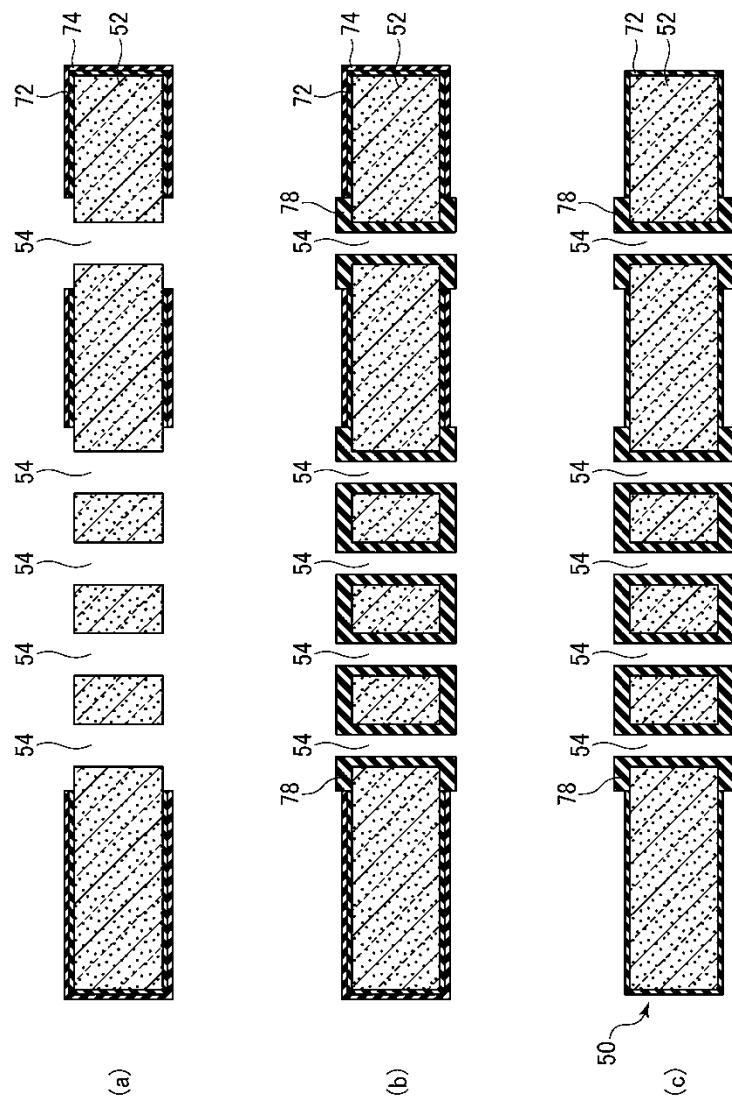
도면6



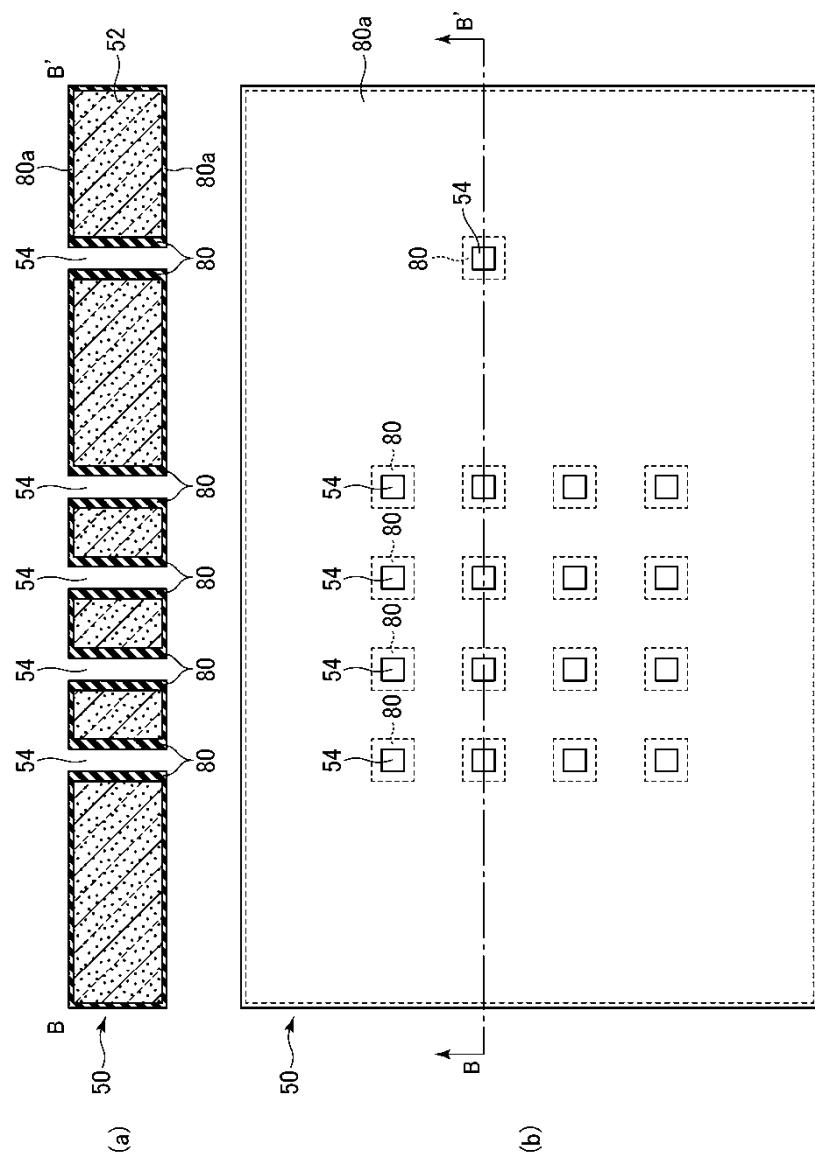
도면7



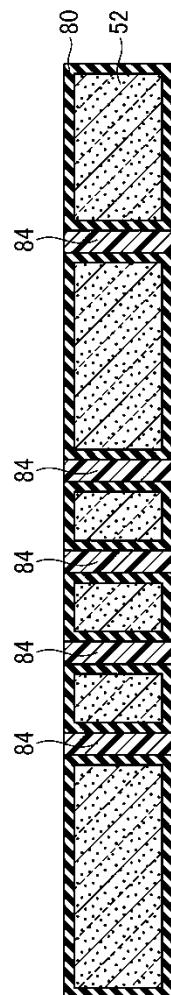
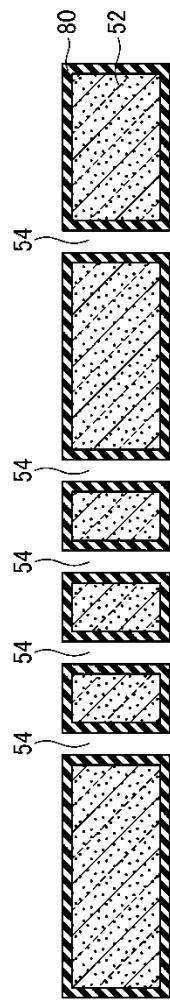
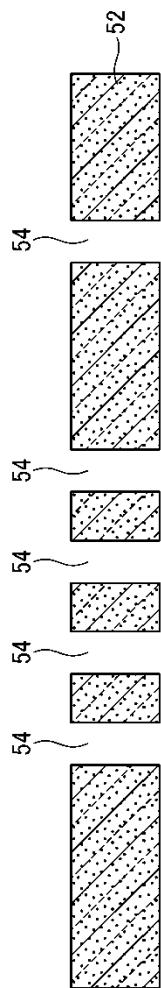
도면8



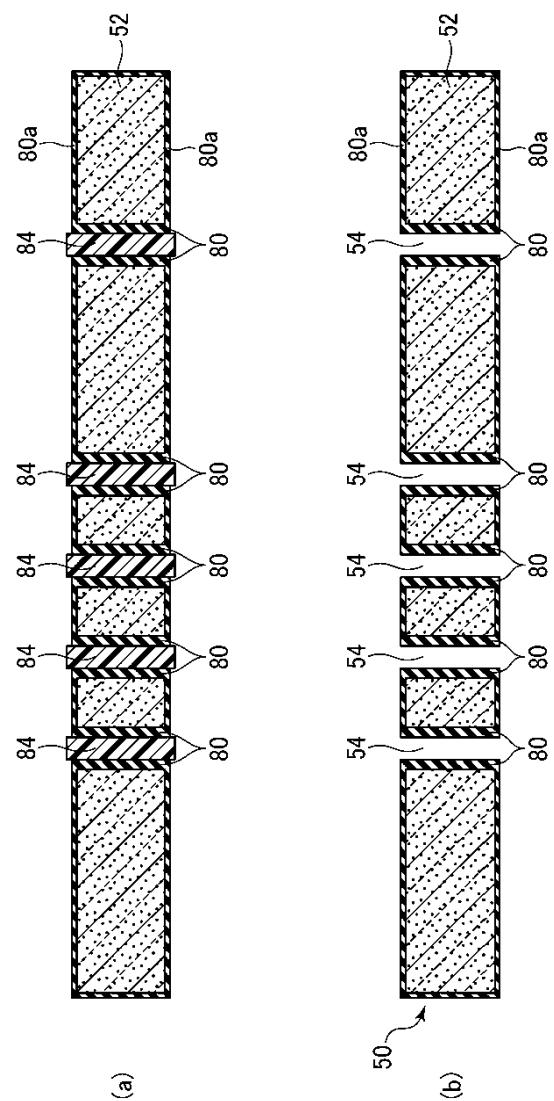
도면9



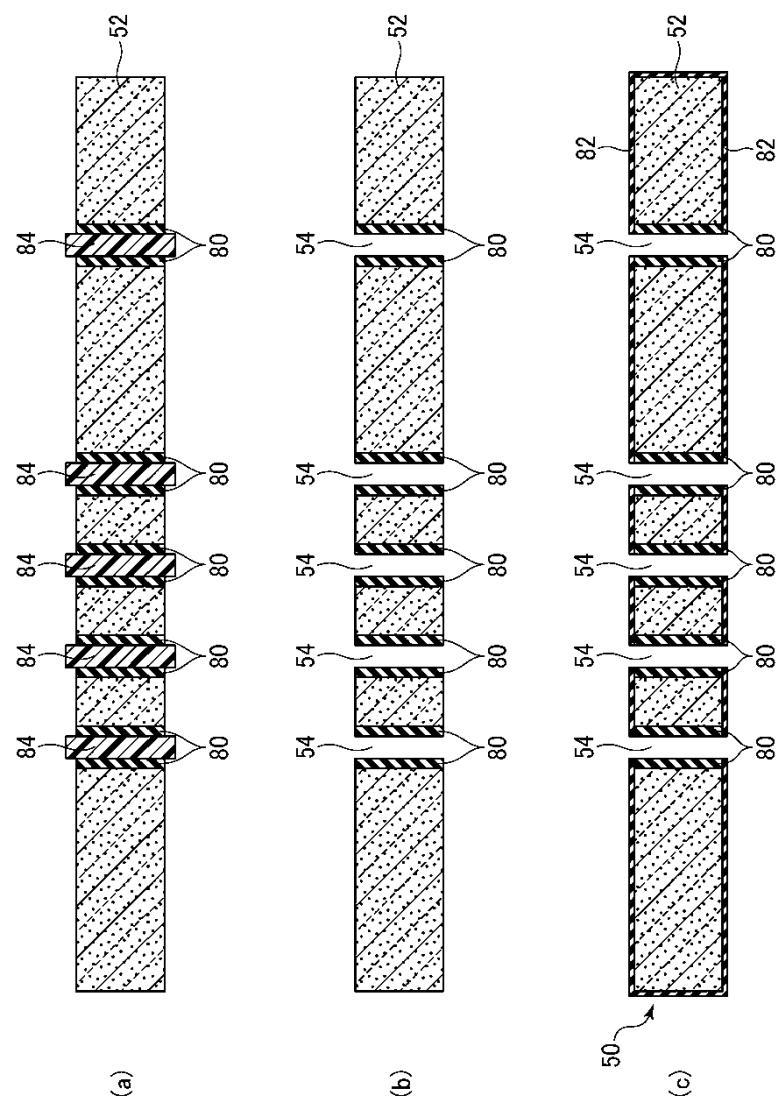
도면10



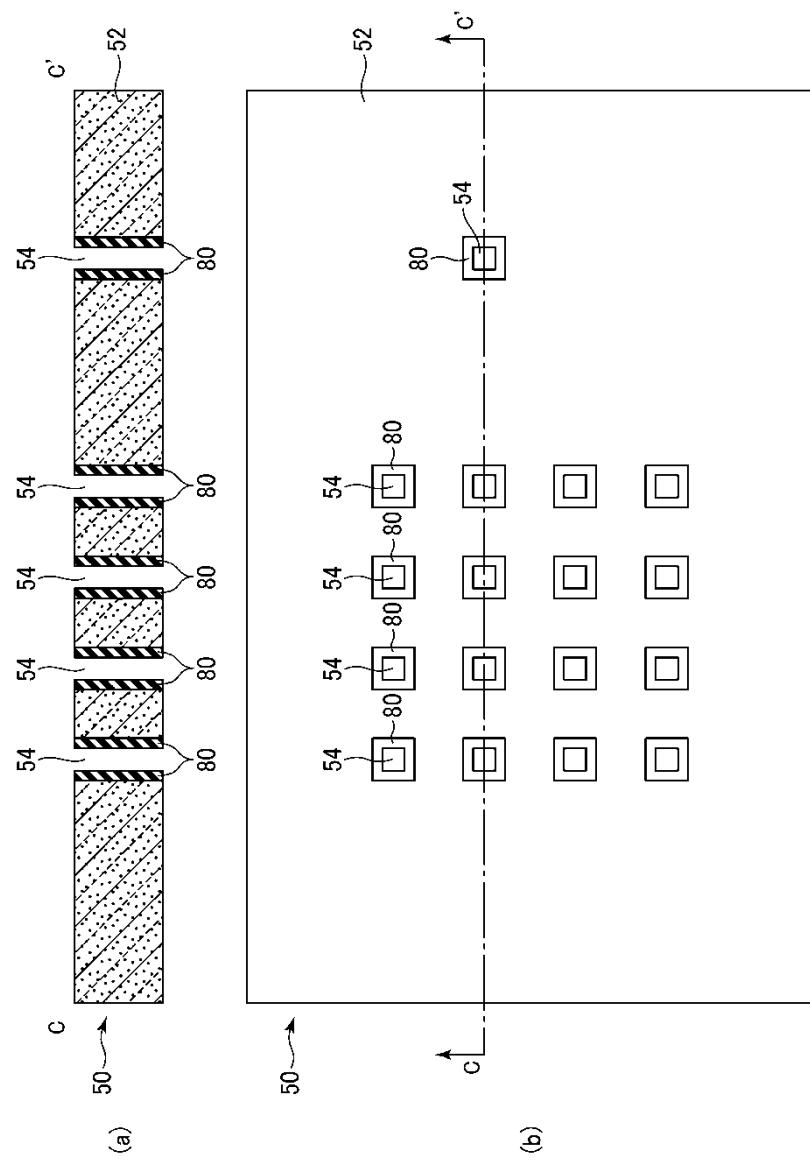
도면11



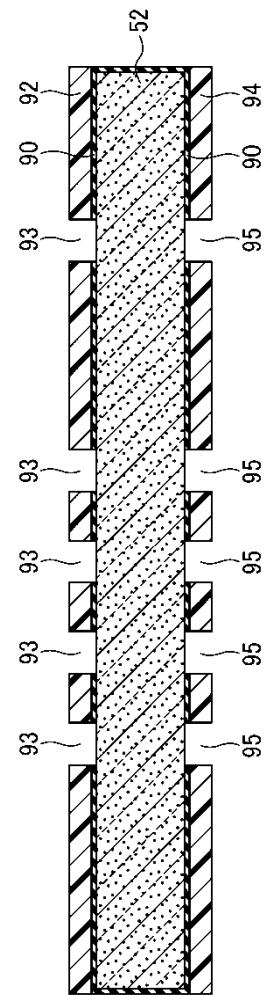
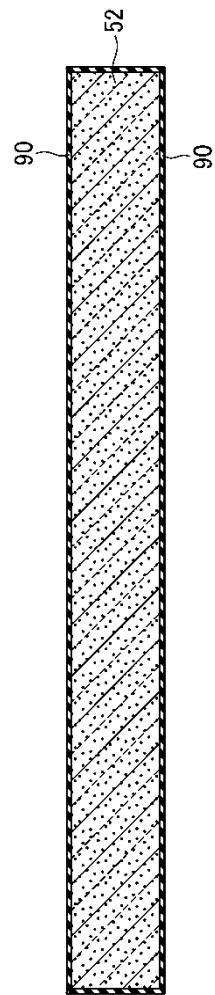
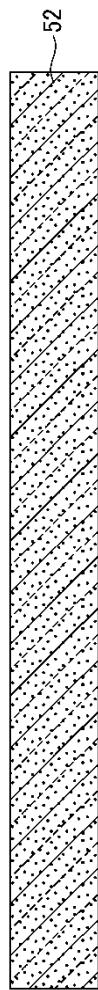
도면12



도면13



도면14

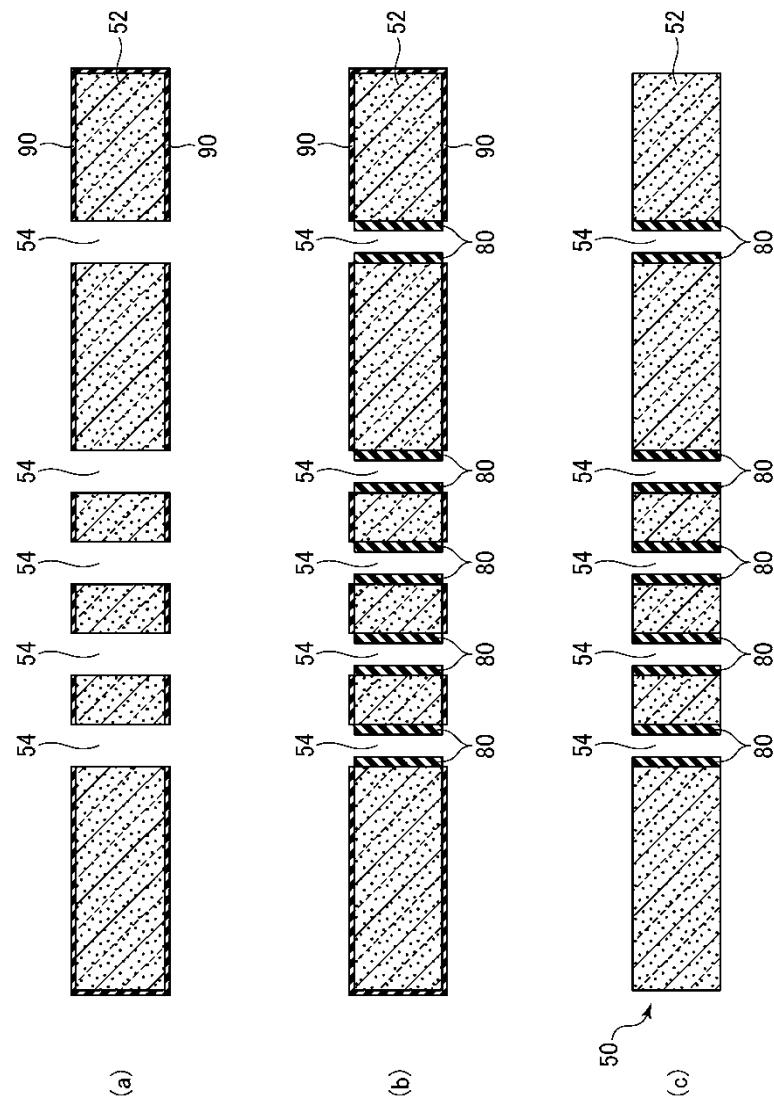


(a)

(b)

(c)

도면15



도면16

