

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年7月21日(2016.7.21)

【公開番号】特開2015-106691(P2015-106691A)

【公開日】平成27年6月8日(2015.6.8)

【年通号数】公開・登録公報2015-037

【出願番号】特願2013-249382(P2013-249382)

【国際特許分類】

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

【F I】

H 01 L 27/04 V

【手続補正書】

【提出日】平成28年5月31日(2016.5.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

高速I/O回路41において、レジスタ設定部30-1は、レジスタr1へのデータ値設定を行う。レジスタr1に設定されたデータ値は、バッファ4aへ出力されて、バッファ4aの電気的特性が調整される。また、レジスタ値設定部30-2は、レジスタr2へのデータ値設定を行う。レジスタr2に設定されたデータ値は、バッファ4bへ出力されて、バッファ4bの電気的特性が調整される。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項9

【補正方法】変更

【補正の内容】

【請求項9】

前記第2の結線状態で前記レジスタに1を設定する場合は、

前記制御回路は、前記ヒューズの接続を維持するための前記制御信号を前記レジスタ設定部に供給し、

前記レジスタ設定部は、前記出力ノードが前記第1の電位レベルに設定されることで、前記リセット端子に前記第1の電位レベルの信号を入力し、前記セット端子に前記第1の電位レベルよりも高い第3の電位レベルの信号を入力する、

ことを特徴とする請求項8記載の半導体装置。

【手続補正3】

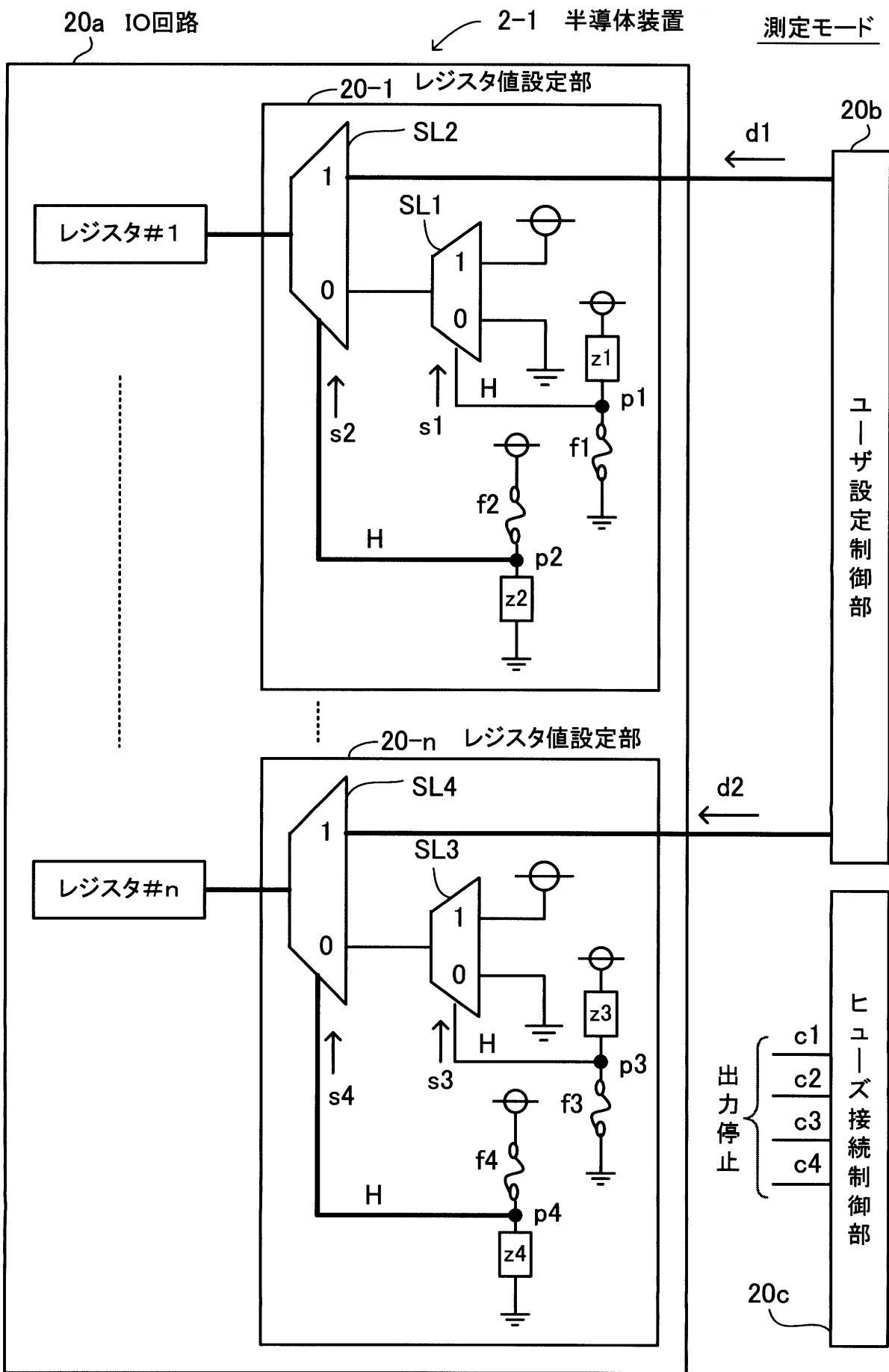
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正の内容】

【図4】



【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正の内容】

【図 5】

