

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成 28 年 7 月 21 日 (2016.7.21)

【公開番号】特開 2015-106691 (P2015-106691A)
【公開日】平成 27 年 6 月 8 日 (2015.6.8)
【年通号数】公開・登録公報 2015-037
【出願番号】特願 2013-249382 (P2013-249382)
【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 27/04 V

【手続補正書】

【提出日】平成 28 年 5 月 31 日 (2016.5.31)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

高速 I O 回路 41 において、レジスタ設定部 30-1 は、レジスタ r1 へのデータ値設定を行う。レジスタ r1 に設定されたデータ値は、バッファ 4a へ出力されて、バッファ 4a の電気的特性が調整される。また、レジスタ値設定部 30-2 は、レジスタ r2 へのデータ値設定を行う。レジスタ r2 に設定されたデータ値は、バッファ 4b へ出力されて、バッファ 4b の電気的特性が調整される。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 9

【補正方法】変更

【補正の内容】

【請求項 9】

前記第 2 の結線状態で前記レジスタに 1 を設定する場合は、

前記制御回路は、前記ヒューズの接続を維持するための前記制御信号を前記レジスタ設定部に供給し、

前記レジスタ設定部は、前記出力ノードが前記第 1 の電位レベルに設定されることで、前記リセット端子に前記第 1 の電位レベルの信号を入力し、前記セット端子に前記第 1 の電位レベルよりも高い第 3 の電位レベルの信号を入力する、

ことを特徴とする請求項 8 記載の半導体装置。

【手続補正 3】

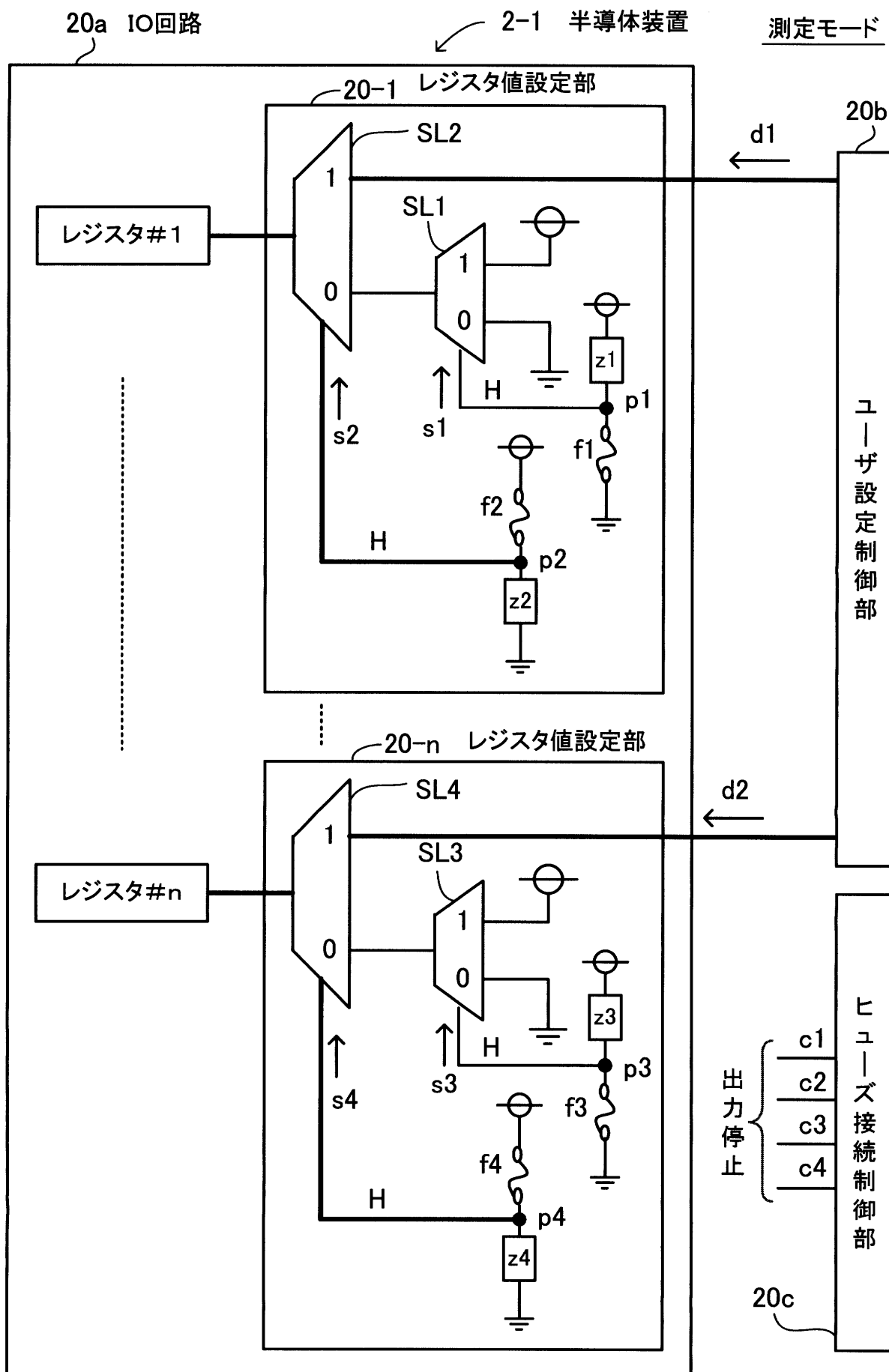
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正の内容】

【図 4】



【手続補正 4】

【補正対象書類名】図面
【補正対象項目名】図 5
【補正方法】変更
【補正の内容】

【図5】

