



(10) **DE 11 2004 000 360 T5** 2013.04.11

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
(87) Veröffentlichungs-Nr.: **WO 2004/081990**  
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)  
(21) Deutsches Aktenzeichen: **11 2004 000 360.1**  
(86) PCT-Aktenzeichen: **PCT/US2004/007528**  
(86) PCT-Anmeldetag: **10.03.2004**  
(87) PCT-Veröffentlichungstag: **23.09.2004**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **11.04.2013**

(51) Int Cl.: **H01L 23/485** (2006.01)

(30) Unionspriorität:  
**10/386,211**                      **10.03.2003**      **US**

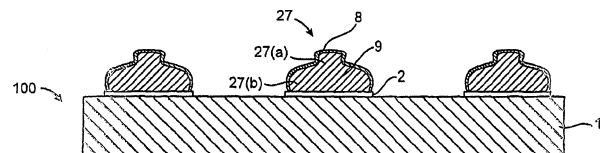
(71) Anmelder:  
**Fairchild Semiconductor Corporation, South  
Portland, Me., US**

(74) Vertreter:  
**Manitz, Finsterwald & Partner GbR, 80336,  
München, DE**

(72) Erfinder:  
**Joshi, Rajeev, Cupertino, Calif., US; Tangpuz,  
Consuelo, Lapulapu, PH; Rios, Margie T.,  
Mandaue, PH; Cruz, Erwin Victor R., Koronadal,  
PH**

(54) Bezeichnung: **Zweimetallisches Stud-Bumping für Flipchip-Anwendungen**

(57) Zusammenfassung: Es ist ein Verfahren zum Ausbilden eines Halbleiter-Dies mit Stud-Bumps offenbart. Das Verfahren umfasst ein Ausbilden einer Kugel an der Spitze eines beschichteten Drahts, der durch ein Loch in einer Kapillare geführt wird, wobei der beschichtete Draht einen Kern und eine oxidationsbeständige Beschichtung aufweist. Die ausgebildete Kugel wird auf den leitenden Bereich auf dem Halbleiter-Die gepresst. Der beschichtete Draht wird abgeschnitten, wodurch ein leitender Stud-Bump auf dem leitenden Bereich zurückbleibt, wobei der leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht umfasst.



**Beschreibung**

## HINTERGRUND DER ERFINDUNG

**[0001]** In elektronischen Baugruppen gibt es viele verschiedene Zusammenbaustufen und Verbindungen. In einem typischen Prozess der ersten Zusammenbaustufe wird ein Silizium-Die an einen Keramiksubstratträger gefügt. In einem typischen Prozess der zweiten Zusammenbaustufe wird der Keramiksubstratträger mit dem Die auf eine organische Platte montiert.

**[0002]** In einem herkömmlichen Verfahren zum Ausbilden einer Baugruppe in der ersten Stufe wird eine Passivierungsschicht auf einem Halbleiter-Die (der sich in einem Halbleiterwafer befinden kann) ausgebildet. Die Passivierungsschicht umfasst Öffnungen, die leitende Bereiche auf dem Halbleiter-Die freilegen. Titan- und Kupferschichten werden auf die obere Oberfläche der leitenden Bereiche und der Passivierungsschicht gesputtert. Dann wird eine Fotoresistschicht musterartig auf dem Halbleiter-Die aufgebracht, so dass sich die Öffnungen in der musterartigen Fotoresistschicht über den leitenden Bereichen befinden. In die Öffnungen in der Fotoresistschicht wird solange Lot elektroplattiert, bis die Öffnungen mit Lot gefüllt sind. Das Fotoresist wird weggenommen, und die Abschnitte der Titan- und Kupferschichten um die Lotabscheidungen werden entfernt. Dann werden die Lotabscheidungen einem Full-Reflow-Prozess ausgesetzt. Der Full-Reflow-Prozess bewirkt, dass die Lotabscheidungen Lotkugeln ausbilden. Nach dem Ausbilden der Lotkugeln wird das Halbleiter-Die mit der Oberseite nach unten an einen Träger gebondet. Die Lotkugeln auf dem Halbleiter-Die stehen mit leitenden Bereichen auf dem Chipträger in Kontakt. Nichtlösliche Barrieren werden um die leitenden Bereiche angeordnet und begrenzen die Lotkugeln. Die Lotkugeln zwischen den leitenden Bereichen auf dem Träger und dem Halbleiter-Die schmelzen und benetzen die leitenden Bereiche auf dem Träger. Eine Oberflächenspannung verhindert, dass das schmelzende Lot vollständig zusammensackt, und hält das Halbleiter-Die über dem Träger.

**[0003]** Während des Reflow-Schritts verformt sich das abgeschiedene Lot im Wesentlichen zu Lotkugeln. Aufgrund der Verformung können die Höhen der entstehenden Lotkugeln auf dem Halbleiter-Die ungleich sein. Wenn die Höhen der Lotkugeln ungleich sind, können die Lotkugeln nicht mit allen leitenden Bereichen des Trägers gleichzeitig in Kontakt treten, wenn das Halbleiter-Die auf den Chipträger montiert ist. Wenn dies stattfindet, kann die Festigkeit der ausgebildeten Lotverbindungen schwach sein, wodurch möglicherweise die Zuverlässigkeit der ausgebildeten Baugruppe verringert wird. Des Weiteren wird das abgeschiedene Lot während des Reflow-Prozesses für längere Zeitperioden hohen Tempe-

raturen ausgesetzt. Ein übermäßiges Erwärmen des abgeschiedenen Lots kann ein übermäßiges intermetallisches Wachstum in den Lotabscheidungen begünstigen. Intermetalle in den Lotverbindungen machen die Lotverbindungen spröde und reduzieren die Ermüdungsfestigkeit der Lotverbindungen. Schließlich kostet das Ausführen eines Full-Reflow-Prozesses Zeit und Energie und trägt somit zu den Kosten der Die-Baugruppe, die letztlich hergestellt wird, bei. Wenn möglich, wäre es erwünscht, die Zeit und Energie, die mit dem Full-Reflow-Prozess in Verbindung stehen, zu reduzieren.

**[0004]** Ein Ansatz, um die obigen Probleme zu lösen, ist, eine "Stud-Bumping"-Technik zu verwenden, um anstatt von Lot einen Kupfer-Stud auf den leitenden Bereichen auszubilden. Der Kupfer-Stud wird unter Verwendung einer Drahtbondtechnik ausgebildet, wobei ein Ende eines Drahts eine Kugel formt, die auf einen leitenden Bereich eines Halbleiter-Dies gepresst wird. Der Draht wird dann abgeschnitten, wodurch die gepresste Kugel zurückbleibt, die die Form eines Kupfer-Studs aufweist. Das Halbleiter-Die wird dann umgedreht und auf einen Träger einer Leiterplatte, die leitende Anschlussflächen aufweist, mit Pb-Sb-Sn-Lot angebracht.

**[0005]** Während der beschriebene Stud-Bumping-Ansatz machbar ist, gibt es einige Probleme, die betrachtet werden müssen. Erstens kann sich bei dem oben beschriebenen Ansatz eine dicke Schicht aus intermetallischen Verbindungen zwischen dem Kupfer-Stud und dem Pb-Sb-Sn-Lot ausbilden. Die dicke Schicht aus intermetallischen Verbindungen kann den "Widerstand im in Betrieb befindlichen Zustand" der Die-Baugruppe erhöhen. Zweitens können sich Hohlräume zwischen dem Kupfer in dem Kupfer-Stud und der dicken Schicht aus intermetallischen Verbindungen ausbilden. In **Fig. 1** ist zum Beispiel nach einem Test über 1000 Stunden bei 150°C ein Zwischenraum (oder Hohlraum) zwischen einer ausgebildeten Schicht aus intermetallischen Verbindungen und dem Kupfer-Stud gezeigt. Der Zwischenraum führt zu einer schlechten elektrischen und mechanischen Verbindung zwischen dem Halbleiter-Die und dem Träger, an dem dieser befestigt ist. Ohne von der Theorie eingeschränkt zu sein, glauben die Erfinder, dass die Ausbildung des Hohlraums an der Grenzfläche zwischen Kupfer/intermetallischen Verbindungen entweder durch Kupferoxidation und/oder durch die unterschiedlichen Diffusionsgeschwindigkeiten von Cu, Sn und Sb verursacht wird.

**[0006]** Ausführungsformen der Erfindung richten sich auf diese und andere Probleme.

## ZUSAMMENFASSUNG DER ERFINDUNG

**[0007]** Ausführungsformen der Erfindung richten sich auf Halbleiter-Dies mit Stud-Bumps (stiftartige

Kontakthöcker), Halbleiter-Die-Baugruppen, die unter Verwendung der Halbleiter-Dies mit Bumps ausgebildet sind, und Verfahren, um diese herzustellen.

[0008] Eine Ausführungsform der Erfindung richtet sich auf ein Verfahren, das umfasst: (a) Ausbilden einer Kugel an der Spitze eines beschichteten Drahts, der durch ein Loch in einer Kapillare geführt wird, wobei der beschichtete Draht einen Kern und eine äußere oxidationsbeständige Beschichtung umfasst; (b) Pressen der Kugel auf einen leitenden Bereich auf einem Halbleiter-Die; und (c) Abschneiden des beschichteten Drahts, wodurch ein leitender Stud-Bump auf dem leitenden Bereich zurückbleibt, wobei der leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht umfasst.

[0009] Eine weitere Ausführungsform der Erfindung richtet sich auf einen Halbleiter-Die mit Bumps, umfassend: (a) einen Halbleiter-Die, der einen leitenden Bereich umfasst; und (b) einen leitenden Stud-Bump auf dem leitenden Bereich, wobei der leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht umfasst.

[0010] Eine weitere Ausführungsform der Erfindung richtet sich auf eine Halbleiter-Die-Baugruppe, umfassend: (a) einen Halbleiter-Die mit Bumps, umfassend (i) einen Halbleiter-Die, der einen ersten leitenden Bereich umfasst, und (ii) einen leitenden Stud-Bump auf dem leitenden Bereich, wobei der leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht umfasst; und (b) ein Schaltkreissubstrat, das einen zweiten leitenden Bereich und Lot auf dem zweiten leitenden Bereich umfasst, wobei der Halbleiter-Die mit Bumps auf das Schaltkreissubstrat montiert ist und der leitende Stud-Bump mit dem Lot auf dem zweiten leitenden Bereich in Kontakt steht.

[0011] Diese und andere Ausführungsformen der Erfindung sind nachstehend ausführlicher beschrieben.

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

[0012] **Fig. 1(a)** zeigt eine Schnittphotographie eines Kupfer-Studs, einer Lötpaste und einer Schicht aus intermetallischen Verbindungen zwischen dem Kupfer-Stud und der Lötpaste.

[0013] **Fig. 1(b)** zeigt einen Zwischenraum, der sich zwischen der intermetallischen Schicht und dem Kupfer-Stud bildet.

[0014] **Fig. 2** zeigt einen Querschnitt eines Halbleiter-Dies mit leitenden Stud-Bumps auf diesem.

[0015] **Fig. 3** zeigt einen Querschnitt eines Halbleiter-Dies mit leitenden Stud-Bumps, der auf ein Schaltkreissubstrat montiert ist.

[0016] **Fig. 4–Fig. 7** zeigen Querschnitte eines beschichteten Drahts, einer Kapillare und eines Halbleiter-Dies während eines Prozesses, in dem ein leitender Stud-Bump ausgebildet wird.

[0017] **Fig. 8** ist ein Schaubild, das die Festigkeit einer Kugel bei einem Scher-/Zug-Test über der Zeit für eine Kugel zeigt, die unter Verwendung eines beschichteten Drahts, der einen Kupferkern und eine äußere Beschichtung, die Palladium enthält, umfasst, an einen leitenden Bereich eines Halbleiter-Dies gebondet ist.

[0018] Es ist möglich, dass die Größen der verschiedenen Elemente in den Figuren aus Gründen einer einfacheren Darstellung nicht maßstäblich sind. Des Weiteren bezeichnen in den Figuren gleiche Bezugszeichen gleiche Elemente.

#### DETAILLIERTE BESCHREIBUNG

[0019] **Fig. 2** zeigt ein Halbleiter-Die **100** mit Stud-Bumps gemäß einer Ausführungsform der Erfindung. Das Halbleiter-Die **100** mit Stud-Bumps weist ein Halbleiter-Die **1** auf, der erste leitende Bereiche **2** und leitende Stud-Bumps **27** auf den ersten leitenden Bereichen **2** umfasst.

[0020] Das Halbleiter-Die **100** kann jedes geeignete Material (z. B. Silizium, Galliumarsenid) umfassen, und kann jede geeignete aktive oder passive Halbleitereinrichtung umfassen. Zum Beispiel kann das Halbleiter-Die einen Metall-Oxid-Feldeffekttransistor (MOSFET) wie beispielsweise einen Leistungs-MOSFET umfassen. Der MOSFET kann ein planares Gate oder ein Gate mit Gräben aufweisen. Gates mit Gräben sind bevorzugt. Transistorzellen, die Gates mit Gräben umfassen, sind schmaler als planare Gates. Zusätzlich kann der MOSFET ein vertikaler MOSFET sein. Bei einem vertikalen MOSFET befinden sich der Source-Bereich und der Drain-Bereich an gegenüberliegenden Seiten des Halbleiter-Dies, so dass ein Strom in dem Transistor vertikal durch das Halbleiter-Die fließt.

[0021] Jeder leitende Bereich **2** kann zum Beispiel eine leitende Anschlussfläche sein. Jeder leitende Bereich **2** kann auch eine oder mehrere Materialschichten umfassen. Ein leitender Bereich kann gemäß einer Ausführungsform der Erfindung zum Beispiel eine Aluminiumschicht mit einer oder mehreren metallurgischen Schichten unterhalb des Bumps, die Ti, Ni, Cr etc. umfassen, umfassen.

[0022] Jeder leitende Stud-Bump **27** kann einen inneren leitenden Abschnitt **9** und eine äußere oxida-

tionsbeständige Schicht **8** umfassen. Jeder leitende Stud-Bump **27** umfasst auch einen Kopf **27(a)** und eine Basis **27(b)**. Wie es gezeigt ist, ist der Kopf **27(a)** schmaler als die Basis **27(b)**. Wenn das Halbleiter-Die **1** einen Leistungs-MOSFET wie beispielsweise einen vertikalen Leistungs-MOSFET umfasst, können die leitenden Stud-Bumps **27** mit den Source- und den Gate-Bereichen des MOSFETs verbunden sein.

**[0023]** Der innere leitende Abschnitt **9** umfasst vorzugsweise Kupfer (z. B. reines Kupfer oder eine Kupferlegierung). Die äußere oxidationsbeständige Schicht **8** umfasst ein Material, das einer Oxidation standhält. Geeignete Materialien umfassen Edelmetalle (und Legierungen derselben) wie beispielsweise Pd, Pt, Au, Ag, etc. Obwohl die erläuterte Ausführungsform einen leitenden Stud-Bump **27** mit zwei getrennten Bereichen umfasst (d. h. dem inneren leitenden Abschnitt **9** und der oxidationsbeständigen Schicht **8**), sei angemerkt, dass die leitenden Stud-Bumps gemäß Ausführungsformen der Erfindung jede geeignete Anzahl an getrennten Bereichen aufweisen können.

**[0024]** Die oxidationsbeständige Schicht **8** kann jede geeignete Dicke aufweisen. Zum Beispiel kann sie in einigen Ausführungsformen eine Dicke von etwa 0,01 bis etwa 0,5 µm aufweisen. Die oxidationsbeständige Schicht **8** kann zumindest eine der Seiten, die Oberseite und den Boden des inneren leitenden Abschnitts **9** beschichten und kann die äußerste Schicht des leitenden Stud-Bumps **27** bilden.

**[0025]** **Fig. 3** zeigt, wie das Halbleiter-Die **100** mit Stud-Bumps auf das Schaltkreissubstrat **200** montiert sein kann. Das Schaltkreissubstrat **200** kann eine Anzahl an zweiten leitenden Bereichen **30** auf einem Basissubstrat **15** umfassen. Das Basissubstrat **15** kann eine oder mehrere dielektrische Schichten (zum Beispiel keramische oder polymere dielektrische Schichten) umfassen, und könnte auch leitende Schichten zwischen benachbarten dielektrischen Schichten umfassen. Das Schaltkreissubstrat **200** könnte ein Träger für ein Halbleiter-Die, eine Leiterplatte oder jede andere elektrische Einrichtung zum Tragen eines Halbleiter-Dies sein. Das Schaltkreissubstrat **200** könnte zum Beispiel alternativ ein Leiterrahmen mit Leitern sein. Nach dem Montieren des Halbleiter-Dies **100** mit Bumps auf den Leiterrahmen können ein innerer Abschnitt des Leiterrahmens und das Halbleiter-Die **100** mit Bumps in einer Vergussmasse eingekapselt werden.

**[0026]** Wie es gezeigt ist, können die zweiten leitenden Bereiche **30** Lotabscheidungen **28** auf ihnen aufweisen. Jede Lotabscheidung **28** kann zum Beispiel ein Lot umfassen, das ein Material wie Pb, Sn und optional Sb umfasst. In anderen Ausführungsformen könnte das Lot ein bleifreies Lot wie beispiels-

weise ein Lot, das Sn, Ag und Sb umfasst, sein. Die Lotabscheidungen **28** können sich auf den zweiten leitenden Bereichen **30** befinden, bevor das Halbleiter-Die **100** mit Stud-Bumps umgedreht und auf das Schaltkreissubstrat **200** montiert wird. Die Lotabscheidungen **28** können unter Verwendung jedes geeigneten Prozesses, der einen Siebprozess, einen Bestückungsprozess oder einen Elektroplattierungsprozess oder einen Lotaufbringungsprozess umfassen kann, abgeschieden werden.

**[0027]** Wie es in **Fig. 3** gezeigt ist, kann das Halbleiter-Die **100** mit Stud-Bumps umgedreht werden, und dann können die Köpfe **27(a)** der leitenden Stud-Bumps **27** in die Lotabscheidungen **28** eindringen und können danach die ersten leitenden Bereiche **2** und die zweiten leitenden Bereiche **30** elektrisch verbinden. Nach dem Montieren kann ein Lot-Reflow-Prozess ausgeführt werden. Reflow-Prozesse sind aus dem Stand der Technik weithin bekannt und brauchen hier nicht ausführlicher beschrieben zu werden. Dies sieht elektrische Verbindungen zwischen dem Halbleiter-Die **1** und dem Schaltkreissubstrat **200** vor.

**[0028]** Die oxidationsbeständige Schicht **8** des leitenden Stud-Bumps **27** schützt den inneren leitenden Abschnitt **9** vor Oxidation. Dies reduziert die Wahrscheinlichkeit, dass sich zwischen den inneren leitenden Abschnitten **9** der leitenden Stud-Bumps **27** und den Lotabscheidungen **28** Hohlräume ausbilden. Wie oben erläutert wird angenommen, dass die Ausbildung von Hohlräumen durch Kupferoxid und/oder unterschiedliche Diffusionsgeschwindigkeiten von Atomen wie beispielsweise Cu, Sn und Sb (zum Beispiel für einen Stud aus reinem Kupfer, der mit einem Pb-Sb-Sn-Lot in Kontakt steht) verursacht wird.

**[0029]** Einige Ausführungsformen der Erfindung betreffen Verfahren zum Ausbilden des oben beschriebenen Halbleiter-Dies **100** mit Stud-Bumps. Ein geeignetes Verfahren umfasst ein Ausbilden einer Kugel an der Spitze eines beschichteten Drahts, der durch ein Loch in einer Kapillare geführt wird. Der beschichtete Draht umfasst einen Kern und eine äußere oxidationsbeständige Beschichtung. Die Kugel wird dann unter Verwendung von Ultraschallenergie und/oder Wärme auf einen leitenden Bereich auf einem Halbleiter-Die gepresst, um die Kugel an den leitenden Bereich zu bonden. Dann wird der beschichtete Draht abgeschnitten, wodurch ein leitender Stud-Bump auf dem leitenden Bereich zurückbleibt. Der leitende Stud-Bump kann dann optional in seiner Höhe eingestellt werden, um seine Höhe an andere leitende Stud-Bumps anzugleichen.

**[0030]** Wie oben beschrieben umfasst der resultierende leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht. Dann wird, wie oben beschrieben, das Halb-

leiter-Die mit Bumps auf ein Schaltkreissubstrat montiert. Das Schaltkreissubstrat umfasst einen leitenden Bereich und Lot auf dem leitenden Bereich, wobei das Lot auf dem leitenden Bereich mit dem leitenden Stud-Bump in Kontakt steht.

**[0031]** Ein Verfahren zum Ausbilden eines leitenden Stud-Bumps auf einem Halbleiter-Die ist in Bezug auf [Fig. 4](#) bis [Fig. 7](#) beschrieben. [Fig. 4](#) zeigt eine Verbundkugel **32**, die an dem vorderen Ende eines beschichteten Drahts **21** ausgebildet ist. Der beschichtete Draht **21** wird durch eine Kapillare **22** geführt, und die Verbundkugel **32** wird an dem Ende der Kapillare **22** ausgebildet. Wärmeenergie und/oder Schallenergie werden/wird unter Verwendung von zum Beispiel einer Gasflamme, elektrischen Impulsen, Ultraschallenergie oder dergleichen dem Ende des beschichteten Drahts **21** geliefert.

**[0032]** Der beschichtete Draht **21** und die Verbundkugel **32** umfassen jeweils einen leitenden Kern **19** und eine äußere oxidationsbeständige Beschichtung **18**. Der beschichtete Draht **21** kann einen Durchmesser von weniger als etwa 1 mm aufweisen. Die Dicke der oxidationsbeständigen Beschichtung **18** kann in einigen Ausführungsformen eine Größenordnung von etwa 0,01 bis etwa 0,5  $\mu\text{m}$  aufweisen. Der leitende Kern **19** kann Kupfer (oder eine Kupferlegierung) umfassen, und die oxidationsbeständige Beschichtung **18** kann ein Edelmetall wie beispielsweise Pd (oder eine Legierung desselben) umfassen.

**[0033]** Die Kapillare **22** (mit Ultraschallenergie und/oder Wärme) kann verwendet werden, um die Verbundkugel **32** an den ersten leitenden Bereich **2** des Halbleiter-Dies **1** zu pressen. Durch Verwenden eines Thermokompressions-Bond-Prozesses und/oder durch Verwenden von Ultraschallenergie wird die Verbundkugel **32** an dem ersten leitenden Bereich **2** befestigt. Der Druck, mit dem die Verbundkugel **32** beaufschlagt wird, kann variieren, und könnte zum Beispiel etwa 20 bis etwa 45 g pro Verbundkugel **32** betragen. Die Ultraschallenergie, die geliefert werden kann, kann in dem Bereich von 60 kHz liegen.

**[0034]** Als nächstes bewegt sich die Kapillare **22** entlang einem Pfad **25**, der eine Schleife bildet, wie es in [Fig. 6](#) gezeigt ist, und wenn sich die Kapillare **22** nach unten bewegt, wie es in [Fig. 7](#) gezeigt ist, wird der beschichtete Draht **21** mit der Kante **110** der Kapillare **22** abgeschnitten. Ein inertes oder reduzierendes Gas wie beispielsweise Stickstoff oder  $\text{N}_2\text{H}_2$  kann dem leitenden Stud-Bump zugeführt werden, wenn er ausgebildet wird, um die Wahrscheinlichkeit einer Oxidbildung zu reduzieren.

**[0035]** Danach kann der resultierende leitende Stud-Bump durch Beaufschlagen der oberen Oberfläche des leitenden Stud-Bumps mit Druck (mit einer fla-

chen Oberfläche) in seiner Höhe eingestellt werden. Durch Beaufschlagen der Oberseite eines gerade ausgebildeten leitenden Stud-Bumps mit Druck (z. B. etwa 50 g/Bump) ist es möglich, die Höhe des Bumps an andere Bumps anzugleichen.

**[0036]** Eine Vorrichtung zum Durchführen des obigen Prozesses ist handelsüblich von ASM, Inc. of Singapore (zum Beispiel ASM AB339) verfügbar. Ein herkömmlicher KNS1488L-Turbo-Drahtbonder, der handelsüblich von Kulicke & Soffa of Willow Grove, PA, verfügbar ist, könnte auch verwendet werden.

**[0037]** Das Verwenden eines beschichteten Drahts in dem oben beschriebenen Stud-Bumping-Prozess weist eine Anzahl an Vorteilen auf. Erstens ist das Kupfer in den geformten leitenden Stud-Bumps gemäß Ausführungsformen der Erfindung durch die oxidationsbeständige Schicht geschützt, und die leitenden Stud-Bumps weisen eine bessere Zugfestigkeit im Vergleich zu Stud-Bumps, die nur Kupfer in ihnen aufweisen, auf. [Fig. 8](#) zeigt zum Beispiel ein Schaubild, das die Festigkeit einer Kugel bei einem Scher-/Zug-Test über der Zeit für eine Kugel zeigt, die unter Verwendung eines beschichteten Drahts, der einen Kupferkern und eine äußere Beschichtung mit Palladium umfasst, an einen leitenden Bereich eines Halbleiter-Dies gebondet ist. Wie es in dem Schaubild gezeigt ist, sind die Scherfestigkeit und die Zugfestigkeit einer Kugel, die an einen leitenden Bereich eines Halbleiter-Dies gebondet ist, hoch. Zweitens weisen die beschichteten Drähte, die in Ausführungsformen der Erfindung verwendet werden, eine lange Haltbarkeit und eine lange Prozesslebensdauer auf. Die oxidationsbeständige Beschichtung bei einem beschichteten Draht schützt den Kern des Drahts vor Oxidation, wodurch seine Haltbarkeit verbessert wird. Drittens reduziert ein Cu/Pd-Stud-Bump, der aus einem Cu/Pd-Draht ausgebildet ist, im Vergleich zu einem Cu-Stud-Bump, der aus einem Kupferdraht ausgebildet ist, die Wahrscheinlichkeit, dass sich an der Grenzfläche zwischen Cu/intermetallischen Verbindungen Hohlräume ausbilden. Dies verbessert die Gesamtzuverlässigkeit einer Baugruppe, die unter Verwendung des beschichteten Drahts ausgebildet ist. Viertens verhindert die oxidationsbeständige Schicht bei dem leitenden Stud-Bump eine Oxidation des inneren leitenden Abschnitts, wodurch die Zuverlässigkeit des leitenden Stud-Bumps über die Zeit verbessert wird. Fünftens wirkt die oxidationsbeständige Schicht in dem leitenden Stud-Bump als ein Barrieremetall für die Ausbildung von Intermetallen, die auf Grund der gemeinsamen Verwendung von Lotmaterialien ausgebildet werden. Sechstens liefern Ausführungsformen der Erfindung eine robuste, lötbare Grenzfläche zwischen dem Bump und dem Schaltkreissubstrat. Siebtens braucht im Vergleich zu einem Prozess, der als ein Verbindungsmaterial nur Lot verwendet, weniger Lot verwendet zu werden, da in Ausführungsformen der Erfindung ein im Wesent-

lichen fester leitender Stud-Bump verwendet wird. Folglich braucht kein Full-Reflow-Prozess (wie oben beschrieben) ausgeführt werden, so dass die Wahrscheinlichkeit, dass sich intermetallische Verbindungen ausbilden, in Ausführungsformen der Erfindung reduziert ist.

**[0038]** Die Begriffe und Ausdrücke, die hierin verwendet wurden, werden als Begriffe der Beschreibung und nicht der Beschränkung verwendet, und es besteht bei der Verwendung solcher Begriffe und Ausdrücke keine Absicht, Äquivalente der gezeigten und beschriebenen Merkmale oder Abschnitte von diesen auszuschließen, wobei angemerkt sei, dass verschiedene Abwandlungen innerhalb des Schutzzumfangs der beanspruchten Erfindung möglich sind. Des Weiteren kann jedes Merkmal oder können mehrere Merkmale jeder Ausführungsform der Erfindung mit jedem anderen Merkmal oder mit mehreren anderen Merkmalen von jeder anderen Ausführungsform der Erfindung kombiniert werden, ohne vom Schutzzumfang der Erfindung abzuweichen.

### Patentansprüche

1. Verfahren, umfassend:
  - (a) Ausbilden einer Kugel an der Spitze eines beschichteten Drahts, der durch ein Loch in einer Kapillare geführt wird, wobei der beschichtete Draht einen Kern und eine äußere oxidationsbeständige Beschichtung umfasst;
  - (b) Pressen der Kugel auf einen leitenden Bereich auf einem Halbleiter-Die; und
  - (c) Abschneiden des beschichteten Drahts, wodurch ein leitender Stud-Bump auf dem leitenden Bereich zurückbleibt, wobei der leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht umfasst.
2. Verfahren nach Anspruch 1, wobei der Kern Kupfer umfasst und die Beschichtung Palladium umfasst.
3. Verfahren nach Anspruch 1, wobei das Halbleiterchip einen vertikalen Leistungs-MOSFET umfasst.
4. Verfahren nach Anspruch 1, wobei die oxidationsbeständige Schicht ein Edelmetall umfasst.
5. Verfahren nach Anspruch 1, wobei der leitende Bereich auf dem Halbleiter-Die ein erster leitender Bereich ist, und wobei das Verfahren des Weiteren nach (c) umfasst:
  - (d) Montieren des Halbleiter-Dies auf ein Schaltkreissubstrat, wobei das Schaltkreissubstrat einen zweiten leitenden Bereich und Lot auf dem leitenden Bereich umfasst, wobei das Lot auf dem zweiten leitenden Bereich mit dem leitenden Stud-Bump in Kontakt tritt.
6. Verfahren nach Anspruch 5, wobei das Lot Pb und Sn oder ein Pb-freies Lot umfasst.
7. Halbleiter-Die mit Bumps, umfassend:
  - (a) einen Halbleiter-Die, der einen leitenden Bereich umfasst; und
  - (b) einen leitenden Stud-Bump auf dem leitenden Bereich, wobei der leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht umfasst.
8. Halbleiter-Die mit Bumps nach Anspruch 7, wobei der leitende Stud-Bump eine Basis und einen Kopf umfasst, wobei die Basis breiter ist als der Kopf.
9. Halbleiter-Die mit Bumps nach Anspruch 7, wobei das Halbleiter-Die einen vertikalen Leistungs-MOSFET umfasst.
10. Halbleiter-Die mit Bumps nach Anspruch 7, wobei der innere leitende Abschnitt Kupfer umfasst und die äußere oxidationsbeständige Schicht ein Edelmetall umfasst.
11. Halbleiter-Die-Baugruppe, umfassend:
  - (a) ein Halbleiter-Die mit Bumps, umfassend (i) ein Halbleiter-Die, das einen ersten leitenden Bereich umfasst, und (ii) einen leitenden Stud-Bump auf dem leitenden Bereich, wobei der leitende Stud-Bump einen inneren leitenden Abschnitt und eine äußere oxidationsbeständige Schicht umfasst; und
  - (b) ein Schaltkreissubstrat, das einen zweiten leitenden Bereich und ein Lot auf dem zweiten leitenden Bereich umfasst, wobei das Halbleiter-Die mit Bumps auf das Schaltkreissubstrat montiert ist und der leitende Stud-Bump mit dem Lot auf dem zweiten leitenden Bereich in Kontakt steht.
12. Halbleiter-Die-Baugruppe nach Anspruch 11, wobei der innere leitende Abschnitt Kupfer umfasst und die äußere oxidationsbeständige Schicht Palladium umfasst.
13. Halbleiter-Die-Baugruppe nach Anspruch 11, wobei das Lot Pb und Sn oder ein Pb-freies Lot umfasst.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

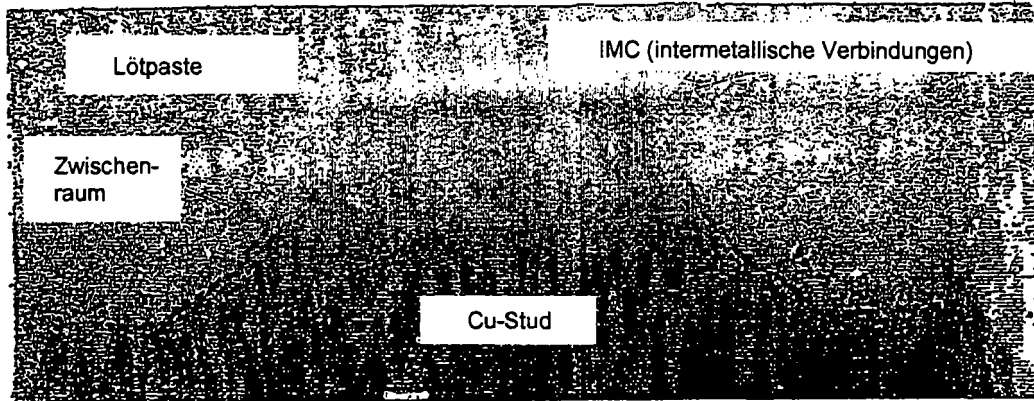


FIG. 1(a)



FIG. 1(b)

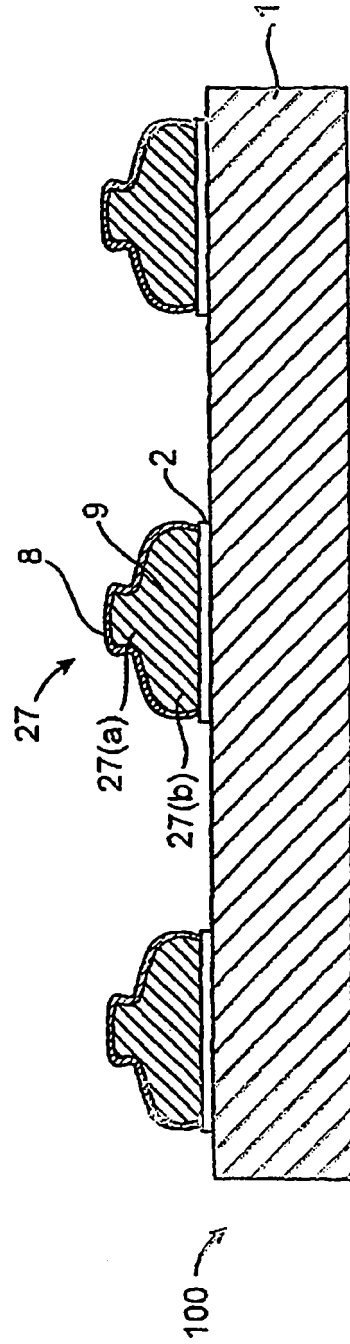


FIG. 2

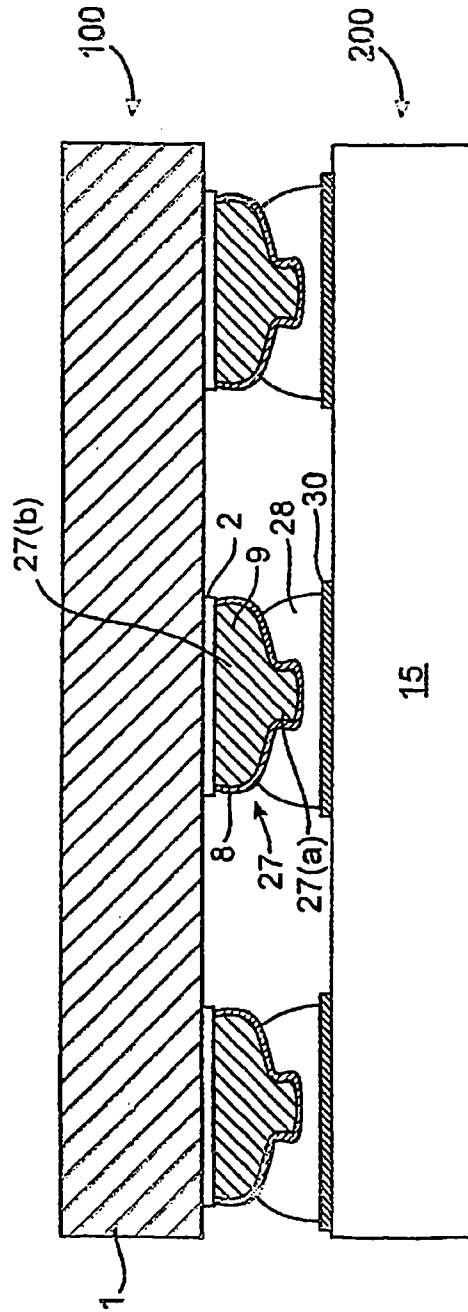


FIG. 3

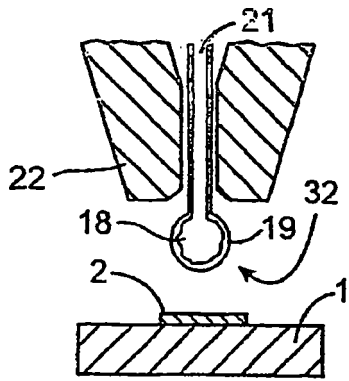


FIG. 4

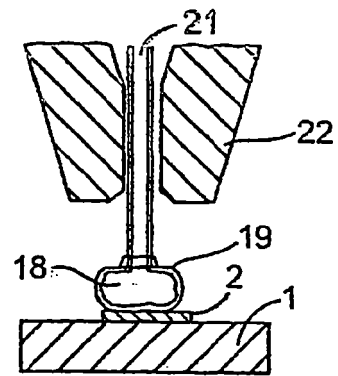


FIG. 5

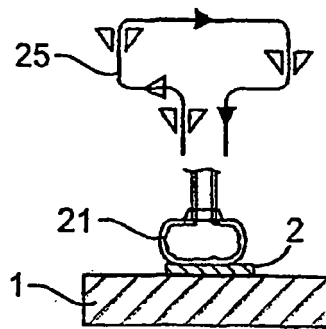


FIG. 6

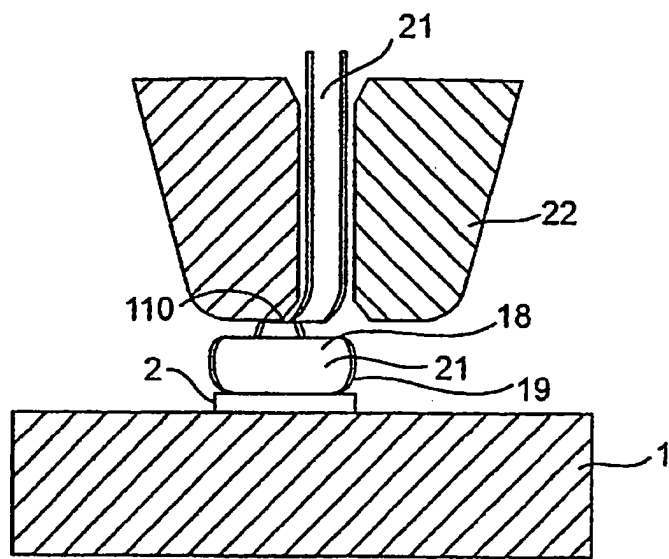


FIG. 7

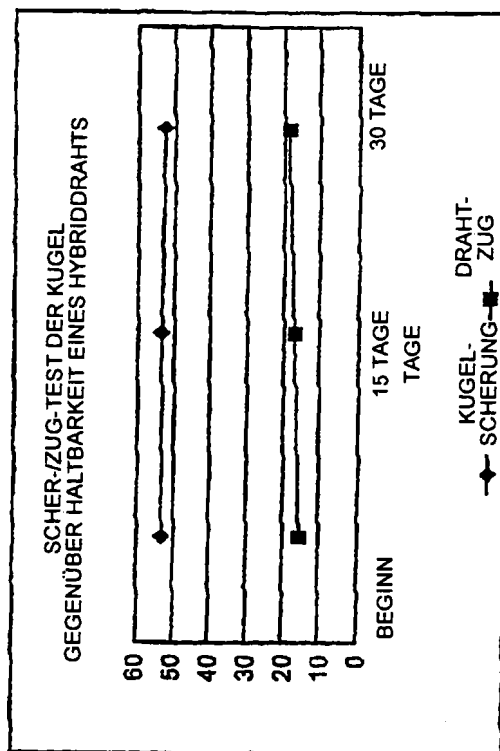


FIG. 8