



(12) 发明专利申请

(10) 申请公布号 CN 105260339 A

(43) 申请公布日 2016. 01. 20

(21) 申请号 201510504235. 9

(22) 申请日 2015. 08. 17

(71) 申请人 中南大学

地址 410083 湖南省长沙市岳麓区麓山南路
932 号

(72) 发明人 徐德刚 刘育峰 龙良曲 赵茂行
谢攀 蔡海明 谢永芳 阳春华
桂卫华

(74) 专利代理机构 长沙市融智专利事务所
43114

代理人 欧阳迪奇

(51) Int. Cl.

G06F 15/16(2006. 01)

G05B 19/05(2006. 01)

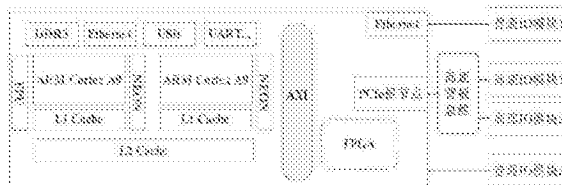
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种基于 Xilinx Zynq 技术的大规模 PLC 系统

(57) 摘要

本发明公开了一种基于 Xilinx Zynq 技术的大规模 PLC 系统,包括 FPGA 核心电路、CPU 核心电路、DDR 内存,Flash 存储器和 FIFO。系统采用 FPGA 核心电路和 CPU 核心电路的双核设计,实现了两个并行处理单元通过 AXI 系统总线片上互联,使用硬件描述语言动态、自由的修改硬件电路的逻辑结构,且可由 ARM 处理器来控制 FPGA 单元的配置工作。FPGA 单元中构建 PCI Express 根节点控制器来与高速背板 IO 模块进行交互。数据的输入与输出和协议的实现均由 FPGA 硬件单元完成,有效地提高了 PLC 系统的工作效率,且运行灵活方便,能够较好的提升 PLC 系统的总体运行水平。



1. 一种基于 Xilinx Zynq 技术的大规模 PLC 系统,其特征在于:

包括 FPGA 核心电路、CPU 核心电路、DDR 内存,Flash 存储器和 FIFO;

所述的 FPGA 核心电路由 Xilinx Kintex-7 系列 FPGA 和相关的时钟电路和滤波电路组成,硬件逻辑模块包括系统仲裁模块以及分别与系统仲裁模块通信连接的 PCI-Express 数据收发模块、PCI-Express 协议解析模块、DMA 控制模块、DDR 控制模块、Flash 控制模块和 FIFO 控制模块;PCI-Express 数据收发模块通过金手指与 PCI Express 背板总线物理层电路相连,分别完成接收 PCI-Express 数据包和发送用户程序处理结果;PCI-Express 协议解析模块接收端点设备发送的数据包,按照接口标准解析数据包获取事务数据;DMA 控制模块控制数据格式的打包解包和数据的搬运;DDR 控制模块通过 FPGA 接口与片外的 DDR 内存相连接,对 DDR 内存实现配置、读写数据,DDR 内存为处理结果数据缓存;Flash 控制模块通过 FPGA 接口与片外 Flash 存储器相连接,对 Flash 存储器实现配置、读写数据和擦除等操作,Flash 存储器为数据备份存储器;FIFO 控制模块通过 FPGA 接口与片外 FIFO 相连接,对 FIFO 实现配置、读写数据,FIFO 为 FPGA 与 CPU 间的数据交换桥;系统仲裁模块协调各个硬件逻辑模块之间的数据交换;

所述的 CPU 核心电路包括基于 ARM Cortex-A9 硬核处理器的 ARM 核心及外围电路与处理器连接的时钟、滤波电路,用于运行用户程序处理从 FPGA 处获取的事务数据;所述的 ARM 核心用于运行实时操作系统,完成所有的软件逻辑运算,以及任务调度、中断响应、资源管理和 FPGA 的配置与重配置工作。

2. 根据权利要求 1 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,其特征在于,所述的 CPU 核心电路运行实时操作系统,完成系统所有的软件控制工作,所述的 FPGA 核心电路作为一个硬件协处理单元存在,在 FPGA 核心电路上构建 PCI Express 根结点,CPU 核心电路与 FPGA 核心电路通过 AXI 总线互联,CPU 核心电路能够访问 FPGA 实时数据。

3. 根据权利要求 1 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,其特征在于,FPGA 上面构建 PCI Express 根结点的接口标准为 Gen2 x4,生成的 IP 核心在 ARM 启动时进行下载配置,配置完成后 ARM 上运行的实时 Linux 操作系统将通过 FPGA 采集 IO 模块的数据,处理完成后通过 IO 模块进行输出,IO 模块通过 PCI Express 总线接口与根结点进行连接。

4. 根据权利要求 1 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,其特征在于,PLC 系统的 CPU 核心电路采用了双核 ARM Cortex-A9 处理器。

5. 根据权利要求 1 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,其特征在于,PLC 系统背板总线支持动态通信协议,通过在操作系统上下载新的通信协议 IP 核来添加新的通信协议支持。

一种基于 Xilinx Zynq 技术的大规模 PLC 系统

技术领域

[0001] 本发明涉及一种基于 Xilinx Zynq 技术的大规模 PLC 系统。

背景技术

[0002] 随着电子技术、计算机技术、通信网络控制技术和工业自动化控制技术的飞速发展和日益普及,在工业控制系统领域中,诞生于上世纪 60 年代的可编程逻辑控制器 (PLC) 的功能日益强大,已经由传统的单机 PLC 控制 / 网络通信朝向网络化大规模 PLC 系统发展,在轨道交通、石化等领域已出现万点以上大规模 PLC 系统的应用需求。

[0003] 随着 PLC 技术的发展,PLC 的表现形式和功能都已经得到了很大的发展,从过去比较单一的独立单元结构发展到了现在的模块化、网络化、分布式控制。大规模 PLC 系统 I/O 点数在 1024 点以上,用户程序存储器容量在几 MB 以上。由于大规模 PLC 具有比中小型 PLC 更强大的功能,因此一般用于大规模工业混合控制和大型工厂自动化应用等场合。

[0004] 大规模 PLC 除了具有基本运算能力,即逻辑运算、定时、计数、移位等功能,一般还具有整数及浮点运算、数制转换、PID 调节、中断控制及联网功能,可用于复杂的逻辑运算及闭环控制场合。部分大型 PLC 还可以进行矩阵运算和函数运算,完成数据管理工作,具有较强的数据处理、模拟调节、特殊功能函数运算、监视、记录、打印、通信联网、中断控制、智能控制和远程控制等功能,可以和其他计算机构成分布式生产过程综合控制管理系统。

[0005] 由于大规模 PLC 系统对 CPU 的运算速度,总线带宽的数据吞吐量,中断响应时延,任务调度周期等关键指标都有苛刻的要求,普通的嵌入式系统的解决方案难以胜任。大规模 PLC 系统除了要求极高的串行数据运算能力,由于系统带宽较高,单周期内的数据吞吐量极高,因此对并行处理能力要求较高。

发明内容

[0006] 本发明的技术方案是一种基于 Xilinx Zynq SoC 处理器架构的大规模 PLC 系统,通过在 Zynq 的 ARM 硬件部分进行逻辑运算来完成 PLC 系统的控制功能,在 Zynq 的并行处理单元进行数据处理来完成中央处理模块与现场高速 IO 模块的高速数据吞吐。

[0007] 为了实现上述技术目的,本发明的技术方案是,一种基于 Xilinx Zynq 技术的大规模 PLC 系统,包括 FPGA 核心电路、CPU 核心电路、DDR 内存,Flash 存储器和 FIFO ;

[0008] 所述的 FPGA 核心电路由 Xilinx Kintex-7 系列 FPGA 和相关的时钟电路和滤波电路组成,硬件逻辑模块包括系统仲裁模块以及分别与系统仲裁模块通信连接的 PCI-Express 数据收发模块、PCI-Express 协议解析模块、DMA 控制模块、DDR 控制模块、Flash 控制模块和 FIFO 控制模块;PCI-Express 数据收发模块通过金手指与 PCI Express 背板总线物理层电路相连,分别完成接收 PCI-Express 数据包和发送用户程序处理结果;PCI-Express 协议解析模块接收端点设备发送的数据包,按照接口标准解析数据包获取事务数据;DMA 控制模块控制数据格式的打包解包和数据的搬运;DDR 控制模块通过 FPGA 接口与片外的 DDR 内存相连接,对 DDR 内存实现配置、读写数据,DDR 内存为处理结果数据缓

存;Flash 控制模块通过 FPGA 接口与片外 Flash 存储器相连接,对 Flash 存储器实现配置、读写数据和擦除等操作,Flash 存储器为数据备份存储器;FIFO 控制模块通过 FPGA 接口与片外 FIFO 相连接,对 FIFO 实现配置、读写数据,FIFO 为 FPGA 与 CPU 间的数据交换桥;系统仲裁模块协调各个硬件逻辑模块之间的数据交换;

[0009] 所述的 CPU 核心电路包括基于 ARM Cortex-A9 硬核处理器的 ARM 核心及外围电路与处理器连接的时钟、滤波电路,用于运行用户程序处理从 FPGA 处获取的事务数据;所述的 ARM 核心用于运行实时操作系统,完成所有的软件逻辑运算,以及任务调度、中断响应、资源管理和 FPGA 的配置与重配置工作。

[0010] 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,所述的 CPU 核心电路运行实时操作系统,完成系统所有的软件控制工作,所述的 FPGA 核心电路作为一个硬件协处理单元存在,在 FPGA 核心电路上构建 PCI Express 根结点,CPU 核心电路与 FPGA 核心电路通过 AXI 总线互联,CPU 核心电路能够访问 FPGA 实时数据。

[0011] 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,FPGA 上面构建 PCI Express 根结点的接口标准为 Gen2x4,生成的 IP 核心在 ARM 启动时进行下载配置,配置完成后 ARM 上运行的实时 Linux 操作系统将通过 FPGA 采集 IO 模块的数据,处理完成后通过 IO 模块进行输出,IO 模块通过 PCI Express 总线接口与根结点进行连接。当接口资源不足时,可通过 PCI Express 桥进行拓展。

[0012] 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,PLC 系统的 CPU 核心电路采用了双核 ARM Cortex-A9 处理器。

[0013] 所述的一种基于 Xilinx Zynq 的大规模 PLC 系统,PLC 系统背板总线支持动态通信协议,通过在操作系统上下载新的通信协议 IP 核来添加新的通信协议支持。

[0014] 本发明的技术效果在于,采用 FPGA 核心电路和 CPU 核心电路的双核设计,实现了两个并行处理单元通过 AXI 系统总线片上互联,使用硬件描述语言可动态、自由的修改硬件电路的逻辑结构,且由 ARM 处理器来控制 FPGA 单元的配置工作。FPGA 单元中构建 PCI Express 根结点控制器来与高速背板 IO 模块进行交互,数据的输入与输出和协议的实现均由 FPGA 硬件单元完成,有效的提高了 PLC 系统的工作效率,且运行灵活方便,能够较好的提升 PLC 系统的总体运行水平。

[0015] 下面结合附图对本发明作进一步说明。

附图说明

[0016] 图 1 为本发明的结构示意图;

[0017] 图 2 为本发明的系统硬件设计方案顶层图;

[0018] 图 3 为本发明的系统软件功能模块图。

具体实施方式

[0019] 参见图 1,本发明通过在 Zynq 的 ARM 硬件部分进行逻辑运算来完成 PLC 系统的控制功能,在 Zynq 的 FPGA 硬件部分进行数据处理来完成中央处理模块与现场高速 IO 模块的高速数据吞吐,具体的实现方案如下图:

[0020] 本发明中的大规模 PLC 系统由中央处理模块与高速 IO 模块构成,中央处理模

块与高速 IO 模块间通过 PCI Express 总线进行数据输入与输出。中央处理模块包含了一块 Xilinx Zynq SoC 处理器,在处理器上实现了芯片级的 Cortex-A9 双核处理器和 Kintex-7FPGA 并行处理单元互联,两个硬核处理单元通过标准协议 AXI 系统总线互联。

[0021] 中央处理模块包括 FPGA 核心电路,CPU 核心电路,DDR,Flash,FIFO ;其中 FPGA 核心电路由一块 FPGA 及其外围电路、与 FPGA 连接的时钟电路和滤波电路组成,程序基于硬件描述语言和 Xilinx 提供的 IP 核进行开发,硬件逻辑模块包括系统仲裁模块以及分别与系统仲裁模块通信连接的 PCI-Express 数据收发模块、PCI-Express 协议解析模块、DMA 控制模块、DDR 控制模块、Flash 控制模块和 FIFO 控制模块 ;PCI-Express 数据收发模块通过金手指与 PCI-Express 背板总线物理层电路相连,分别完成接收 PCI-Express 数据包和发送用户程序处理结果 ;PCI-Express 协议解析模块接收端点设备发送的数据包,按照接口标准解析数据包获取事务数据 ;DMA 控制模块控制数据格式的打包解包和数据的搬运 ;DDR 控制模块通过 FPGA 接口与片外 DDR 相连接,对 DDR 实现配置、读写数据,DDR 为处理结果数据缓存 ;Flash 控制模块通过 FPGA 接口与片外 Flash 相连接,对 Flash 实现配置、读写数据和擦除等操作,Flash 为数据备份存储器 ;FIFO 控制模块通过 FPGA 接口与片外 FIFO 相连接,对 FIFO 实现配置、读写数据,FIFO 为 FPGA 与 CPU 间的数据交换桥 ;系统仲裁模块协调各个硬件逻辑模块之间的数据交换 ;CPU 核心电路包括 ARM 硬核处理器及外围电路与 CPU 处理器连接的时钟、滤波电路,运行用户程序处理从 FPGA 处获取的事务数据。

[0022] 本发明中的 PLC 系统基于 Xilinx Zynq SoC 技术架构实现 :

[0023] 中央处理模块在 FPGA 单元中构建总线接口,通过在 FPGA 单元中构建的 PCI Express 根节点控制器与高速背板 IO 模块进行交互,数据的输入与输出,协议的实现均由 FPGA 硬件单元完成。

[0024] 中央处理模块的软件逻辑控制在 ARM 核心中完成,采用 Cortex-A9 多核心处理技术进行运算,ARM 核心通过 AXI 系统总线完成对 FPGA 并行单元的控制,并完成相应的数据传输工作。

[0025] 数据处理中产生的中断,将直接通过片上 AXI 总线传输到 ARM 核心上,不必经过传统的物理布线,同时中断处理路径可以通过配置 FPGA 硬件单元进行自由修改。

[0026] 硬件协处理单元在 FPGA 中实现,全部采用部分重配置技术,实现在系统中不断的情况下完成硬件单元的重构建。重构建的配置过程由 ARM 部分完成,重构建后的硬件单元作为 ARM 部分的协处理单元协同工作。

[0027] 本发明中的数据的压缩与解压均采用 FPGA 并行单元实现,型号为 Xilinx Kintex-7FPGA,通过硬件描述语言对 FPGA 单元的硬件进行部分重配置,可以自由的生成数据压缩与解压算法硬件实现电路。

[0028] 本发明中的串行运算单元与并行处理单元通过 AXI 系统总线片上互联,不需要通过传统的 PCB 布线来连接两个核心,通过标准的 AXI 互联系统总线可以达到 40GB/S 的互联带宽。

[0029] 本发明中的并行处理单元可以动态配置。传统的 PLC 系统硬件电路一旦设计好,一般无法再进行修改或者重新配置,本发明的 PLC 系统可以通过硬件描述语言自由的修改硬件电路的逻辑结构,支持在系统运行的过程中动态修改,支持在系统运行的过程中只修改并行处理单元的某一部分电路逻辑结构。

[0030] 本发明中 FPGA 硬件单元的配置工作将由 ARM 单元完成。为了实现在系统动态运行时修改硬件单元的逻辑电路结构, FPGA 单元的配置工作将不再由 FLASH 来自动配置, 而是交给 ARM 处理器, 通过软件的方式来控制硬件单元的配置过程。

[0031] 本发明所采用的部分中断工作和协议解析逻辑, 当并行单元中的数据检测出错时, 将自动产生中断信号, 并发送给 ARM 核心, 迅速完成中断响应工作。

[0032] 本发明系统支持多种通信协议, 并且支持通信协议的动态添加功能。通过在 FPGA 单元添加 IP 核, 可以自由的拓展系统的通信接口能力, 如常用的 USB、CAN、IIC 等接口可以非常方便的添加, 并且在系统的运行过程中, 可以动态的修改部分 FPGA 逻辑电路来实现通信能力的拓展。

[0033] 本发明具有超高的数据处理能力与超大的 RAM 容量。Xilinx Zynq SoC 最高的处理频率为 1GHz, 并且采用双核 ARM 架构, 具有很高的数据处理能力, 最高可支持 1GB 的 RAM 容量, 可以运行大型的操作系统, 可以保存大量的在线数据, 支持复杂的数字运算。

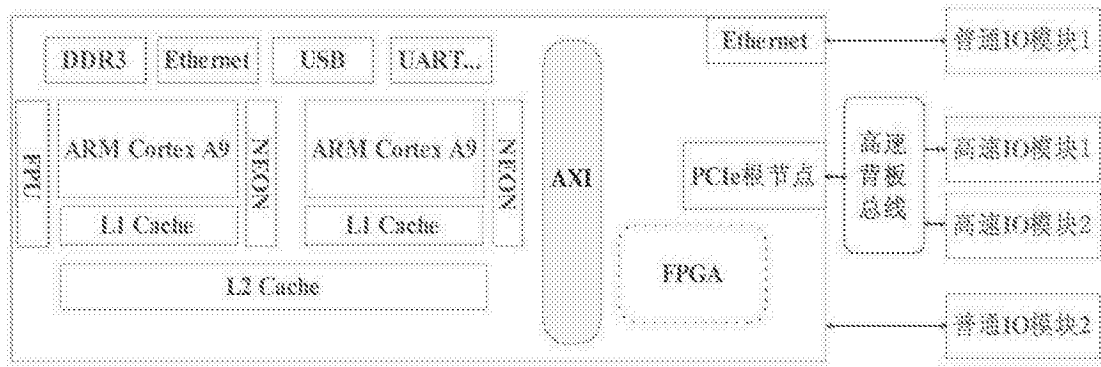


图 1

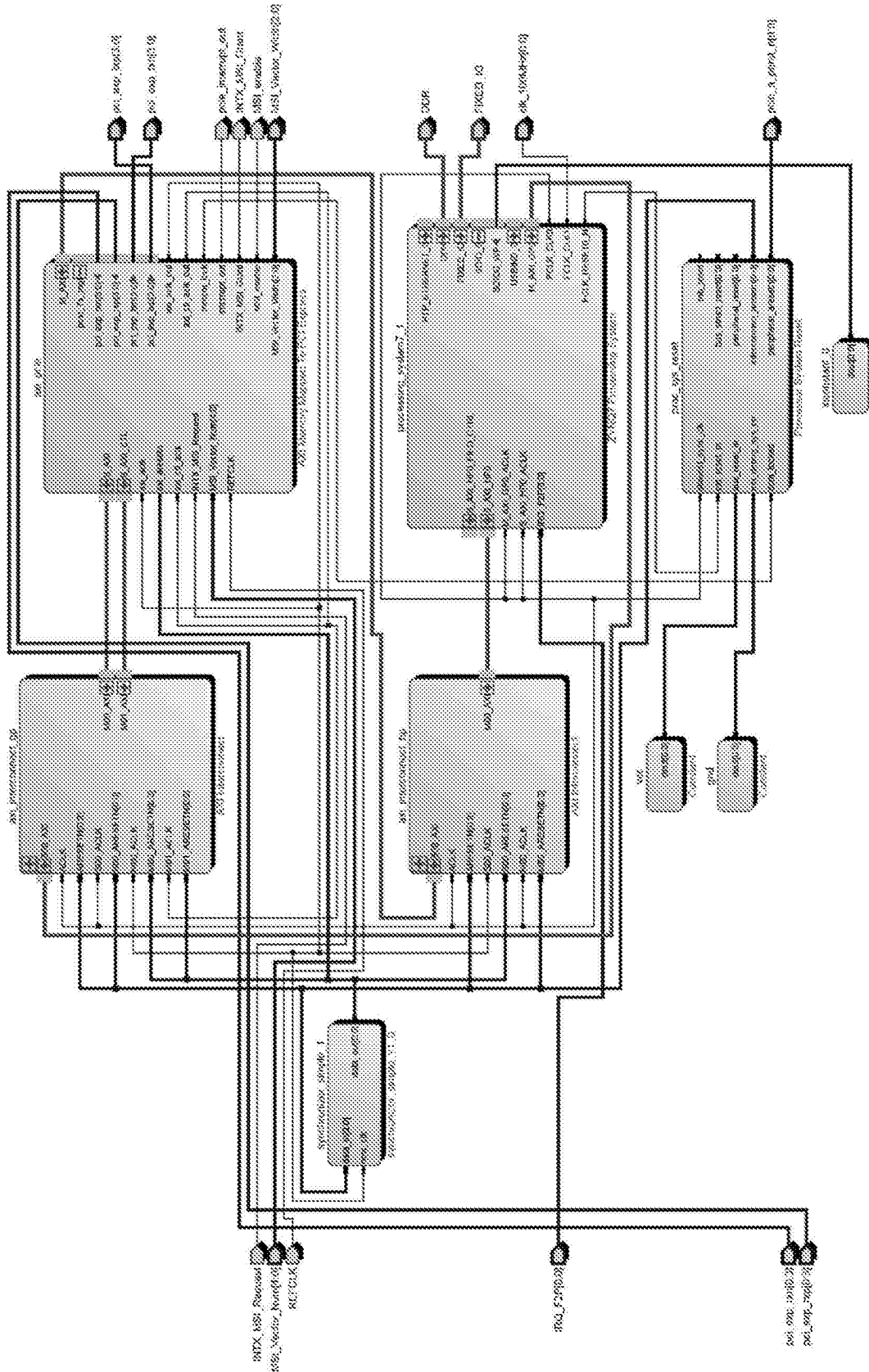


图 2

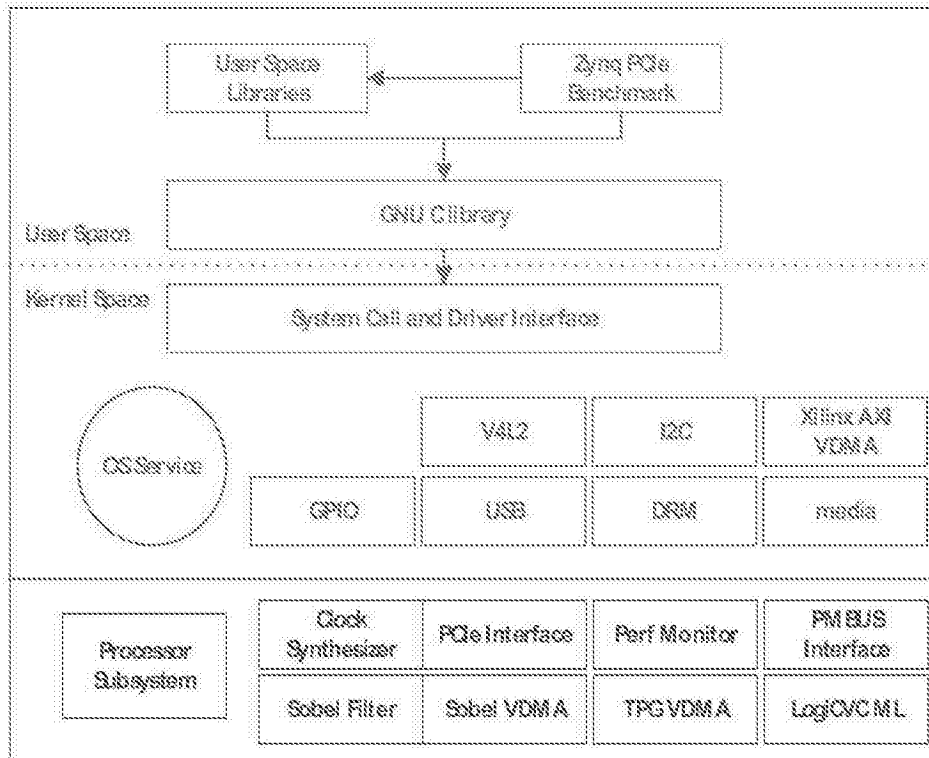


图 3