

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94113211

※ 申請日期：94 4 26

※IPC 分類：H01L 21/02 (2006.01)

一、發明名稱：(中文/英文)

具有可調閘極功函數之雙金屬 CMOS 電晶體以及其製法

DUAL-METAL CMOS TRANSISTORS WITH TUNABLE GATE ELECTRODE WORK
FUNCTION AND METHOD OF MAKING THE SAME

二、申請人：(共1人)

姓名或名稱：(中文/英文)

高級微裝置公司

ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S / DRAKE, PAUL S.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453,
U. S. A.

國 籍：(中文/英文) 美國 / U. S. A.

三、發明人：(共2人)

姓 名：(中文/英文)

1. 潘南西 / PAN, JAMES

2. 林明仁 / LIN, MING-REN

國 籍：(中文/英文)

1. 2. 美國 / U. S. A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2004 年 04 月 28 日；10/833,073（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

化物組成。因此，各閘極電極僅部分地被矽化且該等矽化物區各別地以矽化物提供，其係可調以相容於 NMOS 與 PMOS 型裝置。在特定實施例中，功函數之調整以使用兩種不同金屬被達成，例如該等矽化物區以具有不同功函數之兩個不同金屬矽化物形成。在其他實施例中，矽化物厚度被精密地調整以達成特定矽化物相位，故影響矽化物之功函數於各別的 NMOS 與 PMOS 型裝置。

第 1 圖係根據本發明之實施例於半導體製程期間之半導體晶圓之部分橫剖面圖。第 1 圖係圖示一部分完成之半導體裝置。舉例來說，該裝置包含一以矽形成之基板 10。該基板 10 包含 P 型摻雜區 12 與 N 型摻雜區 14。舉例來說，該基板 10 摻雜具有劑量大約 1×10^{16} 至 1×10^{21} ion/cm² 之 N 或 P 型摻雜物。

有一個淺溝隔離結構 (STI) 16 在該裝置水平面上，提供介於 P 型摻雜區與 N 型摻雜區之隔離區。可使用傳統的淺溝隔離形成方法以創造淺溝隔離區 16。

閘極介電質層 18 係形成於基板 10 上。該閘極介電質層 18 可由例如閘極氧化物組成。本發明之特定實施例中，該閘極介電質層 18 超薄，可介於例如大約 5 至 30 埃 (Angstrom)。此一薄閘極介電質層在金屬乾蝕刻製程期間很容易地敏感而受損，因此矽化物製程具有此項優點。然而，全矽化閘極形成製程可能使該閘極氧化物過載。

有第一矽層 20 形成於閘極介電質層 18 上。該第一矽層 20 可以傳統方式沉積。在本發明之某些較佳實施例中，

第一矽層相對薄，例如介於大約 10 至 500 埃($\text{\AA}$)。在某些尤其較佳實施例中，該第一矽層的厚度介於 50 至 200 埃。在某些其他特別的較佳實施例中，該第一矽層的厚度為小於大約 50 $\text{\AA}$ ，較薄之閘極矽化物厚度解決關於那些全矽化閘極電極創造之問題，包含矽化不均勻性與閘極氧化物可靠性。

第 2 圖係圖示第 1 圖跟隨著在第一矽層 20 上之蝕刻停止層 22 形成之結構。舉例來說，該蝕刻停止層 22 可為一例如氧化物層。舉例來說，將蝕刻停止層 22 形成至非常薄(例如大約 10 埃)是需要的。任何可形成此一氧化物或其他蝕刻停止材料薄層之合適方法可被使用。舉例來說，在 600 至 1000 度之氧化製程可被用以形成該蝕刻停止層 22。

蝕刻停止層 22 形成之後，以傳統方法在蝕刻停止層 22 上形成第二矽層 24。該第二矽層 24 可介於例如大約 700 至 2000 埃，舉例來說，而在特定實施例中大約為 1000 埃厚。

第 4 圖係圖示第 3 圖在第二矽層 24 上沉積硬遮罩層後，接著蝕刻步驟以形成矽堆疊 26 之結構。各矽堆疊 26 具有一形成在矽堆疊 26 的上面部份 28 上之硬遮罩 30。該蝕刻在各矽堆疊 26 內創造矽區 32。該硬遮罩 30 可為任何適合之材料，例如矽氮化物、矽氧化物等。傳統各向異性的蝕刻技術，例如反應性離子蝕刻被使用以蝕刻下至閘極介電質層 18。

矽堆疊 26 形成後，源極/汲極延伸植入製程被完成以

創造源極/汲極延伸區 34。傳統遮罩與摻雜技術以適當地摻雜合適摻雜量於各別地 NMOS 裝置與 PMOS 裝置來完成。源極/汲極延伸區 34 創造之後，以傳統技術(例如沉積側壁材料並蝕刻)在矽堆疊 26 之側壁上創造側壁間隔件 36。隨後形成側壁間隔件 36，在 NMOS 裝置與 PMOS 裝置內，使用適當的遮罩與植入技術，以各別地創造源極/汲極區 38。

如第 6 圖所示，介電質層 40 已被沉積與平坦化。該介電質層 40 可為任何傳統上合適之介電質材料，例如低 k 介電質，氧化物等。該介電質層 40 可以任何合適之方法沉積，例如化學蒸氣沈積(CVD)等。舉例來說，在特定實施例中，該平坦化係以例如化學-機械研磨法。

如第 7 圖所示，接著上述之步驟後執行微影與遮罩步驟，其中光阻 42 遮罩 PMOS 裝置 46 而曝光 NMOS 裝置 44。接著微影步驟，完成對氧化物極具選擇性之多晶矽蝕刻製程，此步驟可以使用異向性的蝕刻，例如反應性離子蝕刻。合適的蝕刻劑包含例如氯、 HBrO_2 或 SF_6 。如第 8 圖所示，該矽堆疊 26 之上面部分 28 在該蝕刻製程被移除。該蝕刻可靠地停止在蝕刻停止層 22 上。此即可保護矽區 32。

如第 9 圖所示，第一金屬 48 被沉積至一厚度以確保完全填滿蝕刻矽堆疊 26 之上面部分 28 留下之空間。然而，在沉積第一金屬 48 之前，該蝕刻停止層 22 被移除。舉例來說，當該蝕刻停止層 22 為氧化物時，緩衝氧化物蝕刻被完成以移除蝕刻停止層 22。該蝕刻為一短暫時間濕蝕刻，例如不需損壞周圍的側壁間隔件 36 而移除很薄之蝕刻停

該裝置之功函數。在此實施例中，可使用相同金屬或不同金屬以各別地形成第一矽化物區 50 與第二矽化物區 54。此係因矽區之厚度將控制最後被形成之矽化物相。舉例來說，某些類型裝置可能設有具備較高電阻係數相之例如矽化鈷(CoSi)等矽化物之閘極電極，而其他類型裝置則可能設有具備較低電阻係數相之例如二矽化鈷(CoSi_2)之矽化物之閘極電極。在此技術領域具有通常知識者將設定退火參數，例如時間與溫度，以形成第一矽化物區 50 與第二矽化物區 54 而擁有所需矽化物相位與功函數，如同在第一金屬與第二金屬內使用之矽區與金屬厚度之函數。

上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何所屬領域具有通常知識者均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

藉由參照所附之圖示可更了解本發明上述之說明，圖示中類似元件標有類似的參考符號，且其中：

第 1 圖係根據本發明於雙金屬 CMOS 電晶體製程期間之半導體晶圓之橫剖面示意圖；

第 2 圖係圖示根據本發明之特定實施例之第 1 圖在第一矽層上之蝕刻停止層形成後之結構；

第 3 圖係圖示根據本發明之實施例之第 2 圖之第二矽層沉積後之結構；

第 4 圖係圖示根據本發明之實施例之第 3 圖之硬遮罩、微影與異向性的蝕刻之形成以形成矽堆疊後之結構；

第 5 圖係圖示根據本發明之實施例之第 4 圖在源極/汲極延伸區、側壁間隔件與源極/汲極區形成後之結構；

第 6 圖係圖示根據本發明之實施例之第 5 圖介電質層之沉積與介電質層之平坦化以移除硬遮罩後之結構；

第 7 圖係圖示根據本發明之實施例之第 6 圖之微影步驟以遮罩該 PMOS 裝置之結構；

第 8 圖係圖示根據本發明之實施例之第 7 圖之蝕刻 NMOS 裝置矽堆疊上面部分後之結構；

第 9 圖係圖示根據本發明之實施例之第 8 圖在移除蝕刻停止層與沉積第一金屬後之結構；

第 10 圖係圖示根據本發明之實施例第 9 圖在平坦化製程後之結構；

第 11 圖係圖示根據本發明之實施例第 10 圖之退火步驟以形成在 NMOS 裝置內第一矽化物區後之結構；

第 12 圖係圖示根據本發明之實施例第 11 圖之微影步驟以遮罩 NMOS 裝置後之結構；

第 13 圖係圖示根據本發明之實施例之第 12 圖在完成蝕刻以移除 PMOS 裝置內矽堆疊上面部分後之結構；

第 14 圖係圖示根據本發明之實施例之第 13 圖在移除 PMOS 裝置內之蝕刻停止層與沉積第二金屬後之結構；

第 15 圖係圖示根據本發明之實施例之第 14 圖在平坦化製程後之結構；

第 16 圖係圖示根據本發明之實施例之第 15 圖之退火步驟以形成第二矽化物區後之結構；

第 17 圖係圖示根據本發明在一製程期間之替代實施例；以及

第 18 圖係圖示根據本發明第 17 圖之第一與第二矽化物區形成後之替代實施例。

【主要元件符號說明】

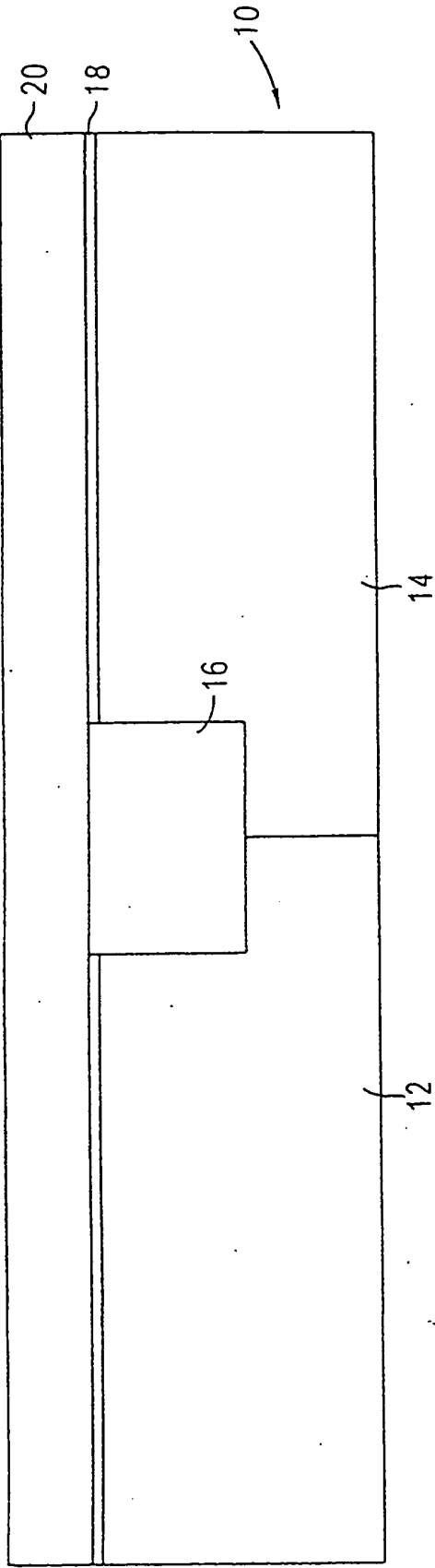
10	基板	12	P 型摻雜區
14	N 型摻雜區	16	淺溝隔離區
18	閘極介電質層	20	第一矽層
22	蝕刻停止層	24	第二矽層
26	矽堆疊	28	上面部分
30	硬遮罩	32	矽區
34	源極/汲極延伸	36	側壁間隔件
38	源極/汲極區	40	介電質層
42	光阻	44	NMOS 裝置
46	PMOS 裝置	48	第一金屬區
50	第一矽化物區	52	第二金屬區
54	第二矽化物區		

五、中文發明摘要：

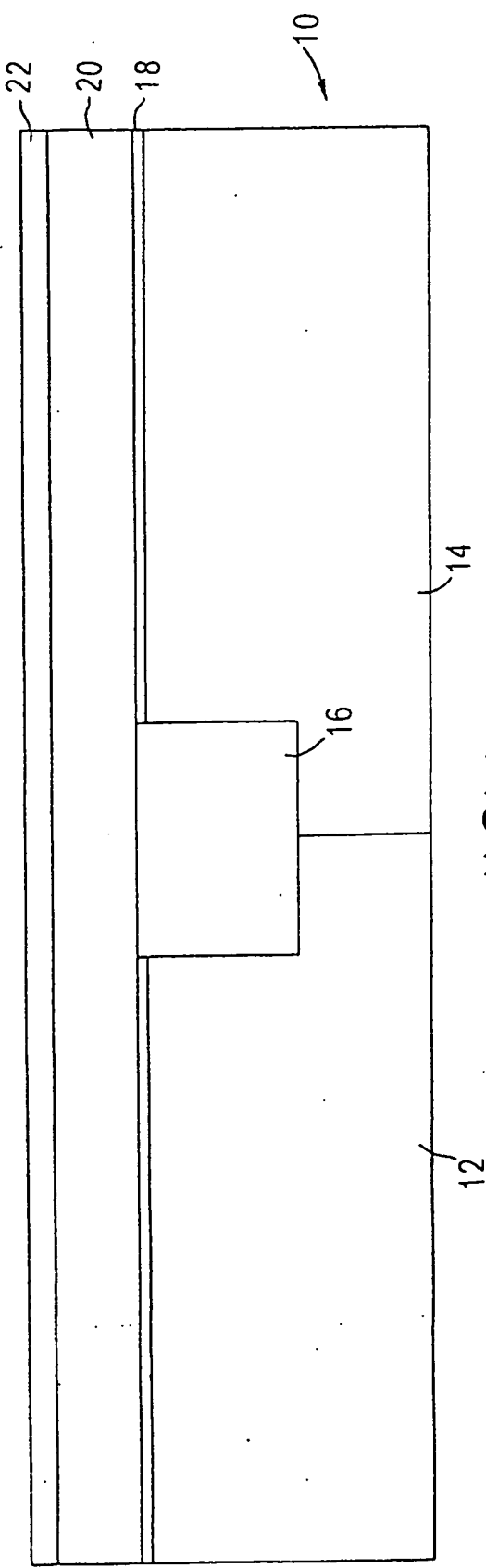
本發明提供一種雙金屬 CMOS 之配置以及其製法，係提供一基板(10)以及在基板(10)上形成之多數 NMOS 裝置(44)與 PMOS 裝置(46)。各多數 NMOS 裝置(44)與 PMOS 裝置(46)具有閘極電極。各 NMOS 閘極電極包含基板(10)上之第一矽化物區(50)與第一矽化物區(50)上之第一金屬區(48)。該 NMOS 閘極電極之第一矽化物區(50)係由一個具有接近矽導電帶之功函數之第一矽化物(50)組成。各 PMOS 閘極電極包含基板上之第二矽化物區(54)與第二矽化物區(54)上之第二金屬區(52)。該 PMOS 閘極電極之第二矽化物區(54)係由一個具有接近矽價帶之功函數之第二矽化物(54)組成。

六、英文發明摘要：

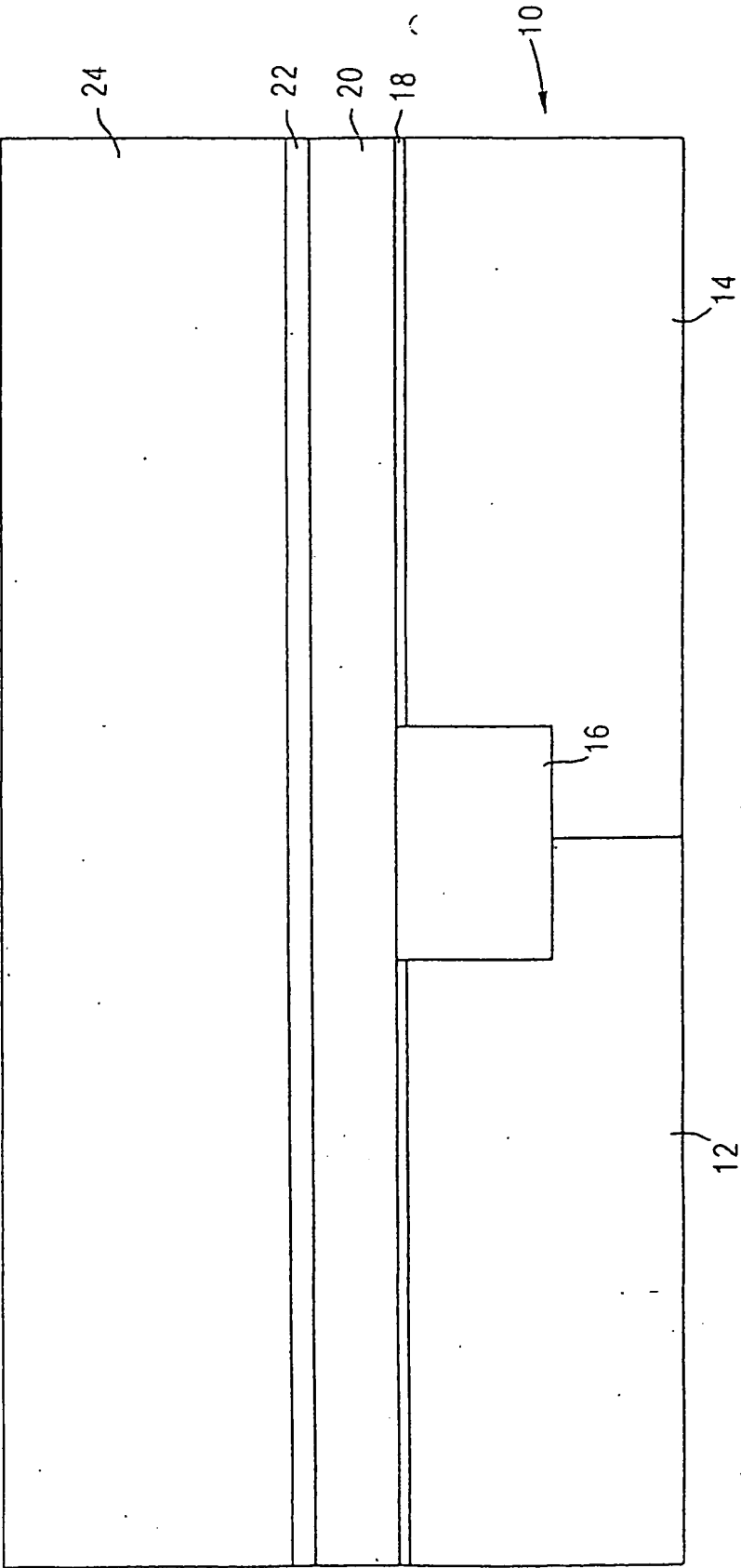
A dual-metal CMOS arrangement and method of making the same provides a substrate (10) and a plurality of NMOS devices (44) and PMOS devices (46) formed on the substrate (10). Each of the plurality of NMOS devices (44) and PMOS devices (46) have gate electrodes. Each NMOS gate electrode includes a first silicide region (50) on the substrate (10) and a first metal region (48) on the first silicide region (50). The first silicide region (50) of the NMOS gate electrode consists of a first silicide (50) having a work function that is close to the conduction band of silicon. Each of the PMOS gate electrodes includes a second silicide region (54) on the substrate and a second metal region (52) on the second silicide region (54). The second silicide region (54) of the PMOS gate electrode consists of a second silicide (54) having a work function that is close to the valence band of silicon.



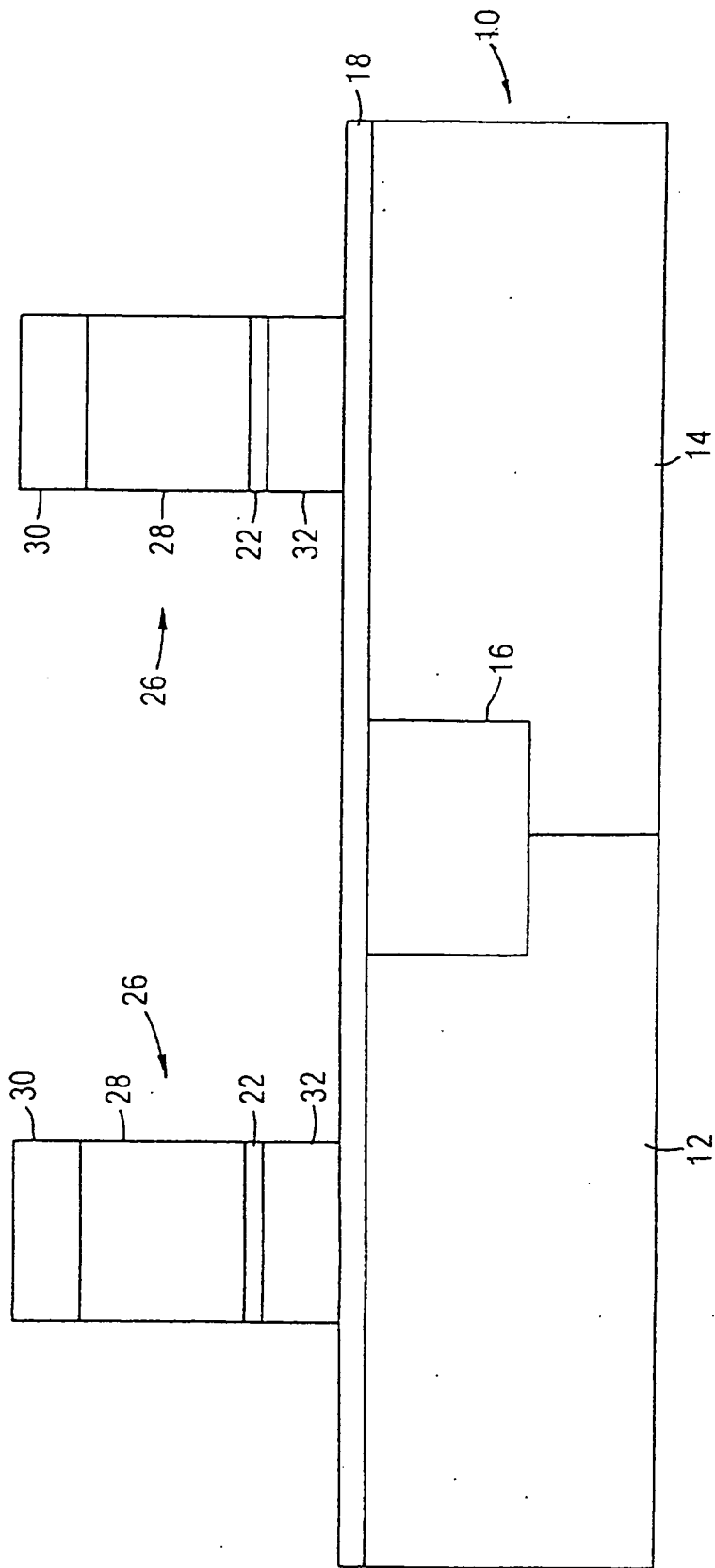
第1圖



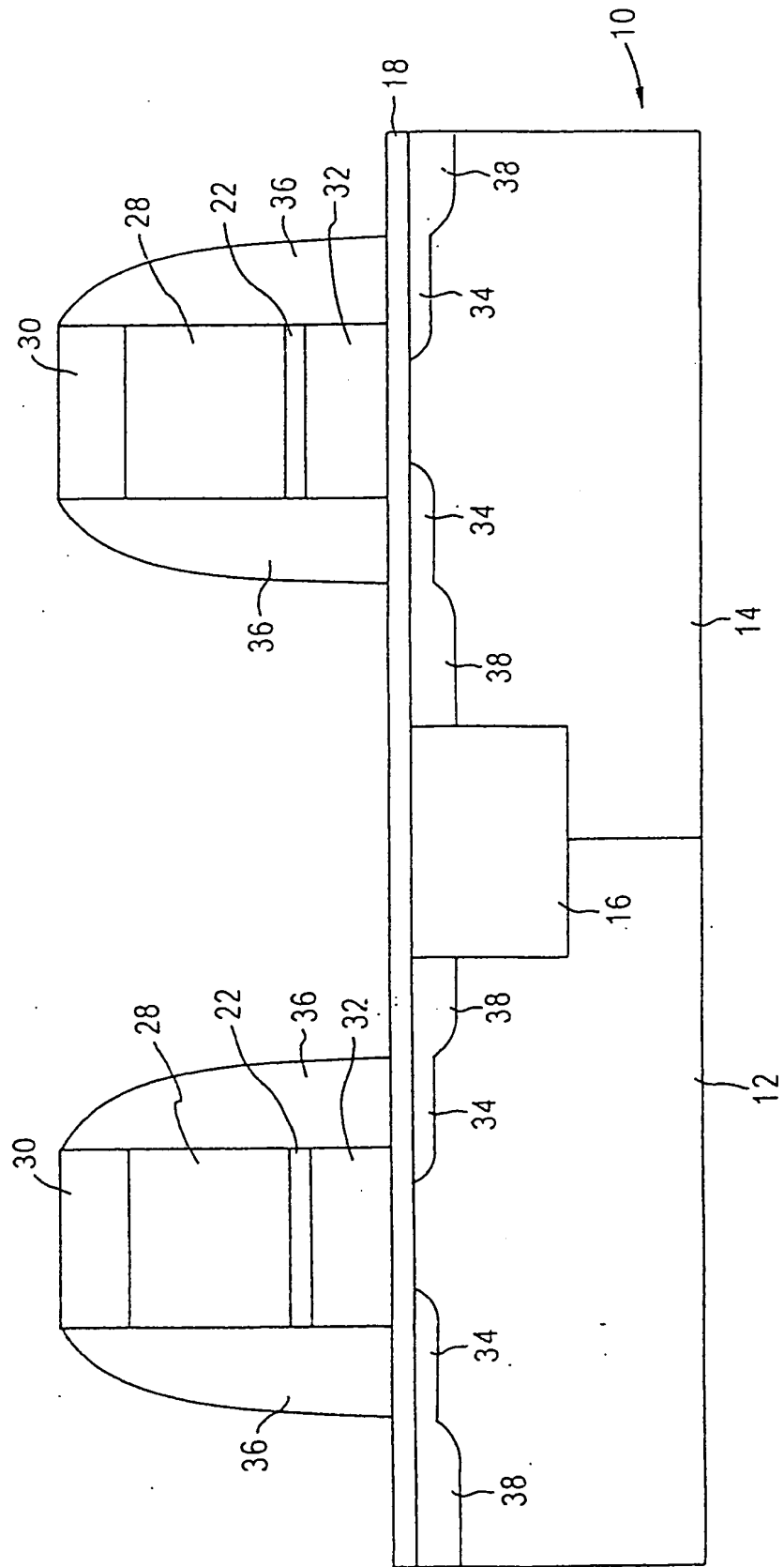
第2圖



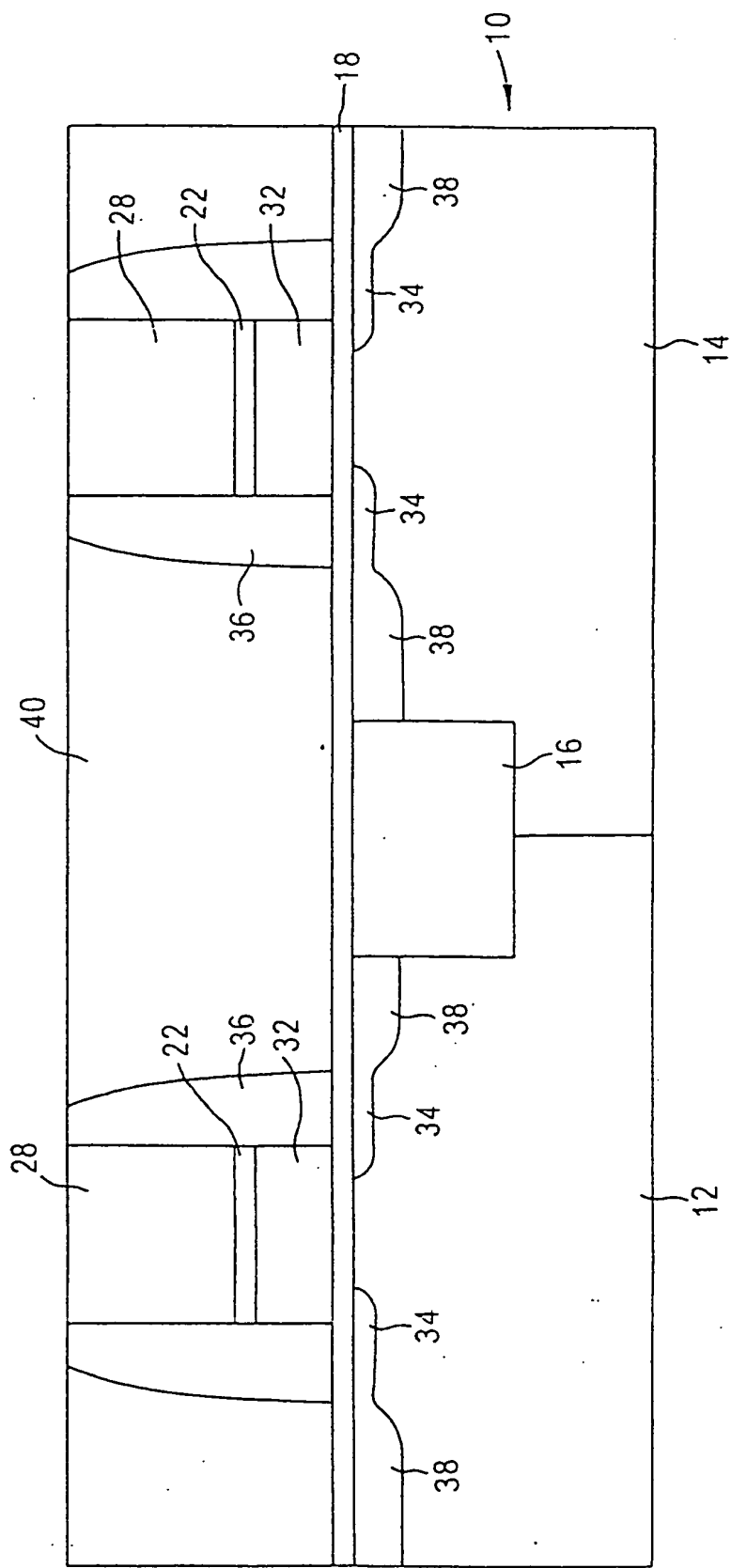
第3圖



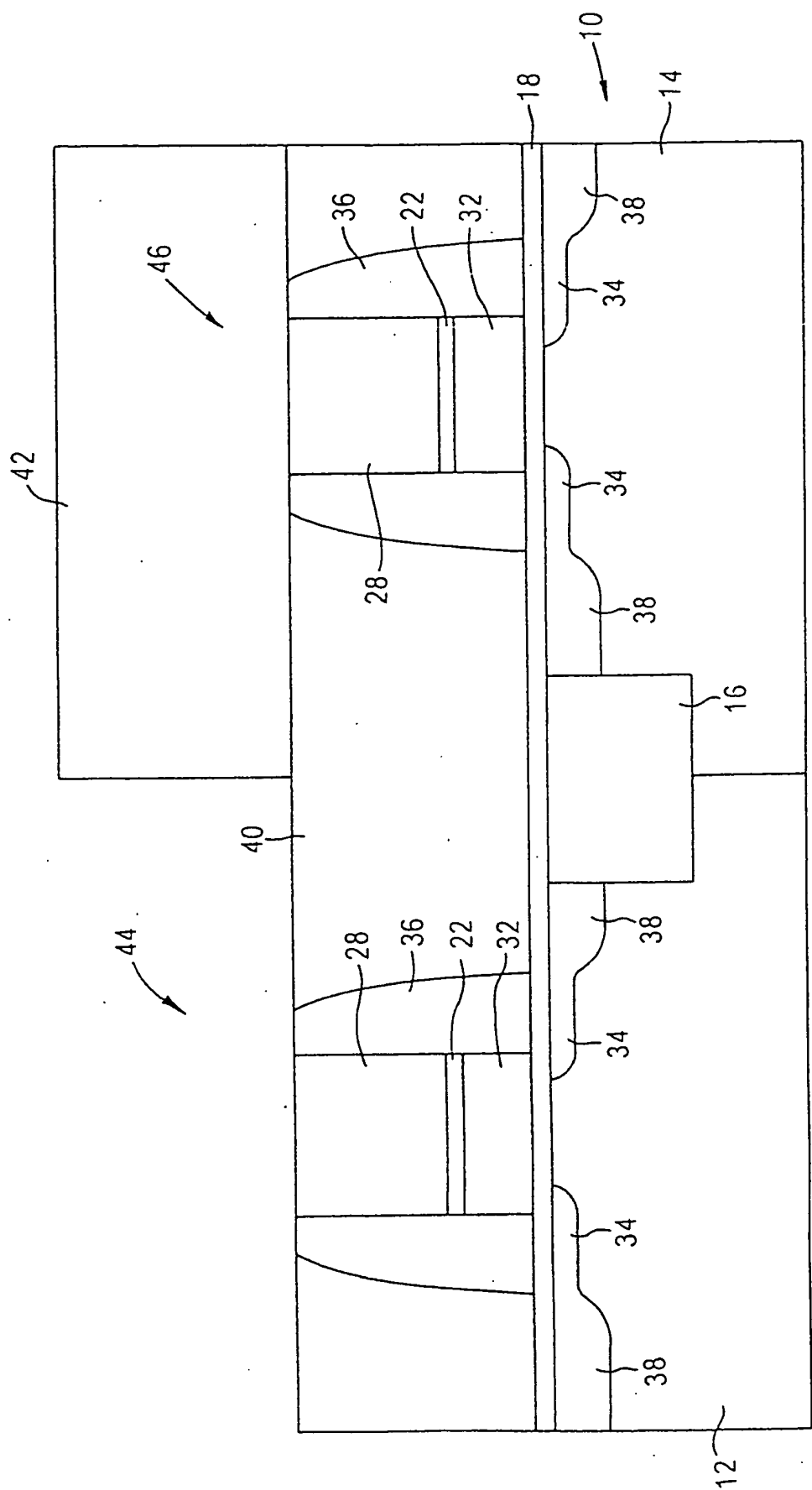
第4圖



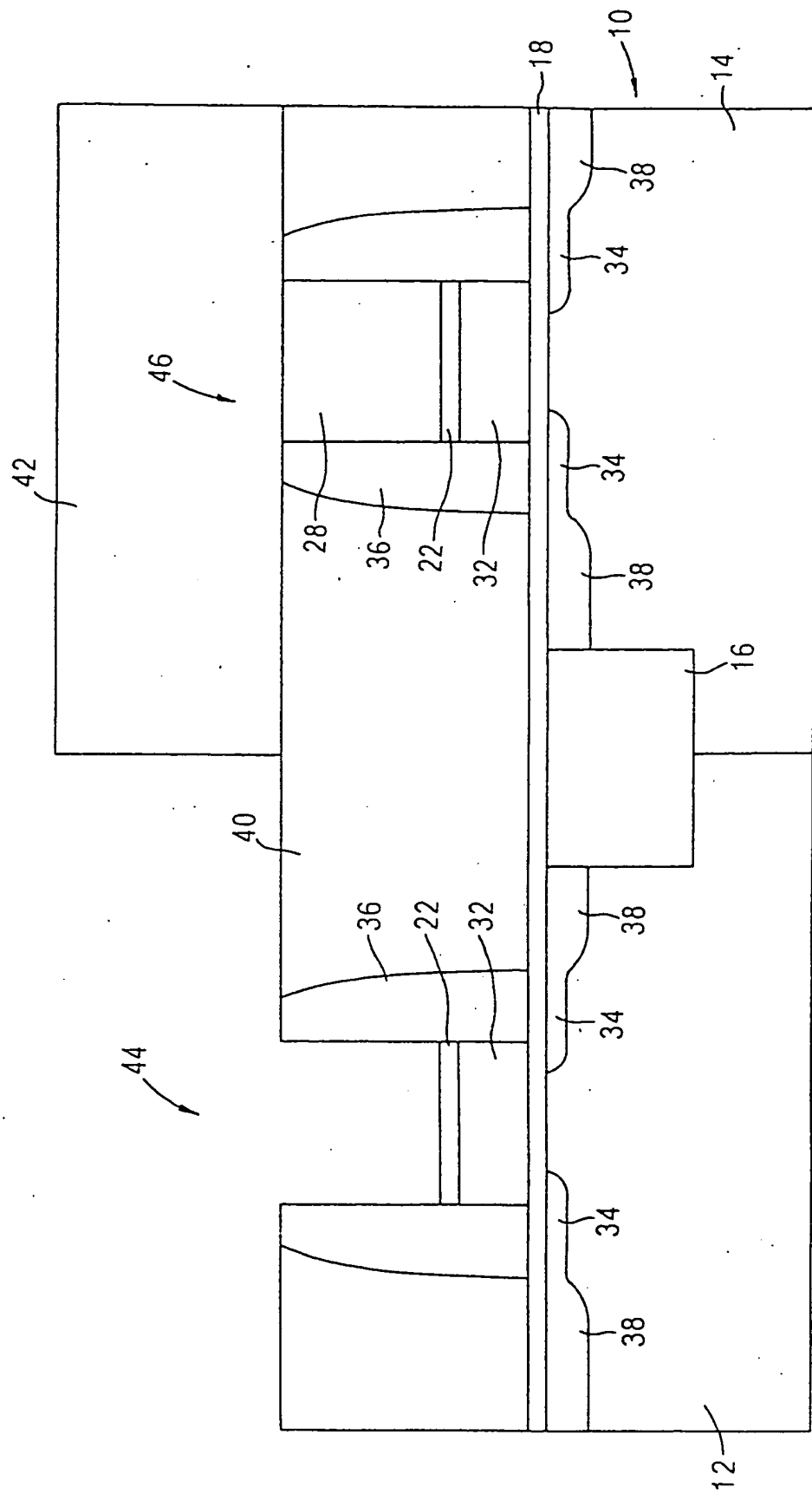
第5圖



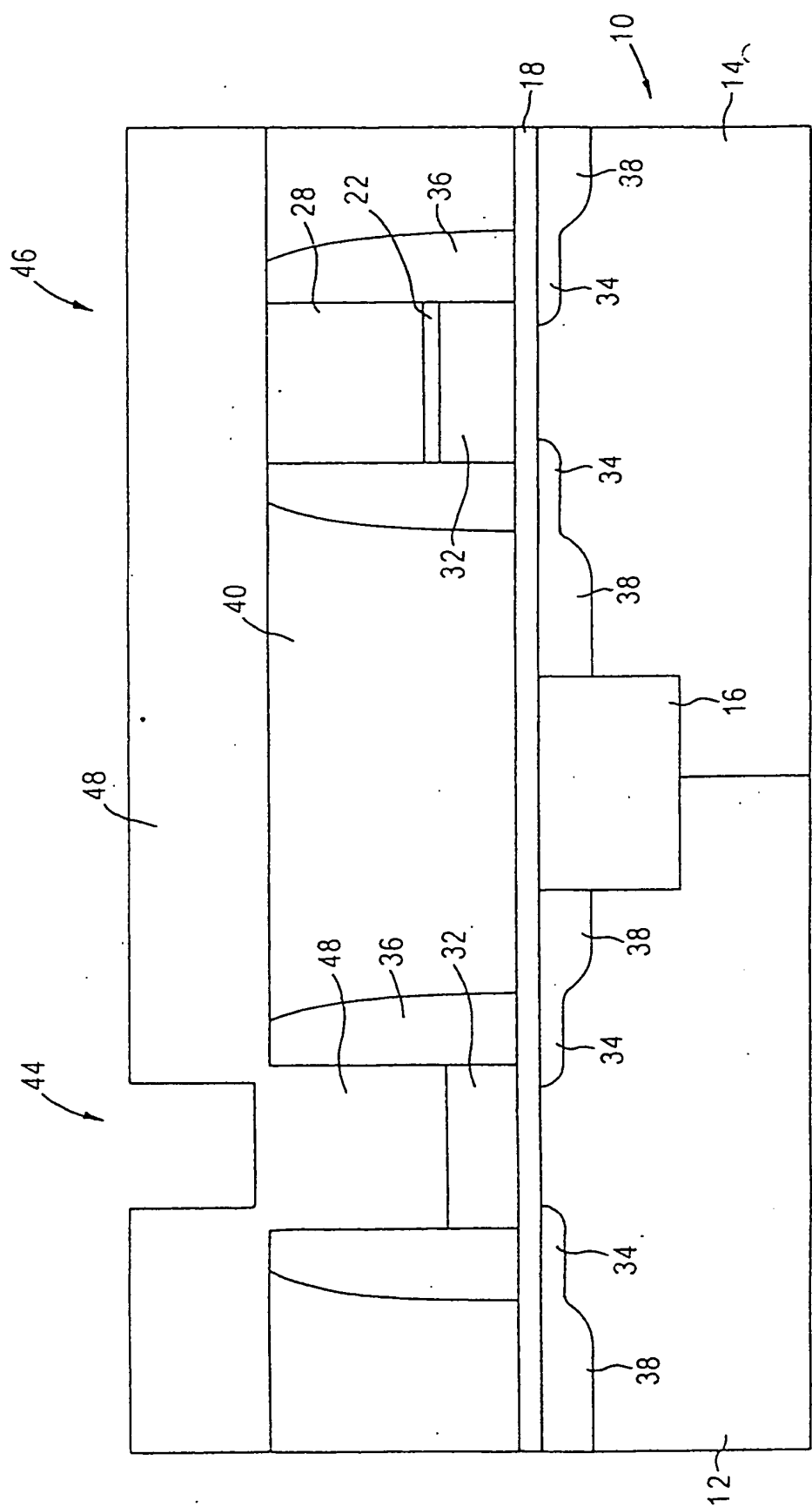
第6圖



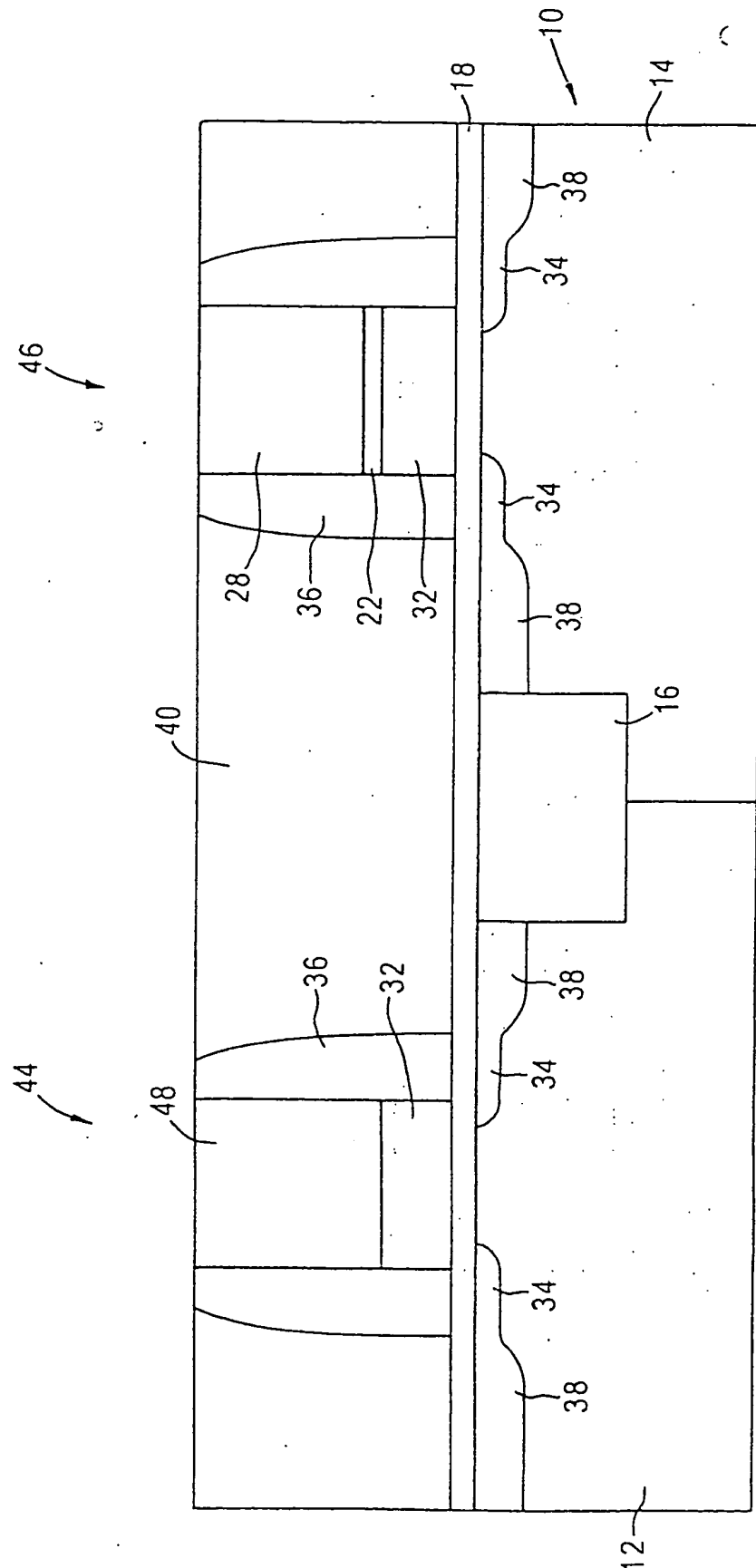
第7圖



第8圖



第9圖



第10圖

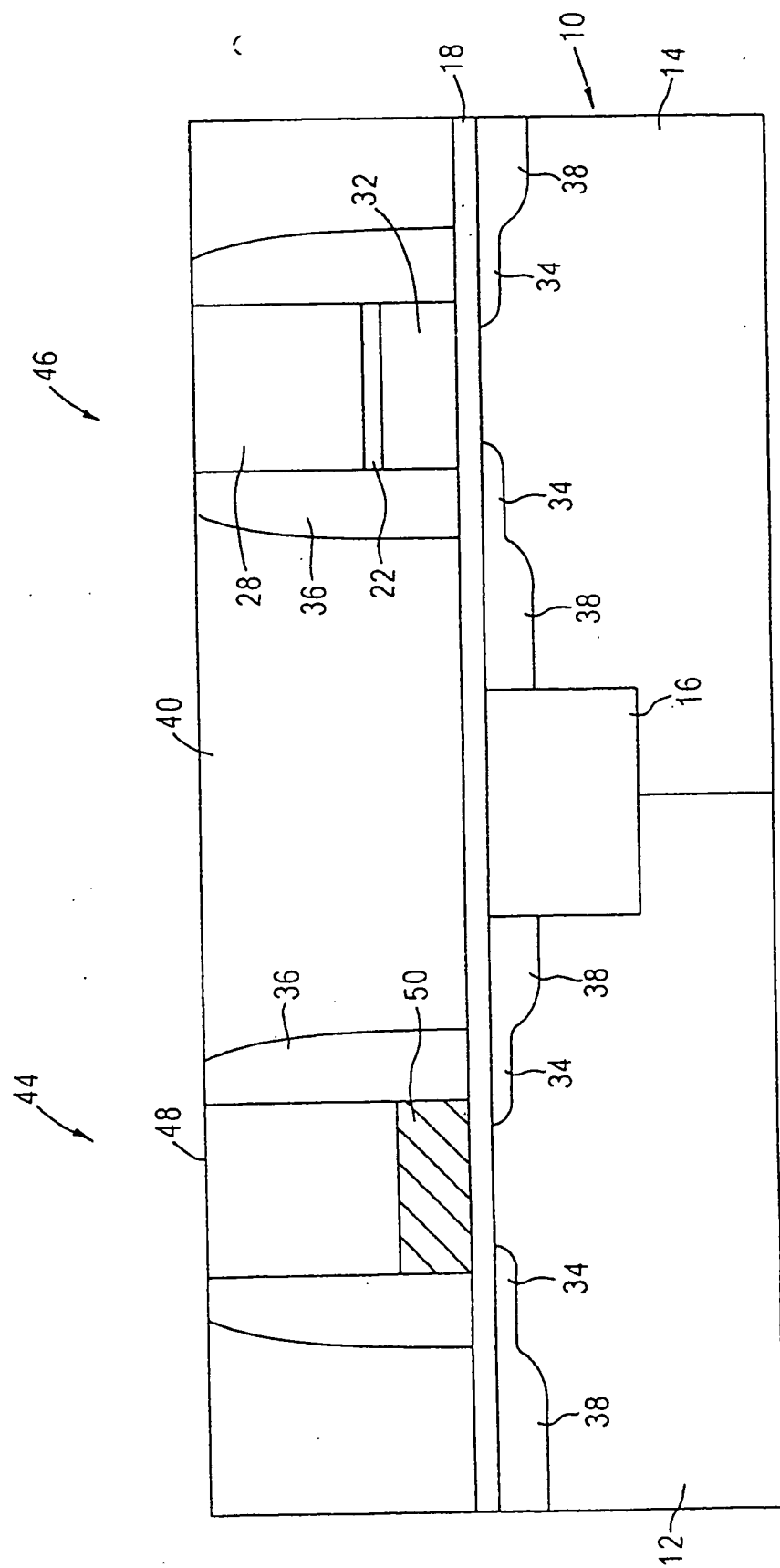
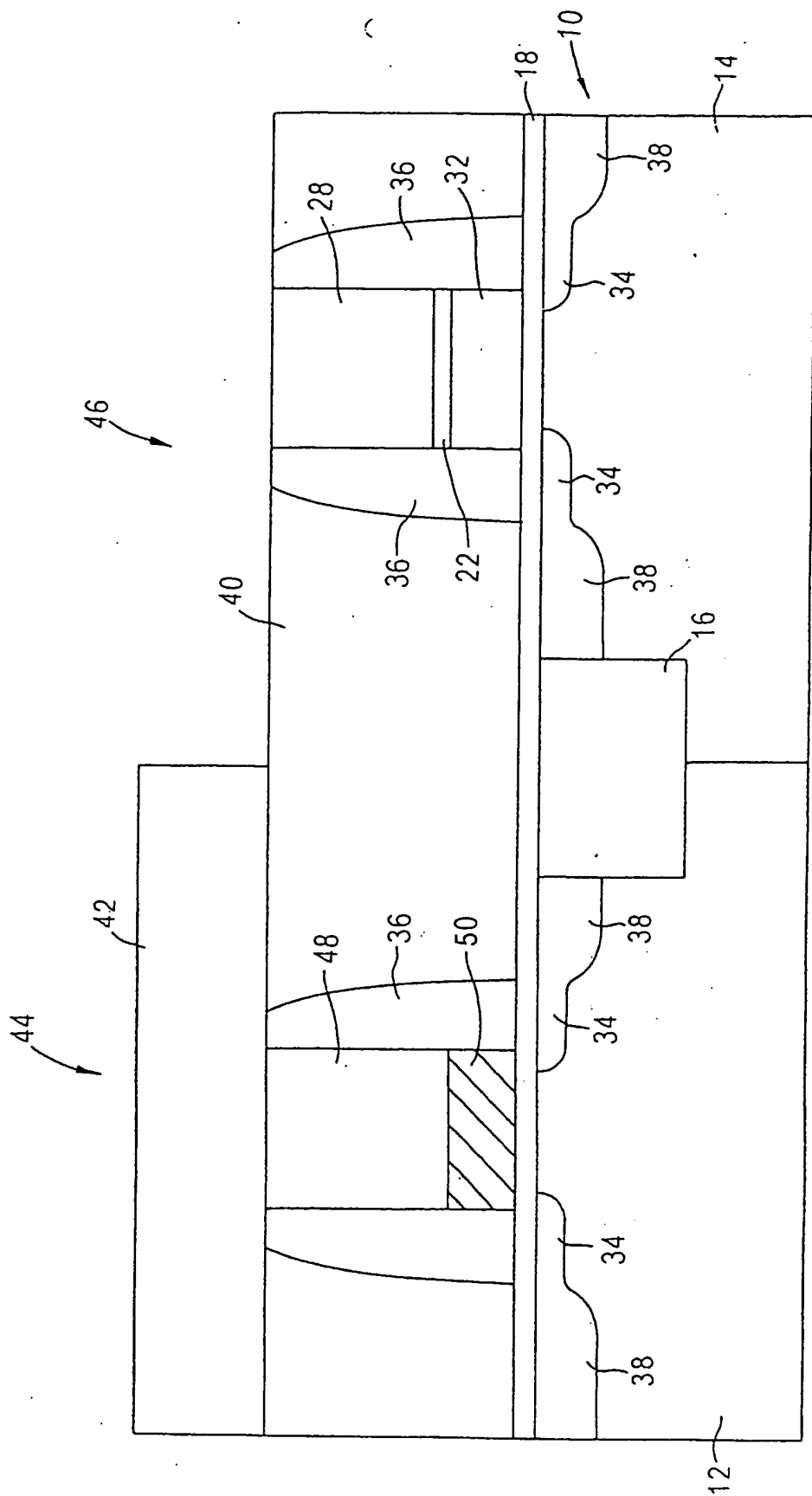


圖
第11



第12圖

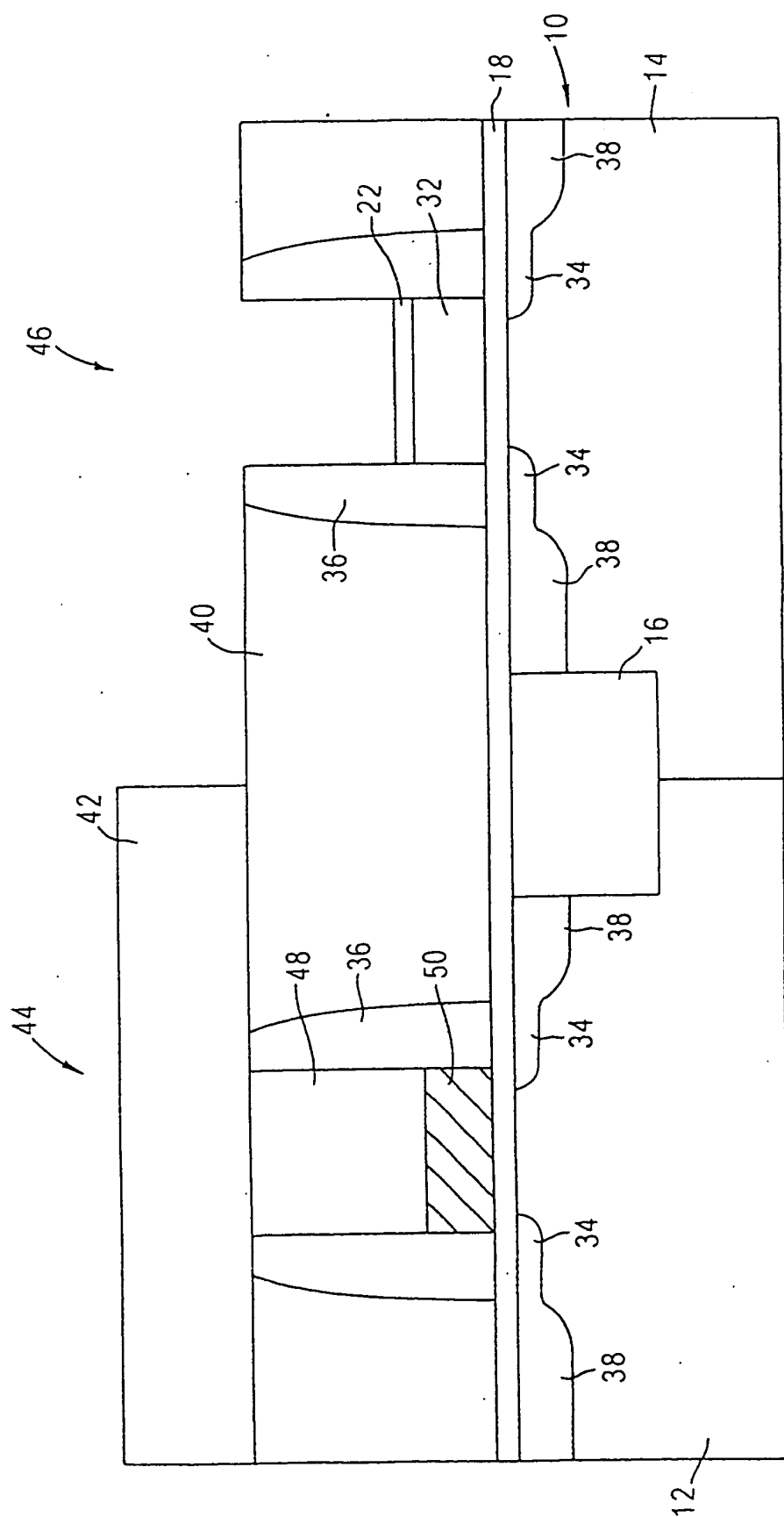
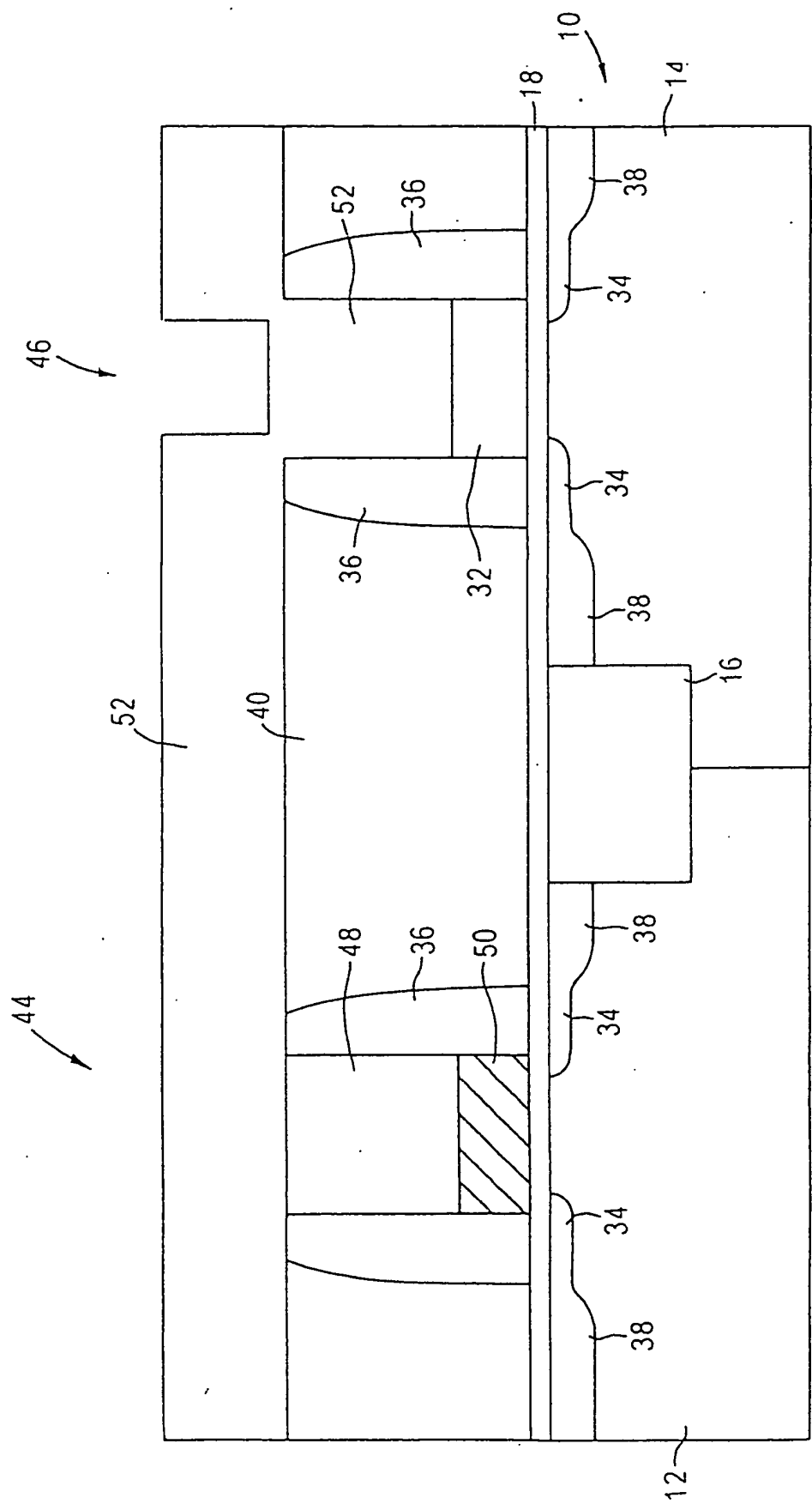
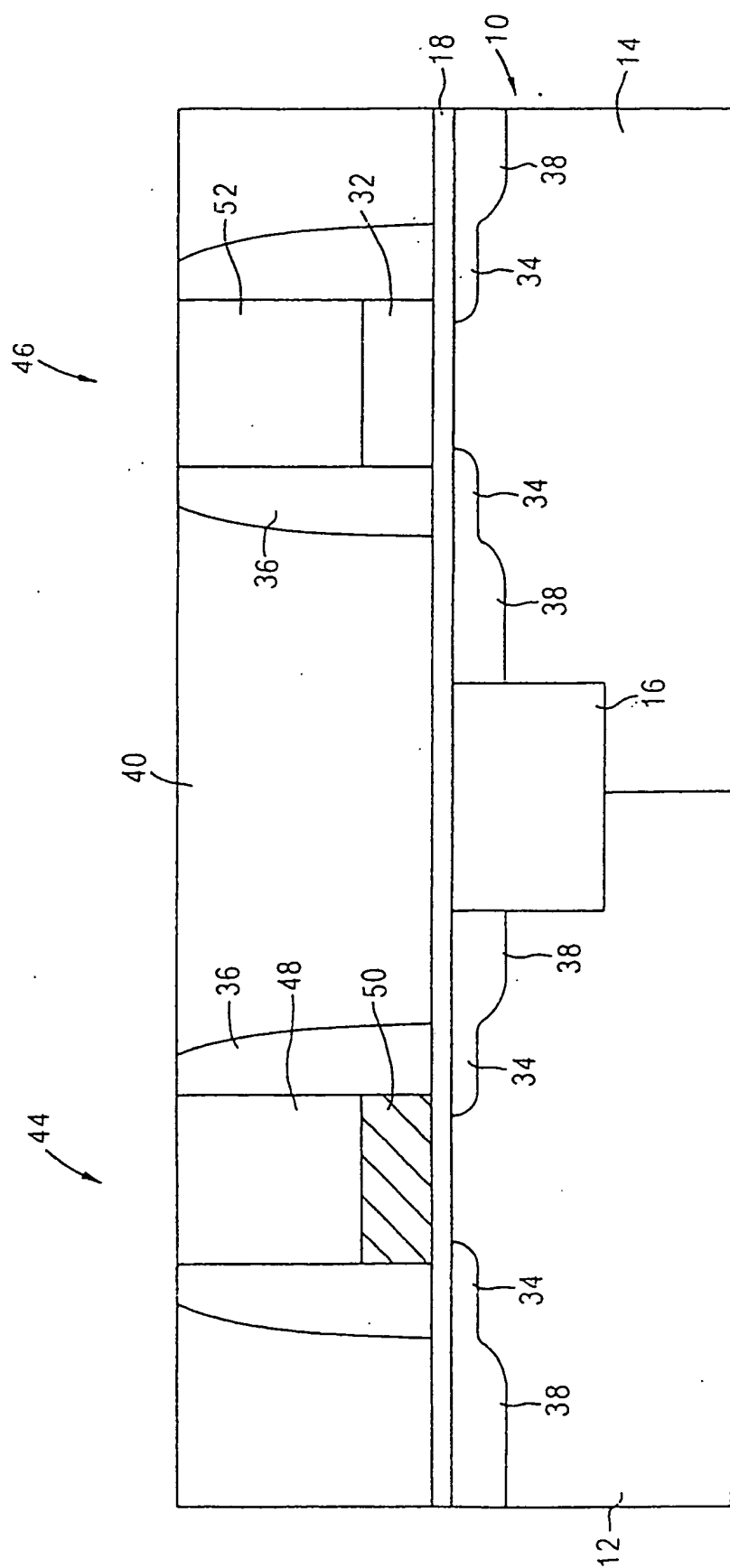


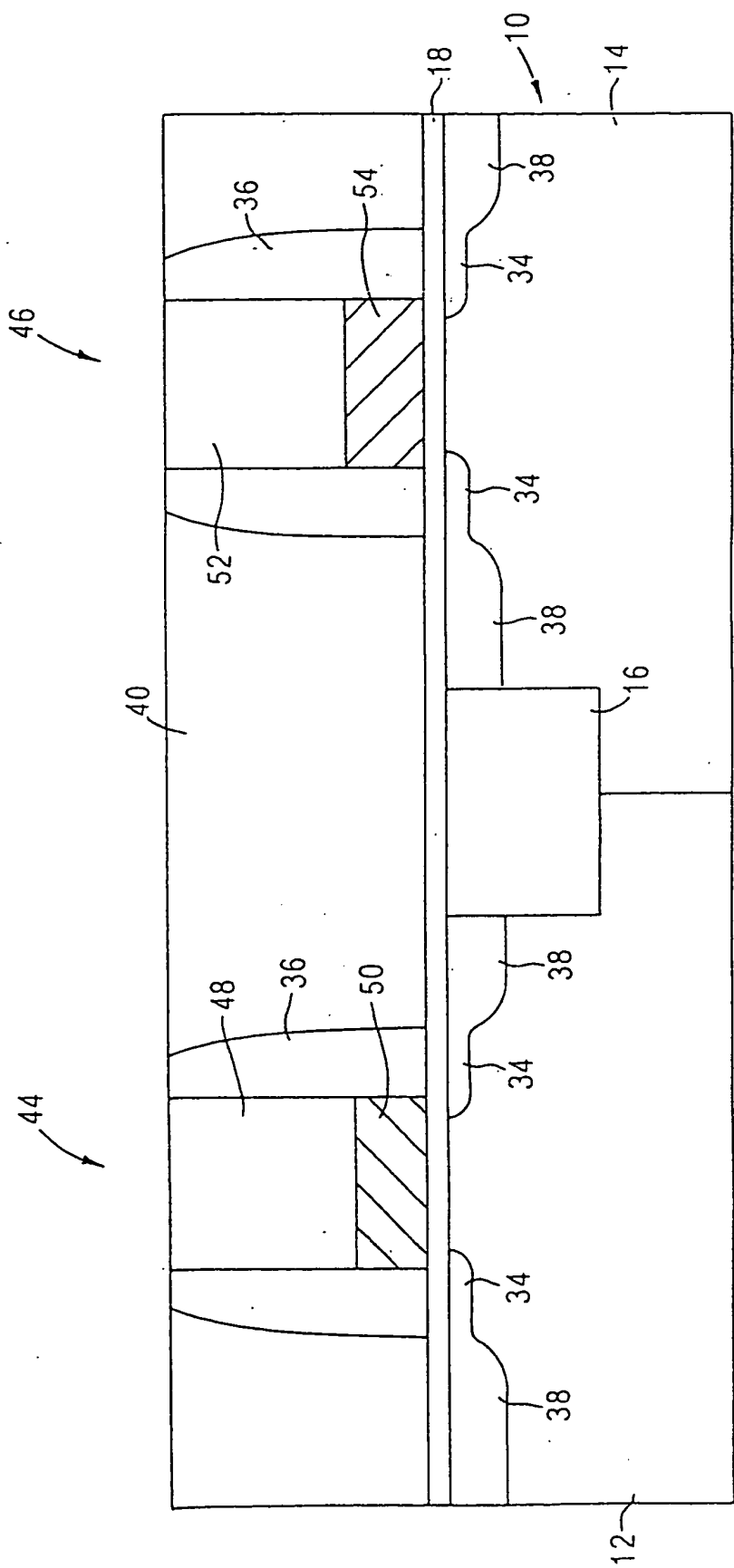
圖
第13



第14圖



第15圖



第16圖

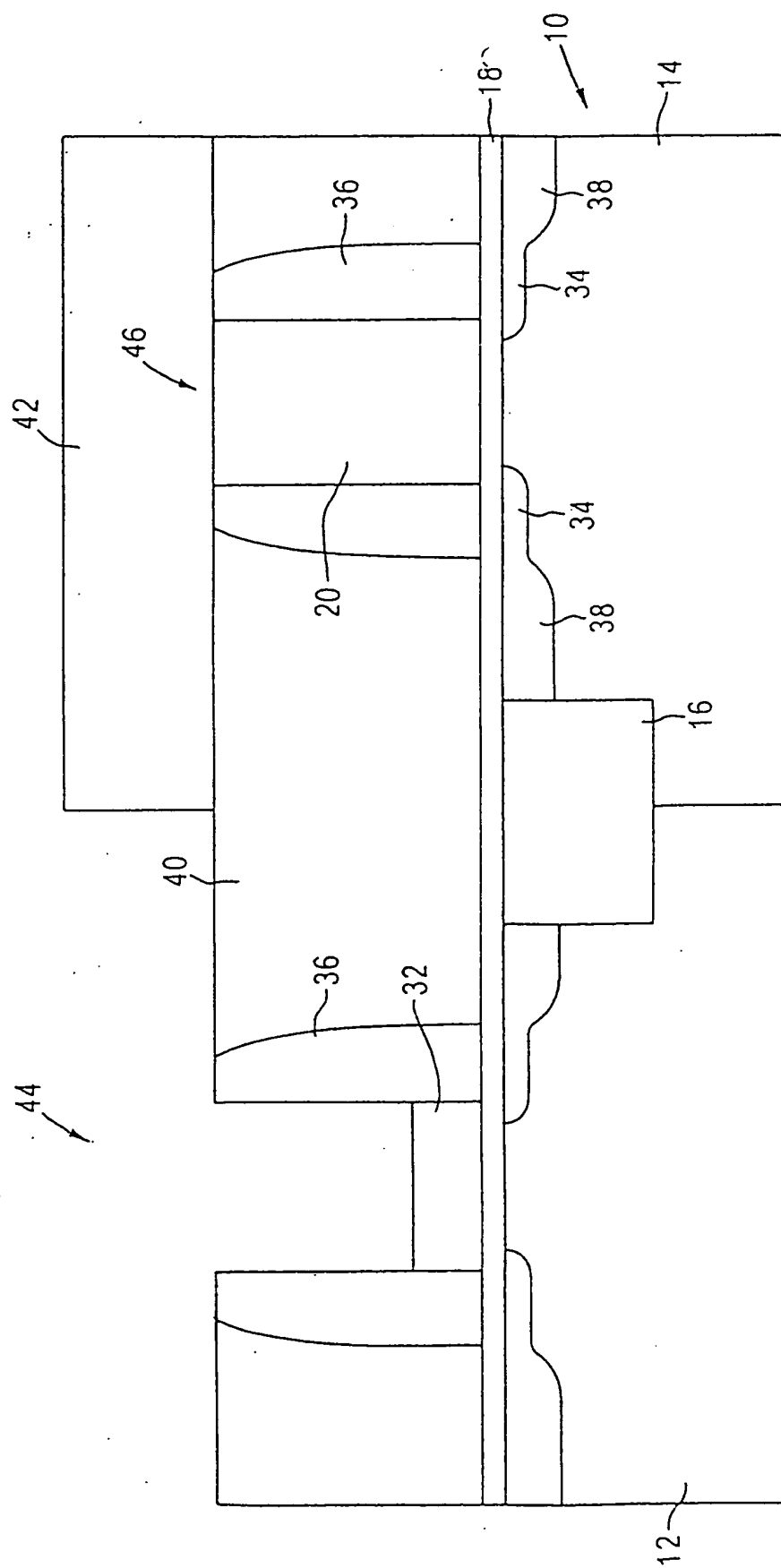
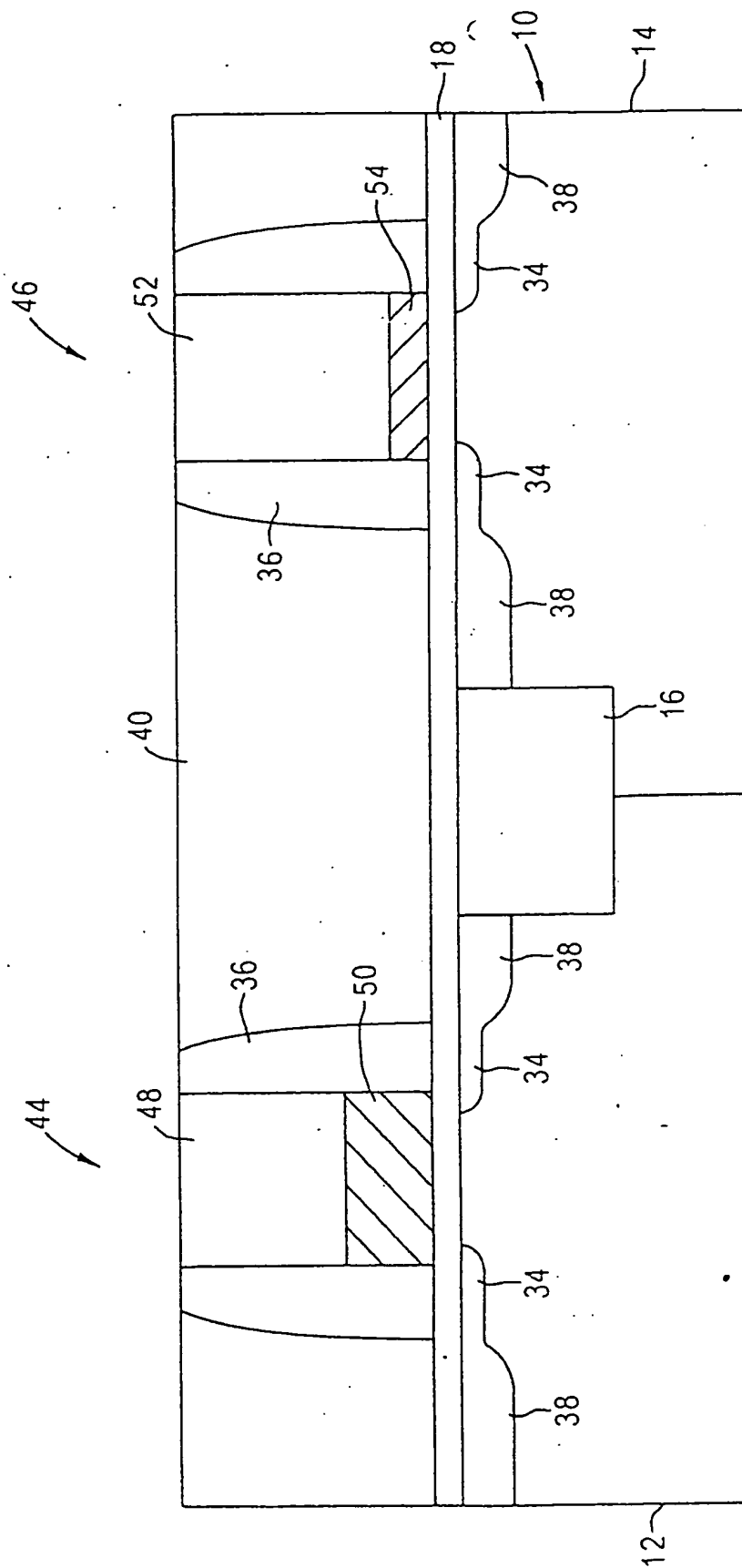


圖
第17



第18圖

七、指定代表圖：

(一)本案指定代表圖為：第 (16) 圖。

(二)本代表圖之元件代表符號簡單說明：

10	基板
12	P 型摻雜區
14	N 型摻雜區
16	淺溝隔離結構
18	閘極介電質層
34	源極/汲極延伸
36	側壁間隔件
38	源極/汲極區
40	介電質層
44	NMOS 裝置
46	PMOS 裝置
48	第一金屬區
50	第一矽化物區
52	第二金屬區
54	第二矽化物區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體製造之領域，詳而言之，尤指一種結合不同閘極金屬之 NMOS 與 PMOS 裝置製程。

【先前技術】

在半導體工業中，製造具有匹配臨界電壓(matching threshold voltage)之 N 型金氧半導體(NMOS)與 P 型金氧半導體(PMOS)裝置是通常地需要的。在傳統的半導體製程中，該 NMOS 與 PMOS 臨界電壓傳統地被調整，其係藉由通道植入與選擇摻雜多晶矽閘極之結合。在調整 PMOS 裝置之臨界電壓通常有效果，但在 PMOS 裝置的效果較差。為了克服這些問題，雙金屬閘極互補金氧半導體(CMOS, Complementary MOS)電晶體已經被提供，其係具有基於其功函數而選擇的用以形成閘極之金屬。

傳統的金屬閘極電晶體通常係藉由乾蝕刻金屬或以多晶矽封頭之金屬來製造以形成閘極。乾蝕刻金屬是極端地挑戰，因要確保金屬乾蝕刻適當地停在超薄之閘極介電質(如閘極氧化物)上是困難的。無法終止在閘極氧化物上之乾蝕刻導致源極/汲極區域內矽的損失，故造成漏電流增加。

這些出現在形成金屬閘極電晶體之問題在企圖執行雙金屬閘極 CMOS 配置時會更嚴重。如上所述，該雙金屬閘極 CMOS 配置係需要以調整功函數與臨界電壓。然而，傳統形成金屬閘極電晶體之方式並非容易地適用以形成雙金屬

閘極 CMOS 電晶體。已證明為了抑制驅動電流損失至多晶矽耗盡效能，提供全矽化物閘極是需要的。然而，在提供全矽化物閘極電極以抑制驅動電流時，導電型裝置其中之一之功函數將不需要地被改變。舉例來說，提供 NMOS 裝置與 PMOS 裝置之全矽化多晶矽閘極電極將運作以抑制驅動電流損失至多晶矽耗盡效能。然而，即使 NMOS 裝置之閘極電極將具有需要的功函數，PMOS 裝置之閘極電極將具有不需要的功函數。此顧慮限制在半導體配置中 NMOS 與 PMOS 裝置之全矽化閘極電極之可用性。

此外，全矽化閘極另有其他顧慮。這些顧慮包含矽化不均勻性與創造閘極氧化物介電質層不可靠之可能性。舉例來說，過矽化將壓迫閘極氧化物介電質材料以損害整體裝置之可靠性。

【發明內容】

本發明提供一種具有可調閘極功函數之雙金屬 CMOS 配置，其不需使用全矽化閘極電極與其伴隨的問題。

本發明之實施例提供一種具有可調閘極功函數之雙金屬 CMOS 配置以符合雙金屬 CMOS 配置與其它需要，其係具有基板與多數 NMOS 裝置與多數 PMOS 裝置。該多數 NMOS 裝置具有閘極電極，其中各 NMOS 閘極電極包含基板上之第一矽化物區與第一矽化物區上之第一金屬區。NMOS 閘極電極之第一矽化物區係由具有在矽導電帶之 $\pm 0.2V$ 內之功函數之第一矽化物組成。該多數 PMOS 裝置具有閘極電極，其中各 PMOS 閘極電極包含基板上之第二矽化物區與第二

矽化物區上之第二金屬區。PMOS 閘極電極之第二矽化物區係由具有在矽價帶之 $\pm 0.2V$ 內之功函數之第二矽化物組成。

本發明提供一種形成雙金屬 CMOS 配置之方法也符合其他陳述上的需要，其步驟包含在閘極介電質上形成矽化物區以在 NMOS 裝置區與在 PMOS 裝置區內形成閘極電極。該等矽化物區被轉換成 NMOS 裝置區內之第一矽化物區與 PMOS 裝置區內之第二矽化物區。第一矽化物區係由具有在矽導電帶之 $\pm 0.2V$ 內之功函數之第一矽化物組成而第二矽化物區係由具有在矽價帶之 $\pm 0.2V$ 內之功函數之第二矽化物組成。

藉由結合接下來的詳細說明與簡圖，本發明之前述與其他特徵、觀點與優點將變得更為明顯。

【實施方式】

本發明提出並解決關於雙金屬 CMOS 電晶體形成之問題，詳而言之，係關於包含全矽化閘極電極之矽化不均勻性與閘極氧化物可靠性之問題。在本發明之特定觀點中提供具有閘極電極之多數 NMOS 裝置與 PMOS 裝置之雙金屬 CMOS 配置。各 NMOS 閘極電極包含基板上之第一矽化物區與第一矽化物區上之第一金屬區。NMOS 閘極電極之第一矽化物區係由具有在矽導電帶之 $\pm 0.2V$ 內之功函數之第一矽化物組成。各 PMOS 閘極電極包含基板上之第二矽化物區與第二矽化物區上之第二金屬區。PMOS 閘極電極之第二矽化物區係由具有在矽價帶之 $\pm 0.2V$ 內之功函數之第二矽

止層 22。因此在本發明之特定實施例中，第一金屬 48 被沉積至至少 1000 埃之厚度以確保完全填滿矽堆疊 26 之上表面部分 28 先前佔有之空間。

在較佳實施例中，第一金屬 48 為金屬或金屬合金，其係與矽反應時形成具有功函數接近矽導電帶之矽化物。此界定為在矽導電帶之 $\pm 0.2V$ 內。對 NMOS 裝置 44，鉍為一合適之金屬。然而，本發明並未以鉍為限制，可包含任何其矽化物接近矽導電帶之其他金屬。

第 10 圖係圖示第 9 圖以化學-機械研磨法完成移除多餘第一金屬 48 後之結構。該第一金屬 48 被移除直至到達介電質層 40。

接著金屬化學-機械研磨法，例如使用快速熱退火之退火製程以在各 NMOS 裝置 44 內形成第一矽化物區 50。依據用為第一金屬 48 之金屬或金屬合金的類型，使用合適之溫度範圍。此製程條件為所屬領域具有通常知識者所知悉。

第 12 至 16 圖係圖示一類似製程以在 PMOS 裝置內創造第二矽化物區。因此，第 12 圖係微影步驟，其中 NMOS 裝置 44 被遮罩而 PMOS 裝置 46 被曝光。如第 13 圖所示，一蝕刻製程移除各 PMOS 裝置內矽堆疊 26 之上部 28。

如第 14 圖所示，第二金屬 52 被沉積在介電質層 40 上且在矽堆疊 26 之上表面部分 28 留下之空間內。然而，第二金屬 52 係由金屬或金屬合金組成，其形成一具有功函數接近矽價帶之矽化物。換言之，矽化物之功函數係在矽價帶之 $\pm 0.2V$ 內。舉例來說，可推薦的材料包含例如鈦、鋁

或鈷。在不脫離本發明範圍之其他類型材料可被使用成第二金屬 52。然而，為了達成 CMOS 配置之所需雙功函數，該材料應形成具有一功函數接近矽價帶之矽化物。

如第 16 圖所示，適當退火製程被使用以在 PMOS 裝置 46 內形成第二矽化物區 54。依據形成第二金屬 52 之金屬，選擇該退火製程合適之溫度範圍。

如第 16 圖所示，該 NMOS 裝置具有第一矽化物區 50，其係由具有功函數在矽導帶之 $\pm 0.2V$ 內之第一矽化物組成。該 CMOS 配置亦擁有具備第二矽化物區之 PMOS 裝置，其係由具有功函數在矽價帶 $\pm 0.2V$ 之內之第二矽化物組成。在某些的實施例中，該 NMOS 裝置 44 與 PMOS 裝置 46 之閘極電極之功函數因此具可調性，其係藉由使用不同種類金屬或金屬合金以形成金屬矽化物。此可使閘極矽化物厚度在特定實施例中減少至 50 埃以下，而在其他實施例中介於 50 至 100 埃，因此可解決許多關於全矽化閘極之問題，例如矽化不均勻性與閘極氧化物可靠性。

第 17 圖與第 18 圖係圖示本發明之替代實施例。在這些實施例中，該蝕刻停止層 22 未被使用。取代以在矽化前以受控濕或乾蝕刻使矽堆疊 26 凹進以實際減少矽堆疊 26 之多晶矽厚度。如第 17 圖所示，將該 PMOS 裝置 46 遮罩而蝕刻 NMOS 裝置。使用類似製程以在 PMOS 裝置 46 內蝕刻矽堆疊 26。然而在本發明之某些實施例中，將矽堆疊 26 存留矽之厚度小心地控制成所需厚度。薄多晶矽之厚度影響所形成之矽化物區之顯現不同導電性之相。如此，可調整

十、申請專利範圍：

1. 一種形成雙金屬互補金氧半導體配置之方法，該方法包含下列步驟：

形成在閘極介電質層(18)上之矽區(32)以形成閘極電極於 N 型金氧半導體裝置區(44)內與 P 型金氧半導體裝置區(46)內；

其中，形成矽區包含：

沉積第一矽層(20)於閘極介電質層(18)上；

形成蝕刻停止層(22)於該第一矽層(20)上；

形成第二矽層(24)於該蝕刻停止層(22)上；

蝕刻該矽(20)以形成矽堆疊(26)；

沉積介電質層(40)於該閘極介電質層(18)上；

蝕刻該第二矽層(24)並停止於該蝕刻停止層(22)上；以及

移除該蝕刻停止層(22)，以形成矽區(32)；

其中，該矽區(32)包含於該 N 型金氧半導體裝置區(44)內之第一矽化物區(50)與於該 P 型金氧半導體裝置區(46)內之第二矽化物區(54)，該第一矽化物區(50)係由具有在矽導電帶之 $\pm 0.2V$ 內之功函數之第一矽化物(50)組成，而該第二矽化物區係由具有在矽價帶之 $\pm 0.2V$ 內之功函數之第二矽化物(54)組成。

2. 如申請專利範圍第 1 項之形成雙金屬互補金氧半導體配置之方法，更包含藉由控制該第一與第二矽化物區(50, 54)之相位以控制該第一與第二矽化物區(50, 54)

之功函數。

3. 如申請專利範圍第 1 項之形成雙金屬互補金氧半導體配置之方法，更包含在該 N 型金氧半導體裝置區(44)內沉積第一金屬(48)或金屬合金於該矽區(32)上與在該 P 型金氧半導體裝置區(46)內沉積第二金屬(52)或金屬合金於該矽區(32)上，及退火以在該 N 型金氧半導體裝置區(44)內使該第一金屬(48)或金屬合金與該矽區(32)反應以形成該第一矽化物區(50)與在該 P 型金氧半導體裝置區(46)內使該第二金屬或金屬(52)合金與該矽區(32)反應以形成該第二矽化物區(54)。
4. 如申請專利範圍第 3 項之形成雙金屬互補金氧半導體配置之方法，其中，該第一金屬或金屬合金為鈹。
5. 如申請專利範圍第 3 項之形成雙金屬互補金氧半導體配置之方法，其中，該第二金屬或金屬合金為鈦、銻、或鈷的一者。
6. 如申請專利範圍第 3 項之形成雙金屬互補金氧半導體配置之方法，其中，該第一金屬或金屬合金為鈹，而該第二金屬或金屬合金為鈦、銻、或鈷的一者。
7. 如申請專利範圍第 1 項之形成雙金屬互補金氧半導體配置之方法，另包含藉由控制該矽區的厚度，以控制該第一及第二矽化物區的相位。