双面影印 公告本

申請日期	P0.6.28
案號	P0115816
類別	G11C 11/16 ; H01F 10/32

（以上各欄由本局填註）

A4
C4

512337

發明 專利說明書

一、發明名稱	中文	用以改善磁性隧道接面內之崩潰電壓的方法
	英文	METHOD FOR IMPROVING BREAKDOWN VOLTAGE IN MAGNETIC TUNNEL JUNCTIONS
二、發明人	姓名	傑尼斯 H. 尼可
	國籍	美國
	住、居所	美國加州太陽谷・津貝理道1772號
三、申請人	姓名（名稱）	美商・惠普公司
	國籍	美國
	住、居所（事務所）	美國加州帕羅亞托・哈諾維街3000號
	代表人姓名	安 O. 巴斯金

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

美　國（地區）　申請專利，申請日期：2000,11,18　案號：09/715,476　，☑有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

本發明係有關如旋轉相依隧道("SDT")接面之磁性隧道接面。本發明亦有關如磁性隨機存取記憶體("MRAM")裝置之資訊儲存裝置。

一典型MRAM裝置包括一陣列之記憶體細胞，字元線沿記憶體細胞列延伸，及位元線沿記憶體細胞行延伸。每一記憶體細胞係置於一字元線與一位元線之交叉點。

在一MRAM裝置類型中，每一記憶體細胞包括一SDT接面。一SDT接面的磁化在任何時間皆可接受兩穩定取向(orientation)之一。此兩穩定取向，平行與反平行，代表'0'與'1'之邏輯值。磁化取向，接著，影響SDT接面的電阻。SDT接面電阻，若磁化取向係平行，係第一值(R)，若磁化取向係反平行，則係第二值(R+△R)。SDT接面磁化取向，以及其邏輯狀態可藉感測其電阻狀態來讀取。

SDT接面可由靜電放電，搬運不當(製造時)及如電路不正常之電壓突波等加以短路。每一短路之SDT接面會造成一位元錯誤。

在電阻性交叉點陣列中，並不使用切換或二體使記憶體細胞相互隔離，一短路SDT接面可使同一行與列之記憶體細胞成為不能使用。故一單一短路SDT接面亦能造成整行與整列的錯誤。

當自MRAM讀回資料時，可利用錯誤碼校正，自不能使用之SDT接面的整列與整行中回復資料。但在一單一行或列中校正一千或以上的位元時，從時間與計算觀點看皆相當耗費成本。另外，一MRAM裝置可能有一個以上的短

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

路SDT接面。

若MRAM裝置含有太多不能使用的SDT接面，此裝置在製造階段即遭拒絕。故靜電放電，搬運不當及電路不正常會減少製造產量。而且最好能防止靜電放電造成的損壞，但防止靜電損壞成本高且施行困難。

根據本發明特點之一，一磁性隧道接面包括有部分處理(即低氧化，低氮化)底材之隧道障壁。部分處理底材實質增加接面之崩潰電壓。本發明其他特點與優點可由以下參考附圖之詳細說明，舉例敘述本發明原理之方式而瞭解。

第1圖係說明一SDT接面包括具有部分處理底材之隧道障壁；

第2圖係具有氧化鋁隧道障壁SDT接面之崩潰電壓與氧化時間對比的圖示；

第3圖係說明一MRAM裝置，包括SDT接面在其隧道接面中具有部分處理底材；及

第4圖係說明一製造MRAM裝置之方法。

在供說明目的之圖示中，本發明係實施於一SDT接面中，包括具有部分處理底材之隧道障壁。部分處理底材實質增加崩潰電壓，並減少因靜電放電，搬運不當與電路不正常造成損害的機會。較高的崩潰電壓可改善SDT接面的強度，改善製造產量及減少校正位元錯誤的成本。這些SDT接面可以使用於MRAM裝置中。

參考第1圖，一SDT接面30包括一多層堆疊之材料。

此堆疊包括第一與第二種子層32與34。第一種子層32

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

允許第二層34以一(111)結晶構造取向生長。第二種子層34為接續之反鐵磁("AF")束縛層36建立一(111)結晶構造取向。AF束縛層36提供一大交換場，使一接續之束縛(底部)鐵磁("FM")層38的磁化保持於一方向(direction)。在束縛FM層38上方係一具有部分處理底材之絕緣隧道障壁40。選用介面層42與44可將絕緣隧道障壁40夾在中間。在絕緣隧道障壁40上方係一感知(頂部)FM層46，具有在施加磁場中自由轉動的磁化。一保護蓋層48係置於感知FM層46上方。

束縛層38有一磁化取向一平面，但係受到固定，使其無法在施加磁場中隨意轉動。感知層46有一磁化取向並未受束縛。其磁化可沿一軸線("容易"軸)取向兩方向中之一。若束縛及感知層38與46之磁化係在相同方向，其取向係平行。若束縛磁化及感知層38與46係在相反方向，其取向係反平行。

絕緣隧道障壁40允許在束縛與感知層38與46之間發生量子機械隧道。此隧道現象係電子旋轉相依，使SDT接面30之電阻成為自由與束縛層38與48磁化相關取向的函數。

例如，若束縛及感知層38與46之磁化取係平行，SDT接面30之電阻係一第一值(R)。若其磁化取向係自平行改變至反平行，則記憶體細胞12電阻係增加至一第二值(R+△R)。一典型第一值®約為一Mega歐姆。

第一種子層32與保護蓋層48可以由鈦(Ti)或鉭(Ta)材製成，及第二種子層34可由鎳鐵(NiFe)材製成。AF束縛層36可由錳鐵(MnFe)，鎳錳(NiMn)，鎳氧化物(NiO)或銥錳

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（4）

(IrMn)材製成。FM層38與46可由NiFe，或鐵氧化物(Fe_3O_4)，或鉻氧化物(CrO_2)或鈷合金(即CoFe)，或其他鐵磁或肥粒磁材料製成。其他材料可用來作為介面層42與42，但高旋轉極化材料為較佳。

絕緣隧道障壁40之底材可以，例如，用鋁，硼，鈴，錳，矽，鉭或鎢等材料。在處理時，這些底材係氧化或氮化成鋁氧化物(Al_2O_3)，鋁氮化物(AIN)，硼氮化物(BN)，鉻氧化物(HfO_2)，錳氧化物(MgO)，矽二氧化物(SiO_2)，矽氮化物(SiN_4)，鉭氧化物(Ta_2O_5)，及鎢氧化物(WO_2，WO_3)。

絕緣隧道障壁40可以由低處理底材中形成。例如，底材積層後再曝露於氮或氧中，以遠距電漿(低能量氧或氮離子)，以完全電漿，或以一離子束方法加以處理。

若以低處理形成，隧道障壁40可由上而下氧化或氮化。因此，部分處理底材之密度，在隧道障壁40底表面係實質高於其頂表面。

在替代方式中，絕緣隧道障壁40可由積層一層未處理底材及積層完全處理底材於未處理底材上而形成。例如，一薄層(1-2埃)未處理底材係先濺鍍後再將一氧化或氮化物以射頻積層在上面。

絕緣隧道障壁40在軌跡上有未處理底材，可充分實質增加SDT接面30之崩潰電壓並減少其隧道磁電阻(TMR)，其中TMR=△R/R。若隧道障壁40係由低處理形成，所需之未處理底材數量可由SDT接面30之TMR表示及其可由減少氧化或氮化時間來控制。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

例如，具有完全處理隧道障壁之SDT接面可以有約30%至40%之TMR及一在1.75伏與2伏之間的崩潰電壓。相對的，SDT接面30可以有一TMR在13%與20%之間，但崩潰電壓可在4伏與4.5伏之間。

這些差異可由以下三個製造樣品說明。一SDT接面第一樣品之製造係積層一5奈米鉭之第一種子層於一乾淨晶圓上，接著積層一6奈米鎳鐵第二種子層，一10奈米錳鐵AF層，一4奈米鎳鐵底部FM層，一氧化鋁絕緣隧道障壁，一4奈米鎳鐵頂部FM層，及一5奈米鉭保護蓋層。絕緣隧道障壁之形成係由積層一1.25奈米鋁層，接著以電漿氧化物積層150秒。接面尺寸係5微米x10微米。第一樣品有一崩潰電壓約2伏及一TMR約30%。

第二樣品係以第一樣品相同方式準備，除了其隧道障壁係氧化120秒不同外。第二樣品有一崩潰電壓約4伏及一TMR約20%。

第三樣品係以第一樣品相同方式準備，除了其隧道障壁係氧化90秒不同外。第三樣品有一崩潰電壓約4.5伏及一TMR約13%。

第2圖係具有一鋁氧化物隧道障壁之SDT接面的崩潰電壓與氧化時間的對比圖示。圓圈表示平均，及線條表示標準差。確實所需的氧化時間端視用來生產樣品之實驗設備，電漿電壓，氣體壓力，電漿與晶圓多近等而定。

現參考第3圖，說明一MRAM裝置8包括一SDT接面記憶體細胞12陣列。記憶體細胞12係配置成列與行，其各列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

沿一x方向延伸及各行沿一y方向延伸。僅顯示一小數量記憶體細胞12以方便說明裝置8。實務上可使用任何尺寸之陣列。

字元線14軌跡沿x方向延伸於記憶體細胞陣列10一側之平面上。位元線16軌跡沿y方向延伸於記憶體細胞陣列10相對側之平面上。陣列10每一列可以有一字元線14及陣列10每一行可以有一位元線16。每一記憶體細胞12係放置在字元線14與位元線16的交叉點上。

MRAM裝置8亦包括一列解碼器18，在讀取及寫入動作時，用以選擇字元線14。一字元線14可在讀取動作時將該字元線接地而加以選擇。

MRAM裝置8每一群(即16)行亦包括一方向控制電路20及一讀取/寫入電路22。讀取/寫入22電路在讀取動作時，感知所選擇記憶體細胞12之電阻，並在寫入動作時取向所選擇記憶體細胞12之磁化。每一讀取/寫入電路係經由一記錄器24耦合至一裝置I/O墊26。

MRAM裝置8可使用二極體或切換阻止在讀取動作時滲入之電流路徑。在替代方式中，MRAM裝置8可經由一同電位阻止滲入電流路徑的方法，揭示於本授權人2000年3月3日申請之美國專利序號09/564308。

MRAM裝置8可包括多重陣列位階。其位階可堆疊於一基材上並以絕緣材料(未圖示)，如矽二氧他物加以分離。讀取/寫入電路可製造於基材上。讀取/寫入電路可包括額外的多工器，用以選擇讀取自及寫入至其位階。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（7）

第4圖顯示一製造MRAM裝置8之方法。讀取/寫入電路，列解碼器及其他電路係製造於一基材上(方塊102)。然後將導體材料積層於基材上並形成位元線(方塊104)之式樣。位元線16(及接續之之字元線14)可以由以下之傳導性材料製造，如銅，或金或其合金。然後可將一介電質積層於位元線之間。第一種子層，第二種子層及AF層係依序積層(方塊106)。底部FM層係積層於AF層之上(方塊108)。

然後積層一選用底部介面層，接著積層具有部分處理底材之絕緣隧道障壁(方塊110)。

然後積層頂部FM層(方塊112)。保護蓋層係積層於上方FM層(方塊114)。

然後將合成之堆疊式樣化成細胞(方塊118)。式樣化之施行係積層一層光阻於保護蓋層之上，利用光蝕刻法將光阻式樣化，並將未用光阻保護之材料除掉。亦可磨製通道以便與下層電路建立連接。

然後在式樣化之構造上形成一薄介電層(方塊118)。介電質係填入式樣化構造間之空間，以防止磁性膜邊緣之間的短路。亦可防止導體短路。然後在介電質上形成字元線連接用之開口。然後將導體材料積層於介電質上並將其式樣化成字元線(方塊120)。

然後即可將合成之陣列平面化。在平面化陣列上可形成一新的陣列。

102至120這些方塊說明一單一MRAM裝置的製造。實務上，許多MRAM裝置係同時製造在一單一晶圓上。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（8）

雖然犧牲信號，SDT接合卻係更強化。更強的SDT接面可以避開靜電放電，搬運不當及電路不正常。因此，製造產量獲得改善且校正短路位元的成本亦降低。

SDT接面在高電壓應用上特別有用。高電壓應用可包括平面射極裝置，高電流裝置，及裝置材料具有在費米(Fermi)能量以上之高極化能量(這些高電壓裝置可工作於對應旋轉極化峰值之電壓)。

雖然第1圖特定組態之SDT接面已在上面說明，但並非限制SDT接面之組態方式。其他組態亦可使用。例如，一硬磁或一合成反鐵磁可用來取代AF束縛層。AF束縛層可置於接近堆疊頂部，取代置於堆疊底部，而頂部FM層成為束縛層及底部FM層成為感知層。

隧道障壁底材並不限於上述材料。其他介電及某些半導體材料亦可用來作緣隧道障壁。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A7
B7

五、發明說明（9）

元件標號對照

8…裝置

10…記憶體細胞陣列

12…記憶體細胞

14…字元線

16…位元線

18…解碼器

20…方向控制電路

22…讀取/寫入電路

24…記錄器24

26…I/O墊

30…接面

32…第一種子層

34…第二種子層

36…束縛層

38…鐵磁層

40…隧道障壁

42，44…介面層

46…感知層

48…保護蓋層

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　用以改善磁性隧道接面內之崩潰電壓的方法）

一種磁性隧道接面(30)包括具有部分處理(即低氧化)底材之隧道壁障(40)。此種磁性隧道接面(30)可作為磁性隨機存取記憶體(“MRAM”)使用。

英文發明摘要（發明之名稱：　METHOD FOR IMPROVING BREAKDOWN VOLTAGE IN) MAGNETIC TUNNEL JUNCTIONS

A magnetic tunnel junction (30) includes a tunnel barrier (40) having partially processed (e.g., underoxidized) base material. Such magnetic tunnel junctions (30) may be used in Magnetic Random Access Memory ("MRAM") devices (8).

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種磁性隨機存取記憶體裝置(8)包含一記憶體細胞(12)陣列，包括磁性隧道接面(30)，磁性隧道接面(30)包括具有部分處理底材之隧道障壁(40)。
2. 根據申請專利範圍第1項之裝置，其中部分處理底材係低氧化。
3. 根據申請專利範圍第1項之裝置，其中部分處理底材係低氮化。
4. 根據申請專利範圍第1項之裝置，其中隧道障壁(40)第一表面底材之密度係實質低於隧道障壁(40)第二表面底材之密度。
5. 根據申請專利範圍第1項之裝置，其中部分處理底材所增加之崩潰電壓，至少為具有完全處理底材接面之崩潰電壓的兩倍。
6. 根據申請專利範圍第1項之裝置，其中磁性隧道接面(30)係旋轉相依隧道接面。

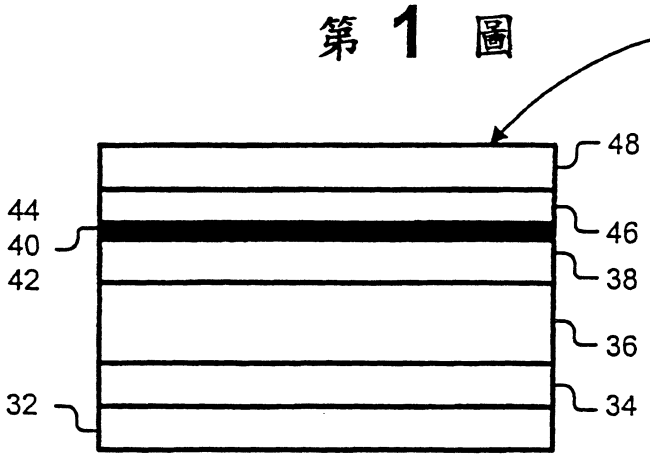
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

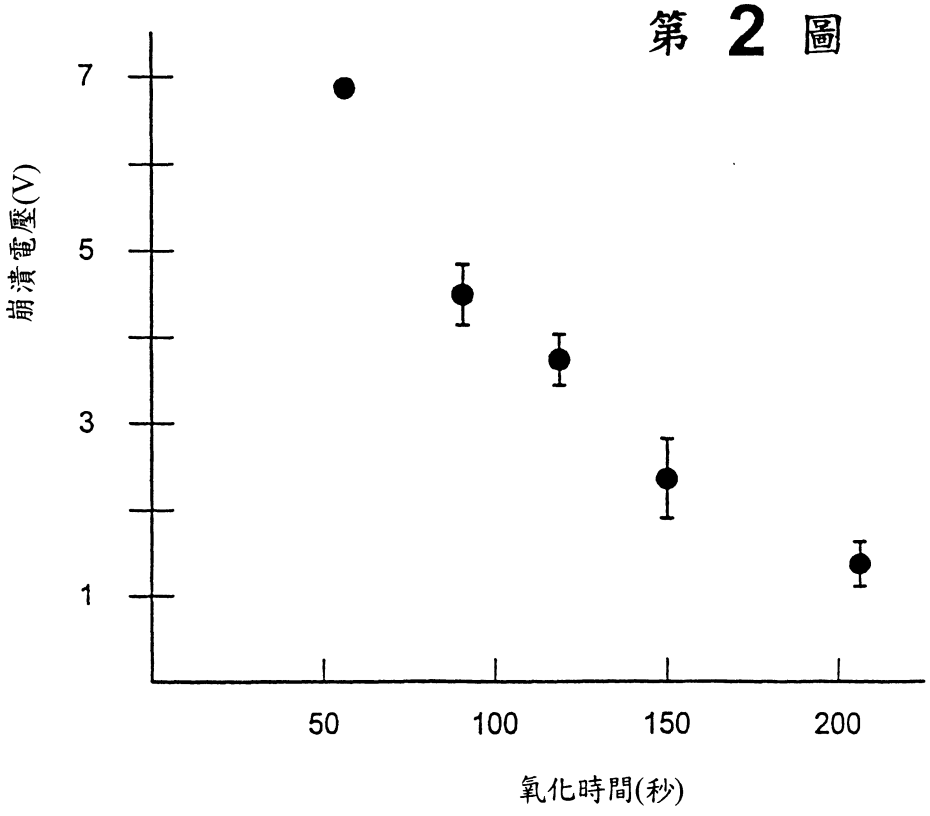
双面影印

P0115816

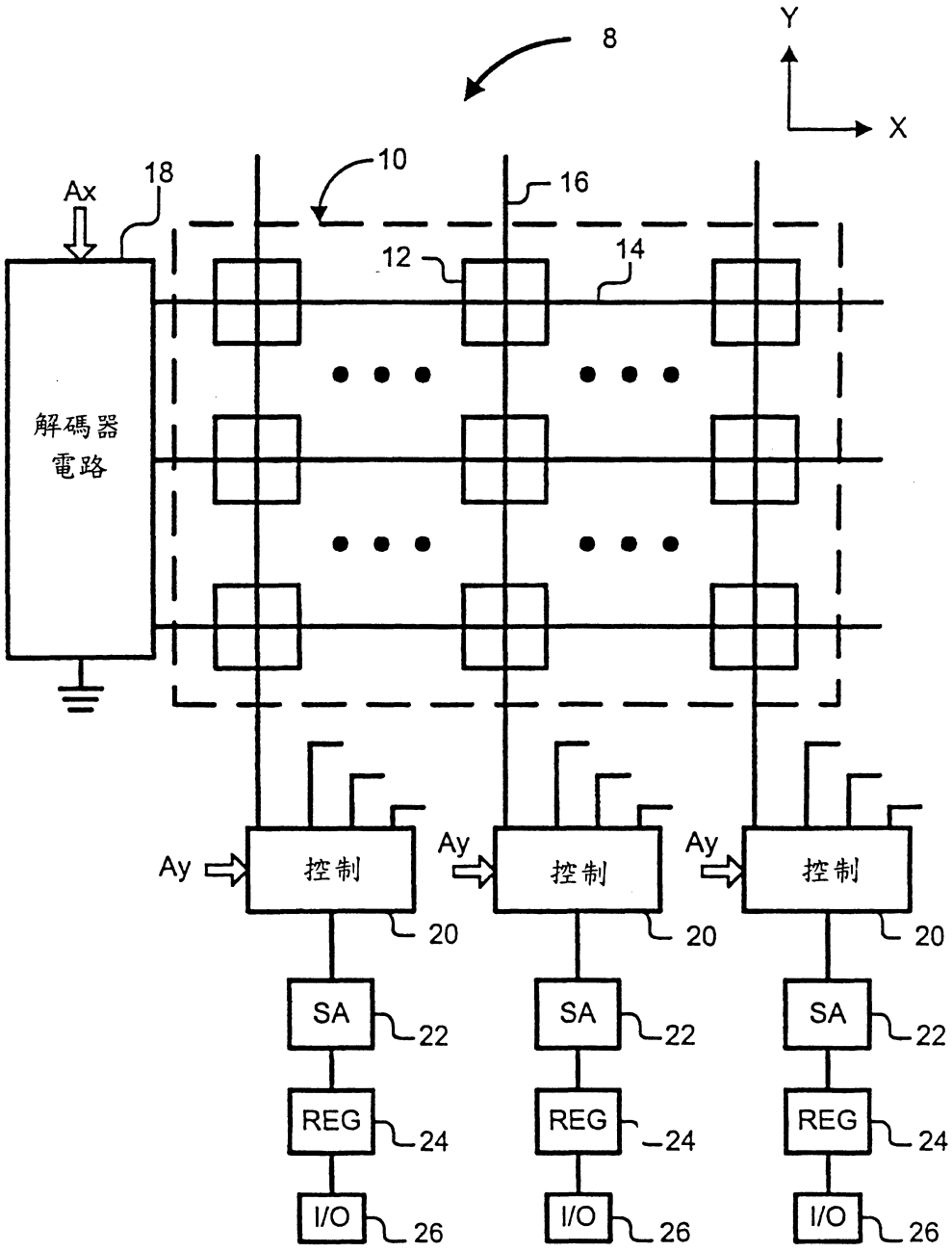
第 1 圖



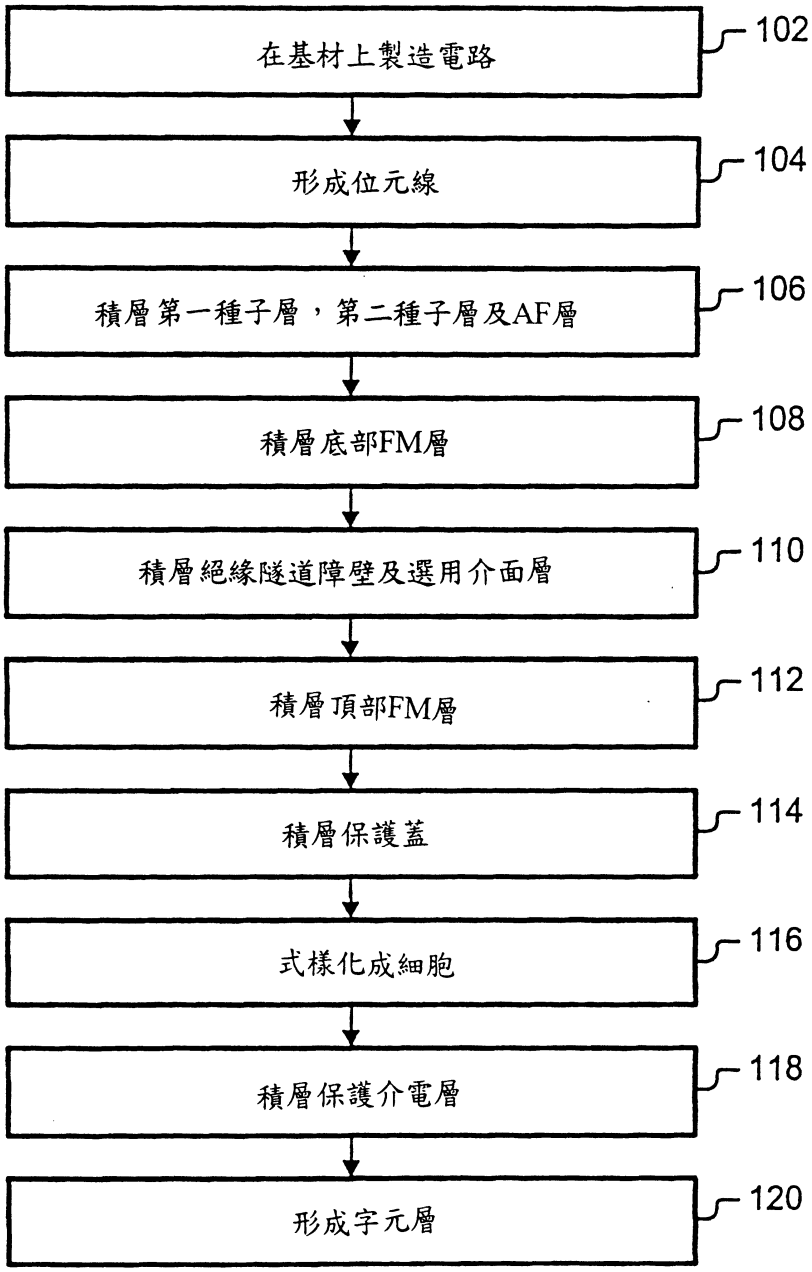
第 2 圖



第 3 圖



第 4 圖


在基材上製造電路
102
形成位元線
104
積層第一種子層，第二種子層及AF層
106
積層底部FM層
108
積層絕緣隧道障壁及選用介面層
110
積層頂部FM層
112
積層保護蓋
114
式樣化成細胞
116
積層保護介電層
118
形成字元層
120