

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年4月20日(2006.4.20)

【公開番号】特開2001-68669(P2001-68669A)

【公開日】平成13年3月16日(2001.3.16)

【出願番号】特願平11-242754

【国際特許分類】

H 01 L 21/336 (2006.01)
 H 01 L 29/78 (2006.01)
 H 01 L 21/265 (2006.01)
 H 01 L 29/786 (2006.01)

【F I】

H 01 L 29/78 301 L
 H 01 L 21/265 604 M
 H 01 L 29/78 616 V

【手続補正書】

【提出日】平成18年3月8日(2006.3.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

ゲート電極は、少なくともポリシリコン層から構成されればよい。即ち、ゲート電極は、ポリシリコン層1層から構成されていてもよいし、ポリシリコン層とシリサイド層の2層構造(ポリサイド構造)であってもよいし、ポリシリコン層とタンゲステン等の金属層の2層構造であってもよい。そして、これらの場合、工程(C)は、ゲート電極を構成するポリシリコン層の側壁を酸化する工程を含むことが好ましい。このようにポリシリコン層の側壁を酸化することによって、ゲート電極側壁近傍におけるゲート絶縁膜の厚さを厚くすることができる結果、ゲート電極の縁部とソース/ドレイン領域との間の重なり容量の低減を図ることができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

こうして、半導体層(実施の形態1においてはシリコン半導体基板10)の表面に形成されたゲート絶縁膜20、及びゲート絶縁膜20上に形成されたゲート電極21、ゲート電極21の直下の半導体層(シリコン半導体基板10が相当する)に形成されたチャネル形成領域24、チャネル形成領域24を挟むように、半導体層(シリコン半導体基板10が相当する)に形成されたソース/ドレイン領域23、並びに、各ソース/ドレイン領域23とチャネル形成領域24との間に位置する半導体層(シリコン半導体基板10が相当する)の領域に形成され、各ソース/ドレイン領域23から延在するエクステンション領域25から構成された半導体装置を得ることができる。尚、ソース/ドレイン領域23の不純物濃度は、およそ $3 \times 10^{20} / \text{cm}^3$ であり、エクステンション領域25の不純物濃度は、nチャネルMOS型半導体装置の場合、およそ $1 \times 10^{20} / \text{cm}^3$ 、pチャネルMOS型半導体装置の場合、およそ $3 \times 10^{19} / \text{cm}^3$ である。実施の形態1にて製

造された半導体装置においては、ゲート電極の側壁にサイドウォールが存在しない。従って、ゲート電極の縁部とソース／ドレイン領域23との間のフリンジング容量の低減を図ることができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

具体的には、先ず、 SiO_2 から成る第2のサイドウォール22Bをフッ酸系水溶液に浸漬することによって、第2のサイドウォール22Bを除去する（図6の（A）参照）。その後、チャネリング防止のため、シリコン半導体基板10の表面に、乾式酸化法にて厚さ4nm程度のシリコン酸化膜（図示せず）を形成することが望ましい。そして、少なくともエクステンション領域を形成すべき半導体層の領域（実施の形態3においては、ソース／ドレイン領域23、及び第1のエクステンション領域25Aを形成すべき半導体層の領域）にイオン注入法にて不純物を導入する。例えば、CMOSを製造する場合には、pチャネル型半導体装置を形成すべきシリコン半導体基板10の領域をレジスト材料（図示せず）で被覆し、n型不純物であるヒ素（As）をシリコン半導体基板10にイオン注入する（図6の（B）参照）。次いで、レジスト材料を除去し、nチャネル型半導体装置を形成すべきシリコン半導体基板10の領域をレジスト材料（図示せず）で被覆し、p型不純物であるホウ素（B）をシリコン半導体基板10にイオン注入する。イオン注入の条件を、以下の表12に例示する。その後、導入された不純物の活性化熱処理をRTA法にて行う。活性化熱処理の条件を、以下の表13に例示する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

次いで、シリコン半導体基板10の表面に形成したシリコン酸化膜をフッ酸系水溶液にて除去した後、第1のサイドウォール22Aを等方性のプラズマエッティング法にて除去する（図7の（A）参照）。そして、再び、チャネリング防止のため、シリコン半導体基板10の表面に、乾式酸化法にて厚さ4nm程度のシリコン酸化膜（図示せず）を形成することが望ましい。その後、少なくともエクステンション領域を形成すべき半導体層の領域（実施の形態3においては、ソース／ドレイン領域23、第1のエクステンション領域25A、及び第2のエクステンション領域25Bを形成すべき半導体層の領域）にイオン注入法にて不純物を導入する（図7の（B）参照）。例えば、CMOSを製造する場合には、上述と同様とすればよい。イオン注入の条件を、以下の表14に例示する。その後、導入された不純物の活性化熱処理をRTA法にて行う。活性化熱処理の条件を、以下の表15に例示する。