

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 18 年 4 月 20 日 (2006.4.20)

【公開番号】特開 2001-68669 (P2001-68669A)

【公開日】平成 13 年 3 月 16 日 (2001.3.16)

【出願番号】特願 平 11-242754

【国際特許分類】

**H 0 1 L 21/336 (2006.01)**

**H 0 1 L 29/78 (2006.01)**

**H 0 1 L 21/265 (2006.01)**

**H 0 1 L 29/786 (2006.01)**

【F I】

H 0 1 L 29/78 3 0 1 L

H 0 1 L 21/265 6 0 4 M

H 0 1 L 29/78 6 1 6 V

【手続補正書】

【提出日】平成 18 年 3 月 8 日 (2006.3.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正の内容】

【0 0 1 7】

ゲート電極は、少なくともポリシリコン層から構成されていればよい。即ち、ゲート電極は、ポリシリコン層 1 層から構成されていてもよいし、ポリシリコン層とシリサイド層の 2 層構造（ポリサイド構造）であってもよいし、ポリシリコン層とタングステン等の金属層の 2 層構造であってもよい。そして、これらの場合、工程（C）は、ゲート電極を構成するポリシリコン層の側壁を酸化する工程を含むことが好ましい。このようにポリシリコン層の側壁を酸化することによって、ゲート電極側壁近傍におけるゲート絶縁膜の厚さを厚くすることができる結果、ゲート電極の縁部とソース/ドレイン領域との間の重なり容量の低減を図ることができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 1

【補正方法】変更

【補正の内容】

【0 0 4 1】

こうして、半導体層（実施の形態 1 においてはシリコン半導体基板 10）の表面に形成されたゲート絶縁膜 20、及びゲート絶縁膜 20 上に形成されたゲート電極 21、ゲート電極 21 の直下の半導体層（シリコン半導体基板 10 が相当する）に形成されたチャネル形成領域 24、チャネル形成領域 24 を挟むように、半導体層（シリコン半導体基板 10 が相当する）に形成されたソース/ドレイン領域 23、並びに、各ソース/ドレイン領域 23 とチャネル形成領域 24 との間に位置する半導体層（シリコン半導体基板 10 が相当する）の領域に形成され、各ソース/ドレイン領域 23 から延在するエクステンション領域 25 から構成された半導体装置を得ることができる。尚、ソース/ドレイン領域 23 の不純物濃度は、おおよそ  $3 \times 10^{20} / \text{cm}^3$  であり、エクステンション領域 25 の不純物濃度は、n チャネル MOS 型半導体装置の場合、おおよそ  $1 \times 10^{20} / \text{cm}^3$ 、p チャネル MOS 型半導体装置の場合、おおよそ  $3 \times 10^{19} / \text{cm}^3$  である。実施の形態 1 にて製

造された半導体装置においては、ゲート電極の側壁にサイドウォールが存在しない。従って、ゲート電極の縁部とソース/ドレイン領域 2 3 との間のフリンジング容量の低減を図ることができる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 8

【補正方法】変更

【補正の内容】

【0 0 5 8】

具体的には、先ず、 $\text{SiO}_2$  から成る第 2 のサイドウォール 2 2 B をフッ酸系水溶液に浸漬することによって、第 2 のサイドウォール 2 2 B を除去する（図 6 の（A）参照）。その後、チャネリング防止のため、シリコン半導体基板 1 0 の表面に、乾式酸化法にて厚さ 4 nm 程度のシリコン酸化膜（図示せず）を形成することが望ましい。そして、少なくともエクステンション領域を形成すべき半導体層の領域（実施の形態 3 においては、ソース/ドレイン領域 2 3、及び第 1 のエクステンション領域 2 5 A を形成すべき半導体層の領域）にイオン注入法にて不純物を導入する。例えば、CMOS を製造する場合には、p チャネル型半導体装置を形成すべきシリコン半導体基板 1 0 の領域をレジスト材料（図示せず）で被覆し、n 型不純物であるヒ素（As）をシリコン半導体基板 1 0 にイオン注入する（図 6 の（B）参照）。次いで、レジスト材料を除去し、n チャネル型半導体装置を形成すべきシリコン半導体基板 1 0 の領域をレジスト材料（図示せず）で被覆し、p 型不純物であるホウ素（B）をシリコン半導体基板 1 0 にイオン注入する。イオン注入の条件を、以下の表 1 2 に例示する。その後、導入された不純物の活性化熱処理を RTA 法にて行う。活性化熱処理の条件を、以下の表 1 3 に例示する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 1

【補正方法】変更

【補正の内容】

【0 0 6 1】

次いで、シリコン半導体基板 1 0 の表面に形成したシリコン酸化膜をフッ酸系水溶液にて除去した後、第 1 のサイドウォール 2 2 A を等方性のプラズマエッチング法にて除去する（図 7 の（A）参照）。そして、再び、チャネリング防止のため、シリコン半導体基板 1 0 の表面に、乾式酸化法にて厚さ 4 nm 程度のシリコン酸化膜（図示せず）を形成することが望ましい。その後、少なくともエクステンション領域を形成すべき半導体層の領域（実施の形態 3 においては、ソース/ドレイン領域 2 3、第 1 のエクステンション領域 2 5 A、及び第 2 のエクステンション領域 2 5 B を形成すべき半導体層の領域）にイオン注入法にて不純物を導入する（図 7 の（B）参照）。例えば、CMOS を製造する場合には、上述と同様とすればよい。イオン注入の条件を、以下の表 1 4 に例示する。その後、導入された不純物の活性化熱処理を RTA 法にて行う。活性化熱処理の条件を、以下の表 1 5 に例示する。