

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 3 月 22 日 (2007.3.22)

【公開番号】特開 2001-284587 (P2001-284587A)

【公開日】平成 13 年 10 月 12 日 (2001.10.12)

【出願番号】特願 2000-89736 (P2000-89736)

【国際特許分類】

**H 0 1 L 29/78 (2006.01)**

**H 0 1 L 29/739 (2006.01)**

**H 0 1 L 21/336 (2006.01)**

【F I】

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 8 F

【手続補正書】

【提出日】平成 19 年 2 月 5 日 (2007.2.5)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 第 1 の半導体領域と、

この第 1 の半導体領域の一主面に形成され、前記第 1 の半導体領域よりも不純物濃度が低い第 1 導電型の第 2 の半導体領域と、

この第 2 の半導体領域上に形成された第 2 導電型の第 3 の半導体領域と、

この第 3 の半導体領域の表面領域に形成され、前記第 2 の半導体領域よりも不純物濃度が高い第 1 導電型の第 4 の半導体領域と、

前記第 4 および第 3 の半導体領域を貫通し、前記第 2 の半導体領域に達する深さを有して形成された複数のトレンチゲート用溝部と、

それぞれの、前記トレンチゲート用溝部の内面に沿って形成されたゲート絶縁膜と、

このゲート絶縁膜を介して、前記トレンチゲート用溝部内に低融点金属を埋め込んでなるゲート電極と、

前記ゲート電極間に対応する、前記第 4 の半導体領域を貫通し、前記第 3 の半導体領域に達する深さを有して形成されたトレンチコンタクト用溝部と、

このトレンチコンタクト用溝部内に埋め込まれたコンタクト電極と

を具備し、

前記ゲート絶縁膜と前記ゲート電極との間には、少なくともダミー電極材料が設けられてなることを特徴とする半導体装置。

【請求項 2】 第 1 の半導体領域と、

前記第 1 の半導体領域の一主面に形成され、前記第 1 の半導体領域よりも不純物濃度が低い第 1 導電型の第 2 の半導体領域と、

前記第 2 の半導体領域上に形成された第 2 導電型の第 3 の半導体領域と、

前記第 3 の半導体領域の表面領域に形成され、前記第 2 の半導体領域よりも不純物濃度が高い第 1 導電型の第 4 の半導体領域と、

前記第 4 の半導体領域に隣接し、前記第 3 の半導体領域を貫通して前記第 2 の半導体領域に達する深さを有して並列に複数形成された第 1 の溝部と、

前記第 1 の溝部の内面に沿って形成された第 1 の絶縁膜と、

前記第 1 の溝部の内面に沿って形成された前記第 1 の絶縁膜を介して、前記第 1 の溝部に埋め込まれた半導体電極層と、

前記半導体電極層の上部および前記第 3 の半導体領域の上部を覆った第 2 の絶縁膜と、

前記半導体電極層の上部を覆った前記第 2 の絶縁膜を貫通し、前記半導体電極層の内部に達する深さを有して前記第 1 の溝部に沿ってそれぞれ形成された第 2 の溝部と、

前記第 3 の半導体領域の上部を覆った前記第 2 の絶縁膜を貫通し、前記第 3 の半導体領域の内部に達する深さを有して前記第 2 の溝部間にそれぞれ形成された第 3 の溝部と、

前記第 2 の溝部内および前記第 3 の溝部内に埋め込まれた金属層と

を具備してなることを特徴とする半導体装置。

【請求項 3】 前記半導体電極層はポリシリコン層であり、前記金属層はタングステン層であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記金属層は、前記第 2 の溝部内および前記第 3 の溝部内にバリアメタル層を介して形成されていることを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】 第 1 の半導体領域の一主面に、前記第 1 の半導体領域よりも不純物濃度が低い第 1 導電型の第 2 の半導体領域が形成され、この第 2 の半導体領域上に第 2 導電型の第 3 の半導体領域が形成され、この第 3 の半導体領域の表面領域に、前記第 2 の半導体領域よりも不純物濃度が高い第 1 導電型の第 4 の半導体領域が形成されてなる半導体層に対し、

前記第 4 の半導体領域と接するように前記第 3 の半導体領域を貫通し、前記第 2 の半導体領域に達する深さを有して並列に複数の第 1 の溝部を形成する工程と、

前記第 1 の溝部の内面に沿って第 1 の絶縁膜を形成する工程と、

前記第 1 の溝部の内面に沿って形成された前記第 1 の絶縁膜を介して、前記第 1 の溝部内に半導体電極材料を埋め込む工程と、

前記半導体電極材料が埋め込まれた前記第 1 の溝部の上部および前記第 3 の半導体領域の上部に第 2 の絶縁膜を形成する工程と、

前記半導体電極材料が埋め込まれた前記第 1 の溝部の上部に形成された前記第 2 の絶縁膜を貫通し、前記半導体電極材料に達する深さを有して前記第 1 の溝部に沿ってそれぞれ第 2 の溝部を形成するとともに、前記第 3 の半導体領域の上部に形成された前記第 2 の絶縁膜を貫通し、前記第 3 の半導体領域の内部に達する深さを有して前記第 2 の溝部間にそれぞれ第 3 の溝部を形成する工程と、

前記第 2 の溝部内および前記第 3 の溝部内に金属材料を埋め込む工程と

を備えてなることを特徴とする半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

【課題を解決するための手段】

本願発明の一態様によれば、第 1 の半導体領域と、この第 1 の半導体領域の一主面に形成され、前記第 1 の半導体領域よりも不純物濃度が低い第 1 導電型の第 2 の半導体領域と、この第 2 の半導体領域上に形成された第 2 導電型の第 3 の半導体領域と、この第 3 の半導体領域の表面領域に形成され、前記第 2 の半導体領域よりも不純物濃度が高い第 1 導電型の第 4 の半導体領域と、前記第 4 および第 3 の半導体領域を貫通し、前記第 2 の半導体領域に達する深さを有して形成された複数のトレンチゲート用溝部と、それぞれの、前記トレンチゲート用溝部の内面に沿って形成されたゲート絶縁膜と、このゲート絶縁膜を介して、前記トレンチゲート用溝部内に低融点金属を埋め込んでなるゲート電極と、前記ゲート電極間に対応する、前記第 4 の半導体領域を貫通し、前記第 3 の半導体領域に達する深さを有して形成されたトレンチコンタクト用溝部と、このトレンチコンタクト用溝部内

に埋め込まれたコンタクト電極とを具備し、前記ゲート絶縁膜と前記ゲート電極との間には、少なくともダミー電極材料が設けられてなることを特徴とする半導体装置が提供される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

また、本願発明の一態様によれば、第1の半導体領域と、前記第1の半導体領域の一主面に形成され、前記第1の半導体領域よりも不純物濃度が低い第1導電型の第2の半導体領域と、前記第2の半導体領域上に形成された第2導電型の第3の半導体領域と、前記第3の半導体領域の表面領域に形成され、前記第2の半導体領域よりも不純物濃度が高い第1導電型の第4の半導体領域と、前記第4の半導体領域に隣接し、前記第3の半導体領域を貫通して前記第2の半導体領域に達する深さを有して並列に複数形成された第1の溝部と、前記第1の溝部の内面に沿って形成された第1の絶縁膜と、前記第1の溝部の内面に沿って形成された前記第1の絶縁膜を介して、前記第1の溝部に埋め込まれた半導体電極層と、前記半導体電極層の上部および前記第3の半導体領域の上部を覆った第2の絶縁膜と、前記半導体電極層の上部を覆った前記第2の絶縁膜を貫通し、前記半導体電極層の内部に達する深さを有して前記第1の溝部に沿ってそれぞれ形成された第2の溝部と、前記第3の半導体領域の上部を覆った前記第2の絶縁膜を貫通し、前記第3の半導体領域の内部に達する深さを有して前記第2の溝部間にそれぞれ形成された第3の溝部と、前記第2の溝部内および前記第3の溝部内に埋め込まれた金属層とを具備してなることを特徴とする半導体装置が提供される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

さらに、本願発明の一態様によれば、第1の半導体領域の一主面に、前記第1の半導体領域よりも不純物濃度が低い第1導電型の第2の半導体領域が形成され、この第2の半導体領域上に第2導電型の第3の半導体領域が形成され、この第3の半導体領域の表面領域に、前記第2の半導体領域よりも不純物濃度が高い第1導電型の第4の半導体領域が形成されてなる半導体層に対し、前記第4の半導体領域と接するように前記第3の半導体領域を貫通し、前記第2の半導体領域に達する深さを有して並列に複数の第1の溝部を形成する工程と、前記第1の溝部の内面に沿って第1の絶縁膜を形成する工程と、前記第1の溝部の内面に沿って形成された前記第1の絶縁膜を介して、前記第1の溝部に半導体電極材料を埋め込む工程と、前記半導体電極材料が埋め込まれた前記第1の溝部の上部および前記第3の半導体領域の上部に第2の絶縁膜を形成する工程と、前記半導体電極材料が埋め込まれた前記第1の溝部の上部に形成された前記第2の絶縁膜を貫通し、前記半導体電極材料に達する深さを有して前記第1の溝部に沿ってそれぞれ第2の溝部を形成するとともに、前記第3の半導体領域の上部に形成された前記第2の絶縁膜を貫通し、前記第3の半導体領域の内部に達する深さを有して前記第2の溝部間にそれぞれ第3の溝部を形成する工程と、前記第2の溝部内および前記第3の溝部内に金属材料を埋め込む工程とを備えてなることを特徴とする半導体装置の製造方法が提供される。