



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년05월24일  
(11) 등록번호 10-1036722  
(24) 등록일자 2011년05월17일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2005-7019569  
(22) 출원일자(국제출원일자) 2004년04월16일  
심사청구일자 2009년04월15일  
(85) 번역문제출일자 2005년10월14일  
(65) 공개번호 10-2006-0009844  
(43) 공개일자 2006년02월01일  
(86) 국제출원번호 PCT/US2004/011864  
(87) 국제공개번호 WO 2004/095459  
국제공개일자 2004년11월04일  
(30) 우선권주장  
10/417,851 2003년04월16일 미국(US)  
(56) 선행기술조사문헌  
JP2002260378 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에버스핀 테크놀로지스, 인크.

미국 아리조나 85224, 챌들러, 엠디:400, 노스 엘  
마 스쿨 로드 1300

(72) 발명자

그린케위츠, 그레고리

미국 85233 아리조나주 길버트 웨스트 페닌슬라  
드라이브 1142

드헤레라, 마크

미국85281 아리조나주 탬프 이스트 레어드 스트리  
트 2301

(뒷면에 계속)

(74) 대리인

양영준, 장수길, 정은진, 백만기

전체 청구항 수 : 총 27 항

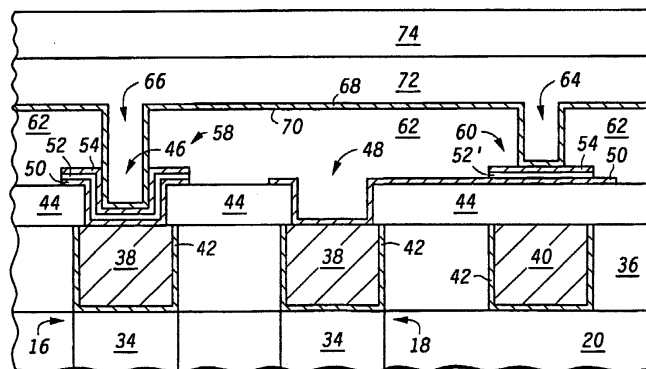
심사관 : 김기환

(54) 마그네토레지스티브 RAM 장치 및 제조 방법

(57) 요약

MRAM 장치 구조(10)를 제조하는 방법은 제1 트랜지스터(14) 및 제2 트랜지스터(14)가 형성되는 기판(12)을 제공 하는 단계를 포함한다. 동작 메모리 소자 장치(60)는 제1 트랜지스터(14)와 전기 접촉하여 형성된다. 가장 메모리 소자 장치(58)의 일부 이상은 제2 트랜지스터(14)와 전기 접촉하여 형성된다. 동작 메모리 소자 장치 및 가장 메모리 소자 장치의 일부 이상의 위에 제1 유전체층(62)이 피착된다. 가장 메모리 소자 장치(58)의 일부 이상으로의 제1 비아(66) 및 동작 메모리 소자 장치(60)로의 제2 비아(64)를 동시에 형성하도록 제1 유전체층이 에칭된다. 도전성 상호접속층(68)이 가장 메모리 소자 장치(58)의 일부로부터 동작 메모리 소자 장치(64)까지 연장하도록 도전성 상호접속층(68)이 피착된다.

대표도 - 도6



(72) 발명자

더램, 마크, 에이.

미국 85226 아리조나주 찬들러 웨스트 오키드 레인  
4076

트레이시, 클레어런스, 제이.

미국 85282 아리조나주 탬프 사우스 뷰트 애비뉴  
2311

---

## 특허청구의 범위

### 청구항 1

마그네토레지스티브(magnetoresistive) 랜덤 액세스 메모리 장치 구조를 제조하는 방법으로서,

제1 트랜지스터 및 제2 트랜지스터가 형성된 반도체 기판을 제공하는 단계;

상기 제1 트랜지스터와 전기적으로 접촉하는 동작 자기터널(operative magnetic tunnel) 접합 소자 장치를 형성하는 단계;

상기 제2 트랜지스터와 전기적으로 접촉하는 가장(false) 자기터널 접합 소자 장치의 일부를 형성하는 단계;

상기 가장 자기터널 접합 소자 장치의 일부 및 상기 동작 자기터널 접합 소자 장치의 위에 제1 유전체층을 피착하는 단계;

상기 가장 자기터널 접합 소자 장치의 일부에는 제1 비아(via)를, 상기 동작 자기터널 접합 소자 장치에는 제2 비아를 동시에 형성하도록 상기 제1 유전체층을 패터닝 및 에칭하는 단계; 및

상기 가장 자기터널 접합 소자 장치의 일부로부터 상기 동작 자기터널 접합 소자 장치까지 연장되도록 전기 도전성 상호접속층을 피착하는 단계

를 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

### 청구항 2

제1항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부를 형성하는 단계는, 제1 도전층, 자기터널 접합 소자층 및 제2 도전층을 갖는 가장 자기터널 접합 소자 장치를 형성하는 단계를 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

### 청구항 3

제1항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부를 형성하는 단계는 제1 도전층을 피착하는 단계를 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

### 청구항 4

제1항에 있어서,

상기 패터닝 및 에칭하는 단계는, 상기 제1 비아를 상기 가장 자기터널 접합 소자 장치의 일부의 랜딩(landing)까지 에칭하는 단계를 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

### 청구항 5

제1항에 있어서,

상기 동작 자기터널 접합 소자 장치에 자기적으로 결합되는 디지털 라인(digit line)을 형성하는 단계를 더 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

### 청구항 6

제1항에 있어서,

상기 전기 도전성 상호접속층을 덮는 제2 유전체층을 제공하는 단계;

상기 제2 유전체층을 패터닝 및 에칭하여 트렌치를 형성하는 단계; 및

상기 트렌치 내에 비트 라인을 형성하는 단계

를 더 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

#### 청구항 7

제1항에 있어서,

상기 전기 도전성 상호접속층을 피착하는 단계는 100 내지 4000 옴스트롬의 범위의 두께를 갖는 전기 도전층을 피착하는 단계를 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

#### 청구항 8

제1항에 있어서,

상기 패터닝 및 에칭하는 단계 중에, 상기 제1 비아 및 상기 제2 비아가 동일한 깊이를 갖도록 상기 제1 유전체층이 에칭되는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

#### 청구항 9

제1항에 있어서,

상기 동작 자기터널 접합 소자 장치를 형성하는 단계는 제1 도전층, 자기터널 접합 소자 및 제2 도전층을 갖는 동작 자기터널 접합 소자 장치를 형성하는 단계를 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조의 제조 방법.

#### 청구항 10

마그네토레지스티브 랜덤 액세스 메모리 장치 구조물로서,

제1 트랜지스터 및 제2 트랜지스터가 배치된 반도체 기판;

상기 제1 트랜지스터에 전기적으로 결합되는 동작 자기터널 접합 소자 장치;

상기 제2 트랜지스터에 전기적으로 결합되는 가장 자기터널 접합 소자 장치의 일부; 및

상기 가장 자기터널 접합 소자 장치의 일부로부터 상기 동작 자기터널 접합 소자 장치까지 연장하는 금속 상호접속층

을 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 11

제10항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부는 제1 도전층, 자기터널 접합 소자층 및 제2 도전층을 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 12

제10항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부는 제1 도전층이며, 상기 금속 상호접속층은 상기 제1 도전층으로부터 상기 동작 자기터널 접합 소자 장치까지 연장하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 13

제12항에 있어서,

상기 제1 도전층은 랜딩(landing)을 포함하며, 상기 금속 상호접속층은 상기 랜딩으로부터 상기 동작 자기터널 접합 소자 장치까지 연장하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 14

제10항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부는 랜딩을 포함하며, 상기 금속 상호접속층은 상기 랜딩으로부터 상기 동작 자기터널 접합 소자 장치까지 연장하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 15

제14항에 있어서,

상기 금속 상호접속층을 덮는 유전체 재료층을 더 포함하며, 상기 유전체 재료층은 표면을 가지며, 상기 동작 자기터널 접합 소자 장치 및 상기 랜딩은 상기 표면으로부터 동일한 거리에 위치되는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 16

제10항에 있어서,

상기 동작 자기터널 접합 소자 장치에 자기적으로 결합되는 디지털 라인을 더 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 17

제10항에 있어서,

상기 동작 자기터널 접합 소자 장치는 제1 도전층, 자기터널 접합 소자 및 제2 도전층을 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 18

제10항에 있어서,

상기 동작 자기터널 접합 소자 장치에 자기적으로 결합되는 비트 라인을 더 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조물.

#### 청구항 19

전기적으로 결합된 복수의 자기 메모리 소자 어레이들을 포함하는 마그네토레지스티브 랜덤 액세스 메모리 장치로서, 각각의 어레이는,

제1 트랜지스터 및 복수의 제2 트랜지스터를 구비하는 반도체 기관;

상기 반도체 기관 상에 형성되고 상기 제1 트랜지스터의 단자에 결합되는 제1 상호접속 스택;

상기 반도체 기관 상에 형성되는 복수의 제2 상호접속 스택 - 각각의 제2 상호접속 스택은 상기 복수의 제2 트랜지스터 중 하나의 제2 트랜지스터의 단자에 결합됨 -;

복수의 동작 자기터널 접합 소자 장치 - 상기 복수의 동작 자기터널 접합 소자 장치 중 각각의 동작 자기터널 접합 소자 장치는 상기 복수의 제2 상호접속 스택 중 하나의 제2 상호접속 스택과 전기적으로 접촉됨 -;

상기 제1 상호접속 스택에 전기적으로 결합되는 가장 자기터널 접합 소자 장치의 일부; 및

상기 가장 자기터널 접합 소자 장치의 일부로부터 상기 복수의 동작 자기터널 접합 소자 장치의 각각에까지 연장하는 금속 상호접속층

을 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 20

제19항에 있어서,

상기 기관은 제3 트랜지스터를 구비하며,

상기 마그네토레지스티브 랜덤 액세스 메모리 장치는,

상기 반도체 기관 상에 형성되고 상기 제3 트랜지스터의 단자에 결합되는 제3 상호접속 스택; 및

상기 제3 상호접속 스택에 전기적으로 결합되는 비트 라인 - 상기 비트 라인은 상기 복수의 동작 자기터널 접합 소자 장치의 각각에 자기적으로 결합됨 -

을 더 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 21

제19항에 있어서,

복수의 디지털 라인을 더 포함하며, 각각의 디지털 라인은 상기 복수의 동작 자기터널 접합 소자 장치 중 하나에 자기적으로 결합되는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 22

제19항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부는 제1 도전층, 자기터널 접합 소자층 및 제2 도전층을 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 23

제19항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부는 제1 도전층이며, 상기 금속 상호접속층은 상기 제1 도전층으로부터 상기 복수의 동작 자기터널 접합 소자 장치들의 각각에까지 연장하는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 24

제23항에 있어서,

상기 제1 도전층은 랜딩을 포함하며, 상기 금속 상호접속층은 상기 랜딩으로부터 상기 복수의 동작 자기터널 접합 소자 장치의 각각에까지 연장하는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 25

제19항에 있어서,

상기 가장 자기터널 접합 소자 장치의 일부는 랜딩을 포함하며, 상기 금속 상호접속층은 상기 랜딩으로부터 상기 복수의 동작 자기터널 접합 소자 장치의 각각에까지 연장하는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 26

제25항에 있어서,

상기 금속 상호접속층의 밑에 있는 유전체 재료층을 더 포함하며, 상기 유전체 재료층은 표면을 가지며, 상기 복수의 동작 자기터널 접합 소자 장치의 각각 및 상기 랜딩은 상기 표면으로부터 동일한 거리에 위치되는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

#### 청구항 27

제19항에 있어서,

상기 복수의 동작 자기터널 접합 소자 장치의 각각은 제1 도전층, 자기터널 접합 소자 및 제2 도전층을 포함하는, 마그네토레지스티브 랜덤 액세스 메모리 장치.

### 명세서

#### 기술분야

본 발명은 일반적으로 마그네토일렉트로닉 장치에 관한 것이며, 특히 가장(false) 자기터널 접합 메모리 소자 장치를 이용하는 마그네토레지스티브(magnetoresistive) 랜덤 액세스 메모리 장치 구조 및 가장 자기터널 접합(false magnetic tunnel junction) 메모리 소자 장치를 이용하는 마그네토레지스티브 랜덤 액세스 메모리 장치를 위한 구조를 제조하기 위한 방법에 관한 것이다.

[0001]

## 배경 기술

- [0002] 마그네토일렉트로닉스 장치들, 스핀 일렉트로닉스 장치들 및 스핀트로닉스(spintronics) 장치들은 주로 일렉트론 스핀에 의하여 야기되는 효과를 이용하는 장치들에 대한 동의어이다. 마그네토일렉트로닉스 효과는 무수한 정보 장치들에서 이용되며, 비휘발성, 신뢰성 있는, 내방사(radiation resistant), 및 고밀도 데이터 기억 및 검색을 제공한다. MRAM(magnetoresistive random access memory) 장치들은 공지된 마이크로일렉트로닉스 정보 장치들이다.
- [0003] MRAM 장치들의 한 클래스는 MTJ(magnetic tunnel junction) 소자로서 공지된 복수의 메모리 소자 어레이, 및 통상적으로 비트 라인 및 디지털라인으로 공지되며, 각각은 MTJ 소자들을 프로그래밍하기 위한 자계의 일부를 생성하는 데 이용되는 복수의 프로그래밍 라인으로 구성된다. 어레이 내의 MTJ 소자는 일반적으로, 상호접속 스택(interconnect stack)을 통하여, 통상적으로는 N-채널 FET(field effect transistor)인 트랜지스터에 전기적으로 연결된다. 상호접속 스택은, 다수의 마스크 및 에칭 단계들(steps)로 형성되는 다수의 비아 및 금속화층(metallization layer)을 이용하는 표준 CMOS 프로세싱을 이용하여 형성된다. 비아 및 금속화층의 수는 동일한 칩에서 제조되는 메모리와 연관된 특정 장치들에 따라 변화할 수 있다. 상호접속 스택에 연결된 MTJ 소자의 형성 및 MRAM 장치 어레이로의 그 접속의 형성은 또한 다수의 마스크 및 에칭 단계들을 이용한다. 각각의 마스크 및 에칭 단계는 MRAM 장치를 생성하는 데 필요한 비용 및 시간을 증가시킨다. 따라서, 하나의 그러한 단계의 제거조차 제조 비용 및 시간 절약을 야기할 수 있다.
- [0004] 따라서, MRAM 장치를 제조하는 향상된 방법을 제공하는 것이 바람직하다. 또한, 감소된 수의 프로세싱 단계들을 이용하는 MRAM 장치들을 제조하는 방법을 제공하는 것이 바람직하다. 더욱이, 감소된 수의 프로세싱 단계들을 이용하는 방법들로부터 제조되는 MRAM 장치들을 제공하는 것이 바람직하다. 또한, 본 발명의 다른 바람직한 특징들 및 특성들은, 첨부도면들 및 본 발명의 배경과 함께, 후속하는 본 발명의 상세한 설명 및 첨부된 청구범위로부터 자명해질 것이다.

## 발명의 상세한 설명

- [0012] 본 발명의 후속하는 상세한 설명은 단순한 예시이며 본 발명 또는 본 발명의 응용 및 이용을 제한하는 것이 아니다. 또한, 본 발명의 후속하는 상세한 설명 또는 본 발명의 이전의 배경에 제시된 어떠한 이론에 의하여도 제한되는 의도는 없다.
- [0013] 이제 도면을 참조하면, 도 1-6은 MRAM 장치 구조를 제조하기 위한 본 발명의 일 실시예에 따른 방법을 도시하며, 상기 방법은 프로세싱 단계들을 감소시키기 위하여 제조 동안 가장 자기터널 접합 소자 장치를 이용한다.
- [0014] 도 1은 MRAM 장치의 부분적으로 제조된 어레이의 일 부분(10)의 단면도이다. 본 방법은 스위칭 및/또는 격리 트랜지스터와 같은 복수의 트랜지스터(14)를 구비하는, 예를 들면, 실리콘 기판과 같은 반도체 기판(12)을 제공함으로써 개시된다. 예를 들어, 입력/출력 회로, 데이터/어드레스 디코더, 및 비교기와 같은 다른 회로 소자들이 이 MRAM 장치에 포함될 수 있지만, 그들은 간략화를 위하여 도면으로부터 생략된다.
- [0015] 표준의 공지된 CMOS 프로세스에 따라, 통상적으로는 하나 이상의 유전체 재료(20) 내에서, 기판(12)의 위에 라인 및 스택 형성시 비아 및 금속화층들의 제1 상호접속 스택(16) 및 제2 상호접속 스택(18)이 형성되어, 부분(10)이 포함되는 메모리 장치 어레이 및 집적회로를 위한 상호접속을 제공한다. 여기에서 사용되는 용어 "층(layer)"은 하나의 층 또는 서브층들의 결합 또는 복수를 의미한다. 상호접속 스택(16 및 18)은 공지된 방식인 유전체층 제공, 마스크 및 에칭, 및 금속 피착에 의하여 형성된다. 또한 표준 및 공지된 프로세스에 따라, 트랜지스터(14)의 소스 및 드레인 터미널상에 제1 비아를 포함하는 금속은 컨택트층(22)(CNT)으로 호칭된다. 상호접속의 제1 층을 형성하는 금속화층은 제1 금속화층(24)(M1)으로 호칭된다. 층 M1(24)상에 형성된 비아는 제1 비아층(26)(Via1)으로 호칭되고, 다음의 금속화층은 제2 금속화층(28)(M2)이며, 순차적으로 제2 비아층(30)(Via2), 제3 금속화층(32)(M3), 및 특정 장치 및 응용을 위하여 원하는 상호접속을 제공하는데 필요한 만큼의 다수의 추가적인 비아층 및 금속화층이 후속된다. 상호접속 스택(16 및 18)이 두 개의 비아층 및 세 개의 금속화층으로 도시되지만, 상호접속 스택(16 및 18)은 비아층 및 금속화층의 하나 또는 임의의 적절한 수를 구비할 수 있는 것이 이해될 것이다. 후속하여 논의되는 상호접속 스택(16 및 18)의 최후 금속화층은 Bvia로 표시된 비아층(34)을 덮는다.
- [0016] 도 2를 참조하면, 그 후, MDL로 표시된 다른 금속화층(38)이 다마신(damascene) 프로세스를 이용하여 피착될 수

있다. 부분(10)의 위에는 유전체 재료층(36)이 형성된다. 유전체 재료층(36)은, 예를 들면,  $\text{SiO}_2$ (silicon dioxide)와 같은 임의의 적절한 유전체 재료를 포함할 수 있다. 유전체 재료층(36)은 표준의 공지된 반도체 프로세스들에 따라 적절히 패터닝되고 에칭된다. MDL(38)이 피착되며 과잉의 금속화 재료는 CMP(chemical mechanical polishing)와 같은 적절한 기술에 의하여 제거된다. MDL(38)은 후속하여 형성된 MTJ(magnetic tunnel junction) 소자(후술함)와 연관되는 디지털 라인(digit line, 40)을 포함한다. 디지털 라인(40)은 도 2에 수직으로 확장한다. MDL(38), 및 따라서 디지털 라인(40)은 알루미늄(Al), 알루미늄 합금, 구리(Cu) 및 구리 합금과 같은 임의의 적절한 도전성 재료를 포함할 수 있다.

[0017] 본 발명의 바람직한 일 실시예에서, MDL(38)의 피착 이전에 재료의 클래딩(cladding) 및/또는 배리어층(들)(42)이 피착될 수 있다. 클래딩층은 디지털 라인(40)에 전류가 인가되는 경우에 생성된 자기 플럭스(magnetic flux)를 포커스하는 기능을 한다. 배리어층(들)은 MDL(38)의 부착(adhesion)을 향상시키고 MDL(38) 및 클래딩층 재료의 확산에 대한 장벽으로서 기능한다. 본 발명의 더욱 바람직한 일 실시예에서, 배리어층이 먼저 피착되고, 클래딩층이 후속하여 피착되며 그 후 제2 배리어층이 MDL(38)의 피착 이전에 피착된다. 배리어층은 탄탈륨(Ta), 탄탈륨 질화물(TaN) 또는 임의의 다른 적절한 재료들을 포함할 수 있다. 클래딩 재료는 니켈-철 합금 또는 높은 투과율(permeability)을 갖는 다른 유사한 재료를 포함할 수 있다.

[0018] 본 발명의 다른 실시예에서, 다마신 프로세스를 이용하지 않고, 부분(10) 위에 금속화층이 피착되고, 그 후 디지털 라인(40)을 포함하여, MDL(38)을 형성하도록 패터닝 및 에칭되는 감산 프로세스(subtractive process)를 이용하여 MDL(38)이 형성될 수 있는 것이 자명할 것이다. 유전체 재료층(36)은 유전체 재료(20) 및 MDL(38) 위에 피착되며, 후속하여, 예를 들면, CMP와 같은 임의의 적절한 기술을 이용하여 평탄화된다.

[0019] MDL(38)의 형성 후, 유전체 재료층(36), MDL(38), 및 디지털 라인(40) 위에 유전체 재료층(44)이 형성된다. 그 후 유전체 재료층은 표준의 마스크 및 에칭 기술들을 이용하여 적절히 패터닝되고 에칭되어 제1 상호접속 스택(16) 위에 상부 비아(top via)(46 또는 T-Via)로 알려진 제1 비아를 형성하고 제2 상호접속 스택(18) 위에 메모리 비아(48 또는 M-Via)로 알려진 제2 비아를 형성한다. 본 발명의 바람직한 일 실시예에서, T-Via(46) 및 M-Via(48)는 동시에 에칭되지만, 비아들은 별도의 마스크 및 에칭 프로세스들 동안 에칭될 수 있음이 이해될 것이다.

[0020] 이제 도 3을 참조하면, 제1 도전층(50), 메모리 소자층(52) 및 제2 도전층(54)이 유전체 재료층(44) 위와 T-Via(46) 및 M-Via(48) 내에 피착된다. 제1 도전층(50)은 후속하여 형성되는 MTJ 소자에 대한 하부의 전기적 콘택트를 형성하는 비자성(non-magnetic) 도체를 포함하며 약 100 내지 약 4000 옴스트롬의 두께로 피착된다. 제1 도전층(50)은 임의의 적절한 도전성 재료로 형성될 수 있다. 바람직하게는, 제1 도전층(50)은 탄탈륨(Ta), 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 탄탈륨 질화물(TaN) 또는 그 화합물이나 합금으로 형성된다. 더욱 바람직하게는, 제1 도전층(50)은 탄탈륨으로 형성된다. 메모리 소자층(52)은 후술되는 MTJ 소자를 형성하는 재료를 포함한다. 특히, 메모리 소자층(52)은 CoFe(cobalt iron) 및 NiFeCo(nickel iron cobalt)와 같은 자기 재료를 이용하는 제1 자기층 및 제2 자기층을 포함한다. 제1 자기층은 경자기층(hard magnetic layer)으로서 기능을 하며, 그 자화(magnetization)는 고정되는(pinned or fixed) 반면, 제2 자기층에서의 자화 방향은 두 자기 상태들 사이에서 자유롭게 전환된다. 제1 자기층과 제2 자기층 사이에 끼어 있는 터널 배리어층은 예를 들면, 알루미늄 산화물( $\text{AlO}_x$ , 여기서  $0 \leq x \leq 1.5$ )과 같은 비도전성, 비자기 재료를 채택한다. 메모리 소자층(52) 내의 층들은 얇으며 자기층들은 5 내지 400 옴스트롬 사이에서 변화하고 터널 배리어층은 5 내지 30 옴스트롬 사이에서 변화한다. MTJ 메모리 소자들의 제조 및 동작에 대한 추가적인 정보는, 참고로서 여기에 포함된, 1998년 3월 31일자, 미국특허 5,734,605, "Multi-Layer Magnetic Tunneling Junction Memory Cells"에서 발견될 수 있다. 제2 도전층(54)은 메모리 소자층(52) 위에 피착된다. 제2 도전층(54)은 통상적으로 약 100 내지 약 4000 옴스트롬 범위의 두께를 갖는다. 제2 도전층(54)은 임의의 적절한 전기적 도전성 재료들로 형성될 수 있다. 바람직하게는, 제2 도전층(54)은 탄탈륨, 텅스텐, 티타늄, 알루미늄, 탄탈륨 질화물 또는 그 화합물 또는 합금으로 형성된다. 더욱 바람직하게는, 제2 도전층(54)은 탄탈륨으로 형성된다.

[0021] 층(50, 52, 및 54)은 그 후에 표준의 마스크 및 에칭 기술들을 이용하여 패터닝 및 에칭되어, 도 4에 도시된 바와 같이, "가장(false)" MTJ 소자 장치(58)가 T-Via(46) 내에 형성되고 상호접속 스택(16)에 전기적으로 연결된다. 제1 도전층(50), 메모리 소자층(52), 및 제2 도전층(54)을 포함하는 가장 MTJ 소자 장치(58)는 M-Via(48) 위에 놓이고 다른 상호접속 스택들(도시하지 않음)로의 다른 비아들 위에 놓이는 제1 도전층(50)의 잔여부로부터 분리된다. 따라서, 여기에서 이용한 바와 같이, 용어 "가장"은 T-Via(46) 위에 놓인 MTJ 소자 장치(58)는 MTJ 소자 장치로서 동작하지 않으며 전기적 도체로서 기능한다. 또한, T-Via(46)의 불연속 토폴로지로서 인하여,



동작하지 않는 MTJ 소자(58)의 터널 배리어층은 불연속적이며 따라서 전기적으로 단락될 것이다.

[0022] 층(52 및 54)은, 동시 형성된 MTJ 소자(52)를 포함하는 동작 MTJ 소자 장치(60)가 제1 도전층(50)상에 형성되고 디지털 라인(40)과 자기적으로 결합하게 배치되도록 패터닝되고 에칭된다. 층(52 및 54)은 M-Via(48)로부터 에칭되고 제1 도전층(50)은 제2 상호접속 스택(18)을 동작 MTJ 소자 장치(60)에 전기적으로 결합시키고 다른 MTJ 소자 장치들(도시하지 않음)로부터 동작 MTJ 소자 장치(60)를 분리하도록 패터닝되고 에칭된다.

[0023] 도 5를 참조하면, 유전체 재료층(62)은 가장 MTJ 소자 장치(58), 동작 MTJ 소자 장치(60) 및 M-Via(48) 위에 피착된다. 그 후, 유전체 재료층(62)은 제1 상호접속 스택(16)으로의 홀(66) 및 동작 MTJ 소자 장치(60)로의 홀(64)을 정의하도록 패터닝 및 에칭된다. 통상적으로, 홀(66)은 도 5에 도시된 바와 같이, 홀(64)보다 유전체 재료층(62)의 표면(70)으로부터 더 깊이 에칭된다. 따라서, 홀(64) 및 홀(66)은 별도의 마스크 및 에칭 단계들을 이용하여 형성될 수 있다. 대안적으로, 본 발명의 바람직한 일 실시예에서, 마스크 및 에칭 단계를 제거하기 위하여 홀(64) 및 홀(66)은 동시에 에칭된다. 홀(64) 및 홀(66)의 깊이의 차이로 인하여, 홀(64)이 에칭된 후, 동작 MTJ 소자 장치(60)의 제2 도전층(54)은 홀(66)이 여전히 에칭되는 동안 에칭 성분(etching constituents)에 바람직하지 못하게 노출되어, 잠재적으로 동작 MTJ 소자(52')를 손상시킬 수 있다. 그러나, 도전성이므로 상호접속 스택(16)의 동작을 간섭하지 않는 가장 MTJ 소자 장치(58)의 존재로 인하여, 홀(66)은 가장 MTJ 소자 장치(58)가 존재하지 않은 경우 요구되는 것만큼 깊이 에칭될 필요는 없다. 따라서, 홀(66)이 에칭되는 동안 제2 도전층(54)이 에칭 성분에 노출되는 시간이 감소된다.

[0024] 홀(64 및 66)이 에칭된 후, 도전성 재료가 후속하여 피착되어 MLI(metal local interconnect)로서 알려진 제3 도전층(68)을 형성한다. MLI(68)는 통상적으로 약 100 내지 약 4000 옴스트롬 범위의 두께를 갖는다. MLI(68)는 제1 상호접속 스택(16)을 동작 MTJ 소자 장치(60)에 전기적으로 연결시킨다. 가장 MTJ 소자 장치(58)의 존재가 홀(66)의 에스펙트비(aspect ratio)를 감소시켜 가장 MTJ 소자 장치(58)가 존재하지 않는 경우 실현되는 것보다 홀(66)의 더욱 균일한 스텝 커버리지(step coverage)를 허용하는 것이 이해될 것이다.

[0025] 도 6을 참조하면, 그 후 유전체 재료층(72)은 MLI(68) 위와 홀(64 및 66) 내에 적절한 두께로 피착되고 비트 라인(74)을 위한 트렌치를 형성하도록 패터닝되고 에칭된다. 비트 라인(74)은 트렌치 내에 예를 들면, 알루미늄(Al), 텅스텐(W) 또는 구리(Cu) 또는 그 합금과 같은 금속을 피착하여 형성된다. 본 발명의 일 실시예에서, 비트 라인(74)은 비트 라인으로부터의 자계를 동작 MTJ 소자 장치(60)로 포커스하도록 비트 라인의 하나 이상의 측면(sides)을 둘러싸는 적절한 클래딩(cladding) 재료(도시하지 않음)로 형성될 수 있다.

[0026] 본 발명의 다른 실시예에서, 도 7을 참조하면, 홀(64 및 66)이 에칭되었으면, 홀(64 및 66)을 채우기 위하여 도전성 재료가 후속하여 피착될 수 있으며, 통상적으로 약 1000 내지 약 8000 옴스트롬인 범위의 적절한 두께로 절연층(62) 위에 더 피착될 수 있다. 이 도전성 재료는 그 후 공지된 기술들을 이용하여 적절히 패터닝된다. 그 후 절연 재료(도시하지 않음)가 피착되고 패터닝 및 에칭되어 비트 라인(74)을 위한 트렌치를 형성한다. 그 후 전술된 방법을 이용하여 비트 라인(74)이 제조된다.

[0027] 도 8을 참조하면, 본 발명의 다른 실시예에서, 가장 MTJ 소자 장치(58)는, 절연층(44)의 위에서 확장하는 층(50, 52 및 54)의 일부인 랜딩(landing, 90)으로 제조될 수 있어서, 가장 MTJ 소자 장치(58)까지 에칭되는 홀(66)은 랜딩(90)까지 에칭될 수 있다. 도 8에 도시된 바와 같이, 랜딩(90)은 동작 MTJ 소자 장치(60)가 형성되는 것과 동시에 형성되므로 절연층(62)의 표면(70)으로부터의 거리는 동작 MTJ 소자 장치(60)의 절연층(62)의 표면(70)으로부터의 거리와 동일할 것이다. 따라서, 홀(64) 및 홀(66)은 에칭하는 것과 거의 동일한 시간이 걸릴 것이다. 따라서, 가장 MTJ 소자, 및 특히 랜딩(90)의 존재는 홀(66)을 에칭하는데 필요한 시간을 감소시킴으로 제2 도전층(54)이 에칭 성분에 노출되는 시간을 감소시킨다. 본 발명의 다른 실시예에서, 동작 MTJ 소자 장치(60)의 제2 도전층(54)이 에칭 성분에 노출되는 시간은, 가장 MTJ 소자 장치의 일부만이 T-Via(46) 위에 제조되는 경우에 감소될 수 있다. 도 9를 참조하면, 유전체 재료층(44) 위에 층(50, 52 및 54)이 피착된 후, 제2 도전층(54) 및 메모리 소자층(52)은, 동작 MTJ 소자 장치(60)가 제1 도전층(50)상에 형성되고 디지털 라인(40)에 자기적으로 연결되게 배치되도록 패터닝 및 에칭된다. 층(52 및 54)은 M-Via(48)로부터 에칭되고 제1 도전층(50)은, 제2 상호접속 스택(18)을 동작 MTJ 소자 장치(60)에 전기적으로 연결하고 다른 MTJ 소자 장치들(도시하지 않음)로부터 동작 MTJ 소자 장치(60)를 분리하도록 패터닝 및 에칭된다. 층(52 및 54)은 또한 T-Via(46)에 근접한 그 내부의 제1 도전층(50)으로부터 에칭되어 제1 도전층(50')을 형성한다. 제1 도전층(50')은 적절히 패터닝 및 에칭되어 M-Via(48) 및 동작 MTJ 소자 장치(60)에 전기적으로 연결되는 제1 도전층(50)의 잔존부로부터 전기적으로 분리된다.

[0028] 그 후 유전체 재료층(62)은 제1 도전층(50'), 제1 도전층(50), 및 동작 MTJ 소자 장치(60)의 위에 그리고 T-

Via(46) 및 M-Via(48) 내에 피착된다. 그 후, 유전체 재료층(62)은 패터닝 및 에칭되어 제1 상호접속 스택(16)으로의 홀(66) 및 동작 MTJ 소자 장치(60)로의 홀(64)을 정의한다. 다시, 본 발명의 바람직한 일 실시예에서, 별도의 마스크 및 에칭 단계들을 이용하여 홀(64) 및 홀(66)이 형성될 수 있지만, 홀(64) 및 홀(66)은 동시에 에칭되어 마스크 및 에칭 단계를 제거한다. T-Via(46)에서의 제1 도전층(50')의 존재로 인하여, 홀(66)은 제1 도전층(50')이 존재하지 않는 경우만큼 깊지 않다. 따라서, 홀(66)이 에칭되는 동안 제2 도전층(54)이 에칭 성분에 노출되는 시간은 감소된다.

[0029] 본 발명의 다른 대안의 실시예에서, 제1 도전층(50')은 절연층(44) 위에 확장하는 층(50')의 일 부분인 랜딩(90')으로 제조될 수 있어서, 홀(66)은 랜딩(90')까지 에칭될 수 있다. 따라서, 제1 도전층(50'), 및 특히 랜딩(90')의 존재는 홀(66)을 에칭하는데 필요한 시간을 감소시키므로 제2 도전층(54)이 에칭 성분에 노출되는 시간을 감소시킨다.

[0030] 도 11은 본 발명의 일 실시예에 따른 MRAM 장치의 자기 메모리 소자 어레이(100)의 일 부분의 간략화된 단면도를 도시한다. 도 1-6과 동일한 참조부호들을 갖는 도 11의 구성요소들은 대응하는 도 1-6 구성요소들과 동일하다. 편의상 도 11에는 MRAM 장치의 오직 하나의 자기 메모리 소자 어레이의 일 부분이 도시되지만, MRAM 장치는 임의의 적절한 수의 그러한 어레이들을 포함할 수 있음이 이해될 것이다.

[0031] 자기 메모리 소자 어레이(100)는 복수의 트랜지스터들(14)을 갖는 기판(12)을 포함한다. 각각의 어레이(100)는 제1 상호접속 스택(16) 및 복수의 제2 상호접속 스택(18)을 포함하며, 스택(16 및 18)은 전술된 바와 같이 비아층 및 금속화층을 구비하고 기판(12)의 트랜지스터(14)의 소스 또는 드레인에 각각 전기적으로 연결된다. 각각의 어레이(100)의 제1 상호접속 스택(16) 및 복수의 상호접속 스택(18)은 금속화층 MDL(38)으로 제조된다. MDL(38)의 제조 동안, 디지털 라인(40)이 또한 제조된다. 어레이(100)의 각각의 상호접속 스택(18)과 하나의 디지털 라인(40)이 연관된다.

[0032] 가장 MTJ 소자 장치(58)는 상호접속 스택(16)에 전기적으로 연결되며 MLI(68)는 가장 MTJ 소자 장치(58)에 전기적으로 연결된다. 동작 MTJ 소자(52')는 제1 도전층(50)에 의하여 각각의 상호접속 스택(18)에 전기적으로 연결되며 제2 도전층(54)에 의하여 MLI(68)에 전기적으로 연결된다. 어레이(100)의 로우(또는 컬럼)과 연관된 비트 라인(74)은 트랜지스터(14)(도시하지 않음)중 하나로의 상호접속 스택(도시하지 않음)을 통하여 접속된다. 편의상, 라인들(40 및 74)이 "디지털 라인" 및 "비트 라인"으로 각각 호칭되지만, 이 명칭들은 특정한 응용(예를 들면 프로그램 라인)에서는 바뀌거나 변경될 수 있으며 본 발명을 어떤 식으로든 제한하려는 것이 아닌 것이 이해될 것이다.

[0033] 따라서, 마그네토레지스티브 랜덤 액세스 메모리 장치 구조 및 마스크 및 에칭 프로세스 동안 가장 자기터널 접합 소자 장치의 존재를 이용하는 마그네토레지스티브 랜덤 액세스 메모리 장치 구조를 제조하는 방법이 제공되었다. 본 발명의 이전의 상세한 설명에서 하나 이상의 실시예들이 제시되었지만, 많은 수의 변형들이 존재하는 것이 이해되어야 한다. 또한 상기 실시예 또는 실시예들은 단지 예시들이며, 어떤 식으로든 본 발명의 범위, 적용성, 또는 구성을 제한하려는 것이 아닌 것이 이해되어야 한다. 오히려, 이전의 상세한 설명은 당업자에게 본 발명의 일 실시예를 실시하는데 편리한 로드맵을 제공할 것이다. 첨부된 청구범위에 한정된 바대로 본 발명의 범위를 벗어나지 않고 일 실시예에 기술된 구성요소들의 기능 및 배치에 다양한 변화들이 이루어질 수 있음이 이해된다.

### 도면의 간단한 설명

[0005] 본 발명은 이후에 동일한 부호들이 동일한 요소들을 나타내는 후속하는 도면들과 연계하여 설명될 것이다.

[0006] 도 1-6은 본 발명의 일 실시예에 따른 마그네토레지스티브 랜덤 액세스 메모리 장치 구조를 제조하는 방법을 단면도로 도식적으로 도시하고;

[0007] 도 7은 본 발명의 다른 실시예에 따른 마그네토레지스티브 랜덤 액세스 메모리 장치 구조를 단면도로 도식적으로 도시하고;

[0008] 도 8은 본 발명의 또 다른 실시예에 따른 마그네토레지스티브 랜덤 액세스 메모리 장치 구조를 단면도로 도식적으로 도시하고;

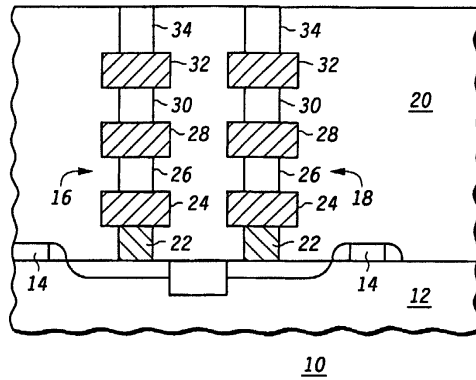
[0009] 도 9는 본 발명의 또 다른 실시예에 따른 마그네토레지스티브 랜덤 액세스 메모리 장치 구조를 단면도로 도식적으로 도시하고;

[0010] 도 10은 본 발명의 또 다른 실시예에 따른 마그네토레지스티브 랜덤 액세스 메모리 장치 구조를 단면도로 도식적으로 도시하며;

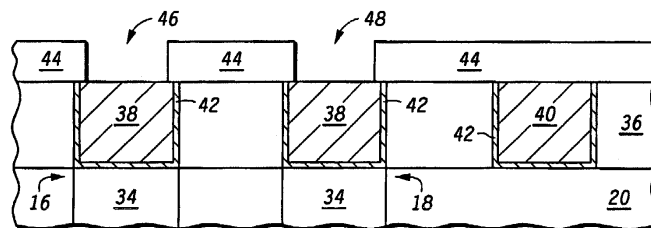
[0011] 도 11은 본 발명의 또 다른 실시예에 따른 마그네토레지스티브 랜덤 액세스 메모리 장치의 어레이의 일 부분을 단면도로 도식적으로 도시한다.

## 도면

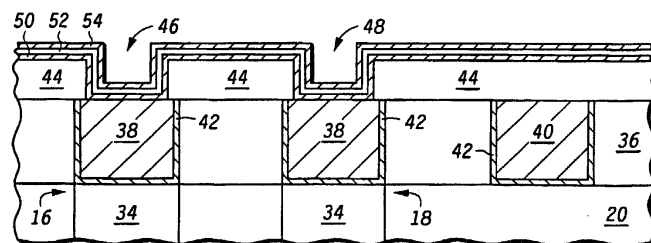
도면1



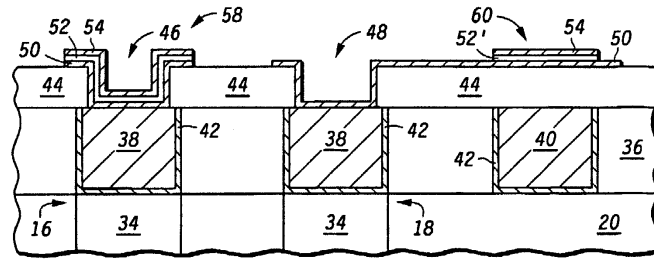
도면2



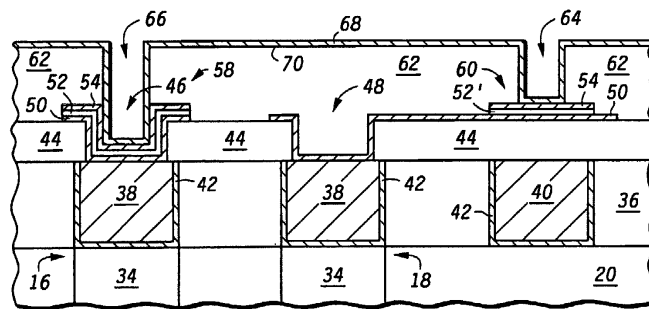
도면3



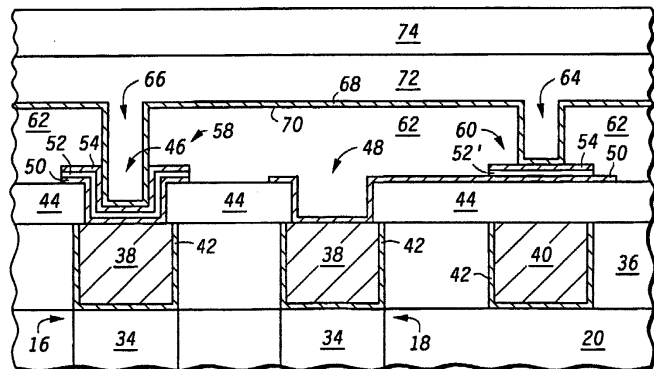
도면4



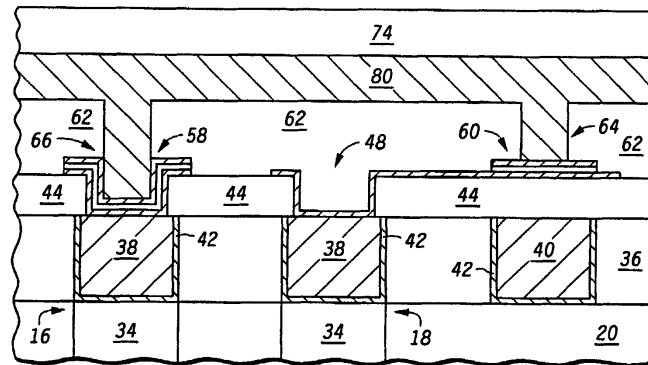
도면5



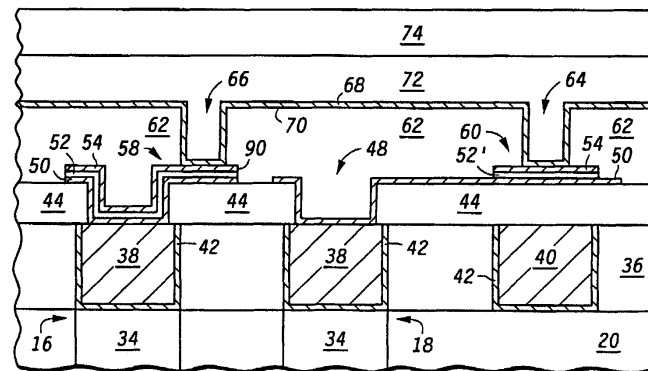
도면6



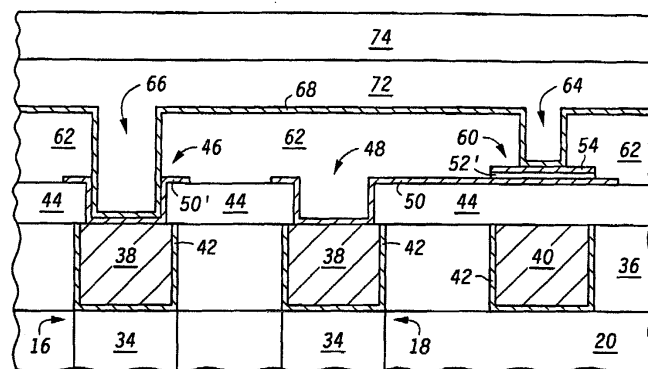
도면7



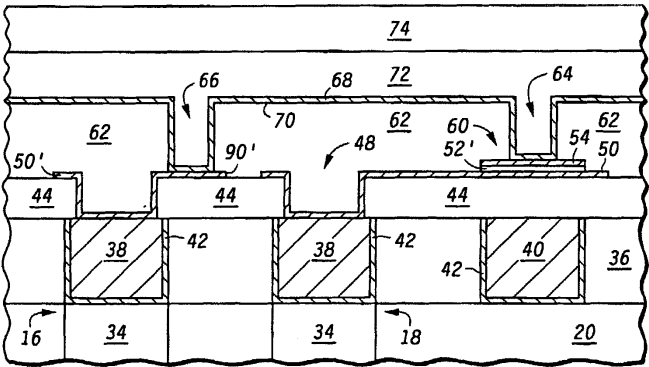
도면8



도면9



도면10



도면11

