(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H02M 3/18

(45) 공고일자 2000년08월01일
(11) 등록번호 10-0263275
(24) 등록일자 2000년05월15일

(21) 출원번호	10-1996-0705254	(65) 공개번호	특1997-0701942
(22) 출원일자	1996년09월23일	(43) 공개일자	1997년04월12일
번역문제출일자	1996년09월23일		
(86) 국제출원번호	PCT/US 95/03318	(87) 국제공개번호	WO 95/26071
(86) 국제출원일자	1995년03월16일	(87) 국제공개일자	1995년09월28일
(81) 지정국	AP ARIPO특허 : 말라위 수단 케냐 EA EURASIAN특허 : 벨라루스 카자흐스탄 러시아 아르메니아 키르기즈 EP 유럽특허 : 오스트리아 스위스 리히텐슈타인 독일 덴마크 스페인 핀랜드 영국 룩셈부르크 네덜란드 포르투칼 스웨덴 OA OAPI특허 : 코트디브와르 국내특허 : 기네 오스트레일리아 바베이도스 불가리아 브라질 캐나다 체코 헝가리 일본 북한 대한민국 스리랑카 마다가스카르 몽고 노르웨이 뉴질랜드 폴란드 루마니아 슬로바키아 우크라이나 베트남 중국 에스토니아 그루지야		
(30) 우선권주장	8/217,095 1994년03월23일 미국(US)		

(73) 특허권자 인텔 코오퍼레이션 피터 엔. 데트킨
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자 디미트리스 팬테라키스
미합중국 캘리포니아 95630 폴섬 크리크사이드 드라이브 #614 1200
케리 테드로우
미합중국 캘리포니아 95662 오렌지베일 리치 힐 드라이브 6120
조니 자바니파드
미합중국 캘리포니아 95864 새크라멘토 크론달 드라이브 4115
조지 카네파
미합중국 캘리포니아 95630 폴섬 바우러 써클 186
(74) 대리인 장용식

심사관 : 박재훈

(54) 초저 전력 조절된 음전하펌프를 제공하는 방법 및 장치

요약

매우 적은 전력량을 사용하면서 전하펌프회로(51)로부터 조절된 출력전압을 제공하는 회로로서, 출력전압을 생성하도록 전하펌프회로를 동작시키기 위한 클록펄스를 제공하는 클록회로(55)를 포함하고, 불충분한 출력전압에 응답하여 클록회로를 인에이블링하기 위하여 전하펌프의 출력전압을 모니터링하고 신호를 제공하는 바이어스회로(54,56-60)을 포함하고, 전하펌프에 가용한 전체동작시간의 일부분 동안 바이어스회로를 인에이블링하는 회로(63-67,69)를 포함한다.

명세서

[발명의 명칭]

초저 전력 조절된 음전하 펌프를 제공하는 방법 및 장치

[도면의 간단한 설명]

제1도는 본 발명에 제공되도록 결합될 수 있는 구성요소를 도시하는 컴퓨터 시스템의 블록다이어그램,

제2도는 플래쉬 EEPROM 메모리 배열에 대한 단어선 아이솔레이션 트랜지스터를 제어하기 위한 본 발명에 따르는 음전하펌프회로의 사용을 도시하는 블록다이어그램,

제3도는 본 발명에서 음전하펌프의 동작을 도시하는 블록다이어그램,

제4도는 본 발명에 제공되는 회로를 나타내는 블록다이어그램,

제5도는 제3도의 회로에서 이용되는 여러 신호들의 값을 도시하는 타이밍 다이어그램.

[발명의 상세한 설명]

[발명의 배경]

[발명의 분야]

본 발명은 컴퓨터 시스템에 관련된다. 더욱 상세히는 극저량의 전력을 소비하며 전하펌프로 부터 정확하게 조절된 전압을 제공하기 위한 방법과 장치에 관한 발명이다.

[종래기술]

휴대용 컴퓨터의 전력요구량을 낮추려는 것이 최근의 경향이다. 전력소비를 줄이기 위하여 개인용 컴퓨터에 사용되는 많은 집적회로는 저전압수준에서 작동하도록 재설계되고 있다. 휴대용 컴퓨터에 사용되는 회로와 구성장치는 5volts와 3.3volts 등의 전압수준에서 작동하도록 설계되고 있다. 이것은 그러한 컴퓨터의 전력요구를 줄이는데 큰 도움을 준다.

하지만 휴대용 컴퓨터의 어떤 특성들은 이들 공급 전압보다 더 높은 전압을 요구한다. 예를들면 플래쉬 전기적 소거가능 프로그램 가능 판독전용메모리(플래쉬EEPROM 메모리)는 새로운 형태의 장기 임의 접근 저장장치로 사용되고 있다.

하드 디스크 드라이브에서 사용될 수 있는 플래쉬 EEPROM 메모리 배열의 일예가 특허출원(미국 특허출원번호 : No. 07/969,131, 발명의 명칭 : 고체상태 메모리 디스크의 방법과, 회로, 출원인 : 1992년 10월 31일, 양수인 : 본발명의 양수인)에 설명되어 있다.

이러한 배열은 더욱 빠르고 물리적 손상에 민감하지 않은 어떤 하드 디스크 드라이브와 등가인 작고 가벼운 기능을 제공한다. 이러한 메모리 배열은 공간과 무게가 중요한 휴대용 컴퓨터에서 특히 유용하다. 하지만 플래쉬 EEPROM 메모리 배열은 데이타를 프로그램할 수 있고 소거할 수 있기 위해서는 저전력 휴대용 컴퓨터의 전지에 의해 제공될 수 있는 것보다 더 높은 전압과 더 많은 전력을 필요로 한다.

전하펌프가 휴대용 컴퓨터에 이용되므로써 저 전압전원으로 부터 고전압을 제공할 수 있다. 하지만 전하펌프로 이용하므로써 생지는 문제점은 출력단자에서 제공되는 전압레벨이 기대치로 부터 상당히 많이 변동하는 경향이 있다는 점이다. 전하펌프의 출력은 전원전압을 제공하기 위해 저장되는 일련의 전하 펄스로 제공된다. 전하펌프가 이러한 형태의 출력을 발생시키는 이유는 출력단계가 단지 전하를 적절히 바이어스된 조건에서 출력으로 전송하는 일종의 다이오드와 같은 방식으로 기능하기 때문이다. 이것은 전류요구량이 부하의 정전용량보다 비교적 높은 경우에 펌프 출력에 일종의 전압리플을 형성한다. 더 나아가 출력전압은 여러가지 전압, 온도, 제조 프로세서 및 부하전류에 따라 변동한다. 한편 플래쉬 EEPROM 메모리 배열의 셀을 프로그램하고 소거하기 위하여 매우 정확한 전압을 제공하는 것이 필수적이다. 이러한 문제 때문에, 전하펌프에 의하여 제공되는 출력전압이 전원전압, 온도 및 생산처리단계의 전 영역에 걸쳐 비교적 일정한 값을 갖도록 조절되게 하려는 시도들이 바람직하다. 플래쉬 EEPROM의 전력요구량을 줄이는 다른 방법은 음의 게이트 소거 기술을 통하여 가능하다. 이 기술은 플래쉬 EEPROM의 소거 단계 동안에 요구된 전류량을 줄이고 그리하여 사용 전력을 줄인다.

결과적으로 음의 게이트 소거 동작을 위해 이용되는 전압을 발생시키는데 사용되는 전하 펌프에 의하여 제공되는 출력전압을 조절하는 것이 특히 바람직하다.

EEPROM 메모리 배열을 이용하는데 필요한 전압의 하나는 이 메모리 배열의 워드 디코더의 일부분인 P-채널 아이솔레이션 트랜지스터의 게이트 단자에서 이용되는 음의 전압이다. 이러한 트랜지스터는 어떤 동작이 한번 시작되면 매우 적은 지연을 가지고 동작될 수 있다. 이러한 이유는 이용된 음의 전압이 즉시 가용될 수 있기 때문이다. 전하펌프로 부터 즉시 가용한 전압을 제공하는 것은 전하펌프가 모든 시간동안에 ON상태일 것을 요구한다. 이것은 본질적으로 상당량의 전력의 소비를 요구한다. 그래서, 매우 적은량의 전력을 소비하면서도 동작을 하는 초 저 전력 음전하 펌프회로를 제공하는 것이 바람직하다.

[발명의 요약]

본 발명의 목적은 최소의 전력을 소비하면서도 전하펌프로 부터 조절된 출력전압을 공급하기 위한 매우 간단한 방법과 장치를 제공하는 것이다.

또다른 더욱 특별한 목적은 최소의 전력을 소비하면서도 음전하펌프로 부터 조절된 출력전압을 공급하고 그 전압이 메모리 배열내의 단어선 아이솔레이션 트랜지스터를 동작시키는데 사용될 수 있도록 하는 방법과 장치를 제공하는 것이다.

본 발명의 이들 목적들은 전하펌프, 클록펄스소스, 인에이블링회로 및 전류미러링회로를 포함하는 회로에서 실현된다. 여기서 전하펌프는 플래쉬 EEPROM 메모리 배열내의 게이트 아이솔레이션 트랜지스터를 구동하기 위하여 사용될 수 있는 음의 출력전압을 발생시키고, 클록펄스소스는 전하펌프로 하여금 음의 출력전압을 발생시키도록 야기시키며, 인에이블링회로는 회로에 연관된 클락회로를 컴퓨터 동작시간의 적은 일부분 동안 인에이블링하여, 전류 미터링 회로는 클록 펄스 소스를 조절하므로써 전하 펌프로 부터의 출력전압이 클록펄스가 발생되는 기간동안에 비교적 일정한 값으로 유지될 수 있도록 한다.

본 발명의 목적과 특징은 발명의 상세한 설명과 그에 따르는 도면을 참조하므로써 잘 이해될 것이다. 여기서 동일한 구성요소는 여러단계 전체를 통하여 동일한 명칭으로 불리워진다.

[용어 정의]

상세한 설명의 다음의 어떤 부분은 컴퓨터 메모리내 데이타 비트에 대한 동작의 상징적으로 표현으로써 나타내진다.

이 설명과 표현은 데이타 처리분야의 전문가가 이분야의 다른 전문가에게 그들의 작업의 실제를 가장 효과적으로 전달하기 위하여 사용하는 수단이다.

이들 동작은 물리량에 대한 물리적 조작을 요구한다. 필수적이지는 않을지라도 통상 이들 물리량은 저장되고, 전송되고, 결합되고 비교되고 그렇지 않으면 조작될 수 있는 전기적 또는 자기적 신호이다. 일반적인 사용을 위하여, 이들 신호들이 비트, 값, 요소, 심벌, 캐릭터, 텀, 넘버등으로 불리는 것이 편리하다는 것이 밝혀지고 있다. 하지만, 이들 모두 및 이와 유사한 용어들이 적절한 물리량과 연관되어 있으며

단지 편의를 위해서 붙여진 라벨임을 기억하여야 한다.

더나아가 수행되는 조작은 종종 애딩, 컴패어링과 같은 용어로 불리운다.

이것은 일반적으로 조작원에 의해 수행되는 손조작과 연관되어 있다.

본 발명의 일부로서 여기서 설명되는 동작에서 대부분 조작원의 이러한 능력이 필요하지도 않고 기대되지 않는다.

본 발명의 동작을 수행하기 위한 유용한 기계는 일반적 목적의 디지탈 컴퓨터나 다른 유사한 디바이스를 포함한다. 모든 경우에 있어서, 컴퓨터를 동작시키는 메소드 동작과 연산 매소드, 자체가 차이가 있음을 기억하여야 한다.

본 발명은 다른 소망된 물리적 신호를 발생시키기 이하여 전기적 또는 다른 (예 : 역학적, 화학적)물리신호를 처리하는데 있어서 컴퓨터를 동작시키는 방법과 장치에 관련된다.

[발명의 상세한 설명]

제1도는 컴퓨터 시스템(10)을 도시한다.

이 시스템(10)은 컴퓨터 시스템(10)이 자체 동작을 제어할 수 있도록 제공되는 다양한 명령을 실행하는 중앙처리장치(11)를 포함한다. 중앙처리장치(1)은 시스템(10)의 다양한 장치에 정보를 수송하기 위해 채용된 버스(12)에 연결된다.

버스(12)에 연결된 주메모리(13)는 전형적으로 시스템(10)에 전원이 공급되는 동안 정보를 저장하도록 종래기술분야에 전문가에게 잘 알려진 방법으로 배열된 동적 임의 접근 메모리로 구성된다. 또한 버스(12)에 연결된 판독 전용 메모리(14)는 시스템(10)에 전원이 끊긴 상태에서 특별한 메모리 환경을 유지하도록 종래기술분야의 전문가에게 잘 알려진 다양한 메모리 디바이스를 포함할 수 있다. 전형적으로 판독전용메모리(14)는 기본 입/출력 프로세스 및 시작 프로세스(BISO 프로세스로 불린다)와 같은 프로세스(11)에 의해 사용되는 다양한 기본적 기능을 저장한다.

또한 버스(12)에 연결된 장치 메모리(16)과 같은 다양한 주변장치 및 프레임 버퍼(17)과 같은 회로에 데이타가 기록될 수 있으며, 그것은 디스플레이를 위해 모니터(18)와 같은 출력장치에 전송될 수 있다. 장치 메모리로 전형적으로 이용되는 전자기적 하드 디스크 드라이브보다는 플래쉬 EEPROM 메모리 배열이 장기 메모리(16)으로이용될 수도 있다. 그러한 플래쉬 EEPROM 메모리 배열을 진보된 휴대용 컴퓨터의 집적회로에 가용한 전형적 전압보다 더 높은 전압을 이용하는 기술을 통하여 프로그램되고 소거될 수 있다.

그러한 플래쉬 EEPROM 메모리 배열은 메모리 배열을 프로그램가능하고 소거하기 위한 회로를 포함한다.

결론적으로 본 발명하에서는 그러한 장기 메모리 배열은 휴대용 컴퓨터에 가용한 전지에서 가용한 낮은 전압으로부터 높은 전압을 발생시키기 위한 회로를 제공할 수 있으며 그러한 배열은 전형적으로 알려져 있다.

플래쉬 EEPROM 메모리 배열은 플로팅 게이트 전계효과 트랜지스터 디바이스를 포함하는 메모리셀로 이루어져 있다. 그러한 메모리 트랜지스터는 플로팅 게이트에 저장된 전하를 변화시키도록 프로그램될 수 있고,(프로그램되거나 소거되는) 조건은 그 셀을 조사하므로써 검출될 수 있다.

플래쉬 EEPROM 메모리 셀의 배열을 소거하는 종래의 방법은 그 셀을 모두 함께 (또는 적어도 어떤 큰 블록) 소거한다. 이것은 전형적으로 게이트 단자를 접지하고 드레인 단자를 플로팅하면서 모든 메모리셀의 소스단자에 12볼트를 인가할 것을 요구한다. 플래쉬 EEPROM 메모리 배열은 소거하는 종래의 방법은 포지티브 소스 소거라고 불리운다.

이러한 포지티브 소스 소거는 과도한 전류량을 요구하는데, 이는 N형 플래쉬 EEPROM 메모리 셀의 소스와 기층간에 다이오드가 동작하기 때문이다.

이러한 이유로, 설계자들은 다이오드 효과를 통한 전류손실을 피하기 위해 네가티브게이트 소거기술을 제공하는 것을 시도해 왔다.

이런 면에서, 전하펌프는 플래쉬 EEPROM 메모리를 효과적으로 소거하고 프로그래밍할 수 있는 전력을 발생시키는 충분한 전류를 제공할 수 있다.

새로운 네가티브 소거 기술에 따라, 상당히 큰 음전압(전형적인 값, -9 내지 -10볼트)이 메모리 디바이스의 게이트 단자에 제공되며, Vcc(전형적인 값, 5볼트)가 소스단자에 제공된다. 소스단자의 5볼트가 이 디바이스의 소스-기층 접합 다이오드를 브레이크 다운하는데 충분하지 않으며, 단지 비교적 적은 양의 전류가 흐른다.

결국, 비록 이 디바이스의 게이트 단자와 소스단자간에 비슷한 전압차가 걸리지만, 네가티브 소거 기술은 전하펌프로부터 좀더 적은 전류량을 요구한다.

플래쉬 EEPROM 메모리 배열을 가지고 네가티브 소거 기술을 이용하기 위하여, 정확한 음전압을 P-채널 아이솔레이션 트랜지스터에 가하는 것이 필요하며 이는 디코딩 회로를 메모리 배열로 부터 아이솔레이팅하기 위함이다.

제2도는 단어선 접근과 관계되는 연관된 회로와 플래쉬 EEPROM 메모리 배열의 블록 다이어그램이다. 제2도는 플래쉬 EEPROM 메모리 디바이스(28)의 하나의 배열(26)을 도시한다.

배열(26)과 함께 사용되기 위한 단일행 디코딩회로가 도시되어 있다.

이 회로는 배열(26)의 특정행을 디코딩 회로에 연결하는 인버터(25)을 포함한다.

인버터(25)는 배열(26)의 메모리셀을 프로그램밍하기 위한(12볼트와 같은) 고전압을 인가하는데

사용되고, 판독동작동안 메모리 트랜지스터의 게이트 단자에 5볼트를 인가하는데 사용된다.

인버터(25)는 아이솔레이션 트랜지스터(27)에 의해 단어선에 연결된다.

트랜지스터(27)은 P형 FET 디바이스로서 그것의 게이트 단자의 음전압에 리액팅하여 고전압을 단어선에 연결한다.

아이솔레이션 트랜지스터(27)는 네가티브 소거 포텐셜을 아이솔레이팅하기 위하여 사용되며, 그래서 N형 트랜지스터의 N+ 접합이 단어선 디코터에서 순방향 바이어스되지 않도록 하게 한다. 음전하 펌프회로(21)는 또한 P형 FET 디바이스(22)에 의해 단어선에 연결된다. 음전하 펌프회로(21)는 배열(26)의 플래쉬 EEPROM 메모리 셀의 게이트 단자와 단어선에 음전압을 제공하여 셀을 소거하는데 사용된다. 상기 설명한 것과 같이, 작은 양의 전압이 플래쉬 셀에 저장된 조건의 소거를 일으키도록 메모리 셀의 소스단자에 가해지는 동안, 음전압이 게이트 단자에 가해진다. 메모리 디바이스(28)가 소거되기 위해서는, 디바이스(28)의 소스단자에 양의 5볼트가 가해지고 게이트 단자에 음의 9볼트가 가해지고 드레인 단자는 플로팅될 것을 요구한다. 소스단자의 5볼트는 이 디바이스의 소스-기층 접합 다이오드를 브레이크 다운할 정도로 충분하지 않으며, 단지 비교적 적은 양의 소스전류가 흐른다. 결국, 네가티브 게이트 소거 기술은 포지티브 소거 기술보다 더 적은 전류량을 전하펌프로 부터 요구한다. 프로그램밍 전압을 선택하고 네가티브 소거 전압을 아이솔레이팅하는 트랜지스터(27)의 동작은 본 발명에 따르는 초저 전력 조절된 음전하펌프에 의해 제공되는 음전압에 의해 제어된다. 프로그램밍과 판독동안 아이솔레이션 트랜지스터(27)를 정확한 전압으로 턴온시키는 것을 보장하기 위하여 이 펌프를 조절하는 것이 기대된다. 이 전압은 아이솔레이션 트랜지스터를 스트레싱하지 않도록 너무 크지 않아야 한다.

휴대용 컴퓨터에서, 아이솔레이션 트랜지스터의 게이트 단자에 가해진 전압처럼 플래쉬 EEPROM 메모리 배열의 여러 부분을 동작시키기 위해 필요한 음전압은 전하펌프에 의해 공급될 수 있다. 제3도는 그러한 음전압을 제공할 수 있는 음전하펌프(31)를 도시한다. 제3도는 네가티브 소거 기술에 따라 플래쉬 EEPROM 메모리 배열을 소거하는데 요구되는 고 음전압을 포함하여 다양한 많은 레벨의 음전압을 공급하는데 이용될 수 있는 제1부트스트랩 펌프장치를 도시한다.

당해 기술분야의 전문가에게 분명하듯이, N채널 트랜지스터로 대치되고 양전압 입력을 가지는 P채널 트랜지스터를 가진 유사한 전하펌프가 양의 출력전압을 요구하는 프로그램밍과 같은 동작과 포지티브 소스 소거 동작을 완성하기 위하여 고 양전압을 제공한데에 사용될 수도 있다. 제3도에 도시된 바와 같이, 펌프(31)는 접지와 출력단자(Vout)간에 직렬로 결합된 P형 전계효과 트랜지스터(FET ; 32, 33, 34)의 많은 단계를 포함한다.

입력클록신호가 커패시터(36과 37)를 통하여 도시된 전원들로 부터 회로(31)에 공급된다. 입력클록신호의 제2세트는 커패시터(40과 41)에 의해 도시된 전원들로부터 제공된다. 회로(31)의 각 단계는 그 단계의 디바이스(32 또는 33)의 게이트 단자를 프리차지하는데 사용되는 P-채널 FET 디바이스(43 또는 44)를 포함한다. 제1단계는 트랜지스터 디바이스(32와 43)와 커패시터(36과 40)으로 구성된다.

4개의 클록신호 각각은 제3도에 도시된 바대로 페이즈1, 페이즈2, 페이즈3과 페이스4로 불리운다. 이들 클록신호 각각은 하이값의 Vcc와 로우값인 접지전압을 공급한다. 회로(31)의 동작을 이해하기 위하여, 디바이스(33)를 포함하는 하나의 단계의 동작을 설명할 것이다. 제3도의 타이밍 다이어그램에 따라오는, 페이즈(2)와 페이즈(4) 클록은 초기에 로우이다. 페이즈(2) 클락이 로우이기 때문에, 제어디바이스(44)는 초기에 온상태이다. 페이즈(1) 클록신호가 로우로 갈때, 커패시터(36)를 통하여 가해진 음전압펄스는 디바이스(44)를 통하여 디바이스(33)의 게이트 단자에서 커패시터(41)를 디바이스(33)의 소스단자의 음전압 레벨로 충전한다. 다음에 페이즈(2) 클록이 하이로 갈 때, 디바이스(44)는 턴오프되며, 디바이스(33)의 게이트를 아이솔레이팅하고 커패시터(41)을 음의 레벨로 충전되도록 한다.

다음에 페이즈(3) 클록이 로우로 갈 때, 커패시터(4I)를 음의 값으로 프리차지하기 때문에 디바이스(33)의 게이트 단자에서의 전압은 소스단자에서의 전압보다 약간 낮다.

이것에 의하여, 디바이스(33)은 그것이 문턱(threshold)전압(Vt)강하를 겪지 아니할 정도로 턴온된다. 이러한 Vt 강하의 제거는 증가된 전류가 커패시터(36)로부터 다음 단계로 더욱 빨리 전달됨을 의미한다. 커패시터(36)에서의 음전압 페이즈(1) 펄스는 커패시터(37)을 (-Vcc 값 쪽으로) 충전하기 시작한다.

다음에 페이즈(3) 클록이 하이로 갈 때, 디바이스(33)는 오프상태로 가기 시작한다.

페이즈(2) 클록이 로우로 갈때, 커패시터(37)은 근사적으로 -2Vcc로 가며; 디바이스(44)는 턴온되어 디바이스(33)의 게이트를 방전시키고, 디바이스(33)가 신속히 턴오프되도록 드레인 전압쪽으로 가져간다. 다음에 페이즈(1) 클락이 하이로 갈 때, 디바이스(33)는 오프상태에 머무르며 디바이스(44)는 온상태에 머물러서 디바이스(33)의 드레인 단자와 게이트 단자의 전하량을 같게 한다.

이 회로를 전체적으로 보면, 페이즈(4) 클록의 음의 에지에 응답하여 디바이스(32)가 온상태로 될때, 그것의 게이트 단자 커패시터(40)는 오프상태로 가는 디바이스(43)을 통하여 접지레벨에 놓여진다. 그래서 디바이스(32)의 게이트 단자는 소스단자보다 더욱 로우상태로 되고, 디바이스(32)는 Vt 전압강하없이 온상태로 되고 커패시터(36과 41)를 접지레벨로 매우 빠르게 충전한다. 그다음에 디바이스(32)는, 페이즈(4) 클록이 하이로 갈 때, 턴오프하기 시작한다. 페이즈(1) 펄스의 강하는 디바이스(43)를 통하여 커패시터(40)를 방전하므로써 디바이스(32)의 턴오프를 완료하며 커패시터(36)를 -Vcc로 가도록 한다. 페이즈(2) 클록의 상승이 디바이스(33)의 게이트를 충전상태로 두면서 디바이스(44)를 턴오프시킬 때까지 로우값의 페이즈(1) 클록은 커패시터(41)의 방전을 계속한다. 상기에 설명한 대로, 페이즈(3) 클록이로우로 가고 음으로 충전된 디바이스(33)의 게이트 단자가 소스단자보다 로우로 될 때, 디바이스(33)는 Vt 전압강하없이 완전히 온상태로 된다. 이것은 커패시터(37)의 신속한 충전이 음의 값, 근사적으로 -2Vcc으로 되도록 하게 한다. 커패시터(37)의 전하가 회로(31)의 출력에 펌핑된 전압레벨을 제공하도록 디바이스(34)를 턴온시키는 충분한 양이 될 때까지, 단계의 수가 얼마가 되던간에 동일한 과정이 계속될 수 있을 것이다. 주목할 것은, 어떠한 부트스트랩 트랜지스터도 제공되지 않기 때문에 디바이스(34)는 Vt 전압강하를 표시하는 범위내에서 동작한다는 것이다.

이 기본적 동작은 설명되었던 방식으로 계속된다. 제3도에 도시된 두 단계(stage) 펌프회로(31)는 디바이스(44)의 Vt 전압강하보다 적은 출력단자에 펌핑된 전압 Vcc 보다 근사적으로 N배(N은 단계의 수)의 음전압을 제공한다. 더 중요한 것은, 회로(31)가 최후 단계를 제외하고는 범용의 전하펌프회로의 문턱전압 강하를 갖지 않기 때문에, 회로(31)는 매우 효과적 동작을 제공한다. 이것은 그것이 출력에 더 많은 전류를 제공하게 하고 더욱 빠르게 제공할 수 있도록 하게 한다.

이러한 효율의 증가는 전하펌프가 소수의 단계에서 실행되도록 하게 하고 따라서 집적회로상에 더 작은 다이(die)영역을 요구하도록 하게 한다.

제4도를 참조하면, 본 발명에 따라 설계된 회로(50)의 블록다이어그램이 도시되어 있다. 회로(50)는 제3도에 도시된 그러한 전하펌프로 될 수 있는 음전하펌프를 포함한다. 전하펌프(51)는 상기에 설명한 것과 같은 방법으로 클록입력신호를 수신하고 출력전압을 생성한다. 바람직한 실시예에서 출력전압은 네가티브 소거기술에 이용될 수 있도록 설계된 플래쉬 EEPROM 메모리 배열내 P채널 아이솔레이션 트랜지스터의 게이트 단자에 가해질 수 있는 음전압이다. 회로(50)는플래쉬 EEPROM 메모리 셀에 저장된 값을 판독하기 위한 그 메모리 배열의 단어선에의 응용에 사용되는 음전압을 제공할 수 있도록 특별히 설계된다. 전하펌프(51)에 의해 사용되는 전력을 줄이고 생성된 출력전압을 조절하기 위하여, 독특한 바이어싱 회로가 사용된다. 이 회로는 전압(Vcc)에 연결된 소스단자를 갖는 P형 전계효과 FET(54)를 포함한다. P형 디바이스(54)의 드레인은 다수의 본질적으로 동등한 P형 FET 디바이스(56,57과 또)에 연결된다. P형 FET 디바이스(56,57과 58)과 유사항 P형 FET 디바이스(70)의 각각의 게이트 단자들은 모두 함께 연결된다. 디바이스(56,57,58과 70)의 게이트가 연결되어 있고 각 디바이스의 소스단자가 전원전압(Vcc)에 연결되어 있으므로, 디바이스(56)를 통과하는 전류는 다른 디바이스(57,58과 70) 각각을 통하여 미러링된다. 디바이스(56)를 통과한 전류의 흐름은 N형 FET 디바이스(59)의 드레인 단자와 소스단자를 통하여 접지로 계속된다. 디바이스(57)를 통과한 전류의 흐름은 N형 FET 디바이스(60)의 드레인 단자와 소스단자 및 저항(61)을 통하여 접지로 계속된다. 디바이스(58)을 통과한 전류의 흐름은 하나의 디바이더 회로로 함께 가능하는 복수의 유사한 다이오드-연결 P형 FET 디바이스(63-67)를 포함하는 일련의 경로를 통하여 펌프(51)의 출력단자로 계속된다.

트랜지스터(56,57)은 제1전류미러를 형성한다. 트랜지스터(59,60) 또한 1보다 큰 이들을 갖는 전류미러를 형성한다. 디바이스(56과 57)는 정합되어 있으므로, 전원에 독립적인 어떠한 장치내에서 동일한 전류를 전송한다. 이러한 장치에 의해 제공되는 전류는 디바이스(57)로부터 트랜지스터(58)를 포함하는 전류미러장치와 트랜지스터(70)를 포함하는 전류미러장치로 미러링된다.

N형 FET 디바이스(69)와 P형 FET 디바이스(70)은 그들의 소스와 드레인 단자를 전원전압 Vcc와 접지 사이에서 직렬연결되도록 한다. 이들 디바이스는 펌프(51)를 작동하기 위한 클록 펄스를 제공하는 회로(53)이 작동가능인지 불능인지를 제어하는 일종의 비교기 장치를 제공한다. N형 디바이스(69)의 게이트 단자는 디바이더 회로망에서 디바이스(63과 64)간에 연결된다. P형 디바이스(70)가 디바이스(56,57)을 통하여 전류를 미러링하도록 연결되어 있기 때문에, 이것은 회로(53)에 입력을 제공하는 비교기 장치를 위한 전류원으로 작동한다.

디바이스(56,57,58,59,60과 70)는 매우 작은 전류를 제공하도록 바이어싱되고, 전원전압 Vcc 가 전도디바이스(54)를 통하여 가해 질 때 정상적으로 전도한다. 디바이스(54)는 그의 게이트 단자에 가해지는 적은 값의 전압에 의해서 동작가능이 된다. 이러한 적은 값의 전압은 펄스 인에이블신호(55) 소스로부터 제 1 저속 클록신호의 전체주기에 보다 짧도록 선택된 주기동안에 공급된다. 펄스 인에이블 신호의 주기동안, 디바이스(56,59)통하여 접지로 전류가 흐른다. 이 전류는 디바이스(57)를 통하여 미러링되는 디바이스(58)를 통하여 미러링된다. 디바이스(58)을 통과한 이 소량의 바이어스 전류는 디바이더의 각각의 디바이스에 걸쳐 문턱전압이 강하하도록 디바이더 회로망의 디바이스(63-67)를 통과하는 전류를 유지하기에 충분하다.

펌프(51)의 출력전압이 소망된 네가티브 레벨에 있을 때, 디바이스(69)의 게이트 단자에 제공된 전압을 문턱전압보다 낮다.

디바이스(56)을 통과한 전류가 디바이스(70)를 통하여 완전히 미러링되므로, 디바이스(54)가 인에이블일 때 그 디바이스는 인에이블된다. 만약 전하펌프(51)이 출력전압이 소망된 음의 출력레벨이상(그보다 양으로 큰)이면, N형 디바이스(69)는 온상태로 되고 그 전류를 접지로 전송하여 제 1로우레벨의 입력신호를 펌프클록회로(53)에 제공한다. 펌프클록회로(53)의 이러한 낮은 값의 입력신호는 메모리배열의 아이솔레이션 트랜지스터에 위한 전하펌프(51)을 동작하는데 필수적인 클락신호를 인에이블시킨다. 그렇지 않으면 전하펌프(51)는 작동불가이다.

전하펌프(51)에 의해 생성된 출력전압이 비교적 일정한 값이 되게 하도록 하기 위하여,디바이스(57)를 통과하는 바이어스 전류는 디바이스(58과70)안으로 미러링된다. 디바이스(70)는 비교기에 대해 일종의 전류원으로 기능하기 때문에, 디바이스(70)는 디바이스(57)에서와 동일한 전류를 전송한다. 동시에, 디바이스(69)의 게이트단자전압은 출력단자에서 제공되는 값에 의하여 변한다. 만약 출력단자전압이 소망된 것보다 높다면(충분한 음의 값은 아님), 디바이스(69)는 온상태이고 비교적 낮은 전압이 펌프클락발생기(53)에 가해지며 전하펌프(51)이 작동가능토록 하게 한다.

출력단자전압이 소망된 출력값보다 더 음의 값일 때, 디바이스(69)는 스위칭 오프하고높은 전압값(Vcc)가 전원(Vcc)로부터 펌프클록 발생기(53)에 가해져 그 클락을 디스에이블시 킨다.

이것이 발생한때, 전하펌프(51)의 출력전압레벨이 출력부하회로에 의해 상당기간동안 비교적 일정하게 유지된다. 용량성 출력부하의 전하가 저속클록의 나머지 기간에 근접하는 기간동안 사라짐에 따라, 출력전압은 점차로 증가할 것이다.

그래서 펌프 인에이블펄스가 디바이스(54)에 제공되는 상태동안에 선택적으로 디바이스(69)를 인에이블링하므로서, 바이어싱 장치는 펌프(51)의 출력전압의 조절동작을 한다. 펄스 인에이블 신호가 종료하고 디바이스(54)가 디스에이블링된 때, 바이어스 전류는 턴오프되고 디바이스(70)는 디스에이블링된다.

그렇지만 높은 값의 펌프 인에이블신호는 반전되고 P형 FET디바이스(75)에 제공된다. 다비아스(75)는 펌프클록회로(53)에 전원전압 Vcc를 가하고 펌프(51)를 디스에이블링할수 있도록 하게 된다.

이것은 펌프(51)을 완전히 닫는다.

펌프(51)이 펄스인에이블 신호의 짧은 시간 동안에만 동작하기 때문에(51)이 사용하는 실질적인 전력을 항상 작동하는 펌프에 제공되는 전력보다 매우 작다.

이와 같은 방법으로, 최저 전력 조절된 전하펌프회로가 제공된다.

주목할 것은 다음과 같다. 매우 짧은 시간 동안 동작하기 때문에, 회로(50)는 전하펌프(51)의 전력요구량을 줄인다. 그뿐만 아니라 대부분의 조절회로와는 다르게 전력을 일정하게 공급해야하는 기준 전압발생장치를 요구하지 않기 때문에, 이 회로는 또한 전력요구량을 줄인다. 이러한 이유로, 이 회로는 종래기술의 회로 보다 매우 적은양의 전력을 사용한다.

비록 본 발명을 바람직한 실시예를 통하여 설명하였지만, 다양한 변경과 대체가 당해 기술분야의 전문가에 의해 본 발명의 사상과 범위에서 벗어남이 없이 구현될 수 있다는 것은 분명히 인식될 것이다. 그러므로 본 발명은 다음과 같은 청구의 범위에 의해 정하여져야 한다.

(57) 청구의 범위

청구항 1

전하 펌프 회로와; 출력전압을 발생시키기 위해 전하펌프회로를 동작시키는 클록펄스를 제공하기 위한 클락회로와;

불충분한 출력전압에 응답하여 클락회로를 인에이블링 하기 위하여 전하펌프의 출력전압을 모니터링 하고 신호를 제공하는 바이어스회로와;

전하펌프에 가용한 전체동작시간의 일부분 동안에 바이어스회로를 인에이블링하는 회로를 포함하는 것을 특징으로 하는, 매우 적은 양의 전력을 사용하면서 전하 펌프 회로로 부터 조절된 출력전압을 제공하는 회로.

청구항 2

중앙처리장치와;

주메모리와;

중앙처리장치 및 주메모리에 연결된 시스템버스와;

행과 열로 배열된 복수의 메모리 셀을 포함하는 플래쉬 EEPROM 메모리 배열과;

아이솔레이션 트랜지스터를 포함하며 판독과 기록을 위하여 플래쉬 EEPROM 메모리배열의 행의 메모리 셀에 접근하기 위한 단어선회로와;

전하펌프회로와,

출력전압을 생성하도록 전하펌프회로를 동작시키기 위한 클록펄스를 제공하는 클록회로와,

불충분한 출력전압에 응답하여 클록회로를 인에이블링하게 하기 위하여 전하펌프의 출력전압을 모니터링하고 신호를 제공하는 바이어스회로와,

전하펌프에 가용한 전체동작시간의 일부분동안에 바이어스회로를 인에이블링하는 회로를 포함하며,

아이솔레이션 트랜지스터의 동작을 제어하기 위하여 매우 적은 전력량을 사용하면서 전하펌프회로로부터 조절된 음의 출력전압을 제공하기 위한 회로로 이루어지는 것을 특징으로 하는 컴퓨터시스템.

청구항 3

전하펌프수단과,

출력전압을 생성하도록 펌프수단을 동작시키기 위한 클록펄스를 제공하는 수단과,

불충분한 출력전압에 응답하여 클록펄스를 제공하기 위한 수단을 인에이블링하기 위하여 전하펌프수단의 출력전압을 모니터링하고 신호를 제공하는 수단과,

전하펌프수단에 가용한 전체동작시간의 일부분동안 전하펌프수단의 출력전압을 모니터링하기 위한 수단을 인에이블링하는 수단으로 이루어지는 것을 특징으로 하는 매우 적은 전력량을 사용하면서 전하펌프수단으로부터 조절된 출력전압을 제공하기 위한 회로.

청구항 4

프로세서 수단과;

주모메리 수단과;

프로세서수단 및 주메모리 수단에 연결된 버싱수단과;

행과열로 배열된 복수의 메모리 셀을 포함하는 플래쉬 EEPROM메모리배열과,

트랜지스터 아이솔레이션 수단을 포함하며 기록 및 판독을 위한 플래쉬 EEPROM 메모리배열의 행의 메모리 셀에 접근하기 위한 수단과.

트랜지스터 아이솔레이션 수단의 동작을 제어하기 위하여 매우 적은 전력량을 사용하면서 전하펌프수단으로부터 조절된 음의 출력전압을 제공하는 수단으로 이루어지며,

상기 매우 적은 전력량을 사용하면서 전하펌프수단으로부터 조절된 음의 출력전압을 제공하는 수단은,

전하펌프수단과,

출력전압을 생성하도록 전하펌프수단을 동작시키기 위한 클록펄스를 제공하는 수단과,

불충분한 출력전압에 응답하여 클록펄스를 제공하는 수단을 인에이블링하기 위하여 전하펌프수단의 출력전압을 모니터링하고 신호를 제공하는 수단과,

전하펌프에 가용한 전체동작시간의 일부분 동안 전하펌프수단의 출력전압을 모니터링하기 위한 수단을 인에이블링하는 수단

으로 이루어지는 것을 특징으로 하는 컴퓨터 시스템.

청구항 5

조절된 전압이 제공되는 주기의 미리 선택된 일부분동안 출력전압을 측정하는 단계와,

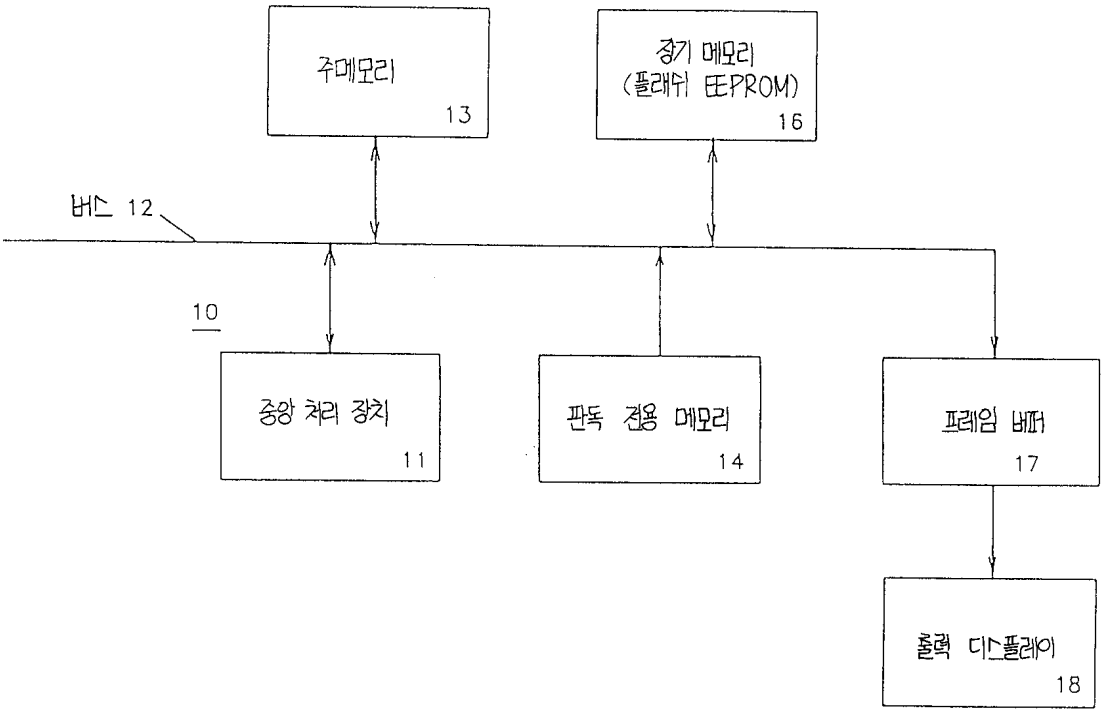
충분한 출력전압과 상기 전압을 비교하는 단계와,

충분한 출력전압 보다 작은 전압에 응답하는 클록펄스를 발생시키는 단계와,

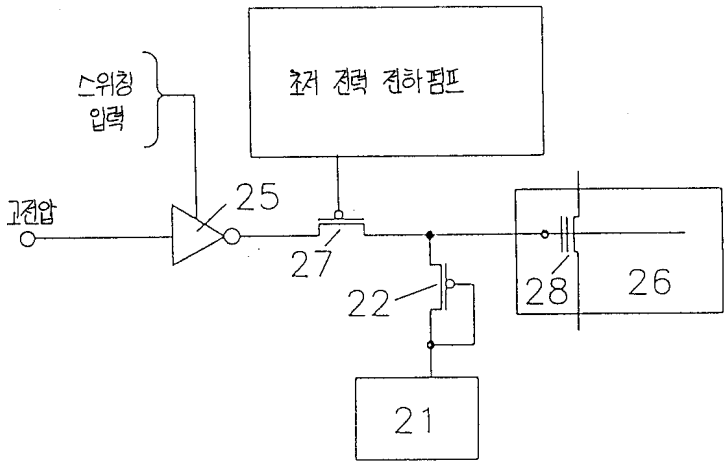
발생된 클록펄스에 응답하여 측정되는 출력전압을 생성하도록 전하펌프를 동작시키는 단계로 이루어지는 것을 특징으로하는 적은 전력량을 사용하면서 조절된 전압을 제공하는 방법.

도면

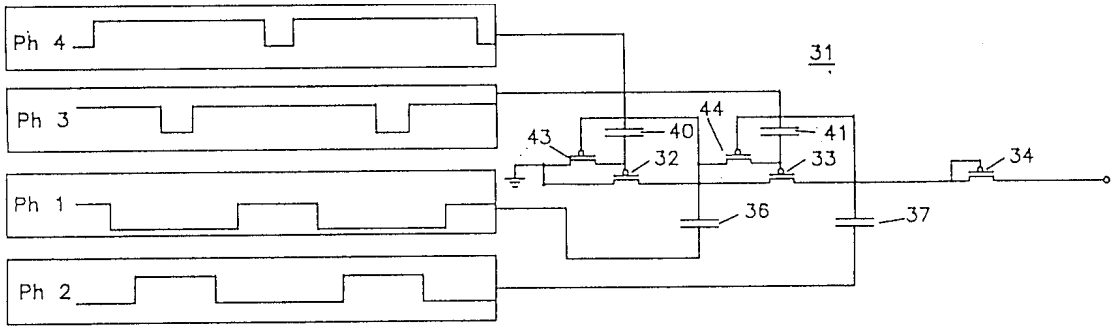
도면1



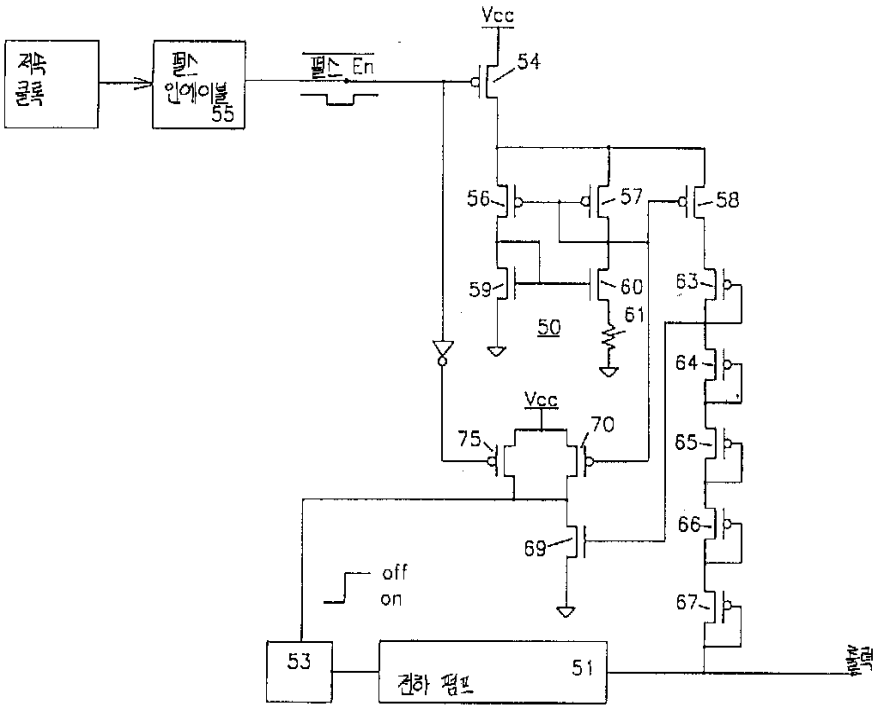
도면2


스위칭
입력
초저 전력 전하펌프
고전압
25
27
22
28
26
21

도면3


Ph 4
Ph 3
Ph 1
Ph 2
31
43
40
44
41
32
33
34
36
37

도면4


저속
클록
펄스
인에이블
55
펄스 En
Vcc
54
56
57
58
59
60
61
63
50
64
Vcc
75
70
65
66
69
off
on
67
53
전하 펌프
51
출력

도면5

