申請日期	公告本	案號：	89112276
類別：	H03K 5/13, 5/15		

（以上各欄由本局填註）

發明專利說明書　　454388

一、發明名稱	中文	可變相移時脈產生器
	英文	A VARIABLE PHASE SHIFTING CLOCK GENERATOR
二、發明人	姓名（中文）	1. 約翰 克里斯多夫 克利茲 2. 裘根 皮恩卡
	姓名（英文）	1. JOHN CHRISTOPHER KRIZ 2. JUERGEN PIANKA
	國籍	1. 美國 2. 德國
	住、居所	1. 美國賓州帕瑪頓市豪梭道2089號 2. 美國密西根州花園市洛奇羅蒙街4866號
三、申請人	姓名（名稱）（中文）	1. 美商朗訊科技公司
	姓名（名稱）（英文）	1. LUCENT TECHNOLOGIES INC.
	國籍	1. 美國
	住、居所（事務所）	1. 美國新澤西州摩里山丘市山脈大道600號
	代表人姓名（中文）	1. 麥克・R・格林
	代表人姓名（英文）	1. MICHAEL R. GREENE

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1999/06/28	09/340,815	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

發明領域

本發明之發明領域係有關於產生週期的波形，尤其是一時脈相位產生器，可在標準時脈相位之間產生多個次時脈相位。

發明背景

對於許多的類比及數位應用而言，有必要產生定義良好的時脈信號，稱為時脈相位。此應用包含數據及時脈回復電路，數據取得系統，脈波調變產生器及時脈乘法器。

圖1示週期P之基本上的時脈信號C_1。可由一時間週期D延遲該時脈而導入一相位延遲D(如兩奈秒)，且輸出延遲的時脈信號作為第二時脈輸出C_2。因此，例如，如果時脈信號C_1的週期P為8奈秒，然後導入一2奈秒的延遲D至各連續的時脈信號時，四個時脈信號C_1至C_4可用於控制上，其均基於第一時脈信號C_1產生。

使用習知技術的技術，甚至應用多相位時脈產生器及延遲鎖住迴路(DLL)產生間隔的時脈信號。美國專利5,436,939，Co等提出，列為本文之參考，其中提出此多相位時脈產生器。多相位時脈產生器及DLL均使用一連串的元件以從"分路"中產生多個輸出時脈信號。具有指定分路相關的相位延遲D參考"分路延遲"。使用這些習知技術的方法，由延遲胞元的本質延遲加上來自負載的延遲限制分路延遲的大小，方向該延遲胞元。例如，一般在壓控振盪器(VCO)中使用一連串的反相器以完成該相位延遲D；但是，使用習知技術反相器狀態之最小達到延遲約為

五、發明說明 (2)

200PS。因此，例如在8奈秒(8000PS)的週期中，最大分路數可能為40(8000PS÷200PS=40)。因此，傳統的多相位時脈產生器及DLL_s不適於需要分路延遲的應用，其小於延遲胞元的本質延遲。而且，傳統的多相位時脈信號產生器及DLL_s不適於需要變動相位偏位時脈信號的應用，因為其無法輸出具有變動相位延遲的時脈信號。

因此，需要有一種多相位時脈產生器，其可產生具有分路延遲的變動相位偏位信號，其中該分路延遲小於傳統之延遲胞元的本質延遲。

發明概述

依據本發明決定由一標準之多相時脈產生器可達到的最小及最大延遲值，以建立時脈產生器之潛在延遲的範圍，然後，在次分路或"虛擬分路"埋入延遲範圍中，以使得可選擇最小延遲，且加入來自各分路的輸出時脈信號中。

圖式之簡單說明

圖1示由一習知技術之時脈產生器產生的時脈信號；

圖2為依據本發明之變動相位延遲電路的方塊圖；

圖3示本發明之參考DAC之基本上實施例；

圖4示依據本發明之控制DAC的基本上實施例；以及

圖5依據本發明在規則的時脈脈波上之次級時脈脈波的超位置(super position)。

較佳實施例之詳細說明：

圖2示本發明之可變相位延遲電路。一標準的PLL 10產生選擇相移時脈信號信號C_1，C_2，C_3及C_4(在本例子中，有

五、發明說明 (3)

四個），其從分支點T_1，T_2，T_3，T_4中以熟知的方式輸出。PLL 10產生這些間隔，固定時脈信號，各分別與對應的從分路T_1中輸出的第一時脈信號對齊。兩相鄰的分路（在此例子中為T1及T2）向參考回授迴路20輸出及部份或所有分路（在此例子中為T1至T4）向相位控制方塊30輸出。

參考迴路20包含一對傳統的延遲胞元22，24（如需電流（current-starved）延遲胞元），這些延遲胞元耦合以接收從分別從T_1，T_2中輸出的時脈；一傳統的相位比較器/濾波器26；及一參考數位類比轉換器（DAC）28。參考迴路20的目的為將一額外的延遲加入延遲胞元22的輸出中，使得延遲胞元22的輸出與延遲胞元24的輸出呈相位對齊。延遲胞元22及延遲胞元24的輸出向相位比較器26輸出。以熟知的方式，比較器26輸出一對應延遲胞元22，24之電流之間的相位差的電壓V_{BIAS}。如果此項比較顯示從延遲胞元24的輸出相位比延遲胞元22的輸出相位超前的話，則調整V_{BIAS}直到各延遲胞元的相位重疊為止（即相位對齊）。如果來自延遲胞元24的輸出比來自延遲胞元22的輸出落後，則調整V_{BIAS}反向直到兩延遲胞元22，24的輸出呈相位對齊。因此，在參考迴路20中，在來自延遲胞元22之輸出及來自延遲胞元24之輸出之間的相位差與負反饋迴路整合以維持輸出相位之對齊。

圖3示參考DAC 28的典型實施例。如圖3所示，DAC 28包含兩個類似的DAC_s 28A，28B。DAC 28A包含串列9個二極體連接的N通道場效DAC 28（$NFET_s$）MN1到MN9，及8個控制

五、發明說明 (4)

NFET MN10到MN17，其閘極連接V_{DD}，使得均在"on"的位置。P通道場效電晶體(PEFT)MP1產生一頭端電流，其可增加或減少，以移動來自分路T_1的輸入相位。因此，進入DAC 28A的電壓V_{BIAS}由所有的9個二極體連接的NFET MN1至MN9所動作，且將最小電壓Vmin向延遲胞元22作用。因此，在延遲胞元22中，將最大延遲加入來自T_1的輸出中，且送到相位比較器26，因此，延遲胞元22的輸出定義延遲胞元的最慢操作。

DAC 28B操作類似，但是增益較小，得到一最大轉換，因此對應來自分路T_2的輸出存在最小的延遲。尤其是，$NFET_s$ MN18到MN34均連接到MN1到MN17。但是，控制$NFET_s$ MN27至MN34的閘極均接地，且因此$NFET_s$ M27至M34均在"關斷"狀態(即操作以從電路中去除二極體連接的$NFET_s$)。DAC_s 28A及28B因此不相同，其中DAC 28B只基於二柱體MN 18之效應產生偏位電壓當DAC 28A基於二極體MN1至二極體MN2至MN9的結合效應產生偏位電壓時。因此，操作DAC 28B以對於延遲胞元24提供最大的延遲量。所以，將最小的延遲量(即延遲胞元24的本質延遲)加入延遲胞元24的T_2之輸出中，且因此，延遲胞元24的輸出定義延遲胞元的最快操作。

但是圖2，圖3示參考DAC 28為積體電路的一部份，由參考DAC 28提供的參考電壓(或電流)可從一關斷的晶片源來得到。

來自相位比較器26的輸出電壓V_{bias}也向控制DAC 31及第

五、發明說明 (5)

二延遲胞元32，34，36，38形成的控制迴路30輸出。控制DAC31也接收型式為控制信號的使用者輸入，此將於下文中加以說明，現在請參考圖4。因此，控制DAC 31從包含比較器26中接收相同的偏位電壓V_{BIAS}，如同由DAC 28所接收者及使用者控制輸入，且產生對於延遲胞元32到38產生控制電壓$V_{CONTROL}$。延遲胞元32至38也接收來自分路T_1至T_4而得之於PLL 20的輸出。輸出電壓$V_{CONTROL}$將額外的延遲導入來自分路T_1至T_4的輸出中，且這些延遲時脈在次分路ST_1至ST_4中輸出(對應延遲胞元32至38)，係基於由控制電壓$V_{CONTROL}$所指示的使用者之延遲需要。

圖4中顯示控制DAC 31的基本上實施例。控制DAC 31同於控制DAC 28A的DAC 28，只有一項例外。不使用控制電晶體MN44至MN51(連接V_{DD})的閘極，控制輸入CI_1至CI_8提供使用者系統可視需要關斷或導通各控制電晶體MN44至MN51，因此，控制二極體連接之分路MN36至MN43的操作。此允許使用者視控制來自控制DAC 31的電壓輸出。因此，使用者在由分路T_1至T_2的輸出所定義的範圍內最多有8個(在此例子中)"次級延遲"SD_1至SD_8，各次級延遲可由輸出需要的控制電壓$V_{CONTROL}$至延遲胞元32，34，36，38而加入分路T_1至T_4的輸出中。因此從系統之延遲元件中可能的最大延遲可增加到一更大的延遲，此增加由使用者選擇。

圖5示圖1中的時脈信號C_1至C_2，具有8個位在時脈信號之間的次時脈SC_1至SC_8。因此，例如，如果一使用者提供一數位0至圖4之控制輸入(即CI_1及CI_2)及數位1至其餘之控制

五、發明說明（6）

輸入中任何（如CI_3至CI_8），則6個二極體連接的電晶體（MN38至MN43）可動作，而其餘二極體連接的電晶體（MN36至MN37）則不動作，且兩次級延遲的對等則加入各時脈信號C_1至C_4中（圖5只顯示C_1及C_2），因此延遲胞元32，34的輸出ST_1，ST_2可對應圖5之次時脈信號SC_{1-2}及SC_{2-2}。延遲胞元36，38的輸出也隨著延遲。

在此例子中示8個可選擇的次級延遲，次級延遲的數目可依據使用者的需要調整。

經由次分路將額外的延遲導入，使用者可指定任何需要的時脈相位，只為使用之次分路的數目所限制，且可在任何的然後時配置該項改變，即相位為變動者。

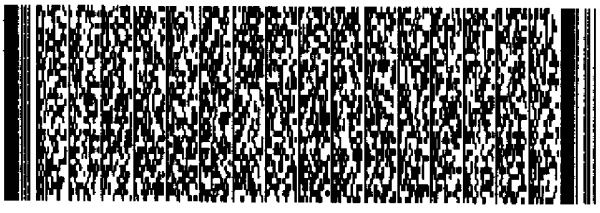
雖然文中已應較佳實施例說明本發明，但嫻熟本技術者需了解可對上述實施例加以更改及變更，而不偏離本發明的精神及觀點。例如，文中使得的最大電壓V_{MAX}及最小電壓V_{MIN}，熟習本技術者須了解可進行簡單的轉換，即使用最大電流C_{MAX}及最小電壓C_{MIN}以擴充相同的結果。因此，本發明的精神及觀點係定義在下文的申請專利範圍中。

四、中文發明摘要　（發明之名稱：可變相移時脈產生器）

一種方法及裝置，基於使用者輸入產生由次級延遲延遲的時脈信號，該次級延遲的大小比傳統延遲元件之最小可達到之延遲還要小。使用者可視需要由提供一控制輸入加入一或多個次級延遲，該控制輸入係定義將加入之次級延遲的需要之數目。

英文發明摘要　（發明之名稱：A VARIABLE PHASE SHIFTING CLOCK GENERATOR）

A method and apparatus is disclosed for generating, based upon user input, clock signals which are delayed by sub-delays which are of a size that is smaller than the smallest achievable delay of a conventional delay element. A user can selectively add one or more sub-delays by providing control inputs which define the desired number of sub-delays to be added.



六、申請專利範圍

1. 一種視需要將一延遲加到一由時脈產生器產生之時脈信號的方法，其中包含一或多個延遲元件，可將一延遲加入一產生的時脈信號中，該方法包含下列步驟：

建立一延遲的範圍，從最小延遲D_{MIN}到最大延遲D_{MAX}，以及

產生一或多個次級延遲D_S，其大小比D_{MAX}小；以及

將次級延遲D_S加到產生的時脈信號中。

2. 如申請專利範圍第1項之方法，其中該產生的步驟包含：

將該範圍分為數目設定的次分割，其對應將產生之次級延遲D_S的數目；

對應各該次分割輸出該次級延遲D_S。

3. 如申請專利範圍第2項之方法，其中該加入的步驟包含：

接收指示次級延遲Ds的控制輸入，該次級延遲係將加入產生的時脈信號中；

將次級延遲Ds的總數加入各產生的時脈信號中。

4. 如申請專利範圍第3項之方法，其中該建立的步驟包含：

產生具有最小延遲加入其上的第一時脈信號；

產生一第二時脈信號，且將一延遲量加入其內，該延遲量等於由該延遲元件中之一項可達到的最大延遲；以及

比較該第一時脈信號與該第二時脈信號以決定其間的差，因此建立該延遲的範圍。

六、申請專利範圍

5. 一種具有時脈產生器的積體電路，基於在一產生的參考時脈信號，而產生多個相位對齊的時脈信號；該相位對齊的時脈信號由一次級延遲加以延遲，該積體電路包含：

一鎖相迴路(PLL)，其產生選擇相位偏位的時脈信號；

一參考反饋迴路，連接此迴路，以接收由該PLL產生之該相位偏位之時脈信號中的兩信號，且輸出一偏壓；

以及一相位控制方塊，耦合此方塊，以接收控制輸入及該偏壓，該控制輸入決定一將加入一積體電路偏位時脈信號的次級延遲。

6. 如申請專利範圍第5項之積體電路，其中該相位控制方塊包含：

一數位類比轉換器(DAC)，連接此轉換器以接收該控制輸入，及該偏壓，且輸出一控制電壓；

多個次級延遲元件，連接此元件以接收該相位偏位時脈信號，及該控制電壓，其中該延遲元件將該控制電壓加入相位偏位之時脈信號中，因此將該次級延遲加入相位偏位的時脈信號中。

7. 如申請專利範圍第6項之積體電路，其中該次級延遲元件的數目對應由該PLL產生之相位偏位時脈信號的數目，各該相位偏位時脈信號輸入各該次級延遲元件中。

8. 如申請專利範圍第7項之積體電路，其中該次級延遲元件包含延遲加法器。

9. 如申請專利範圍第5項之積體電路，其中該參考反饋

六、申請專利範圍

迴路包含：

一參考DAC，其輸出一電壓V_{MIN}及一電壓V_{MAX}；

一第一延遲元件，耦合此延遲元件以接收該兩個相位偏位時脈信號中的第一個，及該電壓V_{MAX}，且輸出一最大延遲的相位偏位時脈信號；

一第二延遲元件，耦合此延遲元件以接收該兩個相位偏位時脈信號中的第二個及該電壓V_{MIN}，且輸出一最小相位偏位時脈信號；

一相位比較/濾波器，耦合此機構以接收來自該第一及第二延遲元件的最大及最小相位偏位時脈信號，且輸出該偏壓，其中輸入該偏壓至該參考DAC中，以維持該相位偏位時脈信號於該狀態。

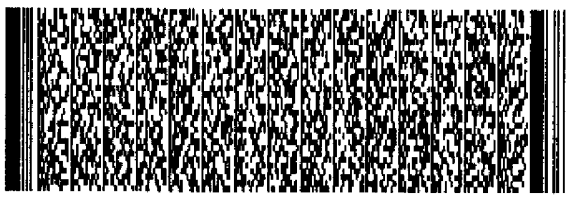
10. 如申請專利範圍第5項之積體電路，其中該參考反饋迴路包含：

接收機構，用於接收來自一外部來源的電壓V_{MIN}及一電壓V_{MAX}；

一第一延遲元件，耦合此延遲元件，接收該兩個相位偏位時脈信號中的第一個，及該電壓V_{MAX}，且輸出一最大延遲的相位偏位時脈信號；

一第二延遲元件，耦合此延遲元件，以接收該兩個相位偏位時脈信號中的第二個及該電壓V_{MIN}，且輸出一最小延遲的相位偏位時脈信號；

一相位比較/濾波器，耦合此機構以接收來自該第一及第二延遲元件的最大及最小相位偏位時脈信號，且輸出



六、申請專利範圍

該偏壓，其中輸入該偏壓至該參考DAC中，以維持該相位偏位時脈信號於該狀態。

11. 如申請專利範圍第5項之積體電路，其中該參考反饋迴路包含：

一參考DCA，輸出一電流C_{MIN}及一電流C_{MAX}；

一第一延遲元件，耦合此延遲元件以接收該兩個相位偏位時脈信號中的第一個，及該電流C_{MAX}，且輸出一最大延遲的相位偏位時脈信號；

一第二延遲元件，耦合此延遲元件以接收該兩個相位偏位時脈信號中的第二個及該電流C_{MIN}，且輸出一最小相位偏位時脈信號；

一相位比較/濾波器，耦合此機構以接收來自該第一及第二延遲元件的最大及最小相位偏位時脈信號，且輸出該偏壓，其中輸入該偏壓至該參考DAC中，以維持該相位偏位時脈信號於該狀態。

12. 如申請專利範圍第5項之積體電路，其中該參考反饋迴路包含：

接收機構，用於接收來自一外部來源的電流C_{MIN}及一電流C_{MAX}；

一第一延遲元件，耦合此延遲元件，接收該兩個相位偏位時脈信號中的第一個，及該電流C_{MAX}，且輸出一最大延遲的相位偏位時脈信號；

一第二延遲元件，耦合此延遲元件，以接收該兩個相位偏位時脈信號中的第二個及該電流C_{MIN}，且輸出一最小

六、申請專利範圍

延遲的相位偏位時脈信號；

一相位比較/濾波器，耦合此機構以接收來自該第一及第二延遲元件的最大及最小相位偏位時脈信號，且輸出該偏壓，其中輸入該偏壓至該參考DAC中，以維持該相位偏位時脈信號於該狀態。

圖式

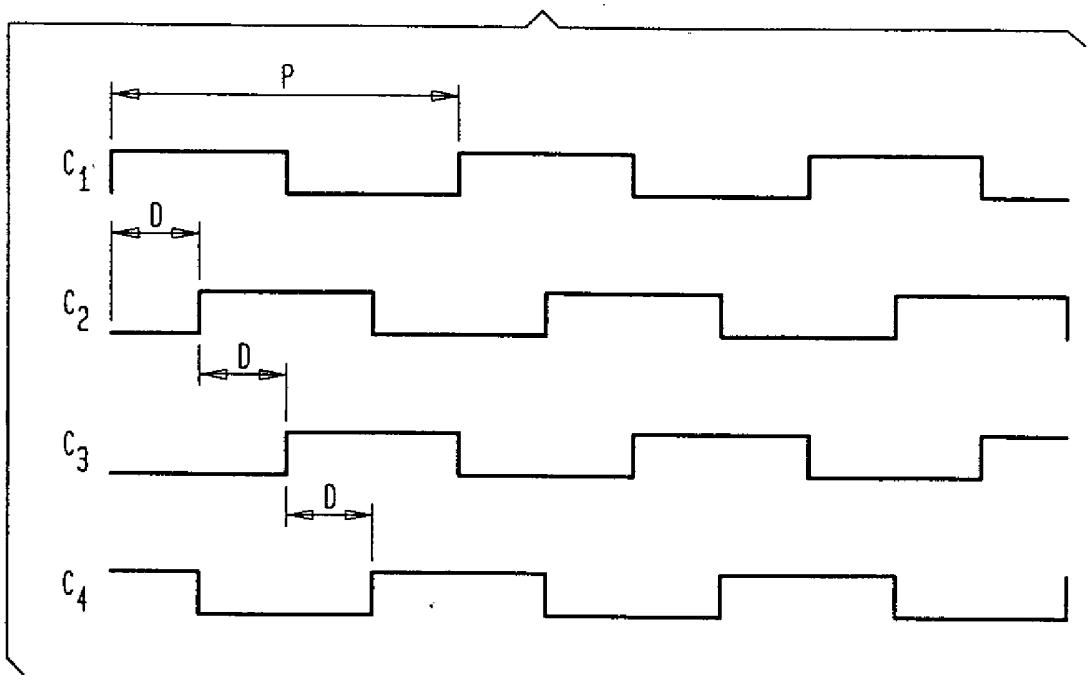


圖1

圖式

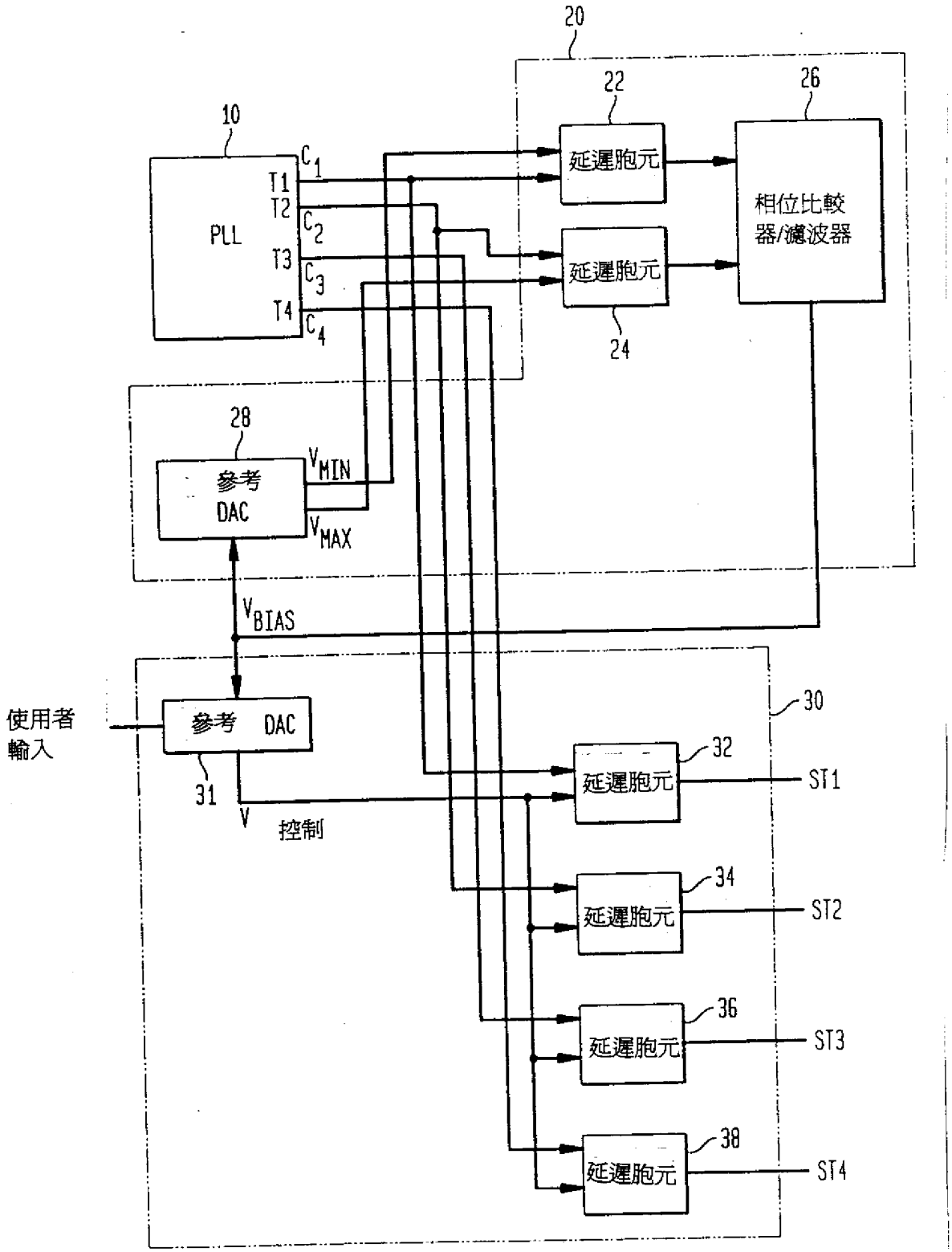

20
22
26
10
延遲胞元
相位比較器/濾波器
PLL
T1
T2
T3
T4
C1
C2
C3
C4
延遲胞元
24
28
參考 DAC
VMIN
VMAX
VBIAS
使用者輸入
參考 DAC
30
32
延遲胞元
ST1
31
V 控制
34
延遲胞元
ST2
36
延遲胞元
ST3
38
延遲胞元
ST4

圖2

圖式

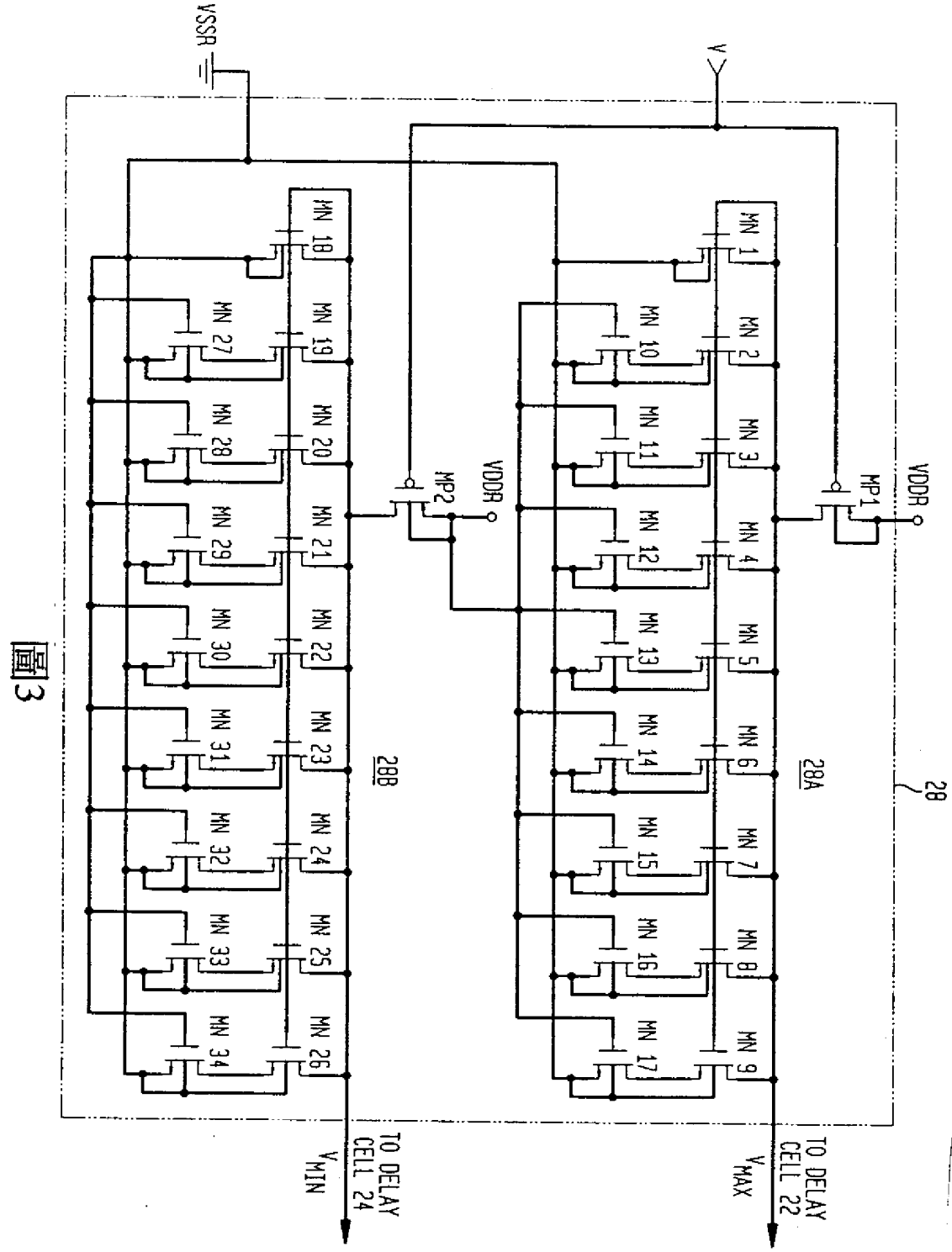

VSSR
V
MN 18
MN 19
MN 20
MN 21
MN 22
MN 23
MN 24
MN 25
MN 26
MN 27
MN 28
MN 29
MN 30
MN 31
MN 32
MN 33
MN 34
MN 1
MN 2
MN 3
MN 4
MN 5
MN 6
MN 7
MN 8
MN 9
MN 10
MN 11
MN 12
MN 13
MN 14
MN 15
MN 16
MN 17
MP2
MP1
VDDR
VDDR
28B
28A
28
TO DELAY CELL 24
V_{MIN}
TO DELAY CELL 22
V_{MAX}

圖3

圖式

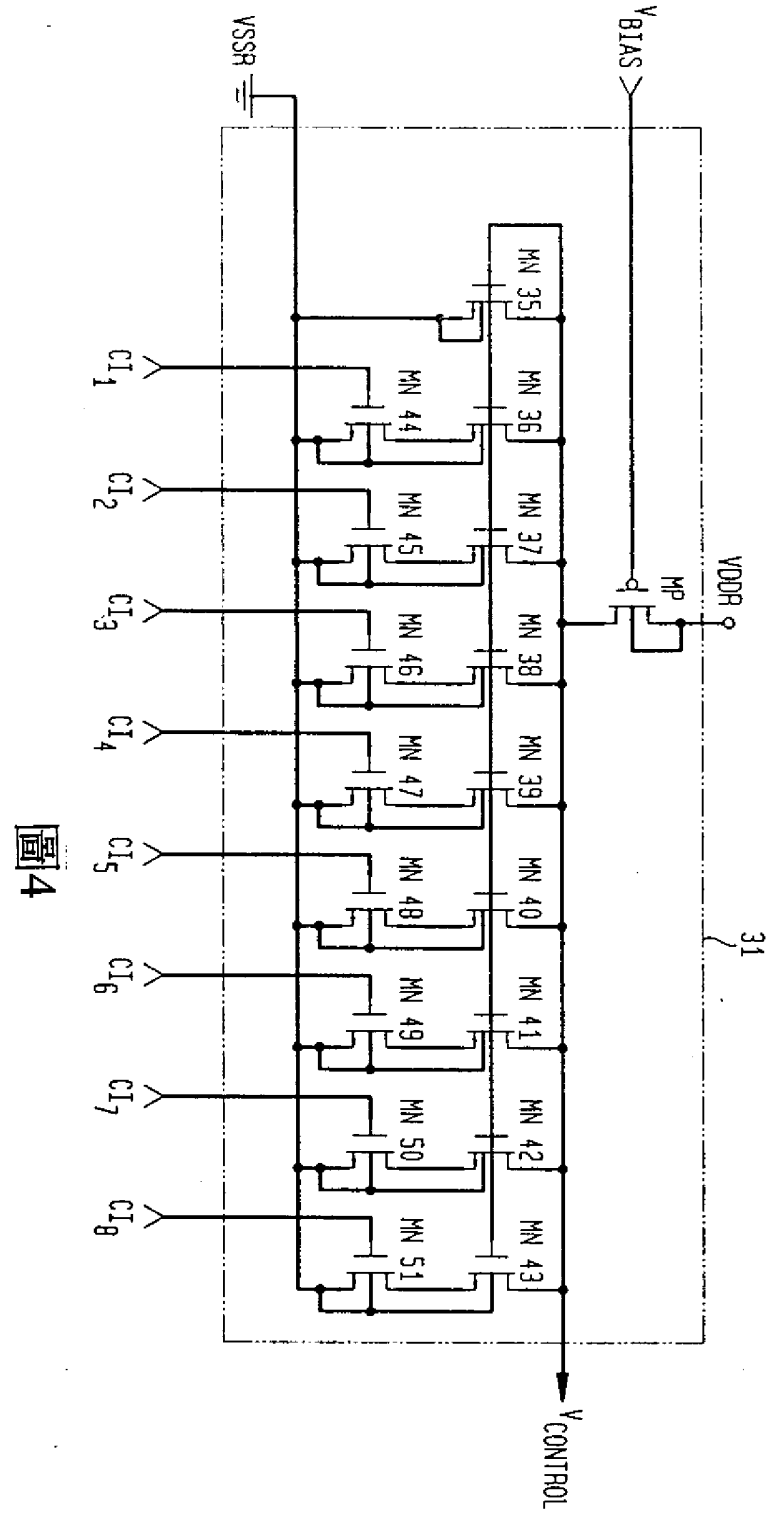

VSSR
VBIAS
MN 35
MN 44
MN 36
MN 45
MN 37
MP
VDDR
MN 46
MN 38
MN 47
MN 39
MN 48
MN 40
MN 49
MN 41
MN 50
MN 42
MN 51
MN 43
CI1
CI2
CI3
CI4
CI5
CI6
CI7
CI8
31
VCONTROL

圖4

圖式

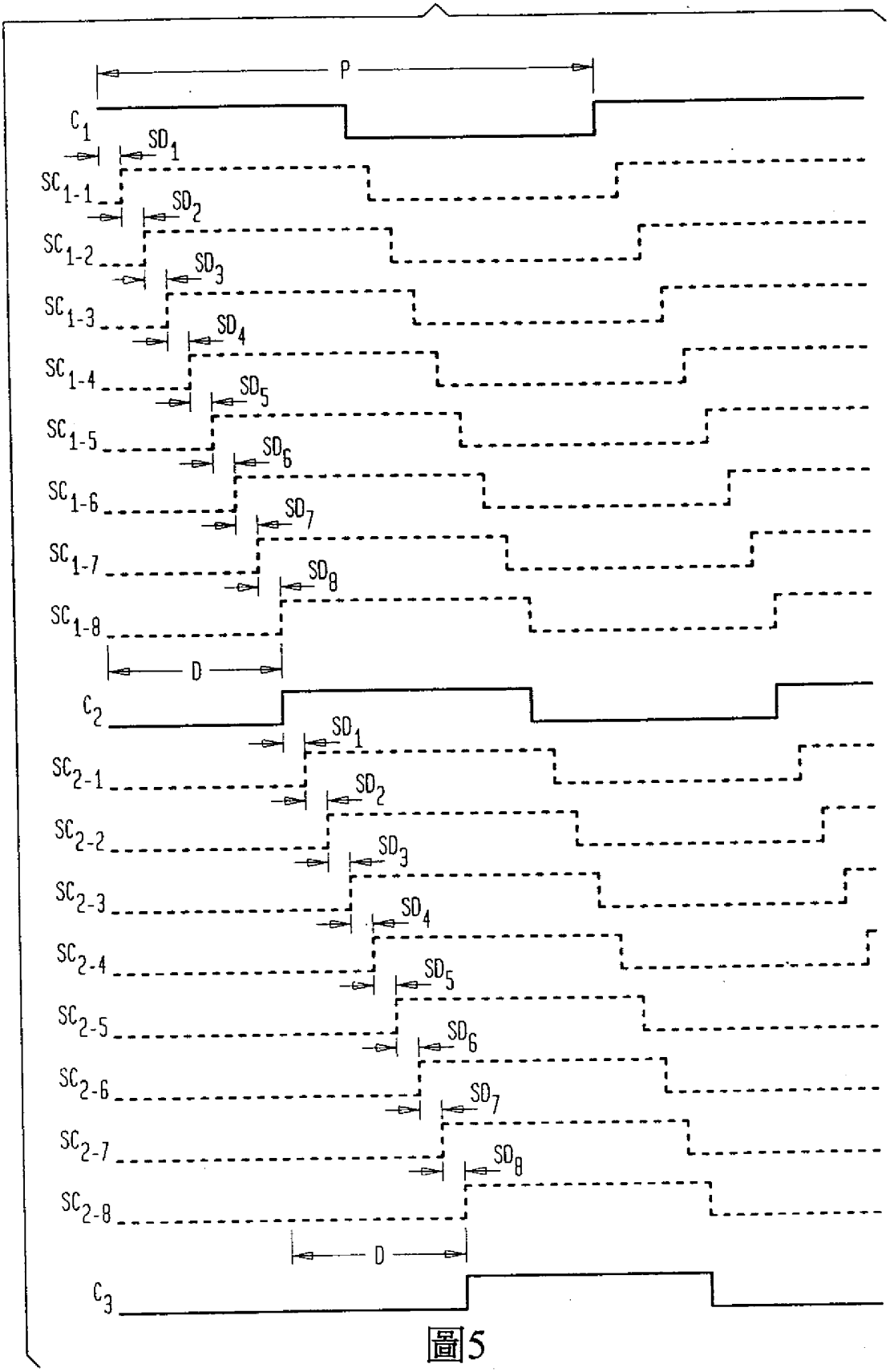

P
C1
SD1
SC1-1
SD2
SC1-2
SD3
SC1-3
SD4
SC1-4
SD5
SC1-5
SD6
SC1-6
SD7
SC1-7
SD8
SC1-8
D
C2
SD1
SC2-1
SD2
SC2-2
SD3
SC2-3
SD4
SC2-4
SD5
SC2-5
SD6
SC2-6
SD7
SC2-7
SD8
SC2-8
D
C3

圖5