

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)



(10) 国际公布号
WO 2016/107140 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2015/084210

(22) 国际申请日: 2015 年 7 月 16 日 (16.07.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510002273.4 2015 年 1 月 4 日 (04.01.2015) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: 乔赞 (QIAO, Yun); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。孙建 (SUN, Jian); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。李成 (LI, Cheng); 中国北京市北京经济技术开发区地泽路 9 号, Beijing

100176 (CN)。安星俊 (AN, Seongjun); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF, DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 一种阵列基板及其制备方法、显示面板及显示装置

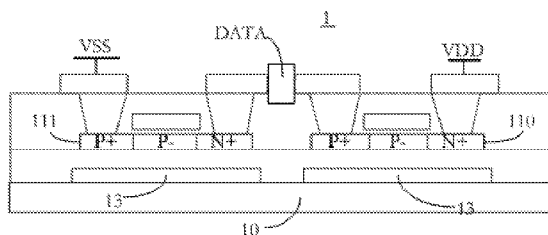


图 3 / Fig. 3

(57) Abstract: Disclosed are an array substrate and a manufacturing method thereof, a display panel and a display device. The array substrate (1) comprises a base (10), as well as a data line, a switching device and a voltage compensation module (12) which are arranged on the base, wherein the switching device is connected between the data line and the voltage compensation module (12) and used for connecting the data line with the voltage compensation module (12) when the voltage on the data line is lower than a preset low voltage or higher than a preset high voltage. The array substrate (1) adopts a PN junction as the switching device between the data line and the voltage compensation module (12), and the leakage current between the P end and the N end of the PN junction is low, so that the power consumption of the array substrate can be reduced.

(57) 摘要: 一种阵列基板及其制备方法、显示面板及显示装置, 所述阵列基板 (1) 包括基底 (10), 以及设置在基底上的数据线、开关器件和电压补偿模块 (12), 所述开关器件连接在所述数据线与电压补偿模块 (12) 之间, 用以在所述数据线上的电压低于预设低电压或高于预设高电压时, 将所述数据线与电压补偿模块 (12) 导通。所述阵列基板 (1) 采用 PN 结作为数据线与电压补偿模块 (12) 之间的开关器件, 由于 PN 结的 P 端和 N 端之间的漏电流较小, 从而可以降低阵列基板的功耗。

WO 2016/107140 A1



IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板及其制备方法、显示面板及显示装置

相关申请的交叉引用

本申请要求在 2015 年 1 月 4 日向中国国家知识产权局提交的申
5 请号为 201510002273.4 的优先权，并在此全部引用。

技术领域

本发明涉及液晶显示技术领域，具体地，涉及一种阵列基板及其制备方法、显示面板及显示装置。

10

背景技术

在薄膜晶体管液晶显示器（TFT LCD）中，低温多晶硅（LTPS）技术具有分辨率高、反应速度快、亮度高和开口率高等优点；基于以上优点，LTPS 技术成为 TFT LCD 的发展方向之一。LTPS 技术较为
15 复杂，使得采用 LTPS 技术的 TFT LCD 的产品良率较低。特别地，在采用 LTPS 技术的 TFT LCD 的生产和使用过程中，更容易产生静电，因此，为了提高抗静电释放（Electro-Static Discharge，以下简称为 ESD）能力，采用 LTPS 技术的 TFT LCD 中一般设置 ESD 回路，以避免 TFT LCD 因 ESD 而损坏。

20

图 1 为现有采用 LTPS 技术的 TFT LCD 中的 ESD 回路的示意图。如图 1 所示，所述 ESD 回路包括第一、第二晶体管，第一晶体管的栅极 G、漏极 D 与数据线 DATA 连接，源极 S 与阵列基板上的高电压端 VDD 连接，所述高电压端 VDD 上的电压为 TFT LCD 的显示面板正常工作的最高正电压 VGH；第二晶体管的源极 S 与数据线 DATA
25 连接，栅极 G、漏极 D 与低电压端 VSS 连接，所述低电压端 VSS 上的电压为 TFT LCD 的显示面板正常工作的最低负电压 VGL。图 2 为图 1 所示 TFT LCD 的结构图。如图 2 所示，第一、第二晶体管的源极 S、漏极 D 通过设置在阵列基板上的多晶硅连接，且该多晶硅的与源极 S、漏极 D 连接的一端均进行 N 型高浓度掺杂，且该两端之间
30 进行 P 型低浓度掺杂。

在上述 TFT LCD 中，由于第一晶体管的栅极 G、漏极 D 相连和第二晶体管的栅极 G、漏极 D 相连，其二者等效为单向导通的二极管。在产生静电从而使数据线 DATA 上的电压高于 VGH 时，第一晶体管开启，使数据线 DATA 与高电压端 VDD 连接，从而使数据线 DATA 上的电压不高于 VGH；在产生静电从而使数据线 DATA 上的电压低于 VGL 时，第二晶体管开启，使数据线 DATA 与低电压端 VSS 连接，从而使数据线 DATA 上的电压不低于 VGL。在数据线 DATA 上的电压处在 VGH 和 VGL 之间时，第一、第二晶体管关闭，从而使高电压端 VDD、低电压端 VSS 不会影响数据线 DATA 上的电压。

在上述 TFT LCD 中，将栅极 G 与漏极 D 连接的第一晶体管、第二晶体管等效单向导通的二极管，连接在数据线 DATA 与高电压端 VDD、低电压端 VSS 之间，可以不增加阵列基板的制备工艺（第一晶体管、第二晶体管与每个像素单元内的薄膜晶体管同时制备）。但由于在多晶硅的两端均进行 N 型高浓度掺杂，会使第一、第二晶体管的源极 S、漏极 D 之间具有较大的漏电流，这样会导致 TFT LCD 工作时的功耗较高。

发明内容

本发明旨在至少解决现有技术中存在的上述技术问题之一，提出了一种阵列基板及其制备方法、显示面板及显示装置。本发明的所述阵列基板、显示面板及显示装置具有较低的功耗。

为实现本发明的目的而提供一种阵列基板，所述阵列基板包括基底，以及设置在基底上的数据线、开关器件和电压补偿模块，所述开关器件连接在所述数据线与所述电压补偿模块之间，用以在所述数据线上的电压低于预设低电压或高于预设高电压时，将所述数据线与所述电压补偿模块导通；所述开关器件由至少一个 PN 结构成。

其中，所述电压补偿模块包括高电压端和低电压端，所述高电压端的电压为所述预设高电压，所述低电压端的电压为所述预设低电压。

其中，所述开关器件包括第一 PN 结和第二 PN 结，所述第一 PN 结的 P 端与数据线连接，N 端与高电压端连接；所述第二 PN 结的 P 端与低电压端连接，N 端与数据线连接。当数据线上的电压高于预设高电压时，第一 PN 结将数据线 with 高电压端导通；当数据线上的电压低于预设低电压时，第二 PN 结将数据线 with 低电压端导通。

其中，所述电压补偿模块包括高电压端，所述高电压端的电压为所述预设高电压；所述开关器件由一个 PN 结构成，所述 PN 结的 P 端与数据线连接，N 端与高电压端连接。当数据线上的电压高于预设高电压时，所述 PN 结将数据线 with 高电压端导通。

其中，所述电压补偿模块包括低电压端，所述低电压端的电压为所述预设低电压；所述开关器件由一个 PN 结构成，所述 PN 结的 P 端与低电压端连接，N 端与数据线连接。当数据线上的电压低于预设低电压时，所述 PN 结将数据线 with 低电压端导通。

其中，所述 PN 结的 P 端和 N 端通过 in 多晶硅或单晶硅的两端分别进行 P 型高浓度掺杂和 N 型高浓度掺杂制备。

其中，所述 PN 结的 P 端和 N 端之间具有间隔，所述间隔区域进行 P 型低浓度掺杂。

其中，所述阵列基板还包括制备在基底上的光阻挡层，所述光阻挡层设置在所述 PN 结的正下方。

其中，所述阵列基板包括有效显示区和环绕所述有效显示区的边框区，所述 PN 结和电压补偿模块设置在所述边框区。

其中，所述阵列基板上的每个像素单元内还设置有薄膜晶体管，所述 PN 结在制备所述薄膜晶体管的过程中形成。

作为另一个技术方案，本发明还提供一种阵列基板的制备方法，用于制备本发明提供的上述阵列基板，所述阵列基板的制备方法包括：

在基底上制备数据线的步骤；

在基底上制备与数据线和电压补偿模块连接的至少一个 PN 结的步骤。

其中，制备所述 PN 结的步骤包括：

在基底上制备多晶硅或单晶硅层；

在多晶硅或单晶硅层的两端分别进行 P 型高浓度掺杂和 N 型高浓度掺杂。

5 其中，所述阵列基板的制备方法还包括在基底上制备薄膜晶体管的步骤；

所述 PN 结在制备所述薄膜晶体管的工艺过程中制备。

其中，还包括在制备所述 PN 结之前，在基底上制备光阻挡层的步骤。

其中，所述 PN 结设置在光阻挡层的正上方。

10 作为另一个技术方案，本发明还提供一种显示面板，包括阵列基板和对盒基板，所述阵列基板采用本发明提供的上述阵列基板。

作为另一个技术方案，本发明还提供一种显示装置，包括显示面板，所述显示面板采用本发明提供的上述显示面板。

本发明具有以下有益效果：

15 本发明提供的阵列基板，其采用 PN 结作为连接在数据线与电压补偿模块之间的开关器件，与现有技术中栅极与漏极连接的薄膜晶体管结构相比，PN 结的 P 端和 N 端之间的漏电流更小，从而使本发明提供的阵列基板的功耗更小。

20 本发明提供的阵列基板的制备方法，其在基底上制备与数据线和电压补偿模块连接的 PN 结作为开关器件，使开关器件中的漏电流更小，从而使本发明提供的阵列基板的制备方法所制备出的阵列基板的功耗更小。

本发明提供的显示面板，其采用本发明上述提供的上述阵列基板，可以降低功耗。

25 本发明提供的显示装置，其采用本发明提供的上述显示面板，可以降低功耗。

附图说明

30 附图是用来提供对本发明的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本发明，但并不构成对本

发明的限制。在附图中：

图 1 为现有采用 LTPS 技术的 TFT LCD 中的 ESD 回路的示意图；

图 2 为图 1 所示 TFT LCD 的结构图；

图 3 为本发明提供的阵列基板的实施方式的结构示意图；

5 图 4 为图 3 所示阵列基板的 ESD 回路的电路图；

图 5 为图 4 所示 ESD 回路的第一种替代方式的电路图；

图 6 为图 4 所示 ESD 回路的第二种替代方式的电路图。

其中，附图标记：

10 1: 阵列基板；10: 基底；11: PN 结；12: 电压补偿模块；110:
第一 PN 结；111: 第二 PN 结；13: 光阻挡层。

具体实施方式

15 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是，此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制本发明。

20 请参看图 3 和图 4，图 3 为本发明实施方式提供的阵列基板的结构示意图，图 4 为图 3 所示阵列基板的 ESD 回路的电路图。在本实施方式中，阵列基板 1 包括基底 10，以及设置在基底 10 上的数据线 DATA、开关器件和电压补偿模块 12，所述开关器件连接在数据线 DATA 与电压补偿模块 12 之间，用以在数据线 DATA 上的电压低于预设低电压或高于预设高电压时将数据线 DATA 与电压补偿模块 12 导通；所述开关器件由至少一个 PN 结 11 构成。具体地，所述预设高电压可以为阵列基板 1 最高工作正电压 VGH，即阵列基板 1 正常工作所允许的最高正电压，所述预设低电压可以为阵列基板 1 最低工作负电压 VGL，即阵列基板 1 正常工作所允许的最低负电压；当然，
25 所述预设高电压也可以设置为一个小于最高工作正电压 VGH 的电压值，所述预设低电压也可以设置为一个大于最低工作负电压 VGL 的电压值。

30 在本实施方式中，当阵列基板 1 上产生静电，从而导致数据线 DATA 上的电压高于预设高电压或低于预设低电压时，电压补偿模块

12 通过导通的 PN 结与数据线 DATA 电连接，可以使数据线 DATA 上的电压不高于预设高电压或不低于预设低电压，或者使数据线 DATA 上的电压既不高于预设高电压，也不低于预设低电压，从而使数据线 DATA 上的电压处在或尽可能处在正常的工作范围之内，避免由于静电释放导致阵列基板 1 及应用所述阵列基板 1 的显示面板和显示装置损坏。同时，与现有技术中的两个 N 型高浓度掺杂的端部相比，PN 结的 P 端和 N 端之间的漏电流更小，这样可以使阵列基板 1，以及采用阵列基板 1 的显示面板和显示装置的功耗较低。

具体地，如图 3 和图 4 所示，所述电压补偿模块 12 包括高电压端 VDD 和低电压端 VSS，所述高电压端 VDD 上的电压等于所述预设高电压，所述低电压端 VSS 上的电压等于所述预设低电压。所述至少一个 PN 结 11 包括第一 PN 结 110 和第二 PN 结 111，所述第一 PN 结 110 的 P 端与数据线 DATA 连接，N 端与高电压端 VDD 连接，从而使数据线 DATA 上的电压高于预设高电压时，第一 PN 结 110 可以导通，将数据线 DATA 与高电压端 VDD 电连接；所述第二 PN 结 111 的 P 端与低电压端 VSS 连接，N 端与数据线 DATA 连接，从而使数据线 DATA 上的电压低于预设低电压时，第二 PN 结 111 可以导通，将数据线 DATA 与低电压端 VSS 电连接。

作为一种替代实施例，如图 5 所示，所述电压补偿模块 12 可以至少包括高电压端 VDD（可以包括低电压端 VSS，也可以不包括低电压端 VSS）；与上述实施例相同，高电压端 VDD 的电压同样为所述预设高电压；在此情况下，所述开关器件由一个 PN 结 11 构成，所述 PN 结 11 的 P 端与数据线 DATA 连接，N 端与高电压端 VDD 连接。在本实施例中，当数据线 DATA 上的电压高于预设高电压时，PN 结 11 可以导通，将数据线 DATA 与高电压端 VDD 电连接。

作为另一种替代实施例，如图 6 所示，所述电压补偿模块 12 可以至少包括低电压端 VSS（可以包括高电压端 VDD，也可以不包括高电压端 VDD）；与上述实施例相同，低电压端 VSS 的电压同样为所述预设低电压；在此情况下，所述开关器件由一个 PN 结 11 构成，所述 PN 结 11 的 P 端与低电压端 VSS 连接，N 端与数据线 DATA 连

接。在本实施例中，当数据线 DATA 上的电压低于预设低电压时，PN 结 11 可以导通，将数据线 DATA 与低电压端 VSS 电连接。

具体地，所述 PN 结 11 的 P 端（图 3 中的 P+ 区域）和 N 端（图 3 中的 N+ 区域）通过多晶硅或单晶硅的两端分别进行 P 型高浓度掺杂和 N 型高浓度掺杂制备。进一步地，所述 PN 结 11 的 P 端和 N 端之间具有间隔（图 3 中的 P- 区域），所述间隔区域进行 P 型低浓度掺杂。

优选地，所述阵列基板 1 还包括制备在基底 10 上的光阻挡层 13，所述光阻挡层 13 设置在所述至少一个 PN 结 11（或第一 PN 结 110 或第二 PN 结 111）的正下方，换言之，所述至少一个 PN 结 11（或第一 PN 结 110 或第二 PN 结 111）在所述光阻挡层 13 的正上方。这样设置可以避免背光源发出的光线照射至 PN 结 11 上，在 PN 结 11 的 P 端和 N 端产生光生漏电流。

阵列基板 1 包括有效显示区和环绕所述有效显示区的边框区，一般地，所述静电产生在所述边框区，因此，在本实施方式中，所述 PN 结 11 和电压补偿模块 12 设置在所述边框区。

阵列基板 1 上的每个像素单元内还设置有薄膜晶体管，所述 PN 结 11 在制备所述薄膜晶体管的工艺过程中制备；这样设置可以不增加制备阵列基板 1 的工艺流程，从而不增加阵列基板 1 的生产时间和生产成本。

综上所述，本发明实施方式提供的阵列基板 1 采用 PN 结 11 作为连接在数据线 DATA 与电压补偿模块 12 之间的开关器件，与现有技术中栅极与漏极连接的薄膜晶体管结构相比，PN 结 11 的 P 端和 N 端之间的漏电流更小，从而使本实施方式提供的阵列基板 1 的功耗更小。

作为另一个技术方案，本发明实施方式还提供一种阵列基板的制备方法，用于制备本发明上述实施方式所提供的阵列基板，所述阵列基板的制备方法包括：

在基底上制备数据线的步骤；

在基底上制备与数据线和电压补偿模块连接的至少一个 PN 结

的步骤。

制备所述 PN 结的步骤可以包括：

在基底上制备多晶硅或单晶硅层；

5 在多晶硅或单晶硅层的两端分别进行 P 型高浓度掺杂和 N 型高浓度掺杂。具体地，所述多晶硅或单晶硅层的两端之间的区域可以进行 P 型低浓度掺杂。

10 在本实施方式中，所述阵列基板的制备方法还包括在基底上制备薄膜晶体管的步骤；所述 PN 结在制备所述薄膜晶体管的工艺过程中制备；这样可以不增加阵列基板的制备工艺，从而不会增加阵列基板的生产成本和生产时间。

优选地，所述阵列基板的制备方法还包括在制备所述 PN 结之前，在基底上制备光阻挡层的步骤；将所述 PN 结设置在所述光阻挡层的正上方，这样的设置可以避免背光源发出的光线照射至 PN 结上，在 PN 结的 P 端和 N 端产生光生漏电流。

15 本发明实施方式提供的阵列基板的制备方法在基底上制备与数据线和电压补偿模块连接的 PN 结作为开关器件，PN 结作为开关器件使得漏电流更小，从而使本发明提供的阵列基板的制备方法所制备出的阵列基板的功耗更小。

20 作为另一个技术方案，本发明还提供了一种显示面板，在本实施方式中，显示面板包括阵列基板和对盒基板，所述阵列基板采用本发明上述实施方式提供的阵列基板。

本实施方式提供的显示面板采用本发明上述实施方式提供的阵列基板，可以降低功耗。

25 作为另一个技术方案，本发明还提供了一种显示装置，在本实施方式中，显示装置包括显示面板，且所述显示面板采用本发明上述实施方式提供的显示面板。

本实施方式提供的显示装置，其采用本发明上述实施方式提供的显示面板，可以降低功耗。

30 可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的

普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权 利 要 求 书

1. 一种阵列基板，包括基底，以及设置在基底上的数据线、开关器件和电压补偿模块，所述开关器件连接在所述数据线
5 与电压补偿模块之间，用以在所述数据线上的电压低于预设低电压或高于预设高电压时，将所述数据线
与电压补偿模块导通；其中，所述开关器件由至少一个 PN 结构成。

2. 根据权利要求 1 所述的阵列基板，其中，所述电压补偿模块
10 包括高电压端和低电压端，所述高电压端的电压为所述预设高电压，所述低电压端的电压为所述预设低电压。

3. 根据权利要求 2 所述的阵列基板，其中，所述开关器件包括
15 第一 PN 结和第二 PN 结，所述第一 PN 结的 P 端与数据线连接，N 端与高电压端连接；所述第二 PN 结的 P 端与低电压端连接，N 端与数据线连接。

4. 根据权利要求 1 所述的阵列基板，其中，所述电压补偿模块
包括高电压端，所述高电压端的电压为所述预设高电压；

20 所述开关器件由一个 PN 结构成，该 PN 结的 P 端与数据线连接，N 端与高电压端连接。

5. 根据权利要求 1 所述的阵列基板，其中，所述电压补偿模块
包括低电压端，所述低电压端的电压为所述预设低电压；

25 所述开关器件由一个 PN 结构成，该 PN 结的 P 端与低电压端连接，N 端与数据线连接。

6. 根据权利要求 1~5 任意一项所述的阵列基板，其中，所述 PN

结的 P 端和 N 端通过有多晶硅或单晶硅的两端分别进行 P 型高浓度掺杂和 N 型高浓度掺杂制备。

5 7. 根据权利要求 6 所述的阵列基板，其中，所述 PN 结的 P 端和 N 端之间具有间隔，所述间隔区域进行 P 型低浓度掺杂。

10 8. 根据权利要求 1 至 5 任意一项所述的阵列基板，其中，所述阵列基板还包括制备在基底上的光阻挡层，所述光阻挡层设置在所述 PN 结的正下方。

9. 根据权利要求 1 至 5 任意一项所述的阵列基板，其中，所述阵列基板包括有效显示区和环绕所述有效显示区的边框区，所述 PN 结和电压补偿模块设置在所述边框区。

15 10. 根据权利要求 1 至 5 任意一项所述的阵列基板，其中，所述阵列基板上的每个像素单元内还设置有薄膜晶体管，所述 PN 结在制备所述薄膜晶体管的过程中形成。

20 11. 一种权利要求 1 的阵列基板的制备方法，包括：
在基底上制备数据线的步骤；
在基底上制备与数据线和电压补偿模块连接的至少一个 PN 结的步骤。

25 12. 根据权利要求 11 所述的阵列基板的制备方法，其中，制备所述 PN 结的步骤包括：

在基底上制备多晶硅或单晶硅层；

在多晶硅或单晶硅层的两端分别进行 P 型高浓度掺杂和 N 型高浓度掺杂。

13. 根据权利要求 11 所述的阵列基板的制备方法，还包括在基底上制备薄膜晶体管的步骤；

所述 PN 结在制备所述薄膜晶体管的工艺过程中制备。

5

14. 根据权利要求 11 所述的阵列基板的制备方法，还包括在制备所述 PN 结之前，在基底上制备光阻挡层的步骤。

15. 根据权利要求 14 所述的阵列基板的制备方法，其中，所述
10 PN 结设置在光阻挡层的正上方。

16. 一种显示面板，包括阵列基板和对盒基板，其中，所述阵列基板采用权利要求 1 至 10 任意一项所述的阵列基板。

15 17. 一种显示装置，包括显示面板，其中，所述显示面板采用权利要求 16 所述的显示面板。

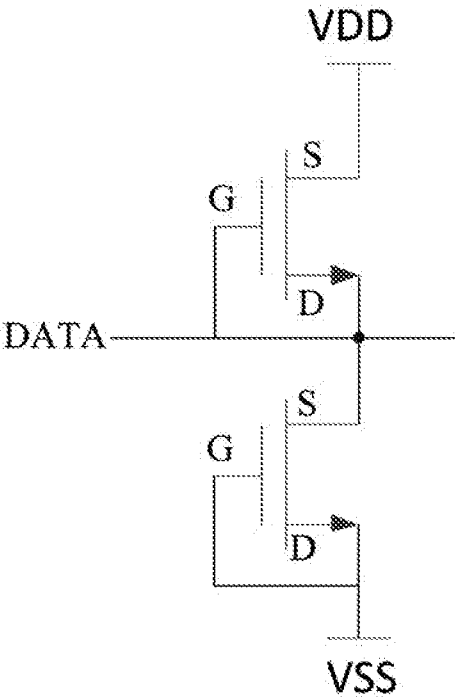


图 1

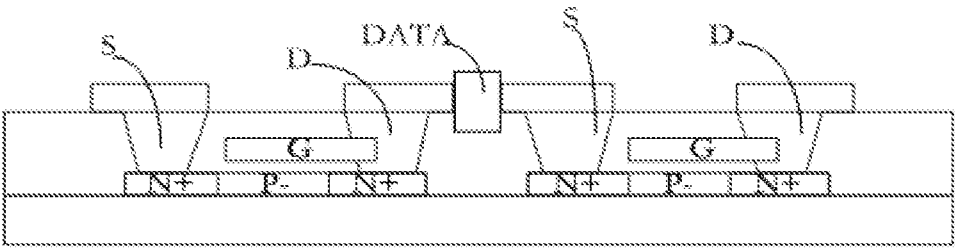


图 2

2/3

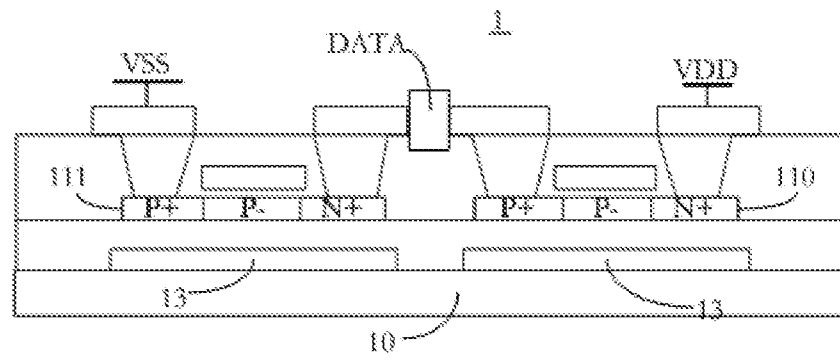


图 3

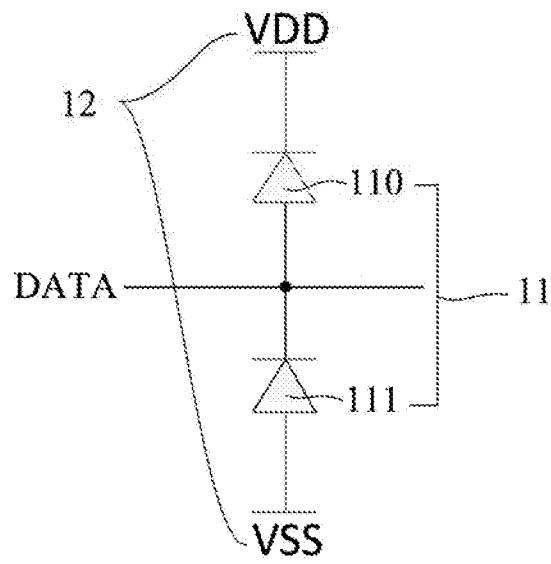


图 4

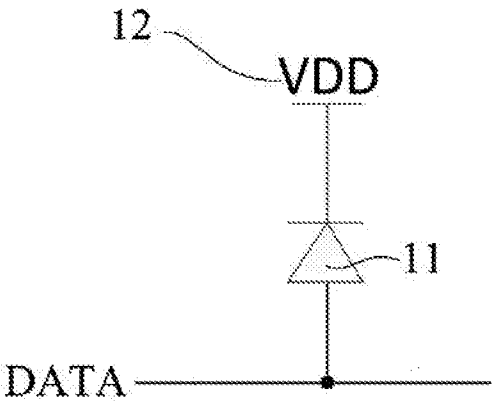


图 5

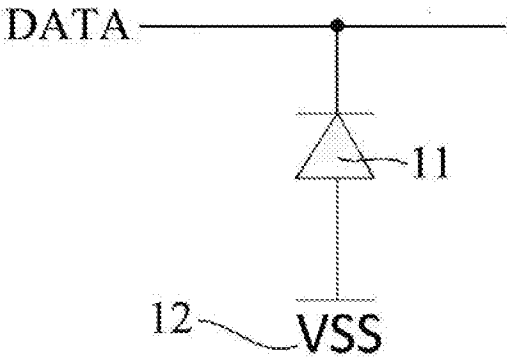


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/084210

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: transistor, "PN", switch, breakover, compensate, release, protect, node, data line, signal line, light-blocking, light shading, polycrystalline silicon, monocrystalline silicon, doping, diode?, array, matrix, voltage, ESD, electrostatic, circuit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 08171081 A (SHARP KK.), 02 July 1996 (02.07.1996), description, paragraphs 0027-0029, 0036-0040, 0044-0051 and 0053, and figures 1-4	1-7, 9, 11- 12, 16-17
Y	JP 08171081 A (SHARP KK.), 02 July 1996 (02.07.1996), description, paragraphs 0027-0029, 0036-0040, 0044-0051 and 0053, and figures 1-4	8, 10, 13-15
Y	CN 101246290 A (SEIKO EPSON CORPORATION), 20 August 2008 (20.08.2008), description, page 16, line 24 to page 17, line 23, and figures 5-6	8, 14, 15
Y	CN 1725500 A (SEIKO EPSON CORPORATION), 25 January 2006 (25.01.2006), claims 10-14, description, page 7, line 25 to page 10, line 18, and figures 1, 2 and 11	10, 13
X	CN 1725500 A (SEIKO EPSON CORPORATION), 25 January 2006 (25.01.2006), claims 10-14, description, page 7, line 25 to page 10, line 18, and figures 1, 2 and 11	1-5, 9, 10, 16, 17
X	CN 103106880 A (SAMSUNG ELECTRONICS CO., LTD.), 15 May 2013 (15.05.2013), description, paragraphs 0042, 0047 and 0072, and figures 1 and 2	1-7, 16, 17

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 17 September 2015 (17.09.2015)	Date of mailing of the international search report 10 October 2015 (10.10.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GUAN, Jian Telephone No.: (86-10) 010-82245938

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/084210

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104483796 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 01 April 2015 (01.04.2015), description, paragraphs 0043-0058, and figures 3-6	1-17
PX	CN 204314579 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 06 May 2015 (06.05.2015), description, paragraphs 0033-0054, and figures 3-6	1-17
A	US 5936687 A (SAMSUNG ELECTRONICS CO., LTD.), 10 August 1999 (10.08.1999), the whole document	1-17
A	US 2005190168 A1 (JIANG, B. et al.), 01 September 2005 (01.09.2005), the whole document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/084210

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 08171081 A	02 July 1996	JP 3272558 B2	08 April 2002
CN 101246290 A	20 August 2008	US 2008197355 A1	21 August 2008
		JP 4935404 B2	23 May 2012
		KR 20080076737 A	20 August 2008
		US 7839461 B2	23 November 2010
		JP 2008203329 A	04 September 2008
		TW 200903123 A	16 January 2009
		CN 101246290 B	19 October 2011
CN 1725500 A	25 January 2006	CN 100454553 C	21 January 2009
		EP 1619725 A2	25 January 2006
		US 2006017139 A1	26 January 2006
		KR 100668272 B1	12 January 2007
		KR 20060053881 A	22 May 2006
		JP 2006060191 A	02 March 2006
CN 103106880 A	15 May 2013	TW 201320052 A	16 May 2013
		US 9099055 B2	04 August 2015
		US 2013120334 A1	16 May 2013
		KR 20130051806 A	21 May 2013
CN 104483796 A	01 April 2015	None	
CN 204314579 U	06 May 2015	None	
US 5936687 A	10 August 1999	JP H11167129 A	22 June 1999
		TW 446831 B	21 July 2001
		JP 4260250 B2	30 April 2009
		KR 20000019886 A	15 April 2000
		KR 20000000877 A	15 January 2000
		KR 100552299 B1	24 May 2006
		KR 100646777 B1	05 February 2007
		KR 19990026578 A	15 April 1999
		KR 100495810 B	15 September 2005
US 2005190168 A1	01 September 2005	TW 200528810 A	01 September 2005
		TW I247168 B	11 January 2006
		US 7375724 B2	20 May 2008

国际检索报告

国际申请号

PCT/CN2015/084210

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F1/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 晶体管, 二极管, "PN", 开关, 导通, 电压, 补偿, 静电, 释放, 电路, 保护, 结, 数据线, 信号线, 光阻挡, 遮光, 多晶硅, 单晶硅, 掺杂, diode?, array, matrix, voltage, ESD, electrostatic, circuit

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP 08171081 A (SHARP KK.) 1996年 7月 2日 (1996 - 07 - 02) 说明书第0027-0029, 0036-0040, 0044-0051, 0053段, 附图1-4	1-7, 9, 11-12, 16-17
Y	JP 08171081 A (SHARP KK.) 1996年 7月 2日 (1996 - 07 - 02) 说明书第0027-0029, 0036-0040, 0044-0051, 0053段, 附图1-4	8, 10, 13-15
Y	CN 101246290 A (精工爱普生株式会社) 2008年 8月 20日 (2008 - 08 - 20) 说明书第16页第24行-第17页第23行, 附图5-6	8, 14, 15
Y	CN 1725500 A (精工爱普生株式会社) 2006年 1月 25日 (2006 - 01 - 25) 权利要求10-14, 说明书第7页第25行-第10页第18行, 附图1, 2, 11	10, 13
X	CN 1725500 A (精工爱普生株式会社) 2006年 1月 25日 (2006 - 01 - 25) 权利要求10-14, 说明书第7页第25行-第10页第18行, 附图1, 2, 11	1-5, 9, 10, 16, 17
X	CN 103106880 A (三星电子株式会社) 2013年 5月 15日 (2013 - 05 - 15) 说明书第0042, 0047, 0072段, 附图1, 2	1-7, 16, 17

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 9月 17日

国际检索报告邮寄日期

2015年 10月 10日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

关键

电话号码 (86-10)010-82245938

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104483796 A (京东方科技集团股份有限公司 等) 2015年 4月 1日 (2015 - 04 - 01) 说明书第0043-0058段，附图3-6	1-17
PX	CN 204314579 U (京东方科技集团股份有限公司 等) 2015年 5月 6日 (2015 - 05 - 06) 说明书第0033-0054段，附图3-6	1-17
A	US 5936687 A (SAMSUNG ELECTRONICS CO., LTD.) 1999年 8月 10日 (1999 - 08 - 10) 全文	1-17
A	US 2005190168 A1 (JIANG, BOREN ET AL.) 2005年 9月 1日 (2005 - 09 - 01) 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/084210

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
JP	08171081	A	1996年 7月 2日	JP	3272558	B2	2002年 4月 8日
CN	101246290	A	2008年 8月 20日	US	2008197355	A1	2008年 8月 21日
				JP	4935404	B2	2012年 5月 23日
				KR	20080076737	A	2008年 8月 20日
				US	7839461	B2	2010年 11月 23日
				JP	2008203329	A	2008年 9月 4日
				TW	200903123	A	2009年 1月 16日
				CN	101246290	B	2011年 10月 19日
CN	1725500	A	2006年 1月 25日	CN	100454553	C	2009年 1月 21日
				EP	1619725	A2	2006年 1月 25日
				US	2006017139	A1	2006年 1月 26日
				KR	100668272	B1	2007年 1月 12日
				KR	20060053881	A	2006年 5月 22日
				JP	2006060191	A	2006年 3月 2日
CN	103106880	A	2013年 5月 15日	TW	201320052	A	2013年 5月 16日
				US	9099055	B2	2015年 8月 4日
				US	2013120334	A1	2013年 5月 16日
				KR	20130051806	A	2013年 5月 21日
CN	104483796	A	2015年 4月 1日	无			
CN	204314579	U	2015年 5月 6日	无			
US	5936687	A	1999年 8月 10日	JP	H11167129	A	1999年 6月 22日
				TW	446831	B	2001年 7月 21日
				JP	4260250	B2	2009年 4月 30日
				KR	20000019886	A	2000年 4月 15日
				KR	20000000877	A	2000年 1月 15日
				KR	100552299	B1	2006年 5月 24日
				KR	100646777	B1	2007年 2月 5日
				KR	19990026578	A	1999年 4月 15日
				KR	100495810	B	2005年 9月 15日
US	2005190168	A1	2005年 9月 1日	TW	200528810	A	2005年 9月 1日
				TW	I247168	B	2006年 1月 11日
				US	7375724	B2	2008年 5月 20日

表 PCT/ISA/210 (同族专利附件) (2009年7月)