

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年7月12日(12.07.2018)



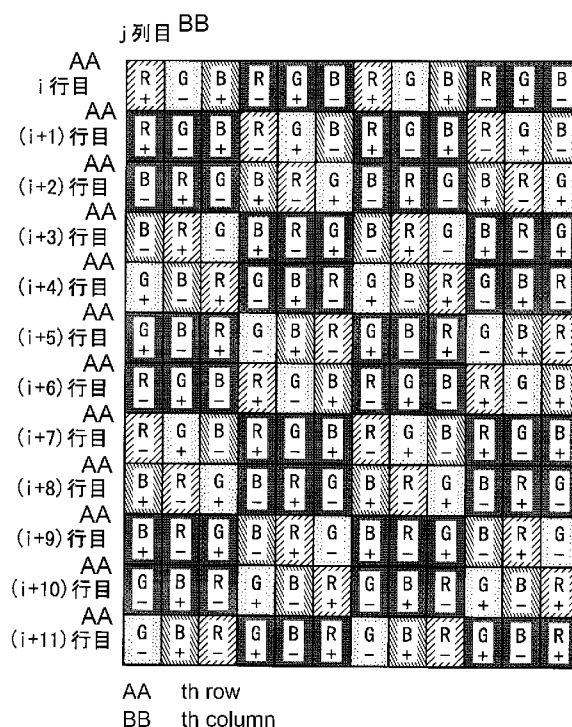
(10) 国際公開番号

WO 2018/128142 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09F 9/30 (2006.01)
G02F 1/133 (2006.01) G09F 9/302 (2006.01)
G02F 1/1335 (2006.01) G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2017/046888
- (22) 国際出願日: 2017年12月27日(27.12.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-000468 2017年1月5日(05.01.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 富永 真克(TOMINAGA, Masakatsu).
- (74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: LIQUID CRYSTAL DISPLAY AND DRIVING METHOD FOR SAME

(54) 発明の名称: 液晶表示装置およびその駆動方法



(57) Abstract: This liquid crystal display has n (where 1 is an integer of 1 or more) pixel circuits alternately connected on both sides of a data line, and the data line drive circuit applies a voltage having different polarity to the adjoining data line. The pixel circuit comprises a line in which three fundamental color pixel circuits are arranged in the order of red, green and blue, a line in which the circuits are arranged in the order of blue, red and green, and a line in which the circuits are arranged in the order of green, blue and red, the lines being arranged in the quantity of n each in the column direction.



MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

When displaying a greenish pattern, the display color of pixels in the 3n line is equalized, preventing the color of the display screen from becoming a greyish-green color. By adopting this configuration, it is possible to provide a liquid crystal display in which Z-inversion drive is performed, and which prevents a color shift when a specific pattern is displayed.

(57) 要約：液晶表示装置では、データ線の両側に画素回路がn個（nは1以上の整数）ずつ交互に接続されており、データ線駆動回路は隣接するデータ線に異なる極性の電圧を印加する。画素回路は、3原色の画素回路が赤、緑、および、青の順に並ぶ行と、青、赤、および、緑の順に並ぶ行と、緑、青、および、赤の順に並ぶ行とがn個ずつ列方向に並ぶように配置される。グリーンリッシュパターンを表示したときに、3n行の画素の表示色を平均化し、表示画面の色が緑色を帯びた灰色になることを防止する。これにより、Z反転駆動を行い、特定のパターンを表示したときの色シフトを防止できる液晶表示装置を提供する。

明 細 書

発明の名称：液晶表示装置およびその駆動方法

技術分野

[0001] 本発明は、アクティブマトリクス型の液晶表示装置、および、その駆動方法に関する。

背景技術

[0002] 液晶表示装置は、薄型、軽量、低消費電力の表示装置として広く利用されている。液晶表示装置は、T F T (Thin Film Transistor: 薄膜トランジスタ) を形成したT F T基板とカラーフィルタを設けたカラーフィルタ基板とを貼り合わせ、2枚の基板の間に液晶を封入した構造を有する。液晶に同じ極性の電圧を印加し続けると、液晶表示装置は早く劣化する。このため液晶表示装置は、サブ画素（あるいは画素）に対応する画素回路に書き込む電圧の極性を所定の周期で反転させる交流駆動を行う。

[0003] 交流駆動には、フレーム反転駆動、ライン反転駆動、カラム反転駆動、ドット反転駆動などの種類がある。このうちカラム反転駆動は、画素回路に書き込む電圧の極性を画素回路の列ごとに反転させる駆動方法である。カラム反転駆動を行う液晶表示装置では、表示画面内にデータ線と同じ方向に延伸する縞模様が発生することがある。そこで、縞模様を抑制する駆動方法として、1 H-Z反転駆動が知られている。また、縞模様を防止しながら、赤、緑、または、青の画像を表示したときの消費電力を削減できる駆動方法として、2 H-Z反転駆動が知られている。

[0004] 図19は、交流駆動を行うときに画素回路に書き込む電圧の極性を示す図である。カラム反転駆動（図19（a））では、各列の画素回路はデータ線の同じ側に接続され、隣接するデータ線には異なる極性の電圧が印加される。このため、画素回路に書き込まれる電圧の極性は、画素回路の列ごとに反転する。1 H-Z反転駆動（図19（b））では、データ線の両側に画素回路が1個ずつ交互に接続され、隣接するデータ線には異なる極性の電圧が印

加される。このため、画素回路に書き込まれる電圧の極性は、画素回路の行および列ごとに反転する。1 H-Z 反転駆動では、データ線に印加される電圧の極性はカラム反転駆動と同じであるが、画素回路に書き込まれる電圧の極性（極性のパターン）はドット反転駆動と同じになる。2 H-Z 反転駆動（図19（c））では、データ線の両側に画素回路が2個ずつ交互に接続され、隣接するデータ線には異なる極性の電圧が印加される。このため、画素回路に書き込まれる電圧の極性は、画素回路の2行および列ごとに反転する。なお、いずれの駆動方法でも、次のフレームでは、画素回路に書き込まれる電圧の極性は反転する。

[0005] 本願発明に関連して、特許文献1には、3原色の画素回路を赤、緑、および、青の順に配置した行と、青、緑、および、赤の順に配置した行とを列方向に交互に配置したマトリクス型カラー表示装置が記載されている。特許文献2および3には、2 H-Z 反転駆動を行う液晶表示装置が記載されている。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開2001-343636号公報

特許文献2：国際公開第2014/185122号

特許文献3：日本国特開2003-233362号公報

発明の概要

発明が解決しようとする課題

[0007] 近年、2 H-Z 反転駆動を行う液晶表示装置が増加している。しかしながら、2 H-Z 反転駆動を行う液晶表示装置では、特定のパターンを表示したときに、表示画面の色が正しい色（期待される色）ではなく、別の色を帯びた色に見えるという現象（以下、色シフトという）が発生する。例えば、後述する図7に示すように2行1列の画素を単位として市松模様状に白と黒を表示したときには、表示画面の色は灰色ではなく、緑色を帯びた灰色に見える。

る。

[0008] それ故に、Z反転駆動を行い、特定のパターンを表示したときの色シフトを防止できる液晶表示装置を提供することが課題として挙げられる。

課題を解決するための手段

[0009] 上記の課題は、例えば、以下の液晶表示装置によって解決することができる。液晶表示装置は、アクティブマトリクス型の液晶表示装置であって、行方向に延伸する複数の走査線と、列方向に延伸する複数のデータ線と、それぞれが前記走査線と前記データ線の交点に対応して配置され、かつ、対応する1本のデータ線に接続された複数の画素回路と、前記走査線を順に選択する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路とを備え、前記データ線駆動回路は、隣接するデータ線に異なる極性の電圧を印加し、前記データ線の両側には前記画素回路が1以上の所定個数ずつ交互に接続されており、前記画素回路は、3原色の画素回路が赤、緑、および、青の順に並ぶ行と、前記3原色の画素回路が青、赤、および、緑の順に並ぶ行と、前記3原色の画素回路が緑、青、および、赤の順に並ぶ行とが前記個数ずつ列方向に並ぶように配置されている。

[0010] 上記の課題は、例えば、以下の液晶表示装置の駆動方法によっても解決することができる。液晶表示装置の駆動方法は、行方向に延伸する複数の走査線と、列方向に延伸する複数のデータ線と、それぞれが前記走査線と前記データ線の交点に対応して配置され、かつ、対応する1本のデータ線に接続された複数の画素回路とを有するアクティブマトリクス型の液晶表示装置の駆動方法であって、前記走査線を順に選択するステップと、前記データ線を駆動するステップとを備え、前記データ線を駆動するステップは、隣接するデータ線に異なる極性の電圧を印加し、前記データ線の両側には前記画素回路が1以上の所定個数ずつ交互に接続されており、前記画素回路は、3原色の画素回路が赤、緑、および、青の順に並ぶ行と、前記3原色の画素回路が青、赤、および、緑の順に並ぶ行と、前記3原色の画素回路が緑、青、および、赤の順に並ぶ行とが前記個数ずつ列方向に並ぶように配置されている。

発明の効果

[0011] このような液晶表示装置および液晶表示装置の駆動方法によれば、データ線の両側に画素回路が n 個（ n は1以上の整数）ずつ交互に配置されている状況下で、隣接するデータ線に異なる極性の電圧を印加することにより、 n H-Z反転駆動を行うことができる。これにより、 n の値が大きいときほど、赤、緑、または、青の画像を表示したときの消費電力を削減することができる。また、3原色の画素回路が3とおりの順序で n 行ずつ配置されているので、色シフトを発生させる特定のパターンを表示したときでも、 $3n$ 行の画素の表示色を平均化し、色シフトを防止することができる。

図面の簡単な説明

- [0012] [図1]第1の実施形態に係る液晶表示装置の構成を示すブロック図である。
- [図2]図1に示す表示領域の回路図である。
- [図3]図1に示す表示領域のレイアウト図である。
- [図4]図3のX部の拡大図である。
- [図5]図4のA-A'線断面図である。
- [図6]図4のB-B'線断面図である。
- [図7]従来の液晶表示装置においてグリーニッシュパターンを表示したときの状態を示す図である。
- [図8]図7に示す場合にデータ線に印加する電圧の極性を変化させる方向を示す図である。
- [図9]図1に示す液晶表示装置における画素回路の配置を示す図である。
- [図10]図1に示す液晶表示装置においてグリーニッシュパターンを表示したときの状態を示す図である。
- [図11]図10に示す場合にデータ線に印加する電圧の極性を変化させる方向を示す図である。
- [図12]図1に示す液晶表示装置において他のパターンを表示したときの状態を示す図である。
- [図13]第1の実施形態の変形例に係る液晶表示装置における画素回路の配置

を示す図である。

[図14]第2の実施形態に係る液晶表示装置の表示領域のレイアウト図である。

[図15]第3の実施形態に係る液晶表示装置の表示領域の回路図である。

[図16]第3の実施形態に係る液晶表示装置における画素回路の配置を示す図である。

[図17]第3の実施形態に係る液晶表示装置においてグリーニッシュパターンを表示したときの状態を示す図である。

[図18]図17に示す場合にデータ線に印加する電圧の極性を変化させる方向を示す図である。

[図19]交流駆動を行うときに画素回路に書き込む電圧の極性を示す図である。

発明を実施するための形態

[0013] (第1の実施形態)

図1は、第1の実施形態に係る液晶表示装置の構成を示すブロック図である。図1に示す液晶表示装置1は、TFT基板2とカラーフィルタ基板3を貼り合わせて、2枚の基板の間に液晶を封入した構造を有するアクティブマトリクス型の表示装置である。液晶表示装置1は、3原色の画素回路を用いてカラー画像を表示する。液晶表示装置1は、図示しないバックライトを備えている。以下、図面の水平方向を行方向、図面の垂直方向を列方向といい、赤を表示するための画素回路をR画素回路、緑を表示するための画素をG画素回路、青を表示するための画素回路をB画素回路という。また、3原色の画素回路に対応するサブ画素をRサブ画素、Gサブ画素、および、Bサブ画素という。

[0014] TFT基板2には、表示領域4が設けられる。表示領域4の内部には、複数の走査線11、複数のデータ線12、および、複数の画素回路13が形成される。走査線11は、行方向に延伸し、互いに平行に配置される。データ線12は、列方向に延伸し、走査線11と直交するように互いに平行に配置

される。画素回路 13 は、走査線 11 とデータ線 12 の交点に対応して配置される。画素回路 13 は、対応する 1 本の走査線 11 と対応する 1 本のデータ線 12 とに接続される。画素回路 13 は、R 画素回路、G 画素回路、および、B 画素回路のいずれかとして機能する。なお、走査線 11 はゲート線、データ線 12 はソース線とも呼ばれる。

[0015] 表示領域 4 の外部には、走査線駆動回路 5 a、5 b が形成される。走査線駆動回路 5 a、5 b は、画素回路 13 などと共に、TFT 基板 2 上にモノリシックに形成される。図 1 では、走査線駆動回路 5 a は表示領域 4 の左側に配置され、走査線駆動回路 5 b は表示領域 4 の右側に配置されている。走査線 11 の一端は走査線駆動回路 5 a に接続され、走査線 11 の他端は走査線駆動回路 5 b に接続される。走査線 11 は、走査線駆動回路 5 a、5 b によって両端から駆動される。なお、一方の走査線駆動回路が奇数番目の走査線 11 を駆動し、他方の走査線駆動回路が偶数番目の走査線 11 を駆動してもよい。あるいは、走査線駆動回路を表示領域 4 の片側にだけ配置してもよい。TFT 基板 2 とカラーフィルタ基板 3 が重ならない部分には、データ線駆動回路 6 を含む IC チップが実装され、外部接続端子（図示せず）を配置するための端子領域 7 が設けられる。

[0016] 図 2 は、表示領域 4 の回路図である。図 2 に示すように、画素回路 13 は、TFT 14 と画素容量 15 を含んでいる。画素容量 15 は、画素電極 16 と共通電極 17 の間に液晶 18 を挟んだ構造を有する。TFT 14 のゲート電極は対応する走査線 11 に接続され、TFT 14 のソース電極は対応するデータ線 12 に接続され、TFT 14 のドレイン電極は対応する画素電極 16 に接続される。共通電極 17 は、例えば、ITO (Indium Tin Oxide: 酸化インジウムスズ) などの透明な金属材料を用いて形成される。共通電極 17 には、すべての画素回路 13 に共通する共通電極電圧 V_{com} が印加される。共通電極電圧 V_{com} は、外部接続端子から図示しない配線（走査線 11 またはデータ線 12 と同じ配線層の配線）を用いて共通電極 17 に印加される。

[0017] 走査線駆動回路 5 a、5 b は走査線 1 1 を駆動し、データ線駆動回路 6 はデータ線 1 2 を駆動する。より詳細には、走査線駆動回路 5 a、5 b は、複数の走査線 1 1 の中から 1 本の走査線 1 1 を順に選択し、選択した走査線 1 1 にゲートオン電圧（T F T 1 4 がオンする電圧）を印加する。これにより、1 行分の画素回路 1 3 に含まれる T F T 1 4 がオンする。データ線駆動回路 6 は、複数のデータ線 1 2 に対して、映像信号に応じた複数の電圧をそれぞれ印加する。これにより、1 行分の画素回路 1 3 に含まれる画素電極 1 6 に映像信号に応じた電圧がそれぞれ書き込まれる。

[0018] 液晶 1 8 には、画素電極 1 6 の電圧と共通電極電圧 V c o m の差の電圧が印加される。画素回路 1 3 に対応するサブ画素（画素回路 1 3 によって実現されるサブ画素）の透過率（および輝度）は、液晶 1 8 に印加される電圧（画素回路 1 3 に書き込まれた電圧によって決まる）に応じて変化する。したがって、走査線駆動回路 5 a、5 b とデータ線駆動回路 6 を用いて、表示領域 4 に含まれるすべての画素回路 1 3 に映像信号に応じた電圧を書き込むことにより、所望の画像を表示することができる。

[0019] 液晶表示装置 1 は、ノーマリーブラック型の液晶表示装置である。液晶表示装置 1 では、配向方式として、液晶 1 8 に横電解を印加する F F S（Fringe Field Switching）方式が採用されている。このため、画素電極 1 6 にはスリットが形成され、共通電極 1 7 は T F T 基板 2 において画素回路 1 3 などの上層に形成される。このように画素回路 1 3 は、F F S 方式に対応した画素電極 1 6 と共通電極 1 7 を含む。

[0020] また、液晶表示装置 1 は、2 H－Z 反転駆動を行う。このため、画素回路 1 3 は、データ線 1 2 の両側に 2 個ずつ交互に接続される。具体的には図 2 に示すように、データ線 1 2 の左側には i 行目、（i + 1）行目などの画素回路 1 3 が接続され、データ線 1 2 の右側には（i + 2）行目、（i + 3）行目などの画素回路 1 3 が接続される。

[0021] 図 3 は、表示領域 4 のレイアウト図である。図 4 は、図 3 の X 部（長破線で囲んだ部分）の拡大図である。図 5 は、図 4 の A－A' 線断面図である。

図6は、図4のB-B'線断面図である。図3～図6に示すように、走査線11とデータ線12の交点の近傍に、ゲート電極21とソース電極22が形成される。ゲート電極21は、走査線11と一体に、走査線11の上側（図面内での上側）に形成される。ソース電極22は、データ線12と一体に、データ線12の左側と右側に2個ずつ交互に形成される。ゲート電極21を挟んでソース電極22と対向する位置に、ドレイン電極23が形成される。ゲート電極21の上層でソース電極22とドレイン電極23の下層には、半導体層24が形成される。ゲート電極21、ソース電極22、ドレイン電極23、および、半導体層24は、TFT14を形成する。画素回路13の内部には、スリット25を有する画素電極16が形成される。ドレイン電極23と画素電極16の間には、両者を電氣的に接続するコンタクトホール26が形成される。なお、図3および図4において、短破線はカラーフィルタの配置位置（ブラックマトリクスが存在しない部分）を示す。

[0022] TFT基板2は、例えば、以下の工程によって製造される（図5および図6を参照）。まずガラス基板31上にゲート膜を成膜し、ゲート膜をパターニングすることにより、走査線11とゲート電極21を形成する。次に、基板の全面にゲート絶縁膜32を成膜する。次に、TFT14を形成すべき位置に半導体層24を形成する。次に、ソース膜を成膜し、ソース膜をパターニングすることにより、データ線12、ソース電極22、および、ドレイン電極23を形成する。次に、第1パシベーション膜33を成膜し、有機膜34を塗布した後、両者をパターニングすることにより、最終的にコンタクトホール26となる穴を形成する。次に、共通電極膜を成膜し、共通電極膜をエッチングすることにより、共通電極17を形成する。次に、第2パシベーション膜35を成膜した後、第1パシベーション膜33、有機膜34、および、第2パシベーション膜35を貫くコンタクトホール26をパターニングする。次に、画素電極膜を成膜し、画素電極膜をエッチングすることにより、コンタクトホール26を介してドレイン電極23と電氣的に接続された画素電極16を形成する。

[0023] カラーフィルタ基板 3 は、ガラス基板 4 1 上にカラーフィルタ 4 2 とブラックマトリクス 4 3 を設け、その上にオーバーコート 4 4 を塗布することにより製造される。TFT 基板 2 とカラーフィルタ基板 3 は貼り合わされ、両者の間には液晶 1 8 が封入される。貼り合わせた 2 枚の基板の両面には、偏光板 4 5、4 6 がそれぞれ設けられる。

[0024] ここで、2H-Z 反転駆動を行うノーマリーブラック型の従来の液晶表示装置では、特定のパターンを表示したときに色シフトが発生する理由を説明する。従来の液晶表示装置では、いずれの画素でも、3 原色の画素回路が、R 画素回路、G 画素回路、および、B 画素回路の順に配置されている。以下、2 行 1 列の画素を単位として市松模様状に白と黒を表示するパターンをグリニッシュパターンという。

[0025] 図 7 は、従来の液晶表示装置においてグリニッシュパターンを表示したときの状態を示す図である。図 7 には、各画素回路について、画素回路の色（カラーフィルタの色）と画素回路に書き込む電圧の極性とが記載されている。黒く塗られた画素回路は、表示色が黒の画素回路である。表示色が黒の画素回路には、ゼロ電圧が書き込まれる。画素回路に対する電圧の書き込みは、行番号の昇順に行われる。以下、a 行 b 列目の画素回路を $P_{a,b}$ という。

[0026] 図 8 は、図 7 に示す場合にデータ線に印加する電圧の極性を変化させる方向を示す図である。図 8 には、各画素回路について、画素回路に書き込む電圧の極性（ただし、ゼロ電圧の場合には「0」）と、その電圧を書き込むときにデータ線に印加する電圧の極性を変化させる方向を示す矢印とが記載されている。上向き矢印は電圧の極性を正の方向に変化させることを示し、下向き矢印は電圧の極性を負の方向に変化させることを示し、右向き矢印は電圧の極性を変化させないことを示す。

[0027] 図 8 に示すように、データ線 S_j には行番号の昇順に、画素回路 $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i+2,j+1}$ 、 $P_{i+3,j+1}$ 、…が接続されている。画素回路 $P_{i,j}$ には正極性の電圧を書き込み、次の画素回路 $P_{i+1,j}$ にはゼロ電圧を書き込む。このため、画素回路 $P_{i+1,j}$ には、データ線 S_j に印加する電圧の極性を負の方向に変化させる

ことを示す下向き矢印が記載されている。次の画素回路 $P_{i+2,j+1}$ にも、ゼロ電圧を書き込む。このため、画素回路 $P_{i+2,j+1}$ には、データ線 S_j に印加する電圧の極性を変化させない（ゼロ電圧を印加し続ける）ことを示す右向き矢印が記載されている。次の画素回路 $P_{i+3,j+1}$ には、正極性の電圧を書き込む。このため、画素回路 $P_{i+3,j+1}$ には、データ線 S_j に書き込む電圧の極性を正の方向に変化させることを示す上向き矢印が記載されている。

[0028] 1行分の画素に含まれる画素回路に電圧を書き込むときに、データ線に印加する電圧の極性を正の方向に変化させる回数を C_p 、データ線に印加する電圧の極性を負の方向に変化させる回数を C_n とする。データ線と共通電極の間には、図示しない容量が存在する。このため、 $C_p > C_n$ のときには、共通電極電圧 V_{com} は突き上げによって高くなる。 $C_p < C_n$ のときには、共通電極電圧 V_{com} は突き下げによって低くなる。

[0029] 図8に示す部分に注目したとき、 i 行目では、 $C_p = 2$ 、 $C_n = 0$ である（上向き矢印は2個、下向き矢印は0個）。 i 行目の他の部分でも、これと同様である。したがって、 i 行目の画素に電圧を書き込むときには、 $C_p > C_n$ が成立し、共通電極電圧 V_{com} は突き上げによって高くなる。また、画素回路 $P_{i,j}$ 、 $P_{i,j+2}$ には正極性の電圧を書き込み、画素回路 $P_{i,j+1}$ には負極性の電圧を書き込む。したがって、画素回路 $P_{i,j}$ 、 $P_{i,j+2}$ では、液晶に印加される電圧は、突き上げの影響により走査線11の電圧がTFT14がオフするレベルになる（以下、「ゲート電圧がオフレベルになる」という）までに共通電極電圧 V_{com} が元のレベルに戻ることはできなかつた分だけ小さくなり、対応するサブ画素の輝度は突き上げに応じて低くなる。画素回路 $P_{i,j+1}$ では、液晶に印加される電圧は突き上げの影響によりゲート電圧がオフレベルになるまでに共通電極電圧 V_{com} が元のレベルに戻ることはできなかつた分だけ大きくなり、対応するサブ画素の輝度は突き上げに応じて高くなる。 i 行目の他の部分でも、これと同様である。このように i 行目の画素では、Gサブ画素の輝度は高くなり、Rサブ画素とBサブ画素の輝度は低くなる。

[0030] 図8に示す部分に注目したとき、 $(i+1)$ 行目では、 $C_p=2$ 、 $C_n=4$ である（上向き矢印は2個、下向き矢印は4個）。 $(i+1)$ 行目の他の部分でも、これと同様である。したがって、 $(i+1)$ 行目の画素に電圧を書き込むときには、 $C_p < C_n$ が成立し、共通電極電圧 V_{com} は突き下げによって低くなる。また、画素回路 $P_{i+1,j+3}$ 、 $P_{i+1,j+5}$ には負極性の電圧を書き込み、画素回路 $P_{i+1,j+4}$ には正極性の電圧を書き込む。したがって、画素回路 $P_{i+1,j+3}$ 、 $P_{i+1,j+5}$ では、液晶に印加される電圧は突き下げの影響によりゲート電圧がオフレベルになるまでに共通電極電圧 V_{com} が元のレベルに戻ることができなかつた分だけ小さくなり、対応するサブ画素の輝度は突き下げに応じて低くなる。画素回路 $P_{i+1,j+4}$ では、液晶に印加される電圧は突き下げの影響によりゲート電圧がオフレベルになるまでに共通電極電圧 V_{com} が元のレベルに戻ることができなかつた分だけ大きくなり、対応するサブ画素の輝度は突き下げに応じて高くなる。 $(i+1)$ 行目の他の部分でも、これと同様である。このように $(i+1)$ 行目の画素では、 i 行目の画素と同様に、Gサブ画素の輝度は高くなり、Rサブ画素とBサブ画素の輝度は低くなる。

[0031] $(i+2)$ 行目、 $(i+4)$ 行目などの画素では、 i 行目の画素と同様の理由により、Gサブ画素の輝度は高くなり、Rサブ画素とBサブ画素の輝度は低くなる。 $(i+3)$ 行目、 $(i+5)$ 行目などの画素では、 $(i+1)$ 行目の画素と同様の理由により、Gサブ画素の輝度は高くなり、Rサブ画素とBサブ画素の輝度は低くなる。このようにグリーンリッシュパターンを表示したときには、いずれの行でもGサブ画素（図8において太線で囲んだ画素回路に対応するサブ画素）の輝度は高くなり、Rサブ画素とBサブ画素（図8において太線で囲んだ画素回路の両隣の画素回路に対応するサブ画素）の輝度は低くなる。したがって、表示画面の色は、緑色を帯びた灰色に見える。2H-Z反転駆動を行う従来の液晶表示装置では、以上に述べた理由により、グリーンリッシュパターンを表示したときに色シフトが発生する。

[0032] 色シフトを防止するために、本実施形態に係る液晶表示装置1は、従来の

液晶表示装置とは異なる画素回路の配置を有する。図9は、液晶表示装置1における画素回路の配置を示す図である。液晶表示装置1では、画素回路13は、3原色の画素回路が赤、緑、および、青の順に並ぶ行と、3原色の画素回路が青、赤、および、緑の順に並ぶ行と、3原色の画素回路が緑、青、および、赤の順に並ぶ行とが2個ずつ列方向に並ぶように配置される。具体的には図9に示すように、 i 行目と $(i+1)$ 行目の画素では、3原色の画素回路は、R画素回路、G画素回路、および、B画素回路の順に配置される。 $(i+2)$ 行目と $(i+3)$ 行目の画素では、3原色の画素回路は、B画素回路、R画素回路、および、G画素回路の順に配置される。 $(i+4)$ 行目と $(i+5)$ 行目の画素では、3原色の画素回路は、G画素回路、B画素回路、および、R画素回路の順に配置される。他の行の画素でも、これと同様である。

[0033] 図10は、液晶表示装置1においてグリーニッシュパターンを表示したときの状態を示す図である。図11は、図10に示す場合にデータ線12に印加する電圧の極性を変化させる方向を示す図である。図7と図10において同じ位置にある画素回路の間では、画素回路に書き込む電圧の極性は同じである。このため、図8と図11において同じ位置にある画素回路の間では、データ線に印加する電圧の極性を変化させる方向（矢印の方向）は同じである。このため、液晶表示装置1では、従来の液晶表示装置と同様に、共通電極電圧 V_{com} は、 i 行目、 $(i+2)$ 行目などの画素に電圧を書き込むときには突き上げによって高くなり、 $(i+1)$ 行目、 $(i+3)$ 行目などの画素に電圧を書き込むときには突き下げによって低くなる。

[0034] 液晶表示装置1は、画素回路 $P_{i,j}$ 、 $P_{i,j+2}$ には正極性の電圧を書き込み、画素回路 $P_{i,j+1}$ には負極性の電圧を書き込む。このとき共通電極電圧 V_{com} は突き上げによって高くなるので、画素回路 $P_{i,j}$ 、 $P_{i,j+2}$ に対応したサブ画素の輝度は突き上げに応じて低くなり、画素回路 $P_{i,j+1}$ に対応したサブ画素の輝度は突き上げに応じて高くなる。液晶表示装置1では、画素回路 $P_{i,j}$ 、 $P_{i,j+1}$ 、 $P_{i,j+2}$ は、それぞれ、R画素回路、G画素回路、および、B画素回路で

ある。したがって、 i 行目の画素では、Gサブ画素の輝度は高くなり、Rサブ画素とBサブ画素の輝度は低くなる。

[0035] 液晶表示装置 1 は、画素回路 $P_{i+1,j+3}$ 、 $P_{i+1,j+5}$ には負極性の電圧を書き込み、画素回路 $P_{i+1,j+4}$ には正極性の電圧を書き込む。このとき共通電極電圧 V_{com} は突き下げによって低くなるので、画素回路 $P_{i+1,j+3}$ 、 $P_{i+1,j+5}$ に対応したサブ画素の輝度は突き下げに応じて低くなり、画素回路 $P_{i+1,j+4}$ に対応したサブ画素の輝度は突き下げに応じて高くなる。液晶表示装置 1 では、画素回路 $P_{i+1,j+3}$ 、 $P_{i+1,j+4}$ 、 $P_{i+1,j+5}$ は、それぞれ、R画素回路、G画素回路、および、B画素回路である。したがって、 $(i+1)$ 行目の画素では、 i 行目の画素と同様に、Gサブ画素の輝度は高くなり、Rサブ画素とBサブ画素の輝度は低くなる。

[0036] 液晶表示装置 1 は、画素回路 $P_{i+2,j+3}$ 、 $P_{i+2,j+5}$ には正極性の電圧を書き込み、画素回路 $P_{i+2,j+4}$ には負極性の電圧を書き込む。このとき共通電極電圧 V_{com} は突き上げによって高くなるので、画素回路 $P_{i+2,j+3}$ 、 $P_{i+2,j+5}$ に対応したサブ画素の輝度は突き上げに応じて低くなり、画素回路 $P_{i+2,j+4}$ に対応したサブ画素の輝度は突き上げに応じて高くなる。液晶表示装置 1 では、画素回路 $P_{i+2,j+3}$ 、 $P_{i+2,j+4}$ 、 $P_{i+2,j+5}$ は、それぞれ、B画素回路、R画素回路、および、G画素回路である。したがって、 $(i+2)$ 行目の画素では、Rサブ画素の輝度は高くなり、Gサブ画素とBサブ画素の輝度は低くなる。

[0037] 液晶表示装置 1 は、画素回路 $P_{i+3,j}$ 、 $P_{i+3,j+2}$ には負極性の電圧を書き込み、画素回路 $P_{i+3,j+1}$ には正極性の電圧を書き込む。このとき共通電極電圧 V_{com} は突き下げによって低くなるので、画素回路 $P_{i+3,j}$ 、 $P_{i+3,j+2}$ に対応したサブ画素の輝度は突き下げに応じて低くなり、画素回路 $P_{i+3,j+1}$ に対応したサブ画素の輝度は突き下げに応じて高くなる。液晶表示装置 1 では、画素回路 $P_{i+3,j}$ 、 $P_{i+3,j+1}$ 、 $P_{i+3,j+2}$ は、それぞれ、B画素回路、R画素回路、および、G画素回路である。したがって、 $(i+3)$ 行目の画素では、 $(i+2)$ 行目の画素と同様に、Rサブ画素の輝度は高くなり、Gサブ画素とBサブ画素の輝度は低くなる。

- [0038] 液晶表示装置 1 は、画素回路 $P_{i+4,j}$ 、 $P_{i+4,j+2}$ には正極性の電圧を書き込み、画素回路 $P_{i+4,j+1}$ には負極性の電圧を書き込む。このとき共通電極電圧 V_{com} は突き上げよって高くなるので、画素回路 $P_{i+4,j}$ 、 $P_{i+4,j+2}$ に対応したサブ画素の輝度は突き上げに応じて低くなり、画素回路 $P_{i+4,j+1}$ に対応したサブ画素の輝度は突き上げに応じて高くなる。液晶表示装置 1 では、画素回路 $P_{i+4,j}$ 、 $P_{i+4,j+1}$ 、 $P_{i+4,j+2}$ は、それぞれ、G 画素回路、B 画素回路、および、R 画素回路である。したがって、 $(i+4)$ 行目の画素では、B サブ画素の輝度は高くなり、R サブ画素と G サブ画素の輝度は低くなる。
- [0039] 液晶表示装置 1 は、画素回路 $P_{i+5,j+3}$ 、 $P_{i+5,j+5}$ には負極性の電圧を書き込み、画素回路 $P_{i+5,j+4}$ には正極性の電圧を書き込む。このとき共通電極電圧 V_{com} は突き下げによって低くなるので、画素回路 $P_{i+5,j+3}$ 、 $P_{i+5,j+5}$ に対応したサブ画素の輝度は突き下げに応じて低くなり、画素回路 $P_{i+5,j+4}$ に対応したサブ画素の輝度は突き下げに応じて高くなる。液晶表示装置 1 では、画素回路 $P_{i+5,j+3}$ 、 $P_{i+5,j+4}$ 、 $P_{i+5,j+5}$ は、それぞれ、G 画素回路、B 画素回路、および、R 画素回路である。したがって、 $(i+5)$ 行目の画素では、 $(i+4)$ 行目の画素と同様に、B サブ画素の輝度は高くなり、R サブ画素と G サブ画素の輝度は低くなる。
- [0040] このように i 行目と $(i+1)$ 行目の画素では、G サブ画素の輝度は高くなり、R サブ画素と B サブ画素の輝度は低くなる。このため、 i 行目と $(i+1)$ 行目の画素だけを見れば、緑色を帯びた灰色に見える。 $(i+2)$ 行目と $(i+3)$ 行目では、R サブ画素の輝度は高くなり、G サブ画素と B サブ画素の輝度は低くなる。このため、 $(i+2)$ 行目と $(i+3)$ 行目の画素だけを見れば、赤色を帯びた灰色に見える。 $(i+4)$ 行目と $(i+5)$ 行目では、B サブ画素の輝度は高くなり、R サブ画素と G サブ画素の輝度は低くなる。このため、 $(i+4)$ 行目と $(i+5)$ 行目の画素だけを見れば、青色を帯びた灰色に見える。他の行の画素でも、これと同様である。
- [0041] 液晶表示装置 1 の表示画面をある程度離れた位置から見たときには、上記 6 行の画素の表示色が平均化されるので、表示画面の色は灰色（正しい色）

に見える。したがって、本実施形態に係る液晶表示装置 1 によれば、2 H-Z 反転駆動を行い、グリーニッシュパターンを表示したときの色シフトを防止することができる。

[0042] 図 1 2 は、液晶表示装置 1 において、画素の列を単位として白と黒を交互に表示するストライプパターンを表示したときの状態を示す図である。ストライプパターンを表示したときには、グリーニッシュパターンを表示したときよりも小さい程度の色シフトが発生する。ただし、ストライプパターンの発生頻度は、グリーニッシュパターンの発生頻度よりも多い。液晶表示装置 1 によれば、ストライプパターンを表示したときでも、グリーニッシュパターンを表示したときと同様の理由により色シフトを防止することができる。

[0043] 以上に示すように、本実施形態に係る液晶表示装置 1 は、行方向に延伸する複数の走査線 1 1 と、列方向に延伸する複数のデータ線 1 2 と、それぞれが走査線 1 1 とデータ線 1 2 の交点に対応して配置され、かつ、対応する 1 本のデータ線 1 2 に接続された複数の画素回路 1 3 と、走査線 1 1 を順に選択する走査線駆動回路 5 と、データ線 1 2 を駆動するデータ線駆動回路 6 とを備えている。データ線駆動回路 6 は、隣接するデータ線 1 2 に異なる極性の電圧を印加する。データ線 1 2 の両側には画素回路 1 3 が 2 個ずつ交互に接続されている。画素回路 1 3 は、3 原色の画素回路 1 3 が赤、緑、および、青の順に並ぶ行と、3 原色の画素回路 1 3 が青、赤、および、緑の順に並ぶ行と、3 原色の画素回路 1 3 が緑、青、および、赤の順に並ぶ行とが 2 個ずつ列方向に並ぶように配置されている。

[0044] したがって、本実施形態に係る液晶表示装置 1 によれば、データ線 1 2 の両側に画素回路 1 3 が 2 個ずつ交互に配置されている状況下で、隣接するデータ線 1 2 に異なる極性の電圧を印加することにより、2 H-Z 反転駆動を行うことができる。これにより、1 H-Z 反転駆動を行うときよりも、赤、緑、または、青の画像を表示したときの消費電力を削減することができる。また、3 原色の画素回路 1 3 が 3 とおりの順序で 2 行ずつ配置されているので、色シフトを発生させる特定のパターン（グリーニッシュパターン）を表

示したときでも、6行の画素の表示色を平均化し、色シフトを防止することができる。

[0045] また、画素回路13は、FFS方式に対応した画素電極16と共通電極17を含む。したがって、FFS方式を採用した液晶表示装置1において、2H-Z反転駆動を行い、特定のパターンを表示したときの色シフトを防止することができる。

[0046] なお、液晶表示装置1では、画素回路13を図13(a)～(c)のいずれかに示すように配置してもよい。図13(a)～(c)に示すいずれの配置においても、図9に示す配置と同様に、画素回路13は、3原色の画素回路13が赤、緑、および、青の順に並ぶ行と、3原色の画素回路13が青、赤、および、緑の順に並ぶ行と、3原色の画素回路13が緑、青、および、赤の順に並ぶ行とが2個ずつ列方向に並ぶように配置されている。例えば、図13(b)に示す配置では、3原色の画素回路13が右から赤、緑、および、青の順に並ぶ行と、3原色の画素回路13が右から青、赤、および、緑の順に並ぶ行と、3原色の画素回路13が右から緑、青、および、赤の順に並ぶ行とが2個ずつ下から順に列方向に並ぶように配置されている。

[0047] (第2の実施形態)

第2の実施形態に係る液晶表示装置は、第1の実施形態に係る液晶表示装置1と同じ構成全体(図1)を有し、液晶表示装置1と同じ画素回路の接続形態(図2)を有し、液晶表示装置1と同様に2H-Z反転駆動を行う。また、本実施形態に係る液晶表示装置は、液晶表示装置1と同じ画素回路の配置(図9)を有する。本実施形態に係る液晶表示装置と液晶表示装置1とは、表示領域4のレイアウトが異なる。

[0048] 図14は、本実施形態に係る液晶表示装置の表示領域4のレイアウト図である。図14に示すように、走査線11は行方向に延伸し、データ線12はジグザグ状に屈折しながら列方向に延伸する。画素回路13(破線で示す部分)は、走査線11とデータ線12の交点に対応して形成され、TFT14と画素容量(図示せず)を含んでいる。画素容量は、スリットが形成された

画素電極 1 6 と、共通電極（図示せず）とを有する。

[0049] 走査線 1 1 は、データ線 1 2 の屈折点に対応して配置される。画素回路 1 3 と画素電極 1 6 の列方向のサイズは、データ線 1 2 の屈折点の間隔にほぼ等しい。画素回路 1 3 とその内部の画素電極 1 6 は、データ線 1 2 が屈折する方向に応じて、列方向から傾いた形状を有する。具体的には、 i 行目、($i + 2$) 行目などの画素回路 1 3 とその内部の画素電極 1 6 とは、上側部分が列方向から左に傾いた形状を有する。($i + 1$) 行目、($i + 3$) 行目などの画素回路 1 3 とその内部の画素電極 1 6 とは、上側部分が列方向から右に傾いた形状を有する。このように列方向に隣接する画素回路 1 3 は、互いに異なる形状を有する画素電極 1 6 を含む。画素回路 1 3 は、データ線 1 2 の両側に 2 個ずつ交互に接続される。具体的には図 1 4 に示すように、データ線 1 2 の左側には i 行目、($i + 1$) 行目などの画素回路 1 3 が接続され、データ線 1 2 の右側には ($i + 2$) 行目、($i + 3$) 行目などの画素回路 1 3 が接続される。図 1 4 に示す画素回路の配置は、疑似デュアルドメインと呼ばれる。

[0050] 疑似デュアルドメイン構成の液晶表示装置によれば、画素ピッチを狭くし、透過率を高く保ちながら、表示画面を斜め方向から見たときの色付きを低減することができる。疑似デュアルドメイン構成の液晶表示装置では、列方向に隣接する 2 個の画素回路の間で視角特性が相互に補完される。したがって、フリッカー率やフリッカーずれを改善するためには、列方向に隣接する 2 個の画素回路に同じ極性の電圧を書き込むことが好ましい。そこで、疑似デュアルドメイン構成の液晶表示装置は、2 H-Z 反転駆動を行う。

[0051] 本実施形態に係る液晶表示装置は、第 1 の実施形態に係る液晶表示装置 1 と同様に、図 9 に示す画素回路の配置を有する。したがって、本実施形態に係る液晶表示装置によれば、第 1 の実施形態に係る液晶表示装置 1 と同様に、2 H-Z 反転駆動を行い、グリーニッシュパターンを表示したときの色シフトを防止することができる。

[0052] また、本実施形態に係る液晶表示装置では、データ線 1 2 はジグザグ状に

屈折しながら列方向に延伸し、走査線 11 はデータ線 12 の屈折点に対応して配置されており、列方向に隣接する画素回路 13 は互いに異なる形状の画素電極 16 を含む。したがって、本実施形態に係る液晶表示装置によれば、列方向に隣接する画素回路 13 の画素電極 16 が互いに異なる形状を有するので、表示画面を斜め方向から見たときの色付きを低減することができる。また、2H-Z 反転駆動を行うことにより、フリッカー率やフリッカーずれを改善することができる。

[0053] (第3の実施形態)

第3の実施形態に係る液晶表示装置は、第1の実施形態に係る液晶表示装置 1 と同じ全体構成 (図 1) を有する。本実施形態に係る液晶表示装置は、液晶表示装置 1 とは異なる画素回路の接続形態を有し、2H-Z 反転駆動に代えて 3H-Z 反転駆動を行う。以下、第1の実施形態に係る液晶表示装置 1 との相違点を説明する。

[0054] 図 15 は、本実施形態に係る液晶表示装置の表示領域 4 の回路図である。本実施形態に係る液晶表示装置では、画素回路 13 は、データ線 12 の両側に 3 個ずつ交互に接続される。具体的には図 15 に示すように、データ線 12 の左側には i 行目 ~ $(i+2)$ 行目の画素回路 13 が接続され、データ線 12 の右側には $(i+3)$ 行目 ~ $(i+5)$ 行目の画素回路 13 が接続される。また、データ線 12 の左側には $(i+6)$ 行目 ~ $(i+8)$ 行目などの画素回路 13 が接続され、データ線 12 の右側には $(i+9)$ 行目 ~ $(i+11)$ 行目などの画素回路 13 が接続される (図示せず)。

[0055] 図 16 は、本実施形態に係る液晶表示装置における画素回路の配置を示す図である。本実施形態に係る液晶表示装置では、画素回路 13 は、3 原色の画素回路が赤、緑、および、青の順に並ぶ行と、3 原色の画素回路が青、赤、および、緑の順に並ぶ行と、3 原色の画素回路が緑、青、および、赤の順に並ぶ行とが 3 個ずつ列方向に並ぶように配置される。具体的には図 16 に示すように、 i 行目 ~ $(i+2)$ 行目の画素では、3 原色の画素回路は、R 画素回路、G 画素回路、および、B 画素回路の順に配置される。 $(i+3)$

行目～(i+5)行目の画素では、3原色の画素回路は、B画素回路、R画素回路、および、G画素回路の順に配置される。(i+6)行目～(i+8)行目の画素では、3原色の画素回路は、G画素回路、B画素回路、および、R画素回路の順に配置される。他の行の画素でも、これと同様である。

[0056] 本実施形態では、ある行と次の行では画素単位で白と黒を交互に表示し、その次の行では画素単位で白と黒を逆の順序で交互に表示するパターンをグリーンニッシュパターンという。3H-Z反転駆動を行うノーマリーブラック型の従来の液晶表示装置では、グリーンニッシュパターンを表示したときに表示画面の色が緑色を帯びた灰色に見える。

[0057] 図17は、本実施形態に係る液晶表示装置においてグリーンニッシュパターンを表示したときの状態を示す図である。図18は、図17に示す場合にデータ線12に印加する電圧の極性を変化させる方向を示す図である。本実施形態に係る液晶表示装置では、i行目～(i+2)行目の画素では、Gサブ画素の輝度は高くなり、Rサブ画素とBサブ画素の輝度は低くなる。このため、i行目～(i+2)行目の画素だけを見れば、緑色を帯びた灰色に見える。(i+3)行目～(i+5)行目では、Rサブ画素の輝度は高くなり、Gサブ画素とBサブ画素の輝度は低くなる。このため、(i+3)行目～(i+5)行目の画素だけを見れば、赤色を帯びた灰色に見える。(i+6)行目～(i+8)行目では、Bサブ画素の輝度は高くなり、Rサブ画素とGサブ画素の輝度は低くなる。このため、(i+6)行目～(i+8)行目の画素だけを見れば、青色を帯びた灰色に見える。他の行の画素でも、これと同様である。

[0058] 本実施形態に係る液晶表示装置の表示画面をある程度離れた位置から見たときには、上記9行の画素の表示色が平均化されるので、表示画面の色は灰色(正しい色)に見える。したがって、本実施形態に係る液晶表示装置によれば、3H-Z反転駆動を行い、グリーンニッシュパターンを表示したときでも、9行の画素の表示色を平均化し、色シフトを防止することができる。

[0059] 上記実施形態に係る液晶表示装置については、以下の変形例を構成するこ

とができる。第1および第2の実施形態では、データ線12の両側に画素回路13が2個ずつ交互に接続され、3原色の画素回路が3とおりの順序で2行ずつ配置されており、第3の実施形態では、データ線12の両側に画素回路13が3個ずつ交互に接続され、3原色の画素回路が3とおりの順序で3行ずつ配置されていることとした。変形例に係る液晶表示装置では、データ線12の両側に画素回路13が1以上の所定個数ずつ交互に接続され、3原色の画素回路が3とおりの順序で上記個数ずつ配置されていることとしてもよい。また、第1および第2の実施形態では、配向方式としてFFS方式を採用することとした。変形例に係る液晶表示装置では、配向方式として、TN (Twisted Nematic) 方式やASV (Advanced Super View) 方式を採用してもよい。これら変形例に係る液晶表示装置でも、第1～第3の実施形態に係る液晶表示装置と同様の効果が得られる。

[0060] 以上に示すように、液晶表示装置は、アクティブマトリクス型の液晶表示装置であって、行方向に延伸する複数の走査線と、列方向に延伸する複数のデータ線と、それぞれが前記走査線と前記データ線の交点に対応して配置され、かつ、対応する1本のデータ線に接続された複数の画素回路と、前記走査線を順に選択する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路とを備え、前記データ線駆動回路は、隣接するデータ線に異なる極性の電圧を印加し、前記データ線の両側には前記画素回路が1以上の所定個数ずつ交互に接続されており、前記画素回路は、3原色の画素回路が赤、緑、および、青の順に並ぶ行と、前記3原色の画素回路が青、赤、および、緑の順に並ぶ行と、前記3原色の画素回路が緑、青、および、赤の順に並ぶ行とが前記個数ずつ列方向に並ぶように配置されていてもよい（第1の局面）。

[0061] 前記個数が2であってもよい（第2の局面）。前記データ線は、ジグザグ状に屈折しながら列方向に延伸し、前記走査線は、前記データ線の屈折点に対応して配置されており、列方向に隣接する画素回路は、互いに異なる形状を有する画素電極を含んでいてもよい（第3の局面）。あるいは、前記個数が3であってもよい（第4の局面）。前記画素回路は、FFS (Fringe Field

d Switching) 方式に対応した画素電極と共通電極を含んでもよい（第5の局面）。

[0062] また、液晶表示装置の駆動方法は、行方向に延伸する複数の走査線と、列方向に延伸する複数のデータ線と、それぞれが前記走査線と前記データ線の交点に対応して配置され、かつ、対応する1本のデータ線に接続された複数の画素回路とを有するアクティブマトリクス型の液晶表示装置の駆動方法であって、前記走査線を順に選択するステップと、前記データ線を駆動するステップとを備え、前記データ線を駆動するステップは、隣接するデータ線に異なる極性の電圧を印加し、前記データ線の両側には前記画素回路が1以上の所定個数ずつ交互に接続されており、前記画素回路は、3原色の画素回路が赤、緑、および、青の順に並ぶ行と、前記3原色の画素回路が青、赤、および、緑の順に並ぶ行と、前記3原色の画素回路が緑、青、および、赤の順に並ぶ行とが前記個数ずつ列方向に並ぶように配置されていてもよい（第6の局面）。

[0063] 第1または第6の局面によれば、データ線の両側に画素回路が n 個（ n は1以上の整数）ずつ交互に配置されている状況下で、隣接するデータ線に異なる極性の電圧を印加することにより、 n H-Z反転駆動を行うことができる。これにより、 n の値が大きいときほど、赤、緑、または、青の画像を表示したときの消費電力を削減することができる。また、3原色の画素回路が3とおりの順序で n 行ずつ配置されているので、色シフトを発生させる特定のパターンを表示したときでも、 $3n$ 行の画素の表示色を平均化し、色シフトを防止することができる。

[0064] 第2の局面によれば、2 H-Z反転駆動を行うことができる。また、特定のパターンを表示したときでも、6行の画素の表示色を平均化し、色シフトを防止することができる。第3の局面によれば、列方向に隣接する画素回路の画素電極が互いに異なる形状を有するので、表示画面を斜め方向から見たときの色付きを低減することができる。また、2 H-Z反転駆動を行うことにより、フリッカー率やフリッカーずれを改善することができる。第4の局

面によれば、3 H-Z反転駆動を行うことができる。また、特定のパターンを表示したときでも、9行の画素の表示色を平均化し、色シフトを防止することができる。第5の局面によれば、F F S方式を採用した液晶表示装置において、n H-Z反転駆動を行い、特定のパターンを表示したときの色シフトを防止することができる。

[0065] 本願は、2017年1月5日に出願された「液晶表示装置およびその駆動方法」という名称の日本国特願2017-468号に基づく優先権を主張する出願であり、この出願の内容は引用することによって本願の中に含まれる。

符号の説明

- [0066] 1…液晶表示装置
2…T F T基板
3…カラーフィルタ基板
4…表示領域
5…走査線駆動回路
6…データ線駆動回路
7…端子領域
11…走査線
12…データ線
13…画素回路
14…T F T
15…画素容量
16…画素電極
17…共通電極
18…液晶

請求の範囲

- [請求項1] アクティブマトリクス型の液晶表示装置であって、
 行方向に延伸する複数の走査線と、
 列方向に延伸する複数のデータ線と、
 それぞれが前記走査線と前記データ線の交点に対応して配置され、
かつ、対応する 1 本のデータ線に接続された複数の画素回路と、
 前記走査線を順に選択する走査線駆動回路と、
 前記データ線を駆動するデータ線駆動回路とを備え、
 前記データ線駆動回路は、隣接するデータ線に異なる極性の電圧を
 印加し、
 前記データ線の両側には前記画素回路が 1 以上の所定個数ずつ交互
 に接続されており、
 前記画素回路は、3 原色の画素回路が赤、緑、および、青の順に並
 ぶ行と、前記 3 原色の画素回路が青、赤、および、緑の順に並ぶ行と
 、前記 3 原色の画素回路が緑、青、および、赤の順に並ぶ行とが前記
 個数ずつ列方向に並ぶように配置されていることを特徴とする、液晶
 表示装置。
- [請求項2] 前記個数が 2 であることを特徴とする、請求項 1 に記載の液晶表示
 装置。
- [請求項3] 前記データ線は、ジグザグ状に屈折しながら列方向に延伸し、
 前記走査線は、前記データ線の屈折点に対応して配置されており、
 列方向に隣接する画素回路は、互いに異なる形状を有する画素電極
 を含むことを特徴とする、請求項 2 に記載の液晶表示装置。
- [請求項4] 前記個数が 3 であることを特徴とする、請求項 1 に記載の液晶表示
 装置。
- [請求項5] 前記画素回路は、F F S (Fringe Field Switching) 方式に対応し
 た画素電極と共通電極を含むことを特徴とする、請求項 1 に記載の液
 晶表示装置。

[請求項6] 行方向に延伸する複数の走査線と、列方向に延伸する複数のデータ線と、それぞれが前記走査線と前記データ線の交点に対応して配置され、かつ、対応する1本のデータ線に接続された複数の画素回路とを有するアクティブマトリクス型の液晶表示装置の駆動方法であって、

 前記走査線を順に選択するステップと、

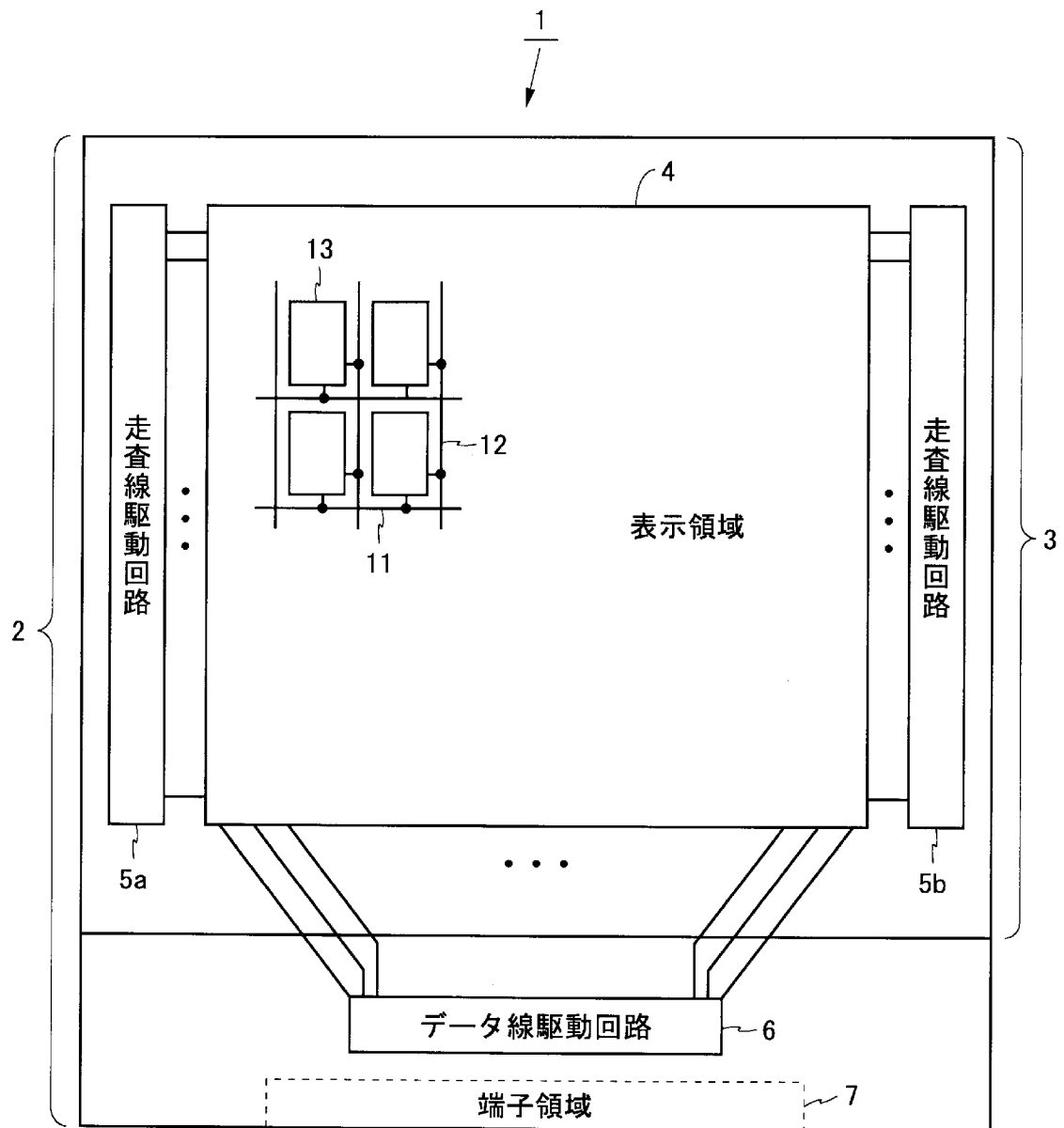
 前記データ線を駆動するステップとを備え、

 前記データ線を駆動するステップは、隣接するデータ線に異なる極性の電圧を印加し、

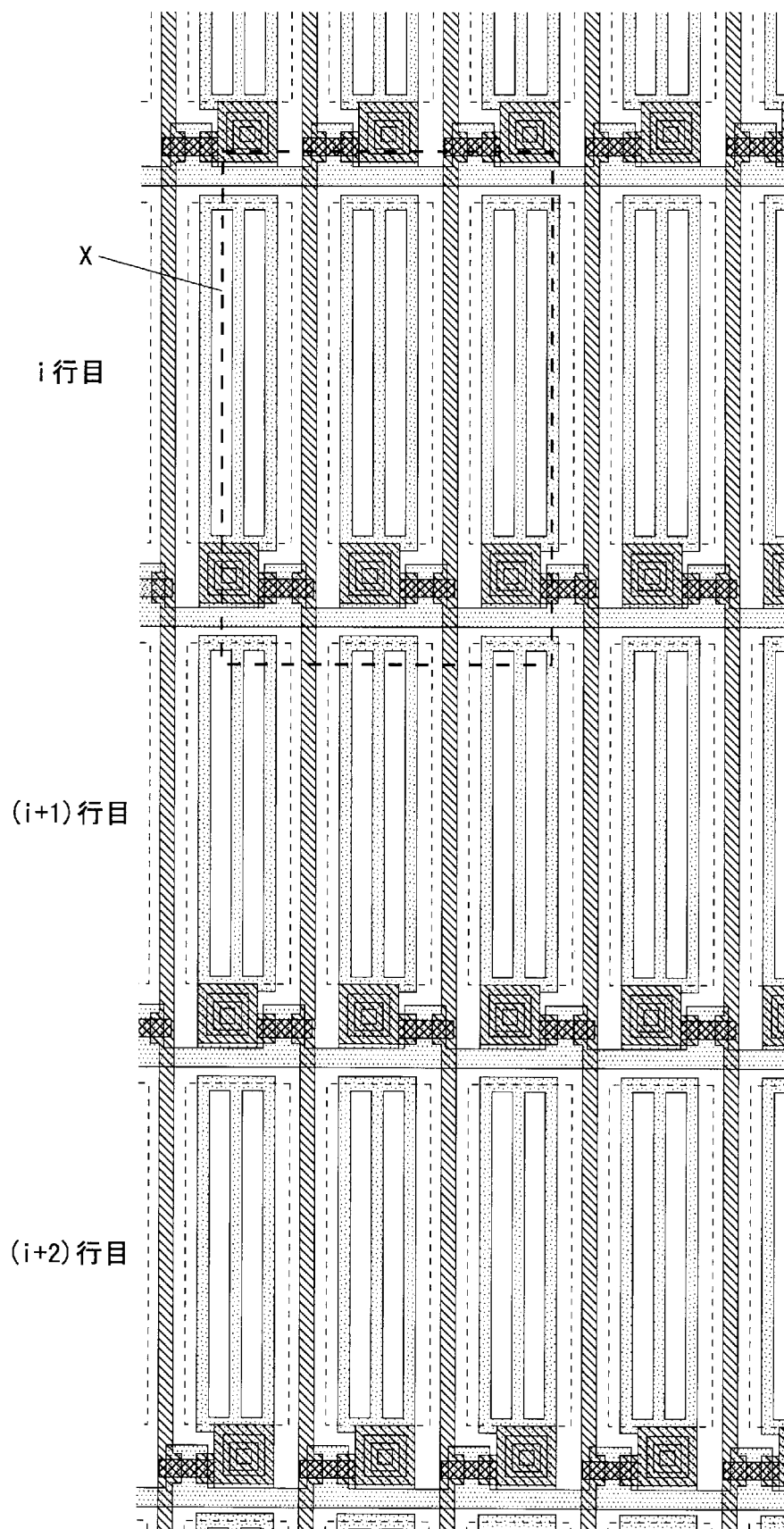
 前記データ線の両側には前記画素回路が1以上の所定個数ずつ交互に接続されており、

 前記画素回路は、3原色の画素回路が赤、緑、および、青の順に並ぶ行と、前記3原色の画素回路が青、赤、および、緑の順に並ぶ行と、前記3原色の画素回路が緑、青、および、赤の順に並ぶ行とが前記個数ずつ列方向に並ぶように配置されていることを特徴とする、液晶表示装置の駆動方法。

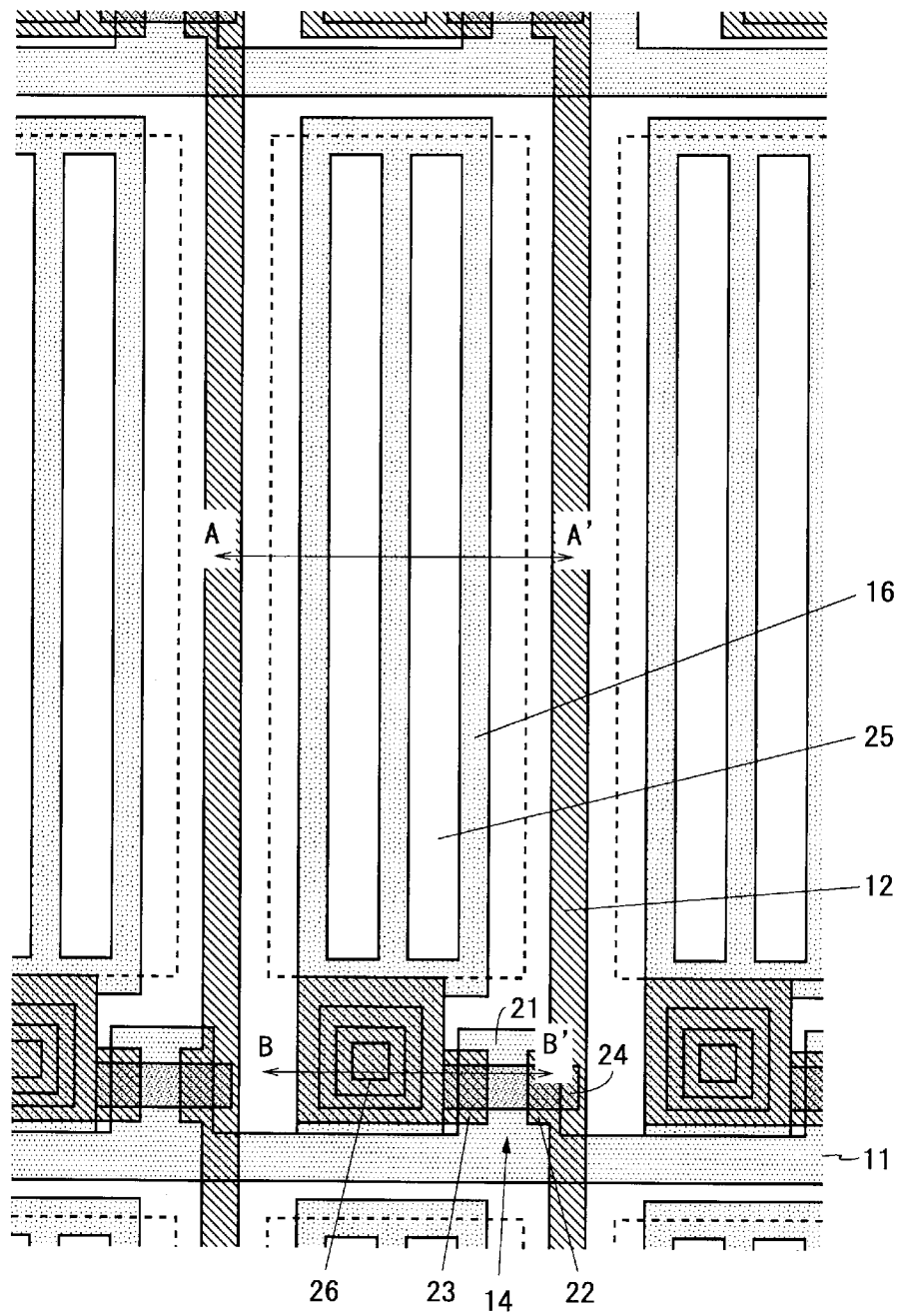
[図1]

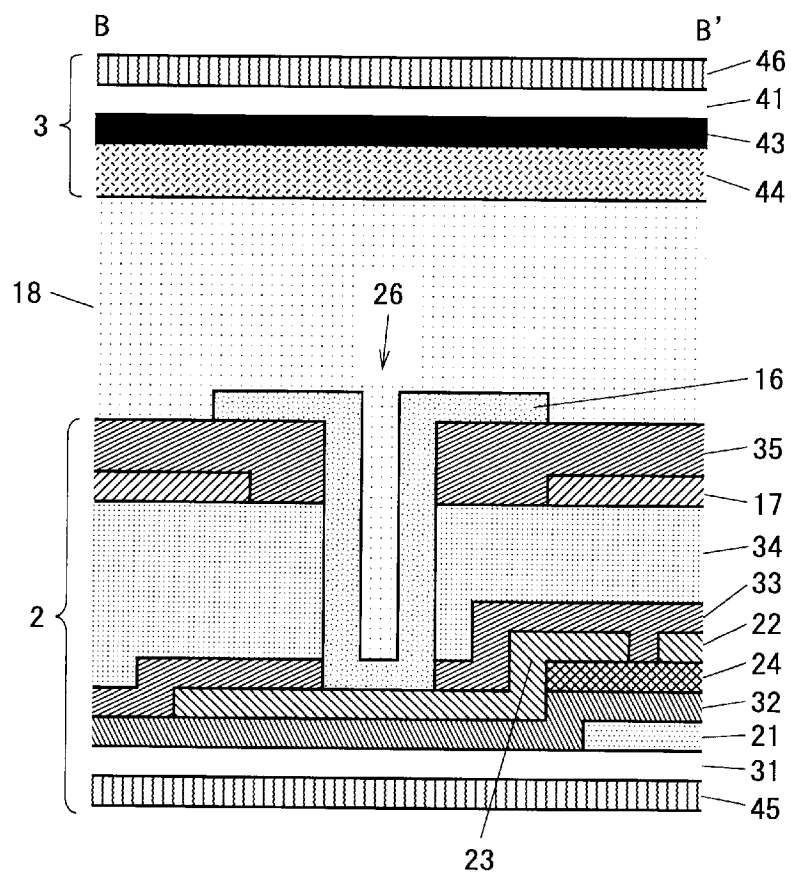


[図3]



[図4]



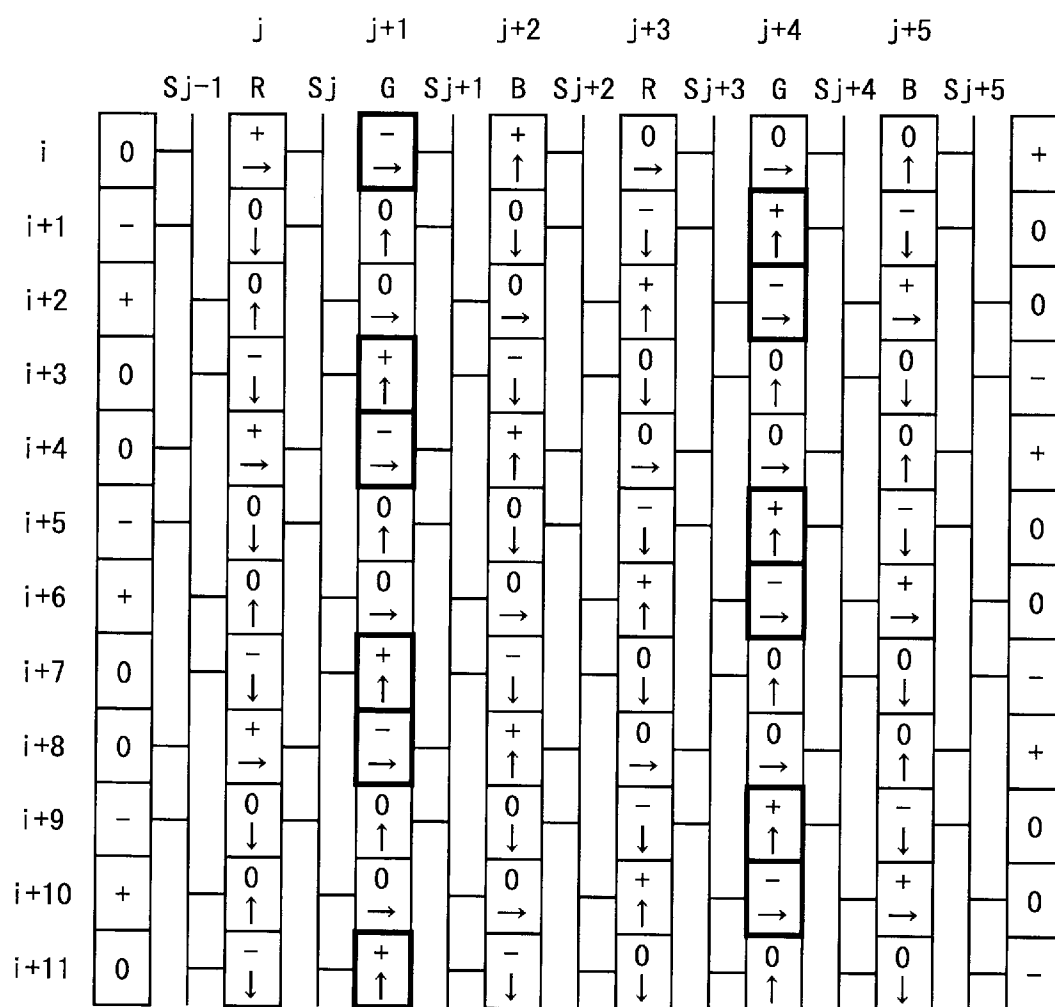


[図7]

j 列目

i 行目		R +		G -		B +		R -		G +		B -		R +		G -		B +		R -		G +		B -
(i+1) 行目		R +		G -		B +		R -		G +		B -		R +		G -		B +		R -		G +		B -
(i+2) 行目		R -		G +		B -		R +		G -		B +		R -		G +		B -		R +		G -		B +
(i+3) 行目		R -		G +		B -		R +		G -		B +		R -		G +		B -		R +		G -		B +
(i+4) 行目		R +		G -		B +		R -		G +		B -		R +		G -		B +		R -		G +		B -
(i+5) 行目		R +		G -		B +		R -		G +		B -		R +		G -		B +		R -		G +		B -
(i+6) 行目		R -		G +		B -		R +		G -		B +		R -		G +		B -		R +		G -		B +
(i+7) 行目		R -		G +		B -		R +		G -		B +		R -		G +		B -		R +		G -		B +
(i+8) 行目		R +		G -		B +		R -		G +		B -		R +		G -		B +		R -		G +		B -
(i+9) 行目		R +		G -		B +		R -		G +		B -		R +		G -		B +		R -		G +		B -
(i+10) 行目		R -		G +		B -		R +		G -		B +		R -		G +		B -		R +		G -		B +
(i+11) 行目		R -		G +		B -		R +		G -		B +		R -		G +		B -		R +		G -		B +

[図8]



[図9]

j 列目

i 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+1) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+2) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+3) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+4) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+5) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+6) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+7) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+8) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+9) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+10) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+11) 行目	G	B	R	G	B	R	G	B	R	G	B	R

[図10]

j 列目

i 行目	R +	G -	B +	R -	G +	B -	R +	G -	B +	R -	G +	B -
(i+1) 行目	R +	G -	B +	R -	G +	B -	R +	G -	B +	R -	G +	B -
(i+2) 行目	B -	R +	G -	B +	R -	G +	B -	R +	G -	B +	R -	G +
(i+3) 行目	B -	R +	G -	B +	R -	G +	B -	R +	G -	B +	R -	G +
(i+4) 行目	G +	B -	R +	G -	B +	R -	G +	B -	R +	G -	B +	R -
(i+5) 行目	G +	B -	R +	G -	B +	R -	G +	B -	R +	G -	B +	R -
(i+6) 行目	R -	G +	B -	R +	G -	B +	R -	G +	B -	R +	G -	B +
(i+7) 行目	R -	G +	B -	R +	G -	B +	R -	G +	B -	R +	G -	B +
(i+8) 行目	B +	R -	G +	B -	R +	G -	B +	R -	G +	B -	R +	G -
(i+9) 行目	B +	R -	G +	B -	R +	G -	B +	R -	G +	B -	R +	G -
(i+10) 行目	G -	B +	R -	G +	B -	R +	G -	B +	R -	G +	B -	R +
(i+11) 行目	G -	B +	R -	G +	B -	R +	G -	B +	R -	G +	B -	R +

[図11]

		j	j+1	j+2	j+3	j+4	j+5	
		S_{j-1}	S_j	S_{j+1}	S_{j+2}	S_{j+3}	S_{j+4}	S_{j+5}
i	0	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	+
i+1	-	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	0
i+2	+	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	0
i+3	0	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	-
i+4	0	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	+
i+5	-	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	0
i+6	+	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	0
i+7	0	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	-
i+8	0	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	$\rightarrow$	+
i+9	-	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	0
i+10	+	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	$\uparrow$	0
i+11	0	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	$\downarrow$	-

[図12]

i 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+1) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+2) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+3) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+4) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+5) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+6) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+7) 行目	R	G	B	R	G	B	R	G	B	R	G	B

[図13]

(a)

R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B
G	B	R	G	B	R	G	B	R	G	B	R
G	B	R	G	B	R	G	B	R	G	B	R
B	R	G	B	R	G	B	R	G	B	R	G
B	R	G	B	R	G	B	R	G	B	R	G

(b)

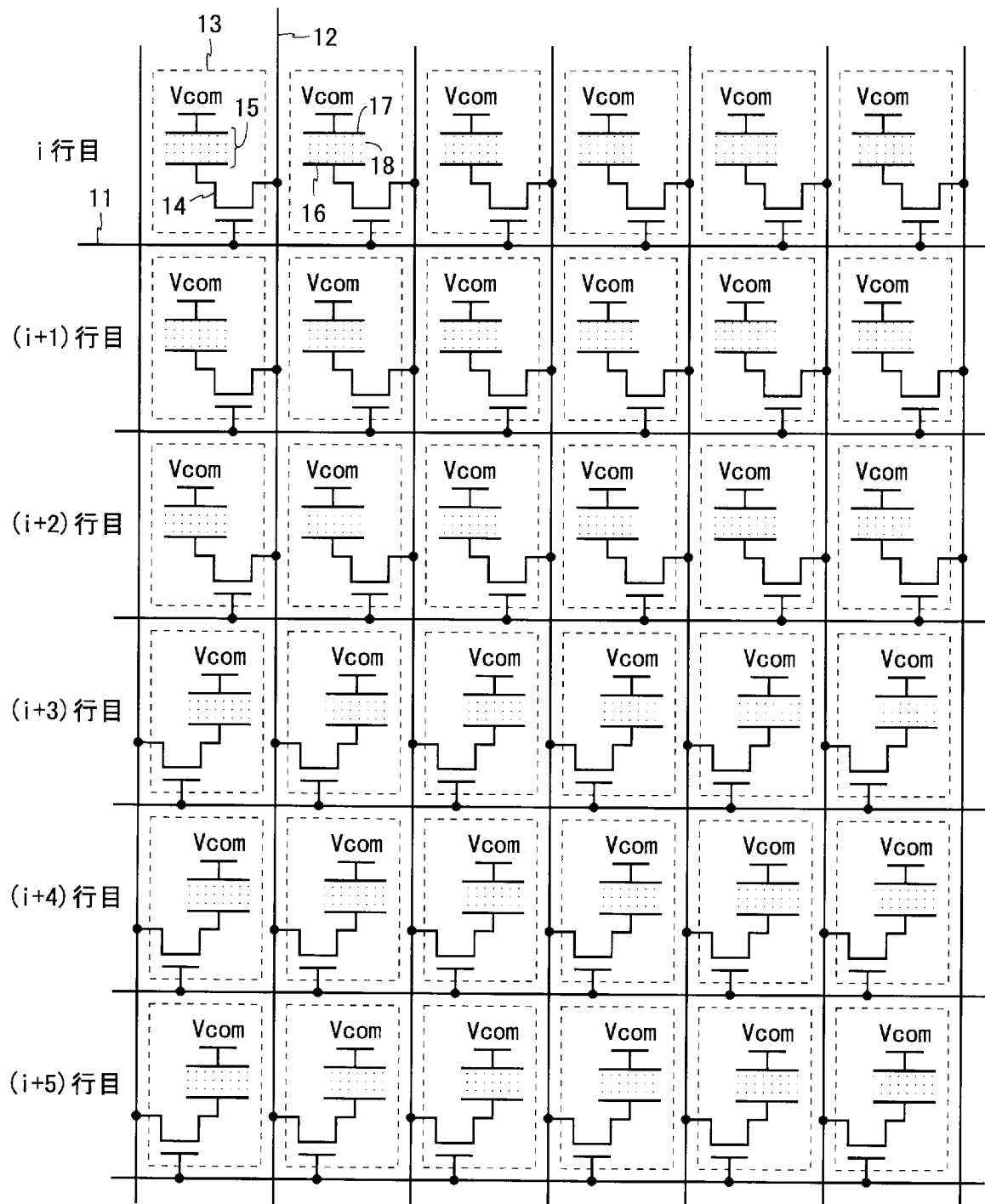
R	B	G	R	B	G	R	B	G	R	B	G
R	B	G	R	B	G	R	B	G	R	B	G
G	R	B	G	R	B	G	R	B	G	R	B
G	R	B	G	R	B	G	R	B	G	R	B
B	G	R	B	G	R	B	G	R	B	G	R
B	G	R	B	G	R	B	G	R	B	G	R

(c)

R	B	G	R	B	G	R	B	G	R	B	G
R	B	G	R	B	G	R	B	G	R	B	G
B	G	R	B	G	R	B	G	R	B	G	R
B	G	R	B	G	R	B	G	R	B	G	R
G	R	B	G	R	B	G	R	B	G	R	B
G	R	B	G	R	B	G	R	B	G	R	B

Figure 1 is a schematic diagram of a multi-layered structure, likely a semiconductor device or a printed circuit board. The diagram shows a repeating pattern of vertical lines and horizontal connections. The structure is divided into rows, labeled on the left as (i-1) 行目, i 行目, (i+1) 行目, (i+2) 行目, and (i+3) 行目. The diagram includes several numbered labels pointing to specific components: 16 points to a horizontal line in the (i-1) row; 13 points to a square component in the i row; 11 points to a horizontal line in the i row; 14 points to a horizontal line in the (i+1) row; and 12 points to a horizontal line in the (i+2) row. The diagram illustrates the arrangement of these components across multiple rows.

[図15]



[図16]

j 列目

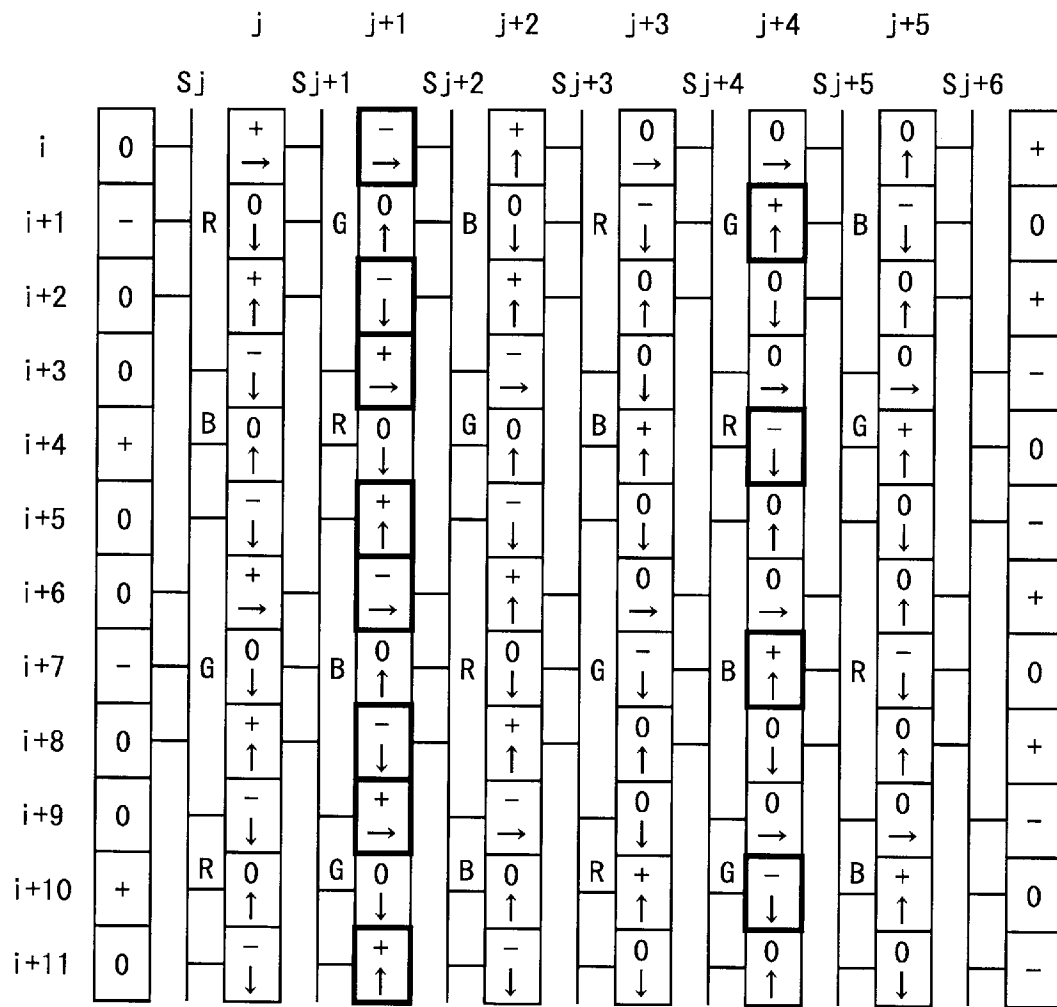
i 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+1) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+2) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+3) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+4) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+5) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+6) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+7) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+8) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+9) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+10) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+11) 行目	R	G	B	R	G	B	R	G	B	R	G	B

[図17]

j 列目

i 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+1) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+2) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+3) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+4) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+5) 行目	B	R	G	B	R	G	B	R	G	B	R	G
(i+6) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+7) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+8) 行目	G	B	R	G	B	R	G	B	R	G	B	R
(i+9) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+10) 行目	R	G	B	R	G	B	R	G	B	R	G	B
(i+11) 行目	R	G	B	R	G	B	R	G	B	R	G	B

[図18]



[図19]

(a)

R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-

(b)

R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
-	+	-	+	-	+	-	+	-	+	-	+
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
-	+	-	+	-	+	-	+	-	+	-	+
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
-	+	-	+	-	+	-	+	-	+	-	+

(c)

R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
-	+	-	+	-	+	-	+	-	+	-	+
R	G	B	R	G	B	R	G	B	R	G	B
-	+	-	+	-	+	-	+	-	+	-	+
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
-	+	-	+	-	+	-	+	-	+	-	+
R	G	B	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-	+	-
R	G	B	R	G	B	R	G	B	R	G	B
-	+	-	+	-	+	-	+	-	+	-	+

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/046888

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G02F1/1368 (2006.01) i, G02F1/133 (2006.01) i, G02F1/1335 (2006.01) i, G09F9/30 (2006.01) i, G09F9/302 (2006.01) i, G09G3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/1368, G02F1/133, G02F1/1335, G09F9/30, G09F9/302, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-107679 A (OPTREX CORP.) 02 June 2011, paragraphs [0055]-[0092], [0222]-[0229], fig. 1, 24 & US 2011/0096062 A1, paragraphs [0093]-[0130], [0261]-[0268], fig. 1, 24 & EP 2315197 A2 & CN 102044229 A	1, 5-6 2-4
A	WO 2012/157536 A1 (SHARP CORP.) 22 November 2012, entire text, all drawings (Family: none)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/046888

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-159992 A (FRONTEC INC.) 20 June 1997, entire text, all drawings & US 6327008 B1 & TW 383529 B & KR 10-0210822 B & CN 1156265 A	1-6
A	US 2012/0206512 A1 (KIM, Young Hoon) 16 August 2012, entire text, all drawings & EP 2487528 A1 & KR 10-2012-0093003 A & CN 102636894 A	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1335(2006.01)i, G09F9/30(2006.01)i, G09F9/302(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/1368, G02F1/133, G02F1/1335, G09F9/30, G09F9/302, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2011-107679 A (オプトレックス株式会社) 2011.06.02, 段落[0055]-[0092], [0222]-[0229], 図1, 図24 & US 2011/0096062 A1, [0093]-[0130], [0261]-[0268], Fig. 1, Fig. 24 & EP 2315197 A2 & CN 102044229 A	1, 5-6 2-4
A	WO 2012/157536 A1 (シャープ株式会社) 2012.11.22, 全文, 全図 (ファミリーなし)	1-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

07.03.2018

国際調査報告の発送日

20.03.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岸 智史

2 L

3603

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-159992 A (株式会社フロンテック) 1997. 06. 20, 全文, 全図 & US 6327008 B1 & TW 383529 B & KR 10-0210822 B & CN 1156265 A	1-6
A	US 2012/0206512 A1 (KIM, YoungHoon) 2012. 08. 16, 全文, 全図 & EP 2487528 A1 & KR 10-2012-0093003 A & CN 102636894 A	1-6