(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018 년 3 월 29 일 (29.03.2018)

WIPO | PCT

(10) 국제공개번호
WO 2018/056695 A1

(51) 국제특허분류:
H01L 27/11 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8238 (2006.01) *H01L 29/66* (2006.01)
H01L 21/8228 (2006.01)

(21) 국제출원번호: PCT/KR2017/010325

(22) 국제출원일: 2017 년 9 월 20 일 (20.09.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0123410 2016 년 9 월 26 일 (26.09.2016) KR

(71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 02841 서울시 성북구 안암로 145, Seoul (KR).

(72) 발명자: 김상식 (KIM, Sangsig); 06291 서울시 강남구 삼성로 151, 10-803, Seoul (KR). 조경아 (CHO, Kyoungah); 04989 서울시 광진구 천호대로110길 72, Seoul (KR). 김민석 (KIM, Min Suk); 14474 경기도 부천시 여월로 65, 212-802, Gyeonggi-do (KR). 김윤중 (KIM, Yoon-Joong); 06039 서울시 강남구 도산대로12길 17-3, 202, Seoul (KR). 우솔아 (WOO, Sola); 13835 경기도 과천시 별양로 12, 332-1502, Gyeonggi-do (KR). 임두혁 (LIM, Doohyeok); 05795 서울시 송파구 동남로 160, 17-502, Seoul (KR).

(74) 대리인: 특허법인 누리 (NURY PATENT LAW FIRM); 06131 서울시 강남구 테헤란로 25길 15-5, 4층, Seoul (KR).

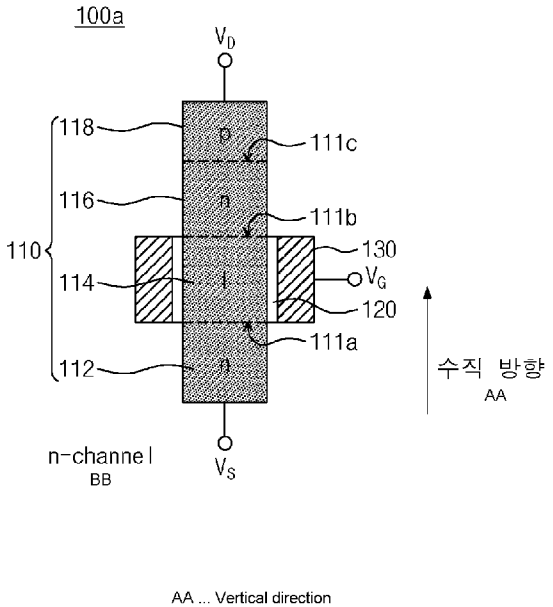
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

WO 2018/056695 A1

(54) **Title:** SEMICONDUCTOR DEVICE

(54) **발명의 명칭:** 반도체 소자



AA ... Vertical direction
BB ... N-channel

(57) **Abstract:** The present invention provides a semiconductor device. The semiconductor device comprises: a semiconductor column including a first conductive area of a first conductive type, a second conductive area of a second conductive type, an intrinsic area disposed between the first conductive area and the second conductive area, and a barrier area of the first conductive type disposed between the intrinsic area and the second conductive area; a gate electrode disposed to surround the intrinsic area; and a gate insulating membrane disposed between the gate electrode and the intrinsic area. The semiconductor device operates as a switch or a volatile memory according to a gate voltage applied to a gate and a drain voltage applied to a drain.

(57) **요약서:** 본 발명은 반도체 소자를 제공한다. 이 반도체 소자는 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막을 포함한다. 상기 게이트에 인가되는 게이트 전압과 상기 드레인에 인가되는 드레인 전압에 따라 스위치 또는 휘발성 메모리로 동작한다.

[다음 쪽 계속]

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 반도체 소자

기술분야

[1] 본 발명은 스위칭 동작 또는 휘발성 메모리 동작이 가능한 실리콘 반도체 소자에 관한 것이며, 보다 상세하게는 *p-n-i-n* 나노구조체 소자의 양성 피드백 루프(positive feedback loop) 메모리 메커니즘으로 구동하며 스위칭 동작 및 메모리 동작이 가능한 반도체 소자에 관한 것이다.

배경기술

[2] 뉴로모픽(Neuromorphic) 기술은 인간의 신경 구조를 CMOS 집적회로 기술 기반 하드웨어로 모방하기 위한 기술이다. 기존 폰 노이만(Von Neumann) 기반의 컴퓨터 구조는 고도의 인지 응용 및 처리를 수행하는데 속도 및 전력 소모 등의 측면에서 큰 한계를 보이고 있다. 따라서, 현재 뉴로모픽 기술은 더욱 연구가 필요한 시점이다.

[3] 뉴로모픽 기술은 각각 별도로 진화된 뉴런 모방소자(프로세서)와 시냅스 모방소자(메모리)를 패키징기술인 POP(package on package), TSV(through silicon via) 기술로 칩의 대용량화, 집적화, 저전력화 및 속도 개선을 시켜왔다. 그러나 근본적으로 폰 노이만 기반의 컴퓨터 구조는 메모리와 프로세서가 분리되어 있어, 이들을 연결한 버스(bus)에서 용량을 받아주지 못하는 "폰-노이만 병목" 현상이 발생한다.

[4] 뉴로모픽 시스템을 구현하는데 있어서, 그 기반이 되는 시냅스 소자가 가장 중요하다. 시냅스 소자는 뇌의 시냅스와 유사한 기능인 자극에 대한 기억을 가져야하는 메모리와 스위칭기능을 모두 가지고 있어야 한다.

[5] 시냅스 모방소자로 적용하기 위해 ReRAM(resistive random access memory), PCRAM(phase change access memory), FeRAM(ferroelectric random access memory) 등 다양한 소재 및 구조를 갖는 메모리와 스위칭기능을 갖는 memristor 시냅스 소자 연구가 전 세계적으로 진행되고 있다. 그러나 기존 실리콘 CMOS 공정에는 활용이 불가능하여 실용화에는 어려움이 있다. 또한, 기존 실리콘 CMOS 공정에 활용이 가능한 SRAM(static random access memory)의 경우에는 최소 여섯 개의 transistor(6T)가 필요하며, 다른 시냅스 모방소자들에 비해 전력소모가 크며, 매우 넓은 면적이 필요하다는 단점이 있다. 전력소모와 면적을 줄이는 기술 개발이 필요한 상황이다. SRAM은 메모리 기능만 가지고 있어, 시냅스 소자로 사용되기 위해서는 스위칭기능도 필요한 상황이다. 이에 따라, 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 읽기 감지 폭(read sensing margin)을 확보할 수 있는 메모리기능과 스위칭기능이 융합된 기존 CMOS 공정 기반의 실리콘 채널로 구성된 한 개의 transistor(1T)로 SRAM 기능을 하는 신개념 시냅스

모방소자 개발이 필요한 상황이다.

[6] 기존의 사이리스터 DRAM(thyristor dynamic random access memory)의 경우, 게이트에 인가하는 전압을 고정시키고, 드레인에 인가하는 전압에 따라, 읽기/쓰기/지우기(read/write/erase)가 결정이 된다. 즉, 사이리스터 DRAM은 I_{DS}-V_{DS} 특성곡선에서 히스테리시스(hysteresis) 특성을 메모리로 이용하는 형태로써, 읽기/쓰기를 할 때, 인가해야하는 드레인 전압이 모두 양의 값이 되어야 한다. 지우기의 경우에는 채널 바디(channel body)에 축적된 전하들을 제거해야 하므로, 드레인에 음의 전압을 인가한다.

[7] 현재, 드레인에 인가하는 전압을 고정시키고, 게이트에 인가하는 전압에 따라, 읽기/쓰기/지우기(read/write/erase)가 결정되는 I_{DS}-V_{GS} 특성곡선에서 히스테리시스(hysteresis)특성을 메모리로 이용한 기술은 전무하다.

[8] 한국 등록특허 10-1480211은 사이리스터-기반 메모리를 개시한다.

발명의 상세한 설명

기술적 과제

[9] 본 발명의 해결하고자 하는 일 기술적 과제는 기존 CMOS 공정을 활용할 수 있는 시냅스 모방소자를 제공하는 것이다.

[10] 본 발명의 해결하고자 하는 일 기술적 과제는 기존 6T-SRAM의 큰 소자 면적 및 전력소모를 감소시키는 1T-메모리를 제공하는 것이다.

[11] 본 발명의 해결하고자 하는 일 기술적 과제는 메모리 기능뿐만 아니라 스위칭 기능도 가능한 1T-메모리를 제공하는 것이다.

[12] 본 발명의 해결하고자 하는 일 기술적 과제는 메모리와 스위칭 소자의 구조적인 결합이 아닌 기능적인 융합을 제공하는 것이다.

[13] 본 발명의 해결하고자 하는 일 기술적 과제는 기존 메모리소자의 처리속도를 개선한 1T-메모리를 제공하는 것이다.

[14] 본 발명의 해결하고자 하는 일 기술적 과제는 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 전류 감지 폭 내지 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 수직 반도체 컬럼을 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성 모드 동작 반도체 메모리 소자를 제공하는 것이다.

[15] 구체적으로는, 읽기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기울기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성을 가지고, 휘발성/스위칭 동작 특성이 한 소자 내에서 구현 가능한 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성 모드 동작 반도체 메모리 소자를 제공하는 것을

목적으로 한다.

과제 해결 수단

[16] 본 발명의 일 실시예에 따른 반도체 소자는 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막을 포함한다. 상기 게이트에 인가되는 게이트 전압과 상기 드레인에 인가되는 드레인 전압에 따라 스위치 또는 휘발성 메모리로 동작한다.

[17] 본 발명의 일 실시예에 있어서, 상기 반도체 컬럼은 기판 상에서 수직으로 연장되고, 상기 제1 도전 영역의 상기 제1 도전형은 n 형이고, 상기 제1 도전 영역은 소오스를 제공하고, 상기 제2 도전 영역은 드레인을 제공할 수 있다.

[18] 본 발명의 일 실시예에 있어서, 상기 반도체 컬럼은 기판 상에서 수직으로 연장되고, 상기 제1 도전 영역의 상기 제1 도전형은 p 형이고, 상기 제1 도전 영역은 드레인을 제공하고, 상기 제2 도전 영역은 소오스를 제공할 수 있다.

[19] 본 발명의 일 실시예에 있어서, 상기 휘발성 메모리로 동작하는 경우, 제1 논리 상태를 기록하기 위하여, 상기 게이트 전극에 제1 게이트 전압을 인가하고 상기 제2 도전 영역에 제1 드레인 전압을 인가하고, 상기 제1 논리 상태를 유지하기 위하여, 상기 게이트 전극에 제2 게이트 전압을 인가하고 상기 제2 도전 영역에 제2 드레인 전압을 인가하고, 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제1 드레인 전압을 인가하고, 제2 논리 상태를 기록하기 위하여, 상기 게이트 전극에 제3 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제1 드레인 전압을 인가하고, 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 제2 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제2 드레인 전압을 인가하고, 상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제1 드레인 전압을 인가할 수 있다.

[20] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p 형이고, 상기 제1 게이트 전압은 -0.25V 내지 -1V이고, 상기 제2 게이트 전압은 -0.1V 내지 0.1V이고, 상기 제3 게이트 전압은 0.25V 내지 1V이고, 상기 제1 드레인 전압은 0.5V 내지 1.5V이고, 상기 제2 드레인 전압은 0V일 수 있다.

[21] 본 발명의 일 실시예에 있어서, 상기 스위치로 동작하는 경우, 상기 제2 도전 영역에 제1 드레인 전압이 인가된 상태에서, 제1 상태로 스위칭하기 위하여, 상기 게이트 전극에 양의 제1 게이트 펄스를 인가하는 인가하고, 상기 제2 도전 영역에 제1 드레인 전압이 인가된 상태에서, 상기 제1 상태로부터 제2 상태로 스위칭하기 위하여, 상기 게이트 전극에 음의 제2 게이트 펄스를 인가할 수 있다.

[22] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p 형이고, 상기 제1 게이트 펄스는 음의 전압이고, 상기 제2 게이트 펄스는 양의 전압이고, 상기 제1 드레인 전압은 0.5V 내지 1.5V일 수 있다.

[23] 본 발명의 일 실시예에 있어서, 상기 기판은 활성 영역 및 소자 분리막을 포함하고, 상기 제1 도전 영역은 상기 활성 영역과 접촉하여 배치되고, 상기 활성 영역은 상기 제1 도전형으로 도핑될 수 있다.

[24] 본 발명의 일 실시예에 있어서, 상기 기판 상에 배치된 소오스 라인을 더 포함하고, 상기 제1 도전 영역은 상기 소오스 라인과 접촉하여 배치되고, 상기 소오스 라인은 실리콘에 상기 제1 도전형으로 도핑될 수 있다.

[25] 본 발명의 일 실시예에 있어서, 상기 제1 도전 영역, 상기 진성 영역, 상기 장벽 영역, 및 상기 제2 도전 영역은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치될 수 있다.

[26] 본 발명의 일 실시예에 있어서, 상기 제2 도전 영역, 상기 장벽 영역, 상기 진성 영역, 및 상기 제2 도전 영역은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치될 수 있다.

[27] 본 발명의 일 실시예에 있어서, 상기 반도체 컬럼의 하부면에서 상기 반도체 컬럼을 감싸도록 배치된 링 형태의 잔류 산화막을 더 포함할 수 있다.

[28] 본 발명의 일 실시예에 따른 휘발성 메모리 소자는 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판; 상기 기판 상에서 상기 제2 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들 상에서 주기적으로 배치되고 상기 기판의 배치평면에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들; 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막; 상기 제1 방향으로 연장되고 상기 워드 라인들 사이에 채우는 게이트 분리막들; 및 상기 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인들을 포함한다. 상기 반도체 컬럼은 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함할 수 있다. 상기 제1 도전 영역은 상기 소오스 라인과 접촉하고, 상기 제2 도전 영역은 상기 비트라인과 접촉할 수 있다.

[29] 본 발명의 일 실시예에 있어서, 제1 논리 상태를 기록하기 위하여, 선택된 워드라인에 제1 게이트 전압을 인가하고 선택된 비트라인에 제1 드레인 전압을 인가할 수 있다. 상기 제1 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트 전압을 인가하고 선택된 비트라인에 제2 드레인 전압을 인가할 수 있다. 상기 제1 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가할 수 있다.

제2 논리 상태를 기록하기 위하여, 선택된 워드라인에 제3 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가할 수 있다. 상기 제2 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제2 드레인 전압을 인가할 수 있다. 상기 제2 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가할 수 있다.

[30] 본 발명의 일 실시예에 따른 휘발성 메모리 소자는 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판; 상기 기판 상에서 상기 제2 방향으로 나란히 연장되는 비트 라인들; 상기 비트 라인들 상에서 주기적으로 배치되고 상기 기판의 배치평면에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들; 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막; 상기 제1 방향으로 연장되고 상기 워드 라인들 사이에 채우는 게이트 분리막들; 및 상기 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 소오스 라인들을 포함한다. 상기 반도체 컬럼은 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함한다. 상기 제1 도전 영역은 상기 소오스 라인과 접촉하고, 상기 제2 도전 영역은 상기 비트라인과 접촉한다.

[31] 본 발명의 일 실시예에 있어서, 제1 논리 상태를 기록하기 위하여, 선택된 워드라인에 제1 게이트 전압을 인가하고 선택된 비트라인에 제1 드레인 전압을 인가할 수 있다. 상기 제1 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트 전압을 인가하고 선택된 비트라인에 제2 드레인 전압을 인가할 수 있다. 상기 제1 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가할 수 있다. 제2 논리 상태를 기록하기 위하여, 선택된 워드라인에 제3 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가할 수 있다. 상기 제2 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제2 드레인 전압을 인가할 수 있다. 상기 제2 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가할 수 있다.

[32] 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법은 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판에 상기 제2 방향으로 연장되는 소자 분리막을 형성하여 활성 영역을 정의하는 단계; 상기 활성 영역이 형성된 상기 기판 상에 제1 층간 절연막, 도핑된 실리콘막, 및 제2 층간 절연막을 적층하고 상기 제2 층간 절연막, 상기 도핑된 실리콘막, 및 상기 제1 층간 절연막을 관통하는 관통홀을 형성하는 단계; 상기 관통홀의 내부에서

노출된 도핑된 실리콘막의 표면에 게이트 절연막을 형성하는 단계; 상기 관통홀에 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼을 형성하는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제2 층간 절연막 및 상기 도핑된 실리콘막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 트렌치를 워드라인 분리막으로 매립하는 단계; 및 상기 반도체 컬럼의 상기 제2 도전 영역에 접촉하고 상기 제2 방향으로 연장되는 비트라인을 형성하는 단계를 포함한다.

[33] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막을 형성시 상기 활성 영역 상에 형성된 보조 절연막을 제거하기 위하여, 상기 관통홀의 측벽을 덮는 희생 절연막을 형성하고 상기 희생 절연막을 이방성 식각하여 희생 측벽을 형성하고 상기 보조 절연막을 제거하는 단계; 및 상기 희생 측벽을 선택적으로 제거하는 단계를 더 포함할 수 있다.

[34] 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법은 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판에 상기 제2 방향으로 연장되는 제1 라인을 형성하는 단계; 상기 제1 도전 라인이 형성된 상기 기판 상에 제1 층간 절연막, 도핑된 실리콘막, 및 제2 층간 절연막을 적층하고 상기 제2 층간 절연막, 상기 도핑된 실리콘막, 및 상기 제1 층간 절연막을 관통하는 관통홀을 형성하는 단계; 상기 관통홀의 내부에서 노출된 도핑된 실리콘막의 표면에 게이트 절연막을 형성하는 단계; 상기 관통홀에 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼을 형성하는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제2 층간 절연막 및 상기 도핑된 실리콘막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 트렌치를 워드라인 분리막으로 매립하는 단계; 및 상기 반도체 컬럼의 상기 제2 도전 영역에 접촉하고 상기 제2 방향으로 연장되는 제2 도전 라인을 형성하는 단계를 포함한다.

[35] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막을 형성시 상기 활성 영역 상에 형성된 보조 절연막을 제거하기 위하여, 상기 관통홀의 측벽을 덮는 희생 절연막을 형성하고 상기 희생 절연막을 이방성 식각하여 희생 측벽을 형성하고 상기 보조 절연막을 제거하는 단계; 및 상기 희생 측벽을 선택적으로 제거하는 단계를 더 포함할 수 있다.

발명의 효과

[36] 본 발명의 일 실시예에 따른 1T-SRAM은 기존의 6T-SRAM 구조에서 탈피하여 *p-n-i-n* 나노구조체를 기반으로 한 1 트랜지스터(T)로 구성된 휘발성

메모리소자를 제공할 수 있다.

[37] 본 발명의 일 실시예에 따른 1T-메모리는 기존 CMOS 공정을 활용하면서 집적도 향상과 소비전력의 감소를 제공할 수 있다.

[38] 본 발명의 일 실시예에 따른 1T-메모리는 0 V의 독출 전압(Read voltage) 특성을 이용한 스위칭 기능을 제공하여, 메모리와 스위칭을 한 소자 내에서 동작하는 것을 제공할 수 있다.

[39] 본 발명의 일 실시예에 따른 1T-메모리는 좁은 메모리 동작 윈도우 및 넓은 전류 센싱 마진(current sensing margin) 특성으로 처리속도를 증가시킬 수 있다.

[40] 본 발명의 일 실시예에 따르면, 읽기를 할 때 0 V, 쓰기를 할 때는 양의 전압을, 지우기를 할 때는 음의 전압을 게이트에 인가된다면, 0 V에서 읽기를 할 수 있는 특성으로 인해, 한 개의 트랜지스터-메모리으로써 사용될 수 있다.

[41] 본 발명의 일 실시예에 따르면, 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성 모드 동작 반도체 메모리 소자를 제공할 수 있다.

[42] 구체적으로는, 본 발명의 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성 모드 동작 반도체 메모리 소자는 읽기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기울기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성을 가지고, 휘발성 동작 특성이 한 소자 내에서 구현 가능한 효과를 가진다.

도면의 간단한 설명

[43] 도 1a은 본 발명의 일 실시예에 따른 n 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[44] 도 1b는 본 발명의 다른 실시예에 따른 n 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[45] 도 1c는 도 1a 및 도 1b의 n 채널 반도체 소자를 나타내는 기호이다.

[46] 도 2a는 본 발명의 일 실시예에 따른 p 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[47] 도 2b는 본 발명의 다른 실시예에 따른 p 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[48] 도 2c는 도 2a 및 도 2b의 p 채널 반도체 소자를 나타내는 기호이다.

[49] 도 3은 본 발명의 n 채널 반도체 소자의 밴드 다이어그램을 나타내는 도면이다.

[50] 도 4는 동작 조건에 따른 도 3의 반도체 소자의 반도체 컬럼의 밴드 다이어그램을 나타내는 도면이다.

[51] 도 5는 도 4의 반도체 소자의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.

[52] 도 6a는 도 3의 반도체 소자의 게이트 전압에 따른 드레인 전류를 나타내는 시뮬레이션 결과를 나타내는 그래프이다.

[53] 도 6b는 도 3의 반도체 소자의 게이트 전압에 따른 드레인 전류를 나타내는 실험 결과를 나타내는 그래프이다.

[54] 도 7은 본 발명의 일 실시예에 따른 스위치 동작을 나타내는 타이밍도이다.

[55] 도 8은 도 7의 동작 전압에 따른 "1" 상태와 "0" 상태의 지속 시간을 나타내는 실험 결과이다.

[56] 도 9는 프로그램/지우기 동작 사이클에 따른 온 전류/오프 전류의 비(Ion/Ioff) 및 메모리 윈도우를 나타내는 실험 결과이다.

[57] 도 10은 본 발명의 일 실시예에 따른 반도체 소자의 스위칭 동작을 나타내는 시뮬레이션 결과이다.

[58] 도 11은 본 발명의 일 실시예에 따른 무축전기 RAM을 설명하는 회로도이다.

[59] 도 12는 도 11의 무축전기 RAM의 셀 영역을 나타내는 평면도이다.

[60] 도 13은 도 12의 A-A' 선을 따라 자른 단면도이다.

[61] 도 14는 도 12의 B-B' 선을 따라 자른 단면도이다.

[62] 도 15a 내지 도 15g는 공정 순서에 따라 도 12의 A-A'선을 자른 단면도들이다.

[63] 도 16은 본 발명의 다른 실시예에 따른 RAM을 설명하는 단면도이다.

[64] 도 17a은 본 발명의 또 다른 실시예에 따른 무축전기 RAM을 설명하는 회로도이다.

[65] 도 17b은 도 17a의 반도체 소자를 설명하는 단면도이다.

[66] 도 18 및 도 19는 본 발명의 또 다른 실시예들에 따른 반도체 소자를 설명하는 단면도들이다.

발명의 실시를 위한 형태

[67] 본 발명의 일 실시예에 따르면, 스위칭과 메모리 기능을 구비한 반도체 소자가 제안된다. 상기 반도체 소자는 양성 피드백 루프(positive feedback loop) 동작 메커니즘을 적용한 메모리 소자로, 기존 6T-SRAM 메모리소자와 달리, 소자 내부 포텐셜 장벽 형성에 따라 나타나는 전기적 특성을 응용하여 휘발성 메모리를 한 개의 트랜지스터(또는 소자)로 구현될 수 있다.

[68] 본 발명의 일 실시예에 따르면, 상기 반도체 소자는 휘발성 메모리의 기능뿐만 아니라, 읽기(read) 전압이 0 V이기 때문에 쓰기(write) 및 지우기(erase) 후 게이트 전압을 인가하지 않아도 메모리 특성이 유지되는 특성을 이용하면 스위칭 소자로도 활용할 수 있다.

[69] 기존 6T-SRAM은 인버터 2개가 상보적으로 연결되어 동작 전원이 유지되는 한, 별도의 전압이 인가되지 않아도 데이터를 저장할 수 있는 휘발성 메모리 소자이다. 워드 라인(word line)은 SRAM 셀(cell)을 선택하는 스위치 역할을 하여

상기 셀(cell)이 활성화되도록 한다. 비트 라인(bit line)은 워드라인(word line)이 연결되었을 때 셀(cell)에 데이터를 쓰거나 읽는 동작을 수행한다. 그리고 센스 증폭기(sense amplifier)는 읽기 동작 시 비트라인(bit line)과 비트라인 바($\overline{bit\ line}$)의 작은 전압 차이를 감지하여 증폭시켜주는 역할을 한다.

[70] 스위칭 가능한 반도체 소자는 p^+-n^+-i-n^+ 다이오드(diode)에서 새로운 개념의 피드백 루프(feedback loop) 현상을 활용한 메모리 소자이다. 게이트 절연막을 개재하여 진성 영역을 감싸도록 배치된 게이트 전극에 인가한 게이트 전압은 p^+-n^+-i-n^+ 채널 내 포텐셜 장벽을 활용하여 발생시킨 양성 피드백 루프(feedback loop)를 동작시킨다. 스위칭 가능한 메모리 소자는 기존 6T-SRAM의 MOSFET 동작원리에서 벗어나 p-n-i-n 나노구조체를 기반으로 양성 피드백 루프(feedback) 원리를 이용하여 스위칭 가능한 1T-메모리를 구현한다.

[71] 스위칭 가능한 1T-메모리 소자는 기존 6T-SRAM에 필요한 트랜지스터의 개수를 대폭 줄일 수 있을 뿐 아니라 센스 증폭기(sense amplifier)도 필요하지 않을 수 있다. 따라서, 공정의 단순화, 집적도의 향상, 그리고 소비전력의 감소가 가능하다. 기존 6T-SRAM의 경우, 데이터의 읽기/쓰기 동작은 동작 전원, 비트라인(bit line), 및 워드라인(word line)에 전압이 인가되어야 하지만, 1T-메모리 소자 경우, 0 V의 읽기 전압(read voltage) 특성으로 인해 쓰기/소거(write/erase) 동작 이후 워드라인(word line)의 전압이 인가되지 않아도 메모리 동작이 가능하므로 소비전력을 감소시킬 수 있다. 또한 0 V의 읽기 전압(read voltage) 특성을 활용한 스위칭 동작이 가능하여, 메모리와 스위칭 기능이 융합된 시냅스 소자로 활용 가능하다.

[72] I_{DS}-V_{GS} 전달 커브(transfer curve)에서 소오스(source)와 드레인(drain)의 전압을 1 V로 일정하게 인가한 후 게이트 전압을 변화시켜 에너지 장벽을 조절하였을 때, 급격한 전류의 흐름이 발생하는 래취-업/다운(latch-up/down) 현상이 나타난다. 이 때 0 V를 기준으로 -0.5 V~0.5 V 구간에 형성되는 히스테리시스 곡선을 확인할 수 있다.

[73] 본 발명의 일 실시예에 따른 피드백 실리콘 채널(feedback Silicon channel) 1T-SRAM(one transistor-static random access memory)은 인간의 뇌를 닮은 뉴로모픽 시스템(Neuromorphic system)을 고집적화 할 수 있는 핵심요소로, 낮은 수준의 에너지를 소비하면서 동시에 효과적으로 대규모 병렬처리를 할 수 있다.

[74] IBM은 트루노스(TrueNorth)라는 뉴로모픽 칩의 개발로 현재까지 상용화 가능한 인공지능용 칩 분야의 선두에 있으나, 트루노스에서 조차 로직과 메모리기능이 단일 소자에서 이루어지지 않고 있다. 또한, 트루노스에서 적용하는 종래 SRAM은 최소 여섯 개의 transistor(6T)가 필요하여 고집적화에 한계가 있다.

[75] 본 발명의 일 실시예에 따르면, 트루노스 이후의 뉴로모픽 소자로 실리콘(Si) 채널(channel)로 구성된 한 개 트랜지스터(transistor)의 피드백(feedback) 현상을

이용하여 SRAM 기능을 하는 소자를 제안한다.

[76] 시냅스 모방소자로 SRAM은 성능측면에서는 가장 우수하나, 다른 시냅스 모방소자들에 비해 전력소모가 크며, 매우 넓은 면적이 필요하다는 단점이 있다. 본 발명에서 제안하는 피드백 실리콘 채널(feedback Si channel) 1T-메모리 소자는 기존 SRAM의 단점을 해결할 수 있는 신개념 시냅스 모방소자이다.

[77] IBM의 트루노스는 프로세서(뉴런)과 메모리(시냅스)가 함께 자리하는 통합형 구조로 병렬 프로세싱이 가능하지만, 뉴런과 시냅스의 역할이 동시에 가능한 기능적인 통합은 아니다. 본 발명의 일 실시예에 따르면, 피드백 실리콘 채널 1T-메모리 소자는 각 구성 소자들의 구조적인 통합이 아닌 기능적인 융합이 가능하다.

[78] 본 발명의 일 실시예에 따른 반도체 소자는 서로 조합되어 로직 연산 기능을 수행할 수 있고, 메모리 기능을 동시에 갖는 소자로 이루어진 칩으로, 집적도와 소비 전력의 효율을 극대화 할 수 있다.

[79] 이하, 도면을 참조하여 본 발명을 실시하기 위한 구체적인 내용을 실시예에 기초하여 설명한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는 적절하게 설명된다면 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[80] 도 1a은 본 발명의 일 실시예에 따른 n 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[81] 도 1b는 본 발명의 다른 실시예에 따른 n 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[82] 도 1c는 도 1a 및 도 1b의 n 채널 반도체 소자를 나타내는 기호이다.

[83] 도 1a 내지 도 1c를 참조하면, 반도체 소자(100a,100b)는 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역(112)과 상기 제2 도전 영역(118) 사이에 배치된 진성 영역(114), 및 상기 진성 영역(114)과 상기 제2 도전 영역(118) 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함하는 반도체 컬럼(110); 상기 진성 영역(114)을 감싸도록 배치된 게이트 전극(130); 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막(120)을 포함한다. 상기 게이트 전극에 인가되는 게이트 전압과 상기 제2 도전 영역에 인가되는 드레인 전압에 따라 스위치 또는 휘발성 메모리로 동작한다.

[84] 본 발명에 있어서, n 채널 반도체 소자는 일반적인 MOS-FET와 달리 상기 반도체 컬럼(110)의 진성 영역(114)을 기준으로 양측에 n형 불순물로 도핑된 경우를 말한다. 한편, p 채널 반도체 소자(110)는 상기 반도체 컬럼의 진성 영역을 기준으로 양측에 p형 불순물로 도핑된 경우를 말한다. 상기 n 채널 반도체 소자는 상기 제2 도전 영역이 드레인으로 동작하고, 상기 제1 도전 영역이 소오스로 동작한다. 한편, 상기 p 채널 반도체 소자는 상기 제1 도전 영역이 드레인으로 동작하고, 상기 제2 도전 영역이 소오스로 동작한다.

[85] 기판은 단결정 실리콘 기판이고, 상기 반도체 컬럼은 다결정 상태 또는 단결정 상태의 실리콘일 수 있다. 상기 반도체 컬럼(110)은 수직 위치에 따라 제1 도전형 또는 제2 도전형으로 도핑될 수 있다. 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다. 상기 반도체 컬럼(110)의 제1 도전 영역(112)은 소오스 전극에 연결되고, 제2 도전 영역(118)은 드레인 전극에 연결될 수 있다. 상기 게이트 절연막은 상기 진성 영역을 감싸도록 배치되고 실리콘 산화막일 수 있다. p^+-n^+-i-n^+ 구조(또는 제1 도전 영역-진성 영역-장벽 영역-제2 도전 영역)는 제1 p-n접합(111a), 제2 p-n 접합(111b), 그리고 제3 p-n 접합(111c)을 포함한다.

[86] 다시, 도 1a를 참조하면, 상기 반도체 컬럼(110)은 기판 상에서 수직으로 연장되도록 배치될 수 있다. 제1 도전형은 n형이고, 제2 도전형은 p형일 수 있다. 상기 제1 도전 영역(112), 상기 진성 영역(114), 상기 장벽 영역(116), 및 상기 제2 도전 영역(118)은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치될 수 있다. 상기 게이트 절연막은 진성 영역을 감싸도록 배치되고, 상기 게이트 전극은 상기 게이트 절연막을 개재하여 상기 진성 영역만을 선택적으로 감싸도록 배치될 수 있다.

[87] 다시, 도 1b를 참조하면, 상기 반도체 컬럼은 기판 상에 수직으로 연장되도록 배치될 수 있다. 제1 도전형은 n형이고, 제2 도전형은 p형일 수 있다. 상기 제2 도전 영역(118), 상기 장벽 영역(116), 상기 진성 영역(114), 상기 제1 도전 영역(112)은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치될 수 있다. 상기 게이트 절연막은 진성 영역을 감싸도록 배치되고, 상기 게이트 전극은 상기 게이트 절연막을 개재하여 상기 진성 영역만을 선택적으로 감싸도록 배치될 수 있다.

[88] 도 2a는 본 발명의 일 실시예에 따른 p 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[89] 도 2b는 본 발명의 다른 실시예에 따른 p 채널 반도체 소자의 기본 구조를 설명하는 구조도이다.

[90] 도 2c는 도 2a 및 도 2b의 p 채널 반도체 소자를 나타내는 기호이다.

[91] 도 2a 내지 도 2c를 참조하면, 반도체 소자(100c,100d)는 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역(114), 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함하는 반도체 컬럼(110); 상기

진성 영역을 감싸도록 배치된 게이트 전극(130); 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막(120)을 포함한다. 상기 게이트 전극에 인가되는 게이트 전압과 상기 제1 도전 영역에 인가되는 드레인 전압에 따라 스위치 또는 휘발성 메모리로 동작한다.

[92] 다시, 도 2a를 참조하면, 상기 반도체 컬럼(110)은 기판 상에서 수직으로 연장되도록 배치될 수 있다. 제1 도전형은 p형이고, 제2 도전형은 n형일 수 있다. 상기 제1 도전 영역(112), 상기 진성 영역(114), 상기 장벽 영역(116), 및 상기 제2 도전 영역(118)은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치될 수 있다. 상기 게이트 절연막은 진성 영역을 감싸도록 배치되고, 상기 게이트 전극은 상기 게이트 절연막을 개재하여 상기 진성 영역만을 선택적으로 감싸도록 배치될 수 있다.

[93] 다시, 도 2b를 참조하면, 상기 반도체 컬럼(110)은 기판 상에 수직으로 연장되도록 배치될 수 있다. 제1 도전형은 p형이고, 제2 도전형은 n형일 수 있다. 상기 제2 도전 영역(118), 상기 장벽 영역(116), 상기 진성 영역(114), 상기 제1 도전 영역(112)은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치될 수 있다. 상기 게이트 절연막은 진성 영역을 감싸도록 배치되고, 상기 게이트 전극은 상기 게이트 절연막을 개재하여 상기 진성 영역만을 선택적으로 감싸도록 배치될 수 있다.

[94] 본 발명의 일 실시예에 따른 반도체 소자의 메모리 동작 원리가 설명된다.

[95] 도 3은 본 발명의 n 채널 반도체 소자의 밴드 다이어그램을 나타내는 도면이다.

[96] 도 4는 동작 조건에 따른 도 3의 반도체 소자의 반도체 컬럼(110)에서 제2 도전 영역(118), 장벽 영역(116), 진성 영역(114), 그리고 제1 도전 영역(112)의 밴드 다이어그램을 나타내는 도면이다.

[97] 도 5는 도 4의 반도체 소자의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.

[98] 도 6a는 도 3의 반도체 소자의 게이트 전압에 따른 드레인 전류를 나타내는 시뮬레이션 결과를 나타내는 그래프이다.

[99] 도 6b는 도 3의 반도체 소자의 게이트 전압에 따른 드레인 전류를 나타내는 실험 결과를 나타내는 그래프이다.

[100] 도 3 내지 도 6을 참조하면, 상기 반도체 소자(100a,100b)는 p-n-i-n 구조 또는 p-n-p-n 구조를 가진다. 상기 진성 영역(114)은 진성 상태 또는 제2 도전형 불순물로 저농도로 도핑(p^0)될 수 있다. 상기 제2 도전 영역(118)은 상기 제2 도전형의 불순물로 고농도로 도핑(p^+)될 수 있다. 상기 제1 도전 영역(112)은 상기 제1 도전형의 불순물로 고농도로 도핑(n^+)될 수 있다. 상기 장벽 영역(116)은 상기 제1 도전형의 불순물로 고농도로 도핑(n^+)될 수 있다.

[101] 상기 게이트 전극(130)에 전압이 인가되지 않고, 상기 제2 도전 영역(118)과 상기 제1 도전 영역(112) 사이에 전위차가 발생하지 않는 경우, 모든 영역은 동일한 페르미 준위를 가진다.

[102] p^+-n^+-p^0-n^+ 구조에서, 상기 제2 도전 영역(118)은 p^+ 상태이고, 상기 제1 도전 영역(112)은 n^+ 상태이며, 상기 진성 영역(114)은 p^0 상태이며, 상기 장벽 영역(116)은 n^+ 상태이다. 여기서, 위첨자 +는 고농도 도핑을 의미하고, 위첨자 0은 저농도 도핑을 의미한다. 상기 p^+-n^+-p^0-n^+구조는 제1 p-n접합(111a), 제2 p-n 접합(111b), 그리고 제3 p-n 접합(111c)을 포함한다.

[103] 본 발명의 일 실시예에 따른 메모리 소자는 쓰기 동작, 읽기 동작, 및 쓰기 동작에 의하여 이루어진 상태를 유지하는 홀드 동작을 수행할 수 있다. 이에 따라, 상기 반도체 소자(100)는 메모리로 동작할 수 있다. 게이트(G)는 게이트 전극과 혼용되어 사용되고, 소오스(S)는 소오스 전극과 혼용되어 사용되고, 드레인(D)은 드레인 전극과 혼용되어 사용될 수 있다.

[104] 메모리에서, 논리 상태는 제1 논리 상태("0")과 제2 논리 상태("1")로 표시될 수 있다. 예를 들어, "0"상태를 쓰기 위하여, 상기 게이트 전극(130)에 V_{GS}= -0.5 V의 제1 게이트 전압이 인가되고, 드레인에 V_{DS} = 1V 의 제1 드레인 전압이 인가된 경우, 상기 제3 p-n 접합(111c)의 에너지 장벽이 증가하여 전도대의 전자들은 에너지 장벽을 넘기 어렵다. 또한, 상기 제1 p-n 접합(111a)의 에너지 장벽이 증가하여 가전자대의 홀들은 에너지 장벽을 넘기 어렵다. 따라서, 상기 반도체 컬럼(110)을 통하여 드레인 전류(I_{DS})는 거의 흐르지 않는다.

[105] 이어서, "0 " 상태를 유지하기 위하여, 상기 게이트 전극에 V_{GS}= 0 V의 제2 게이트 전압이 인가되고, 드레인에 V_{DS} = 0V의 제2 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다.

[106] 이어서, "0"상태를 읽기 위하여, 상기 게이트 전극에 V_{GS}= 0 V의 제2 게이트 전압이 인가되고, 드레인에 V_{DS} = 1V의 제1 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다. 따라서, 상기 드레인에 연결된 전류 검출 회로(미도시)는 "0" 상태를 확인할 수 있다.

[107] "1" 상태를 쓰기 위하여, 상기 게이트 전극에 V_{GS}= 0.5 V의 제3 게이트 전압이 안가되고, 드레인에 V_{DS} = 1V의 제1 드레인 전압이 인가될 수 있다. 이 경우, 제1 p-n 접합(111a)의 에너지 장벽이 낮아지고, 상기 제3 p-n 접합(111c)의 에너지 장벽도 낮아진다. 이에 따라, 전자들과 홀들은 상기 반도체 컬럼(110)을 통하여 흐를 수 있다.

[108] "1" 상태를 유지하기 위하여, 상기 게이트 전극에 V_{GS}= 0.0 V의 제2 게이트 전압이 인가되고, 드레인에 V_{DS} = 0V의 제2 드레인 전압이 인가될 수 있다. 이 경우, 상기 제1 p-n 접합(111a)과 제2 p-n 접합(111b) 사이에 전도대 에너지 우물이 형성되고, 전자들이 구속된다. 또한, 상기 제2 p-n 접합(111b)과 제3 p-n 접합(111c) 사이에 가전자대 에너지 우물이 형성되고, 홀들이 구속된다. 한편, 제1 p-n 접합(111a) 및 제3 p-n 접합(111c)은 충분한 에너지 장벽을 제공하여, 드레인 전류(I_{DS})는 거의 흐르지 않는다.

[109] "1" 상태를 읽기 위하여, 상기 게이트 전극에 V_{GS}= 0.0 V의 제2 게이트 전압이 인가되고, 드레인에 V_{DS} = 1V의 제1 드레인 전압이 인가될 수 있다. 상기 제1 p-n 접합(111a)과 제2 p-n 접합(111b) 사이에 전도대 에너지 우물에 구속된 전자들은 에너지 장벽을 낮추도록 에너지 밴드를 변경한다. 또한, 상기 제2 pn 접합과 제3 pn 접합 사이에 가전자대 에너지 우물에 구속된 홀들은 에너지 장벽을 낮추도록 에너지 밴드를 변경한다. 이에 따라, 반도체 컬럼을 통하여 드레인 전류(I_{DS})가 흐른다.

[110] 도 6a를 참조하면, 온/오프 전류 점멸비는 ~10^{10}을 가지며, 문턱 전압 이하 기울기 특성(subthreshold swing; SS)는 0.1 mV/dec 수준이다. 게이트 전압에 따른 드레인 전류는 히스테리시스를 보이며, 소정의 동작 조건에 따라 무축전기 메모리 특성을 보인다. "0" 상태를 기록하기 위한, 제1 게이트 전압은 -0.5 V일 수 있다.

[111] 각각의 상태를 독출하기 위한 제2 게이트 전압은 0 V드레인, "1" 상태를 기록하기 위한 제3 게이트 전압은 0.5 V일 수 있다.

[112] 온/오프 전류 점멸비는 약 10^{10}을 가지며, 문턱 전압 이하 기울기 특성(subthreshold swing; SS)는 0.1 mV/dec 수준이다. 게이트 전압에 따른 드레인 전류는 히스테리시스를 보이며, 동작 조건에 따라 메모리 특성 또는 스위치 특성을 보인다.

[113] 상기 반도체 소자(100)는 무축전기 RAM으로 사용될 수 있다. 이하에서, 무축전기 RAM의 구조 및 동작 방법에 대하여 설명한다.

[114] p^+-n^+-p^0-n^+ 구조(p^+-n^+-i-n^+ 구조)에서, 상기 제1 게이트 전압은 -0.25V 내지 -1 V(예를 들어, -0.5V)이고, 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V(예를 들어, 0V)이고, 상기 제3 게이트 전압은 0.25 V 내지 1 V(예를 들어, 0.5V)일 수 있다. 또한, 제1 드레인 전압은 0.1 V ~2 V(예를 들어, 1V)이고, 제2 드레인 전압은 0 V일 수 있다.

[115] 상기 반도체 소자는 반도체 컬럼 내 형성된 포텐셜 장벽으로 인해 에너지장벽은 p-n-p-n (또는 p-n-i-n)와 같은 구조를 가진다. 특정 바이어스 조건에서 전하가 주입되면서 일부 전하들이 채널 내부에 축척된다. 이에 따라 포텐셜 장벽이 급격히 소멸함과 동시에 채널 내부 양성 피드백 루프(feedback loop)가 발생한다. 이러한 현상은 메모리소자 동작 시 메모리 윈도우 특성을 발생시키며, 채널 내부에 축척된 전하가 존재하는 동안 메모리 윈도우가 유지될 수 있다.

[116] 도 6b를 참조하면, 온/오프 전류 점멸비는 ~10^7을 가지며, 문턱 전압 이하 기울기 특성(subthreshold swing; SS)는 0.1 mV/dec 수준이다. 게이트 전압에 따른 드레인 전류는 히스테리시스를 보이며, 소정의 동작 조건에 따라 무축전기 메모리 특성을 보인다. "0" 상태를 기록하기 위한, 제1 게이트 전압은 -1 V일 수 있다. 각각의 상태를 독출하기 위한 제2 게이트 전압은 0 V 이고, "1" 상태를 기록하기 위한 제3 게이트 전압은 1 V일 수 있다.

[117] 도 7은 본 발명의 일 실시예에 따른 스위치 동작을 나타내는 타이밍도이다.

[118] 도 8은 도 7의 동작 전압에 따른 "1" 상태와 "0" 상태의 지속 시간을 나타내는 실험 결과이다.

[119] 도 9는 프로그램/지우기 동작 사이클에 따른 온 전류/오프 전류의 비(Ion/Ioff) 및 메모리 윈도우를 나타내는 실험 결과이다.

[120] 도 1a, 도 7 내지 도 9를 참조하면, 상기 반도체 소자(100a,100b)는 스위치로 동작할 수 있다. 상기 반도체 소자(100a,100b)는 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역(112)과 상기 제2 도전 영역(118) 사이에 배치된 진성 영역(114), 및 상기 진성 영역(114)과 상기 제2 도전 영역(118) 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함하는 반도체 컬럼(110); 상기 진성 영역을 감싸도록 배치된 게이트 전극(130); 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막(120)을 포함한다. 상기 게이트 전극에 인가되는 게이트 전압과 상기 제2 도전 영역(118)에 인가되는 드레인 전압에 따라 스위치로 동작한다. 상기 제2 도전 영역(118)에 제1 드레인 전압(예를 들어, V_{DS}=1V)이 인가된 상태에서, 제1 상태(온 상태)로 스위칭하기 위하여, 상기 게이트 전극(130)에 양의 제1 게이트 펄스를 인가하는 인가한다. 상기 제2 도전 영역(118)에 제1 드레인 전압이 인가된 상태에서, 상기 제1 상태(온 상태)로부터 제2 상태(오프 상태)로 스위치하기 위하여, 상기 게이트 전극(130)에 음의 제2 게이트 펄스를 인가한다.

[121] 상기 제2 도전 영역에 제1 드레인 전압(예를 들어, V_{DS}=1V)로 인가된 상태에서, "1" 상태를 쓰기 위하여(프로그램 동작), 게이트 전극(130)에 제1 게이트 전압(예를 들어, V_{GS}=1V)을 인가한다. 이에 따라, 드레인 전류(I_{DS})는 제1 상태(온 상태)로 전환되고, 상기 게이트 전압(V_{GS})이 기준 전압(V_{GS}=0V)으로 변경된 경우에도, 상기 드레인 전류(I_{DS})는 제1 상태를 계속 유지한다.

[122] 한편, 상기 제2 도전 영역에 제1 드레인 전압(예를 들어, V_{DS}=1V)로 인가된 상태에서, "0" 상태를 쓰기 위하여(지우기 동작), 게이트 전극(130)에 제2 게이트 전압(예를 들어, V_{GS}=-1V)을 인가한다. 이에 따라, 드레인 전류(I_{DS})는 제2 상태(오프 상태)로 전환되고, 상기 게이트 전압이 기준 전압(V_{GS}=0V)으로 변경된 경우에도, 상기 드레인 전류(I_{DS})는 제2 상태(오프 상태)를 계속 유지한다.

[123] 상기 게이트 전극(130)에 양의 제1 게이트 펄스를 인가 후, 상기 게이트 전극은 기준 전압(V_{GS}=0V) 상태로 변경된다. 이 경우, 제1 드레인 전압(예를 들어, V_{DS} =1V)이 인가된 상태에서, 상기 드레인 전류는 "1" 상태에서 1시간 이상 유지된다.

[124] 한편, 상기 게이트 전극(130)에 음의 제2 게이트 펄스를 인가 후, 상기 게이트 전극은 기준 전압(V_{GS}=0V) 상태로 변경된다. 이 경우, 제1 드레인 전압(예를 들어, V_{DS}=1V)이 인가된 상태에서, 상기 드레인 전류는 "0" 상태에서 1시간 이상 유지된다.

[125] "1" 상태의 프로그램과 "0" 상태의 지우기의 사이클이 10^4 회 반복된 후, 상기 온 전류와 오프 전류의 비는 10^6 수준으로 일정하게 유지된다. 또한,

레취업(latch-up)이 발생하는 게이트 전압과 레취다운(latch-down)이 발생하는 게이트 전압의 차이(메모리 윈도우)는 "1" 상태의 프로그램과 "0" 상태의 지우기의 사이클이 10^4 회 반복된 후 거의 일정하게 유지된다.

[126] 도 10은 본 발명의 일 실시예에 따른 반도체 소자의 스위칭 동작을 나타내는 시뮬레이션 결과이다.

[127] 도 1a, 도 10을 참조하면, 상기 반도체 소자(100a,100b)는 스위치로 사용될 수 있다. 상기 제2 도전 영역(118)에 제1 드레인 전압(예를 들어, V_{DS}=1V)이 인가된 상태에서, 상기 게이트 전극(130)에 양의 제1 게이트 펄스(예를 들어, 0.5V)를 인가하면, 드레인 전류(I_{DS})는 양의 제1 게이트 펄스에 의하여 턴온("1" 상태)되고 ~10^{-4} A 수준이고, 상기 제1 게이트 펄스 후에 상기 게이트 전극(130)에 기본 전압(0V)이 인가되면, 상기 드레인 전류(I_{DS})는 10^{-6} A 수준을 유지한다.

[128] 상기 반도체 소자(100a,100b)를 턴오프 시키기 위하여, 상기 제2 도전 영역(118)에 제1 드레인 전압(예를 들어, V_{DS}=1V)이 인가된 상태에서, 상기 게이트 전극(130)에 음의 제2 게이트 펄스(예를 들어, -0.5V)를 인가하면, 드레인 전류(I_{DS})는 음의 제2 게이트 펄스에 의하여 턴어프(("0" 상태))되고 ~10^{-15} A 수준이고, 음의 제2 게이트 펄스 후에 상기 게이트 전극(130)에 기본 전압(0V)이 인가되면, 상기 드레인 전류(I_{DS})는 10^{-15} A 수준을 유지한다.

[129] "0" 상태는 상기 게이트 전극(130)에 기본 전압(0V)이 인가된 상태에서, 1시간이상 지속된다. 또한, "1" 상태는 상기 게이트 전극(130)에 기본 전압(0V)이 인가된 상태에서, 1시간이상 지속된다.

[130] 발명의 변형된 실시예에 따르면, 상기 반도체 소자의 반도체 컬럼의 구조는 n^+-p^+-i-p^+ 구조의 p 채널 소자로 변경될 수 있다.

[131] 이하에서, 무축전기 RAM(Random Access Memory)의 구조 및 동작 방법에 대하여 설명한다.

[132] 도 11은 본 발명의 일 실시예에 따른 무축전기 RAM을 설명하는 회로도이다.

[133] 도 12는 도 11의 무축전기 RAM의 셀 영역을 나타내는 평면도이다.

[134] 도 13은 도 12의 A-A' 선을 따라 자른 단면도이다.

[135] 도 14는 도 12의 B-B' 선을 따라 자른 단면도이다.

[136] 도 15a 내지 도 15g는 공정 순서에 따라 도 12의 A-A'선을 자른 단면도들이다.

[137] 도 11 내지 도 15를 참조하면, 상기 RAM(200)는 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판(201); 상기 기판(210) 상에서 상기 제2 방향으로 나란히 연장되는 소오스 라인들(SL); 상기 소오스 라인들 상에서 주기적으로 배치되고 상기 기판의 배치평면에서 수직하게 연장되는 반도체 컬럼들(110); 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들(WL); 상기 반도체 컬럼과 상기 워드 라인(WL) 사이에 배치되어 상기 반도체 컬럼(110)의 측면을 감싸도록 배치된 게이트 절연막(120); 상기 제1 방향으로 연장되고 상기 워드 라인들(WL) 사이에 채우는 워드라인

분리막들(208); 및 상기 제2 방향으로 배열된 상기 반도체 컬럼들(110)의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인들(BL)을 포함한다.

[138] 상기 반도체 컬럼(110)은 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역(114), 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함한다. 상기 제1 도전 영역(112)은 상기 소오스 라인(SL)과 접촉하고, 상기 제2 도전 영역(118)은 상기 비트라인(BL)과 접촉한다.

[139] 상기 RAM(200)은 복수의 단위 반도체 소자(100)를 포함한다. 상기 단위 반도체 소자(100)는 n 채널 반도체 소자(100a,100b)일 수 있다.

[140] 본 발명의 변형된 실시예에 따르면, 상기 단위 반도체 소자(100)는 p 채널 반도체 소자(100c,100d)일 수 있다.

[141] 상기 단위 메모리 소자들(100)은 매트릭스 형태로 배열되고, 상기 반도체 소자의 반도체 컬럼(110)은 기판(201)에서 수직으로 연장된다. 상기 단위 반도체 소자(100)는 게이트(G), 소오스(S), 드레인(D)을 포함하는 3 단자 소자이다. 제1 방향으로 배열된 단위 반도체 소자(100)의 게이트들은 워드라인(WL)에 연결된다. 또한, 제2 방향으로 배열된 단위 메모리 소자(100)의 드레인은 비트라인(BL)에 연결된다. 또한, 제2 방향으로 배열된 단위 메모리 소자(100)의 소오스는 소오스 라인(SL)에 연결된다. 상기 소오스 라인(SL)이 접지된 경우, 하나의 워드 라인(WL)과 하나의 비트라인(BL)을 선택하여, 쓰기 동작, 홀드 동작, 및 읽기 동작에 대응하는 전압을 인가하면, 각 단위 반도체 셀(100)을 억세스할 수 있다.

[142] 상기 단위 메모리 소자(100)는 반도체 컬럼(110), 게이트 전극(130), 및 게이트 절연막(120)을 포함한다. 상기 반도체 컬럼(110)은 기판(201) 상에서 수직으로 연장되고 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역(112)과 상기 제2 도전 영역(118) 사이에 배치된 진성 영역(114), 및 상기 진성 영역(114)과 상기 제2 도전 영역(118) 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함한다. 상기 게이트 전극(130)은 상기 진성 영역(114)을 감싸도록 배치된다. 상기 게이트 절연막(120)은 상기 게이트 전극(130)과 상기 진성 영역(114) 사이에 배치된다. 상기 게이트 전극은 제2 방향으로 서로 동일한 평면에서 연결되어 워드라인(WL)을 형성한다.

[143] 상기 무축전기 RAM(200)은 소자 분리막들(202), 소오스 라인들(SL), 반도체 컬럼들(110), 워드 라인들(WL), 게이트 절연막(120), 게이트 분리막들(208), 그리고 비트라인(BL)을 포함한다. 게이트 전극(130)은 제1 방향으로 배열된 복수의 단위 반도체 소자들에 공통으로 사용되어 워드라인(WL)을 구성할 수 있다.

[144] 상기 소자분리막들(202)은 기판(201)에서 제2 방향으로 나란히 연장된다. 상기 소오스 라인들(SL)은 상기 소자 분리막(202)과 동일한 상부면을 가지고 상기 소자 분리막(202) 사이에 배치되고 상기 제2 방향으로 나란히 연장된다. 상기

반도체 컬럼들(110)은 상기 소오스 라인들(SL) 상에서 주기적으로 배치되고 상기 기판(201)에서 수직하게 연장된다. 상기 워드 라인들(WL)은 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)의 진성 영역(114)의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장된다. 상기 게이트 절연막(120)은 상기 반도체 컬럼(110)과 상기 워드 라인(WL) 사이에 배치되어 상기 반도체 컬럼(110)의 진성 영역(114)의 측면을 감싸도록 배치된다. 상기 게이트 분리막들(208)은 상기 제1 방향으로 연장되고 상기 워드라인들(WL)을 분리하고 워드라인들 사이를 채운다. 비트라인(BL)은 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들(110)의 상부면에 접하여 상기 제2 방향으로 연장된다.

[145] 상기 반도체 컬럼(110)은 차례로 적층된 제1 도전형의 제1 도전 영역(112), 진성 영역(114), 제1 도전형의 장벽 영역(116), 및 제2 도전형의 제2 도전 영역(118)을 포함할 수 있다. 상기 제1 도전 영역(112)은 상기 소오스 라인(SL)과 접촉하고, 상기 제2 도전 영역(118)은 상기 비트라인(BL)과 접촉한다. 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다. 상기 제1 도전 영역(112)은 소오스이고, 상기 제2 도전 영역(118)은 드레인 일 수 있다.

[146] 상기 기판(201)은 실리콘 기판일 수 있다. 상기 기판(201)은 단위 메모리 셀들이 형성되는 셀 영역과 주변회로들이 배치되는 주변 회로 영역으로 구분될 수 있다.

[147] 소자 분리막들(202)은 실리콘 산화막일 수 있다. 상기 소자 분리막들(202)은 얇은 트렌치 분리 공정(shallow trench isolation; STI)에 의하여 형성될 수 있다. 상기 소오스 라인들(SL)은 STI 공정에 의하여 정의된 활성 영역에 대응할 수 있다. 상기 소오스 라인들(SL)은 상기 활성 영역을 상기 제1 도전형 불순물들에 의하여 도핑되어 생성될 수 있다.

[148] 상기 반도체 컬럼들(110)은 실리콘이고 화학 기상 증착법 또는 에피탁시 성장법 등에 의하여 형성될 수 있다. 또한, 상기 반도체 컬럼들(110)은 성장과 동시에 도핑되어 p-n-i-n 구조(n 채널 구조) 또는 n-p-i-p 구조(p 채널 구조)를 가질 수 있다. 상기 워드 라인들(WL)은 고농도로 도핑된 폴리 실리콘, 금속, 금속합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 절연막(120)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다. 상기 게이트 분리막들(208)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 비트라인(BL)은 고농도로 도핑된 폴리 실리콘, 금속, 금속 합금, 및 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.

[149] 상기 RAM은 다음과 같은 제조 방법에 의하여 형성될 수 있다. 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판(201)에 상기 제2 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 이어서, 상기 활성 영역이 형성된 상기 기판 상에 제1 층간 절연막(204), 도핑된 실리콘막(205), 및 제2 층간 절연막(206)을 적층하고 상기 제2 층간 절연막(206), 상기 도핑된 실리콘막(205), 및 상기 제1 층간 절연막(204)을 관통하는 관통홀(110a)을 형성한다. 이어서, 상기 관통홀(110a)의

내부에서 노출된 도핑된 실리콘막(205)의 표면에 게이트 절연막(120)을 형성한다. 이어서, 상기 관통홀(110a)에 제1 도전형의 제1 도전 영역(112), 진성 영역(114), 제1 도전형의 장벽 영역(116), 및 제2 도전형의 제2 도전 영역(118)을 포함하는 반도체 컬럼을 형성한다. 이어서, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제2 층간 절연막(206) 및 상기 도핑된 실리콘막(205)을 관통하고 상기 제1 방향으로 연장되는 트렌치(208a)를 형성한다. 이어서, 상기 트렌치(208a)를 워드라인 분리막(208)으로 매립한다. 이어서, 상기 반도체 컬럼(110)의 상기 제2 도전 영역(118)에 접촉하고 상기 제2 방향으로 연장되는 비트라인(BL)을 형성한다.

[150] 상기 게이트 절연막(120)을 형성시 상기 활성 영역 상에 형성된 보조 절연막(121)을 제거하기 위하여, 상기 관통홀의 측벽을 덮는 희생 절연막을 형성하고 상기 희생 절연막을 이방성 식각하여 희생 측벽(122)을 형성하고 상기 보조 절연막(121)을 제거할 수 있다. 이어서, 상기 희생 측벽(122)을 선택적으로 제거할 수 있다.

[151] 도 15a를 참조하면, 기판(201) 상에 제2 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 상기 기판 상에 마스크를 이용하여 셀 영역과 주변 영역을 구분하고, 이온 주입 공정을 통하여 웰을 각각 형성한다.

[152] 상기 기판(210)은 실리콘 기판일 수 있다. 상기 셀 영역에서 상기 기판(201) 상에 제2 방향으로 연장되는 소자 분리막(201)을 형성한다. 상기 소자 분리막과 활성 영역은 종래의 STI 공정을 통하여 형성될 수 있다. 상기 활성 영역은 이웃한 소자 분리막(202) 사이에 노출된 영역으로 제1 도전형의 불순물을 이용하여 이온 주입 공정에 의하여 제1 도전형으로 고농도로 도핑될 수 있다. 이에 따라, 상기 활성 영역은 불순물로 도핑되어 상기 소오스 라인(SL)을 형성할 수 있다. 상기 소자 분리막(202)은 실리콘 산화막이고, 상기 소자 분리막(202) 및 상기 활성 영역의 상부면에는 식각 정지막(203)으로 실리콘 질화막을 포함할 수 있다.

[153] 상기 소오스 라인(SL)이 형성된 상기 기판(201) 상에 차례로 제1 층간 절연막(204), 도핑된 실리콘막(205), 및 제2 층간 절연막(206)을 적층한다. 상기 제1 층간 절연막(204)과 상기 제2 층간 절연막(206)은 실리콘 산화막이고, 상기 도핑된 실리콘막(205)은 고농도로 도핑된 실리콘일 수 있다. 상기 제2 층간 절연막(206)의 두께는 상기 제1 층간 절연막(204) 또는 상기 도핑된 실리콘막(205)보다 클 수 있다.

[154] 도 15b를 참조하면, 패터닝 공정을 이용하여 상기 제2 층간 절연막(206), 상기 도핑된 실리콘막(205), 상기 제1 층간 절연막(204), 및 상기 식각 정지막(203)을 관통하는 관통홀(110a)을 형성한다. 상기 관통홀(110a)은 상기 활성 영역 또는 상기 소오스 라인(SL)을 노출하고 상기 소오스 라인(SL) 상에서 주기적으로 매트릭스 형태로 배치될 수 있다.

[155] 도 15c를 참조하면, 상기 관통홀(110a)의 내부에서 노출된 도핑된 실리콘막(205)의 표면에 게이트 절연막(120)을 형성한다. 상기 게이트

절연막(120)은 열산화 공정을 통하여 형성된 실리콘 산화막일 수 있다. 이 경우, 상기 노출된 상기 소오스 라인 상에 보조 절연막(121)이 형성될 수 있다.

[156] 도 15d를 참조하면, 상기 게이트 절연막(121)을 형성시 상기 활성 영역 상에 형성된 보조 절연막(121)을 제거하기 위하여, 상기 관통홀(110a)의 측벽을 덮는 희생 절연막을 형성하고 상기 희생 절연막을 이방성 식각하여 희생 측벽(122)을 형성하고, 추가적인 식각을 수행하여 상기 보조 절연막(121)을 제거할 수 있다. 이에 따라, 상기 보조 절연막(121)은 상기 희생 측벽(122)의 하부면에만 남을 수 있다. 이어서, 상기 희생 측벽(122)을 선택적으로 제거할 수 있다.

[157] 구체적으로, 상기 게이트 절연막(120)이 형성된 기판 상에 희생 절연막을 형성한 후, 이방성 식각을 통하여 상기 관통홀의 내측면에 희생 측벽(122)을 형성할 수 있다. 상기 희생 측벽은 실리콘 질화막일 수 있다. 상기 희생 측벽을 형성한 후, 상기 보조 절연막을 식각하여 상기 소오스 라인(SL)을 노출시킬 수 있다. 이어서, 상기 희생 측벽(122)은 습식 식각을 통 하여 선택적으로 제거될 수 있다.

[158] 도 15f를 참조하면, 차례로 제1 도전형의 제1 도전 영역(112), 진성 영역(114), 제1 도전형의 장벽 영역(116), 및 제2 도전형의 제2 도전 영역(118)을 포함하는 반도체 컬럼(110)이 형성될 수 있다. 상기 진성 영역(114)은 도핑된 실리콘막(205)과 정렬될 수 있다. 상기 반도체 컬럼(110)은 실리콘 에피탁시얼 공정에 의하여 형성되거나, 폴리 실리콘을 증착하고 어닐링 공정을 통하여 결정화할 수 있다. 도핑은 실리콘 에피탁시얼 공정 중에 수행되거나, 반도체 컬럼을 형성한 후 이온 주입 공정에 의하여 수행될 수 있다. 상기 반도체 컬럼(110)이 상기 관통홀(110a)을 채운 후 평탄화 공정이 수행될 수 있다.

[159] 도 15g를 참조하면, 패터닝 공정을 사용하여, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제2 층간 절연막(206) 및 상기 도핑된 실리콘막(205)을 관통하고 상기 1 방향으로 연장되는 트렌치(208a)를 형성한다. 바람직하게는, 상기 트렌치(208a)는 상기 제2 층간 절연막(206) 및 상기 도핑된 실리콘막(205), 및 상기 제1 층간 절연막(204)을 관통할 수 있다. 이에 따라, 상기 제1 방향으로 연장되는 상기 도핑된 실리콘막(205)은 서로 분리되어 워드라인을 제공할 수 있다.

[160] 다시, 도 13을 참조하면, 상기 트렌치(208a)를 워드라인 분리막(208)으로 매립한다. 상기 워드라인 분리막(208)은 실리콘 산화막일 수 있다. 상기 절연체로 상기 트렌치를 매립한 후, 평탄화 공정이 진행되어 상기 반도체 컬럼(110)의 상기 드레인 영역(제2 도전 영역)을 노출시킬 수 있다. 이어서, 상기 반도체 컬럼의 상기 제2 도전 영역에 접촉하고 상기 제2 방향으로 연장되는 비트라인(BL)을 형성한다.

[161] 본 발명의 변형된 실시예에 따르면, 반도체 소자의 제조 방법은 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판(201)에 상기 제2 방향으로 연장되는 제1 라인(SL)을 형성하는 단계; 상기

제1 도전 라인(SL)이 형성된 상기 기판 상에 제1 층간 절연막(204), 도핑된 실리콘막(205), 및 제2 층간 절연막(206)을 적층하고 상기 제2 층간 절연막(206), 상기 도핑된 실리콘막(205), 및 상기 제1 층간 절연막(204)을 관통하는 관통홀(110a)을 형성하는 단계; 상기 관통홀(110a)의 내부에서 노출된 도핑된 실리콘막의 표면에 게이트 절연막(120)을 형성하는 단계; 상기 관통홀(110a)에 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼(110)을 형성하는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제2 층간 절연막 및 상기 도핑된 실리콘막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 트렌치를 워드라인 분리막(208)으로 매립하는 단계; 및 상기 반도체 컬럼의 상기 제2 도전 영역에 접촉하고 상기 제2 방향으로 연장되는 제2 도전 라인(BL)을 형성하는 단계를 포함한다. 상기 제1 라인은 소오스 라인(SL)인 경우, 상기 제2 라인은 비트라인(BL)일 수 있다. 상기 반도체 소자는 n 채널 반도체 소자이고, 상기 제1 도전형은 n 형이고, 상기 제2 도전형 p형일 수 있다.

[162] 본 발명의 변형된 실시예에 따르면, 상기 제1 라인은 비트 라인(BL)인 경우, 상기 제2 라인은 소오스 라인(SL)일 수 있다. 이 경우, 상기 반도체 소자는 p 채널 반도체 소자이고, 상기 제1 도전형은 p 형이고, 상기 제2 도전형 n형일 수 있다.

[163] 도 16은 본 발명의 다른 실시예에 따른 RAM을 설명하는 단면도이다. 도 15에서 설명한 것과 중복되는 설명은 생략한다.

[164] 도 12 및 도 16을 참조하면, 도 12에서, 소자 분리막(202)은 제거된다. 반도체 소자의 제조 방법은, 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판(201)에 상기 제2 방향으로 연장되는 소오스 라인(SL)을 형성하는 단계; 상기 소오스 라인(SL)이 형성된 상기 기판 상에 제1 층간 절연막(204), 도핑된 실리콘막(205), 및 제2 층간 절연막(206)을 적층하고 상기 제2 층간 절연막(206), 상기 도핑된 실리콘막(205), 및 상기 제1 층간 절연막(205)을 관통하는 관통홀(110a)을 형성하는 단계; 상기 관통홀(110a)의 내부에서 노출된 도핑된 실리콘막의 표면에 게이트 절연막(120)을 형성하는 단계; 상기 관통홀에 제1 도전형의 제1 도전 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 제2 도전 영역을 포함하는 반도체 컬럼(110)을 형성하는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제2 층간 절연막(206) 및 상기 도핑된 실리콘막(205)을 관통하고 상기 제1 방향으로 연장되는 트렌치(208a)를 형성하는 단계; 상기 트렌치를 게이트 분리막(208)으로 매립하는 단계; 및 상기 반도체 컬럼의 상기 제2 도전 영역에 접촉하고 상기 제2 방향으로 연장되는 비트라인(BL)을 형성하는 단계를 포함한다.

[165] 상기 게이트 절연막(120)을 형성시 상기 활성 영역 상에 형성된 보조 절연막을

제거하기 위하여, 상기 관통홀의 측벽을 덮는 희생 절연막을 형성하고 상기 희생 절연막을 이방성 식각하여 희생 측벽을 형성하고 상기 보조 절연막(121)을 제거한다. 이어서, 상기 희생 측벽을 선택적으로 제거한다.

[166] 소오스 라인(SL)은 STI 공정에 의하여 소자분리막과 동시에 형성되지 않고, 상기 기판(201) 상에 별도의 도핑된 실리콘층을 패터닝하여 형성될 수 있다. 상기 소오스 라인(SL)과 기판(201) 사이에는 보조 층간 절연층(302)이 배치될 수 있다.

[167] 도 17a은 본 발명의 또 다른 실시예에 따른 무축전기 RAM을 설명하는 회로도이다.

[168] 도 17b은 도 17a의 반도체 소자를 설명하는 단면도이다.

[169] 도 17a 및 도 17b를 참조하면, 무축전기 RAM(200a)는 매트릭스 형태로 배열된 p 채널 반도체 소자(100c)를 포함한다. 상기 소오스 라인(SL)은 p형 불순물로 도핑될 수 있다. 상기 반도체 컬럼(110)은 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역(114), 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함한다. 상기 제1 도전 영역(112)은 상기 비트 라인(BL)과 접촉하고, 상기 제2 도전 영역은 상기 소오스 라인(SL)과 접촉한다. 상기 제1 도전형은 p형이고, 상기 제2 도전형은 n 형일 수 있다. 상기 반도체 컬럼(110)에서, 상기 제1 도전 영역, 상기 진성 영역, 상기 장벽 영역, 및 상기 제2 도전 영역은 차례로 적층될 수 있다.

[170] 도 18은 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하는 단면도이다.

[171] 도 18을 참조하면, p 채널 반도체 소자(100d)가 표시된다. 이에 따라, 상기 소오스 라인(SL)은 도핑된 실리콘, 금속, 금속 합금일 수 있다. 상기 반도체 컬럼(110)은 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역(114), 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함한다. 상기 제1 도전 영역(112)은 상기 비트 라인(BL)과 접촉하고, 상기 제2 도전 영역(118)은 상기 소오스 라인(SL)과 접촉한다. 상기 제1 도전형은 p형이고, 상기 제2 도전형은 n 형일 수 있다. 상기 반도체 컬럼(110)에서, 상기 제2 도전 영역, 상기 장벽 영역, 상기 진성 영역, 및 상기 제1 도전 영역은 차례로 적층될 수 있다. 상기 소오스 라인(SL)은 상기 반도체 컬럼의 하부면에 형성되고, 상기 비트 라인(BL)은 상기 반도체 컬럼의 상부면에 형성될 수 있다. 상기 소오스 라인(SL)은 n형 불순물로 도핑된 실리콘일 수 있다.

[172] 도 19는 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하는 단면도이다.

[173] 도 19를 참조하면, n 채널 반도체 소자(100b)가 표시된다. 소오스 라인(SL)은 도핑된 실리콘, 금속, 또는 금속 합금을 포함할 수 있다. 상기 반도체 컬럼(110)은 제1 도전형의 제1 도전 영역(112), 제2 도전형의 제2 도전 영역(118), 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역(114), 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역(116)을

포함한다. 상기 제1 도전 영역(112)은 상기 소오스 라인(SL)과 접촉하고, 상기 제2 도전 영역(118)은 상기 비트라인(BL)과 접촉한다. 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p 형일 수 있다. 상기 반도체 컬럼에서, 상기 제2 도전 영역, 상기 장벽 영역, 상기 진성 영역, 및 상기 제1 도전 영역은 차례로 적층될 수 있다. 상기 비트라인(BL)은 상기 반도체 컬럼(110)의 하부면에 형성되고, 상기 소오스 라인(SL)은 상기 반도체 컬럼의 상부면에 형성될 수 있다. 상기 비트 라인(BL)은 p형 불순물로 도핑된 실리콘일 수 있다.

[174] n 채널 반도체 소자(100a, 100b)와 p 채널 반도체 소자(100c,100d)는 서로 같은 평면 또는 수직으로 적층된 구조에서 결합하여 인버터, NOR, NAND와 같은 논리 소자, 또는 시냅스 모방소자를 제공할 수 있다.

[175] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시 예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[176] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

청구범위

[청구항 1] 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼;
상기 진성 영역을 감싸도록 배치된 게이트 전극; 및
상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막을 포함하고,
상기 게이트에 인가되는 게이트 전압과 상기 드레인에 인가되는 드레인 전압에 따라 스위치 또는 휘발성 메모리로 동작하는 것을 특징으로 하는 반도체 소자.

[청구항 2] 제1 항에 있어서,
상기 반도체 컬럼은 기판 상에서 수직으로 연장되고,
상기 제1 도전 영역의 상기 제1 도전형은 n 형이고,
상기 제1 도전 영역은 소오스를 제공하고, 상기 제2 도전 영역은 드레인을 제공하는 것을 특징으로 하는 반도체 소자.

[청구항 3] 제1 항에 있어서,
상기 반도체 컬럼은 기판 상에서 수직으로 연장되고,
상기 제1 도전 영역의 상기 제1 도전형은 p 형이고,
상기 제1 도전 영역은 드레인을 제공하고, 상기 제2 도전 영역은 소오스를 제공하는 것을 특징으로 하는 반도체 소자.

[청구항 4] 제1 항에 있어서,
상기 휘발성 메모리로 동작하는 경우,
제1 논리 상태를 기록하기 위하여, 상기 게이트 전극에 제1 게이트 전압을 인가하고 상기 제2 도전 영역에 제1 드레인 전압을 인가하고,
상기 제1 논리 상태를 유지하기 위하여, 상기 게이트 전극에 제2 게이트 전압을 인가하고 상기 제2 도전 영역에 제2 드레인 전압을 인가하고,
상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제1 드레인 전압을 인가하고,
제2 논리 상태를 기록하기 위하여, 상기 게이트 전극에 제3 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제1 드레인 전압을 인가하고,
상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 제2 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제2 드레인 전압을 인가하고,
상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 제2 도전 영역에 상기 제1 드레인 전압을

인가하는 것을 특징으로 하는 반도체 소자.

[청구항 5] 제4 항에 있어서,
상기 제1 도전형은 n형이고,
상기 제2 도전형은 p 형이고,
상기 제1 게이트 전압은 -0.25V 내지 -1V이고,
상기 제2 게이트 전압은 -0.1V 내지 0.1V이고,
상기 제3 게이트 전압은 0.25V 내지 1V이고,
상기 제1 드레인 전압은 0.5V 내지 1.5V이고,
상기 제2 드레인 전압은 0V인 것을 특징으로 하는 반도체 소자.

[청구항 6] 제1 항에 있어서,
상기 스위치로 동작하는 경우,
상기 제2 도전 영역에 제1 드레인 전압이 인가된 상태에서, 제1 상태로 스위칭하기 위하여, 상기 게이트 전극에 양의 제1 게이트 펄스를 인가하는 인가하고,
상기 제2 도전 영역에 제1 드레인 전압이 인가된 상태에서, 상기 제1 상태로부터 제2 상태로 스위칭하기 위하여, 상기 게이트 전극에 음의 제2 게이트 펄스를 인가하는 것을 특징으로 하는 반도체 소자.

[청구항 7] 제4 항에 있어서,
상기 제1 도전형은 n형이고,
상기 제2 도전형은 p 형이고,
상기 제1 게이트 펄스는 음의 전압이고,
상기 제2 게이트 펄스는 양의 전압이고,
상기 제1 드레인 전압은 0.5V 내지 1.5V인 것을 특징으로 하는 반도체 소자.

[청구항 8] 제2 항에 있어서,
상기 기판은 활성 영역 및 소자 분리막을 포함하고,
상기 제1 도전 영역은 상기 활성 영역과 접촉하여 배치되고,
상기 활성 영역은 상기 제1 도전형으로 도핑된 것을 특징으로 하는 반도체 소자.

[청구항 9] 제2 항에 있어서,
상기 기판 상에 배치된 소오스 라인을 더 포함하고,
상기 제1 도전 영역은 상기 소오스 라인과 접촉하여 배치되고,
상기 소오스 라인은 실리콘에 상기 제1 도전형으로 도핑된 것을 특징으로 하는 반도체 소자.

[청구항 10] 제2 항에 있어서,
상기 제1 도전 영역, 상기 진성 영역, 상기 장벽 영역, 및 상기 제2 도전 영역은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치되는 것을 특징으로 하는 반도체 소자.

[청구항 11] 제2 항에 있어서,
상기 제2 도전 영역, 상기 장벽 영역, 상기 진성 영역, 및 상기 제2 도전 영역은 하부면에서 상부면으로 진행함에 따라 상기 반도체 컬럼을 따라 차례로 배치되는 것을 특징으로 하는 반도체 소자.

[청구항 12] 제2 항에 있어서,
상기 반도체 컬럼의 하부면에서 상기 반도체 컬럼을 감싸도록 배치된 링 형태의 잔류 산화막을 더 포함하는 것을 특징으로 하는 반도체 소자.

[청구항 13] 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판;
상기 기판 상에서 상기 제2 방향으로 나란히 연장되는 소오스 라인들;
상기 소오스 라인들 상에서 주기적으로 배치되고 상기 기판의 배치평면에서 수직하게 연장되는 반도체 컬럼들;
상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들;
상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막;
상기 제1 방향으로 연장되고 상기 워드 라인들 사이에 채우는 게이트 분리막들; 및
상기 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인들을 포함하고,
상기 반도체 컬럼은 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하고,
상기 제1 도전 영역은 상기 소오스 라인과 접촉하고,
상기 제2 도전 영역은 상기 비트라인과 접촉하는 것을 특징으로하는 휘발성 메모리 소자.

[청구항 14] 제13 항에 있어서,
제1 논리 상태를 기록하기 위하여, 선택된 워드라인에 제1 게이트 전압을 인가하고 선택된 비트라인에 제1 드레인 전압을 인가하고,
상기 제1 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트 전압을 인가하고 선택된 비트라인에 제2 드레인 전압을 인가하고,
상기 제1 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가하고,
제2 논리 상태를 기록하기 위하여, 선택된 워드라인에 제3 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가하고,
상기 제2 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트

전압을 인가하고, 선택된 비트라인에 상기 제2 드레인 전압을 인가하고, 상기 제2 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가하는 것을 특징으로 하는 휘발성 메모리 소자.

[청구항 15] 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판;
상기 기판 상에서 상기 제2 방향으로 나란히 연장되는 비트 라인들;
상기 비트 라인들 상에서 주기적으로 배치되고 상기 기판의 배치평면에서 수직하게 연장되는 반도체 컬럼들;
상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들;
상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막;
상기 제1 방향으로 연장되고 상기 워드 라인들 사이에 채우는 게이트 분리막들; 및
상기 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 소오스 라인들을 포함하고,
상기 반도체 컬럼은 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하고,
상기 제1 도전 영역은 상기 소오스 라인과 접촉하고,
상기 제2 도전 영역은 상기 비트라인과 접촉하는 것을 특징으로하는 휘발성 메모리 소자.

[청구항 16] 제15 항에 있어서,
제1 논리 상태를 기록하기 위하여, 선택된 워드라인에 제1 게이트 전압을 인가하고 선택된 비트라인에 제1 드레인 전압을 인가하고,
상기 제1 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트 전압을 인가하고 선택된 비트라인에 제2 드레인 전압을 인가하고,
상기 제1 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가하고,
제2 논리 상태를 기록하기 위하여, 선택된 워드라인에 제3 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을 인가하고,
상기 제2 논리 상태를 유지하기 위하여, 선택된 워드라인에 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제2 드레인 전압을 인가하고,
상기 제2 논리 상태를 독출하기 위하여, 선택된 워드라인에 상기 제2 게이트 전압을 인가하고, 선택된 비트라인에 상기 제1 드레인 전압을

인가하는 것을 특징으로 하는 휘발성 메모리 소자.

[청구항 17] 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판에 상기 제2 방향으로 연장되는 소자 분리막을 형성하여 활성 영역을 정의하는 단계;
상기 활성 영역이 형성된 상기 기판 상에 제1 층간 절연막, 도핑된 실리콘막, 및 제2 층간 절연막을 적층하고 상기 제2 층간 절연막, 상기 도핑된 실리콘막, 및 상기 제1 층간 절연막을 관통하는 관통홀을 형성하는 단계;
상기 관통홀의 내부에서 노출된 도핑된 실리콘막의 표면에 게이트 절연막을 형성하는 단계;
상기 관통홀에 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역, 상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼을 형성하는 단계;
상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제2 층간 절연막 및 상기 도핑된 실리콘막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계;
상기 트렌치를 워드라인 분리막으로 매립하는 단계; 및
상기 반도체 컬럼의 상기 제2 도전 영역에 접촉하고 상기 제2 방향으로 연장되는 비트라인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

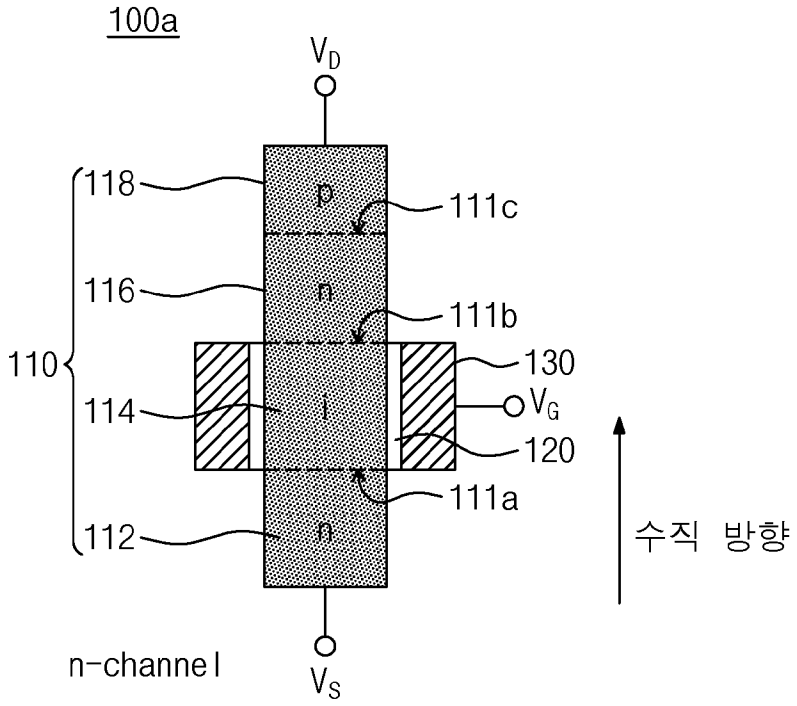
[청구항 18] 제17 항에 있어서,
상기 게이트 절연막을 형성시 상기 활성 영역 상에 형성된 보조 절연막을 제거하기 위하여, 상기 관통홀의 측벽을 덮는 희생 절연막을 형성하고 상기 희생 절연막을 이방성 식각하여 희생 측벽을 형성하고 상기 보조 절연막을 제거하는 단계; 및
상기 희생 측벽을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

[청구항 19] 제1 방향과 상기 제1 방향에 수직한 제2 방향에 의하여 정의된 배치평면을 가지는 기판에 상기 제2 방향으로 연장되는 제1 라인을 형성하는 단계;
상기 제1 도전 라인이 형성된 상기 기판 상에 제1 층간 절연막, 도핑된 실리콘막, 및 제2 층간 절연막을 적층하고 상기 제2 층간 절연막, 상기 도핑된 실리콘막, 및 상기 제1 층간 절연막을 관통하는 관통홀을 형성하는 단계;
상기 관통홀의 내부에서 노출된 도핑된 실리콘막의 표면에 게이트 절연막을 형성하는 단계;
상기 관통홀에 제1 도전형의 제1 도전 영역, 제2 도전형의 제2 도전 영역,

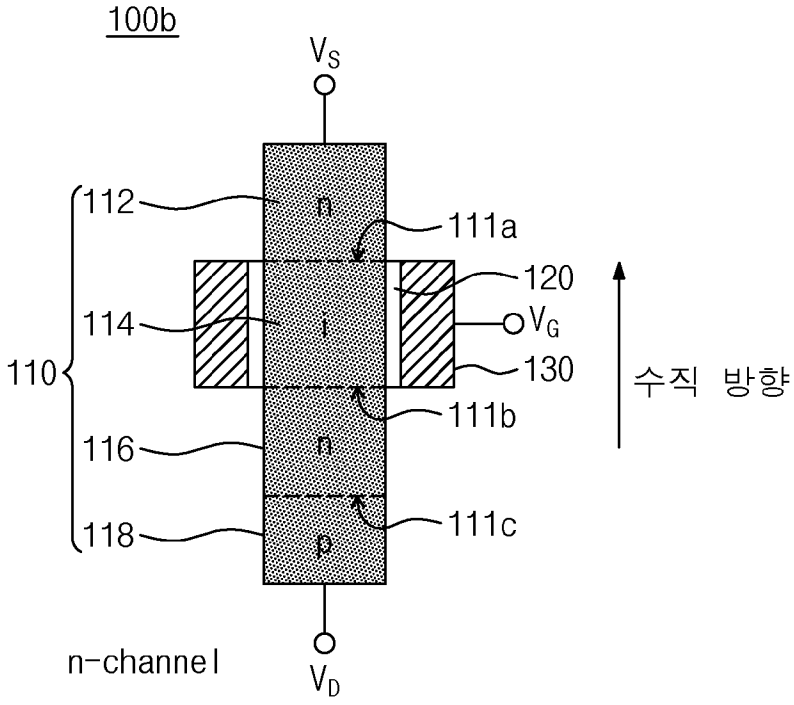
상기 제1 도전 영역과 상기 제2 도전 영역 사이에 배치된 진성 영역, 및
상기 진성 영역과 상기 제2 도전 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼을 형성하는 단계;
상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제2 층간 절연막 및 상기 도핑된 실리콘막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계;
상기 트렌치를 워드라인 분리막으로 매립하는 단계; 및
상기 반도체 컬럼의 상기 제2 도전 영역에 접촉하고 상기 제2 방향으로 연장되는 제2 도전 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

[청구항 20] 제19 항에 있어서,
상기 게이트 절연막을 형성시 상기 활성 영역 상에 형성된 보조 절연막을 제거하기 위하여, 상기 관통홀의 측벽을 덮는 희생 절연막을 형성하고 상기 희생 절연막을 이방성 식각하여 희생 측벽을 형성하고 상기 보조 절연막을 제거하는 단계; 및
상기 희생 측벽을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

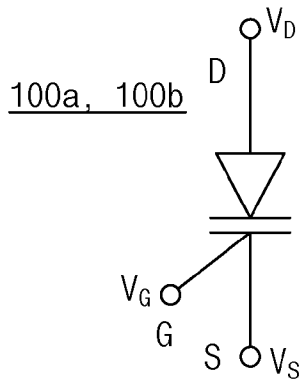
[도1a]


100a
V_D
118
p
111c
116
n
111b
110
130
114
i
V_G
120
111a
112
n
수직 방향
n-channel
V_S

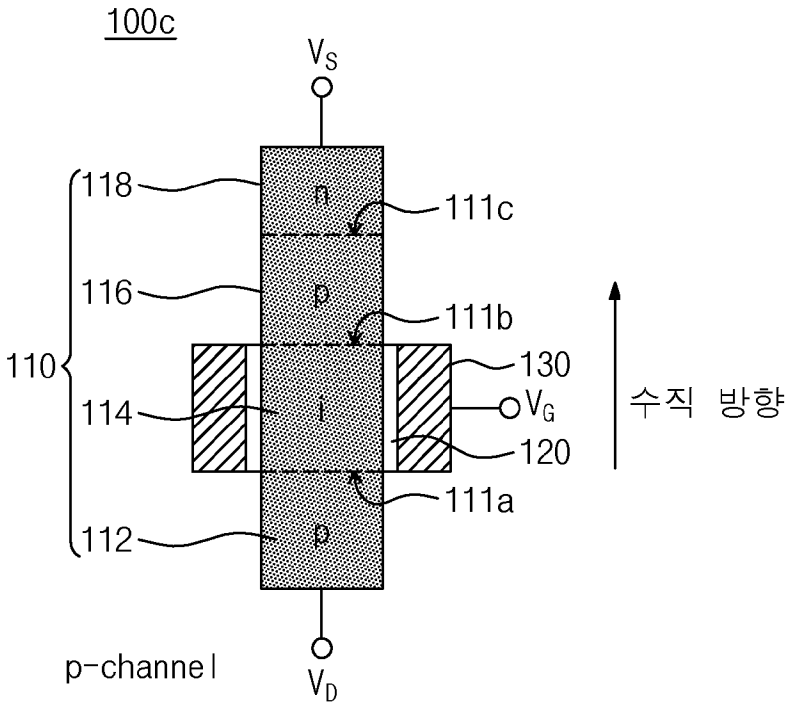
[도1b]


100b
V_S
112
n
111a
120
114
i
V_G
110
130
수직 방향
111b
116
n
111c
118
p
n-channel
V_D

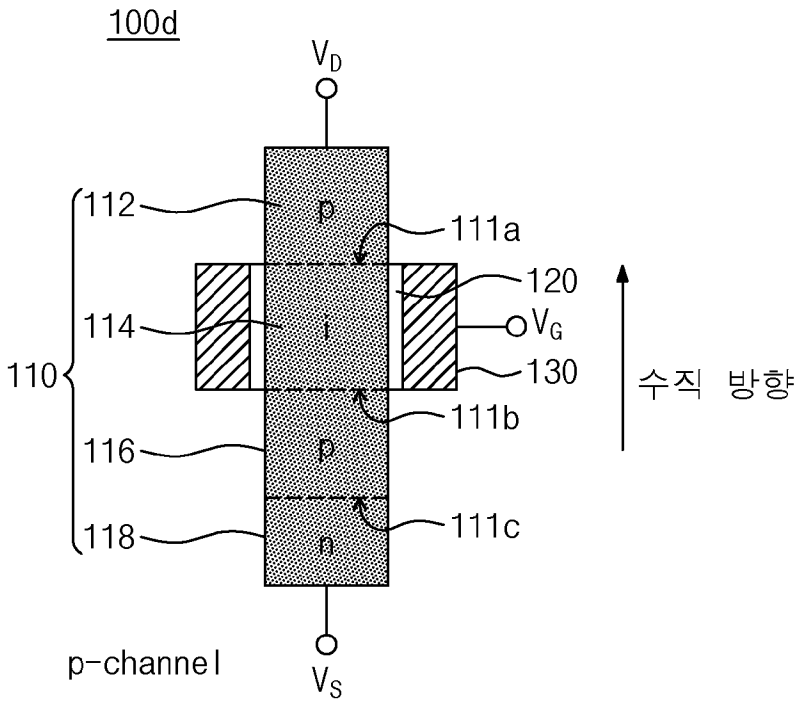
[도1c]


100a, 100b
D
V_D
V_G
G
S
V_S
n-channel

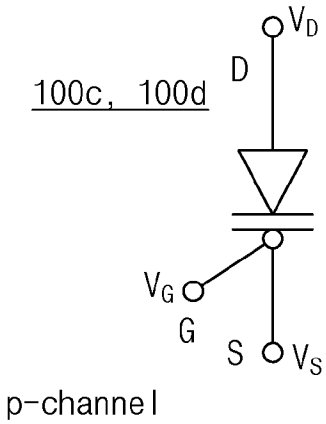
[도2a]


100c
V_S
118
n
111c
116
p
111b
110
130
114
i
V_G
수직 방향
120
111a
112
p
p-channel
V_D

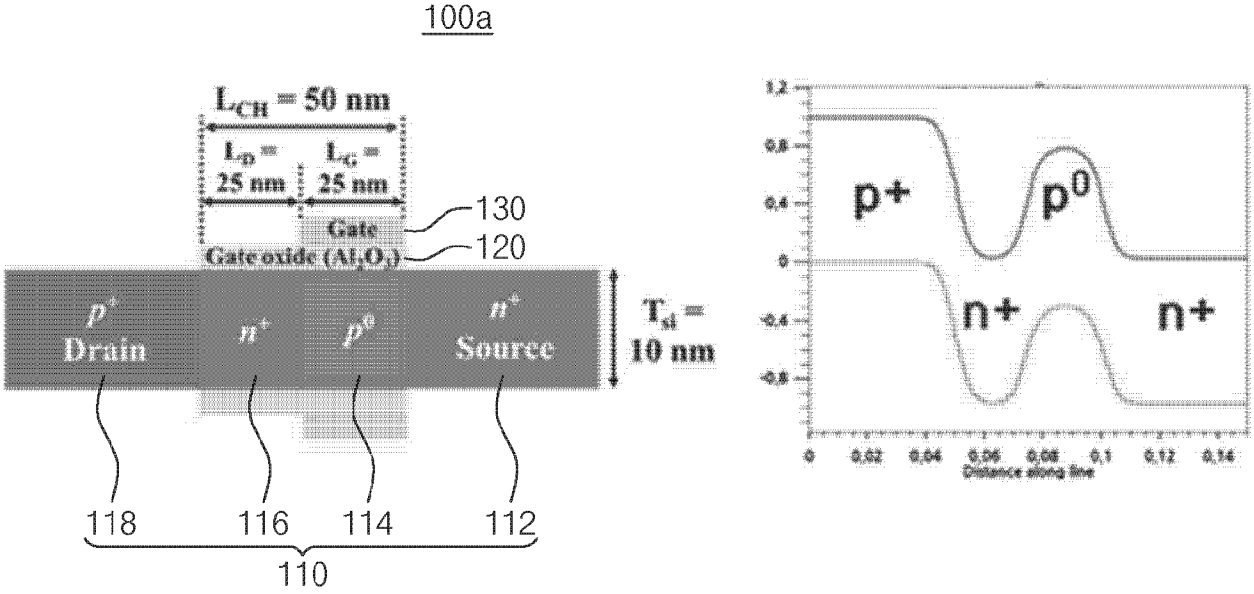
[도2b]


100d
V_D
112
p
111a
120
114
i
V_G
110
130
수직 방향
111b
116
p
118
n
111c
p-channel
V_S

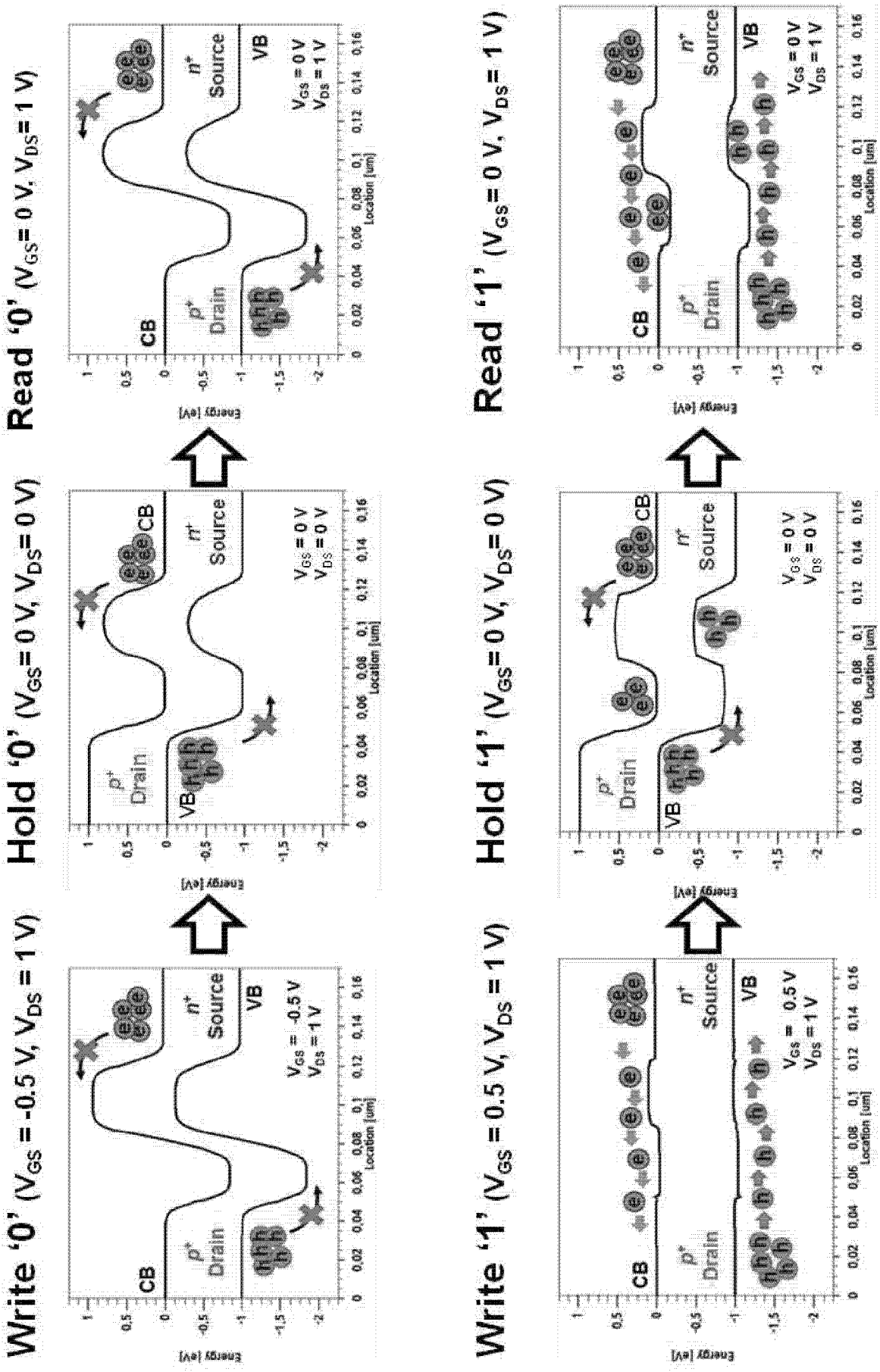
[도2c]


V_D
D
100c, 100d
V_G
G
S
V_S
p-channel

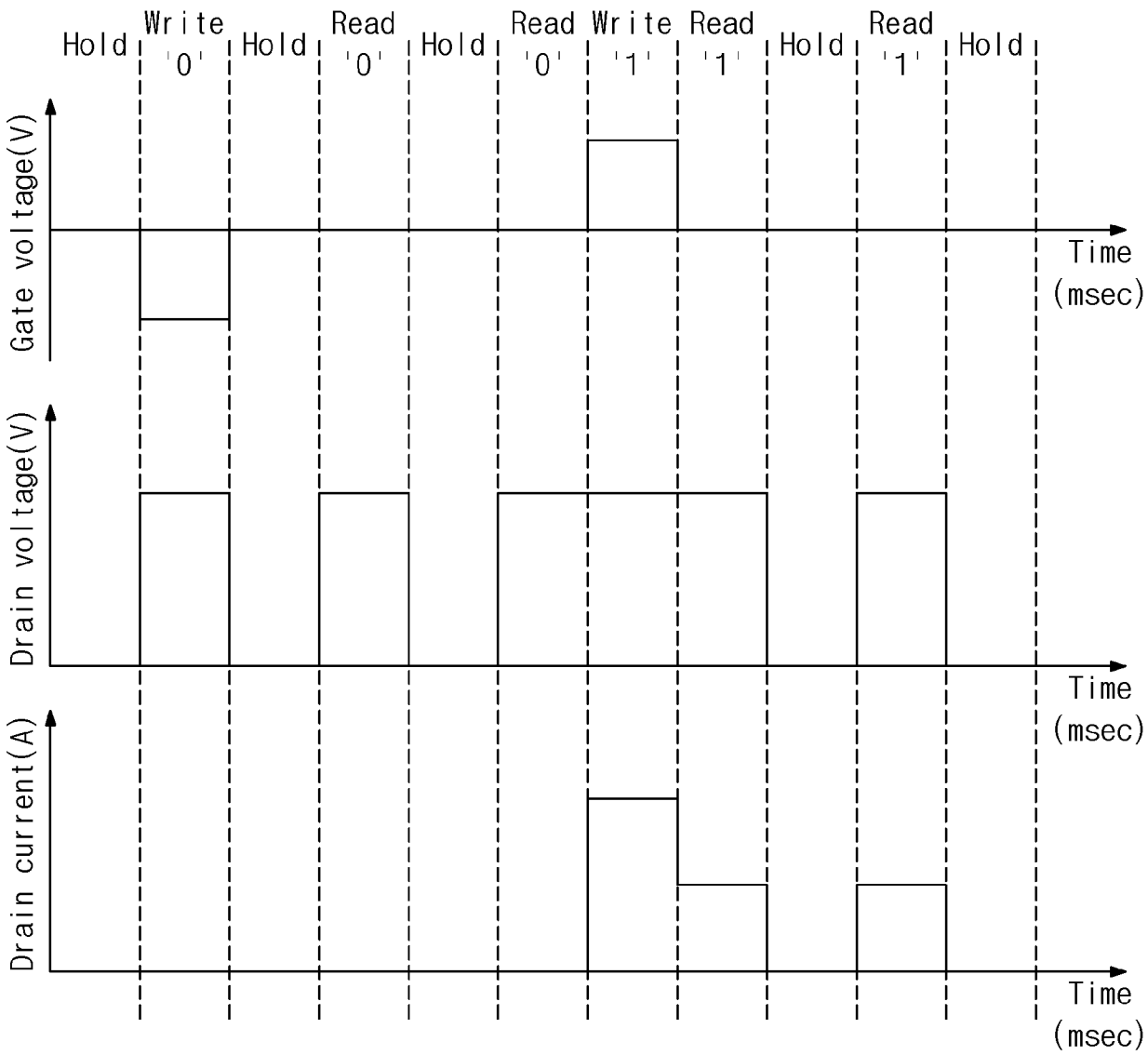
[도3]


100a
L_{CH} = 50 nm
L_D = 25 nm
L_G = 25 nm
130
Gate
120
Gate oxide (Al_2O_3)
p^+ Drain
n^+
p^0
n^+ Source
T_{si} = 10 nm
118
116
114
112
110
p+
p^0
n+
n+
Distance along line

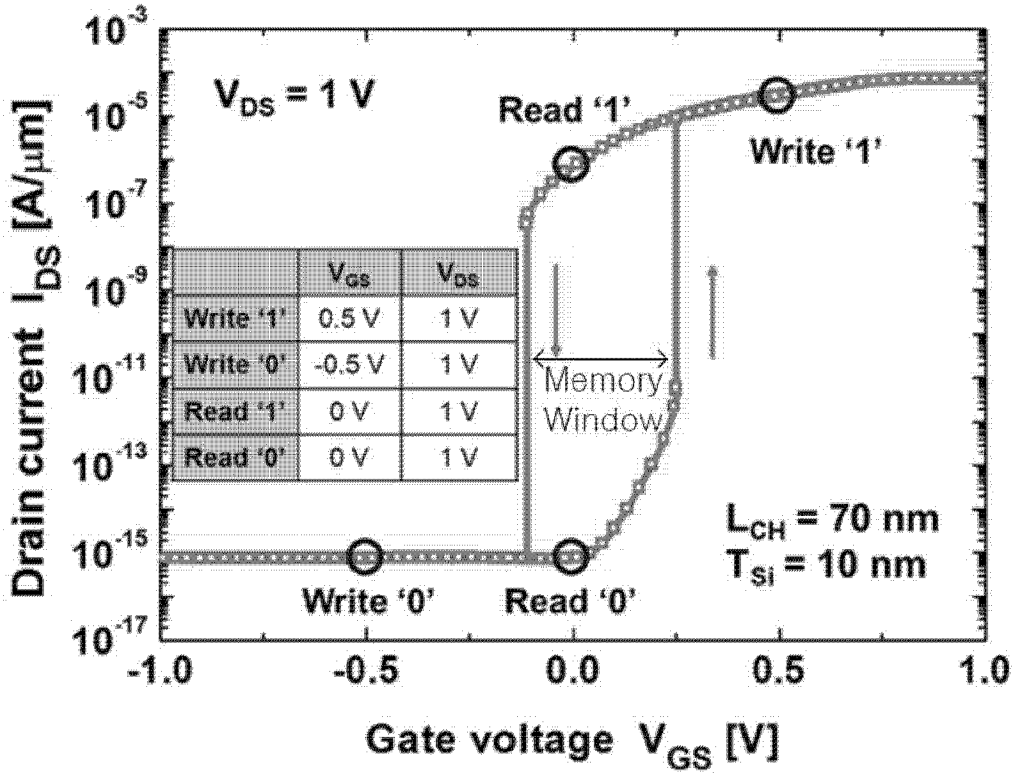
[도4]


Write '0' (V_{GS} = -0.5 V, V_{DS} = 1 V)
Hold '0' (V_{GS} = 0 V, V_{DS} = 0 V)
Read '0' (V_{GS} = 0 V, V_{DS} = 1 V)
Write '1' (V_{GS} = 0.5 V, V_{DS} = 1 V)
Hold '1' (V_{GS} = 0 V, V_{DS} = 0 V)
Read '1' (V_{GS} = 0 V, V_{DS} = 1 V)
CB
VB
p^+ Drain
n^+ Source
Energy [eV]
Location [um]

[도5]

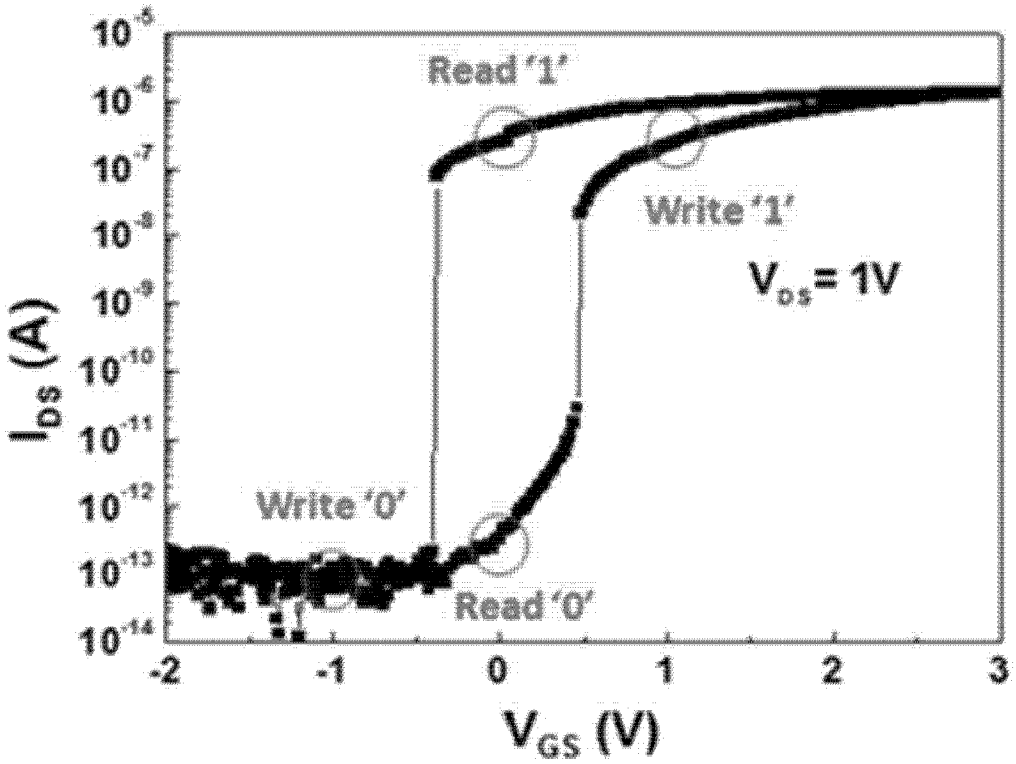

Hold
Write '0'
Hold
Read '0'
Hold
Read '0'
Write '1'
Read '1'
Hold
Read '1'
Hold
Gate voltage(V)
Time (msec)
Drain voltage(V)
Time (msec)
Drain current(A)
Time (msec)

[도6a]

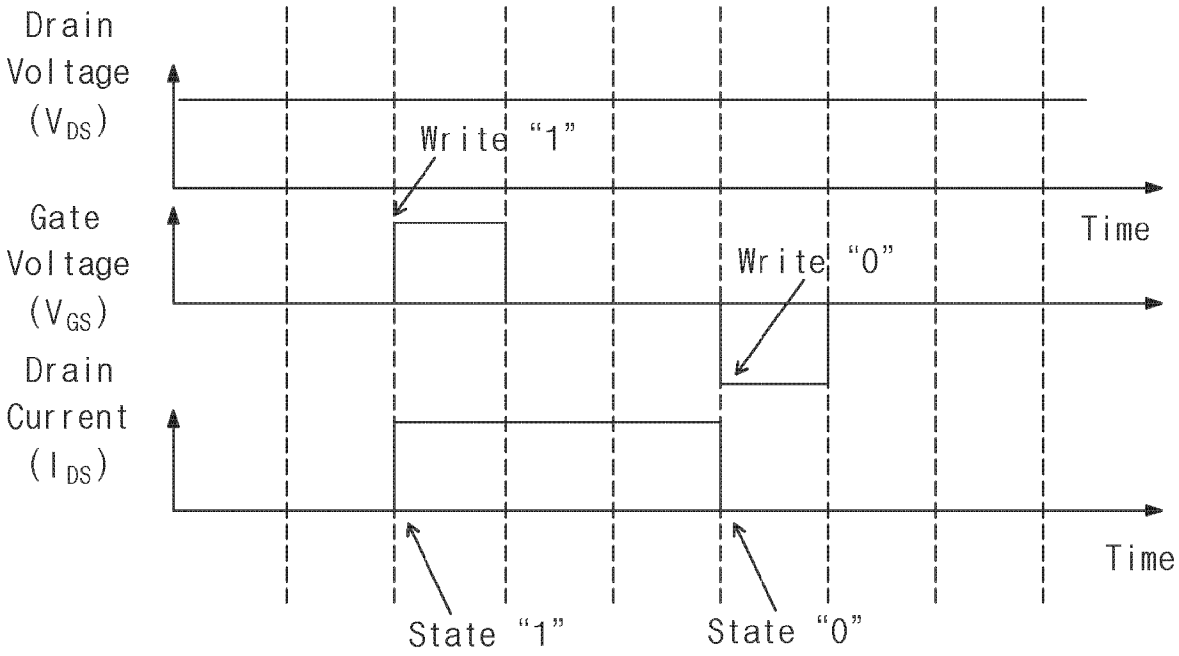


	V_{GS}	V_{DS}
Write '1'	0.5 V	1 V
Write '0'	-0.5 V	1 V
Read '1'	0 V	1 V
Read '0'	0 V	1 V

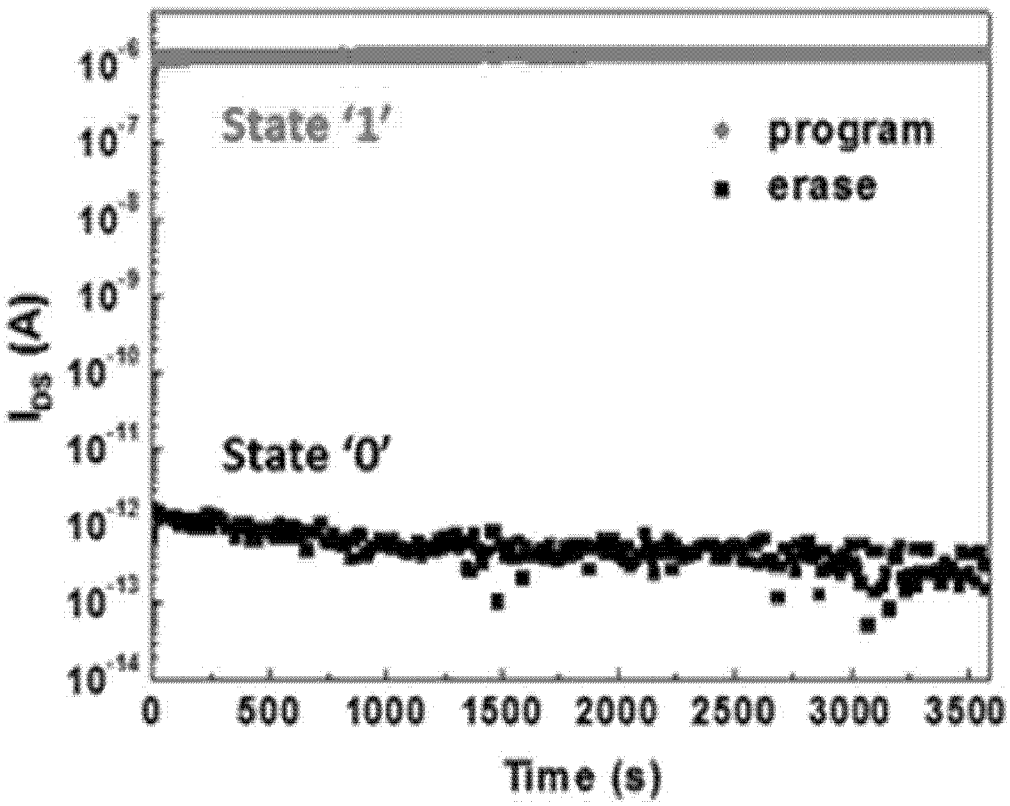
[도6b]



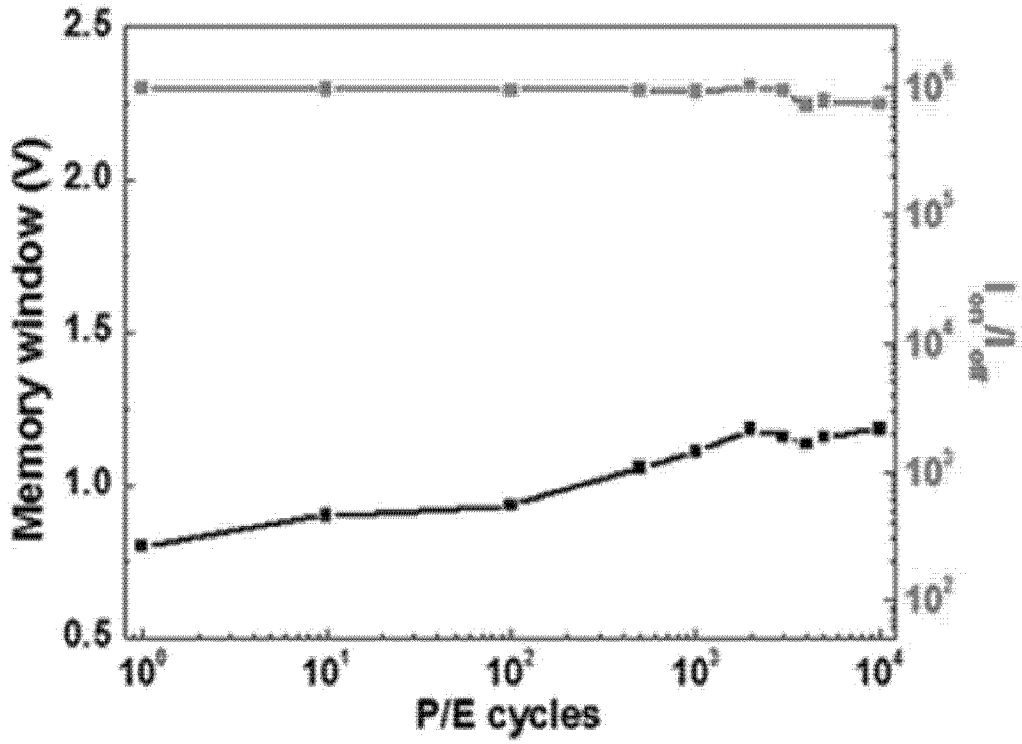
[도7]


Drain Voltage (V_{DS})
Write "1"
Gate Voltage (V_{GS})
Time
Write "0"
Drain Current (I_{DS})
Time
State "1"
State "0"

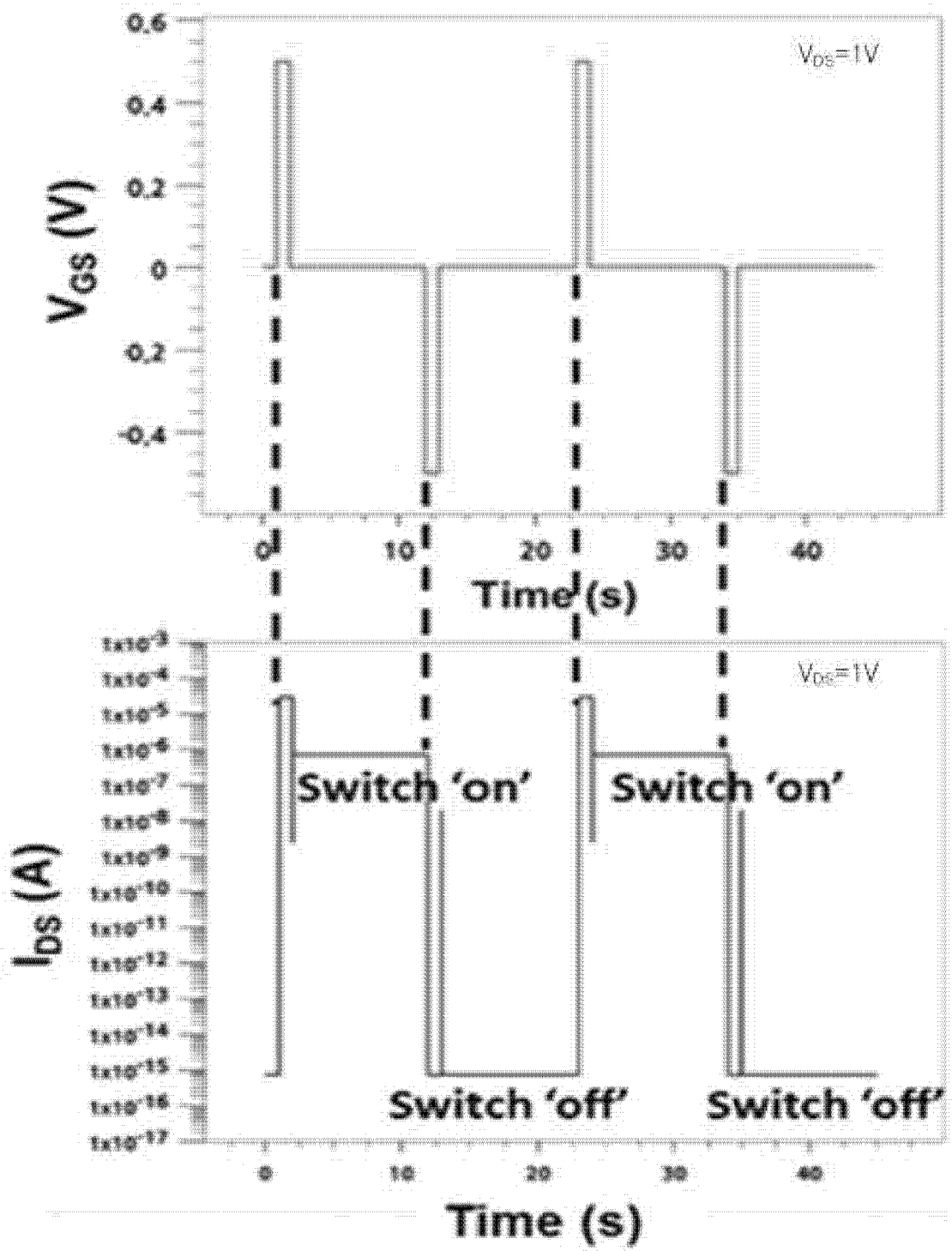
[도8]


State '1'
program
erase
State '0'
I_{DS} (A)
10^{-6}
10^{-7}
10^{-8}
10^{-9}
10^{-10}
10^{-11}
10^{-12}
10^{-13}
10^{-14}
0
500
1000
1500
2000
2500
3000
3500
Time (s)

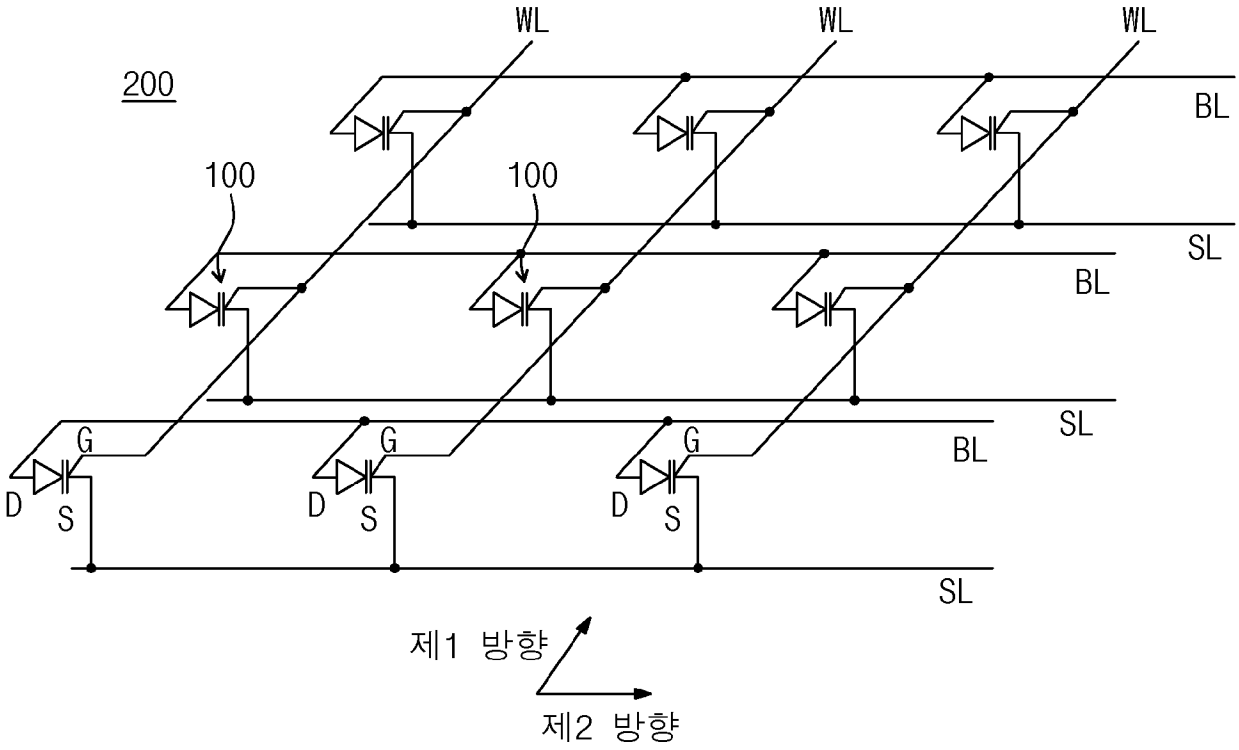
[도9]


Memory window (V)
2.5
2.0
1.5
1.0
0.5
10^0
10^1
10^2
10^3
10^4
P/E cycles
10^6
10^5
10^4
10^3
10^2
I_{on}/I_{off}

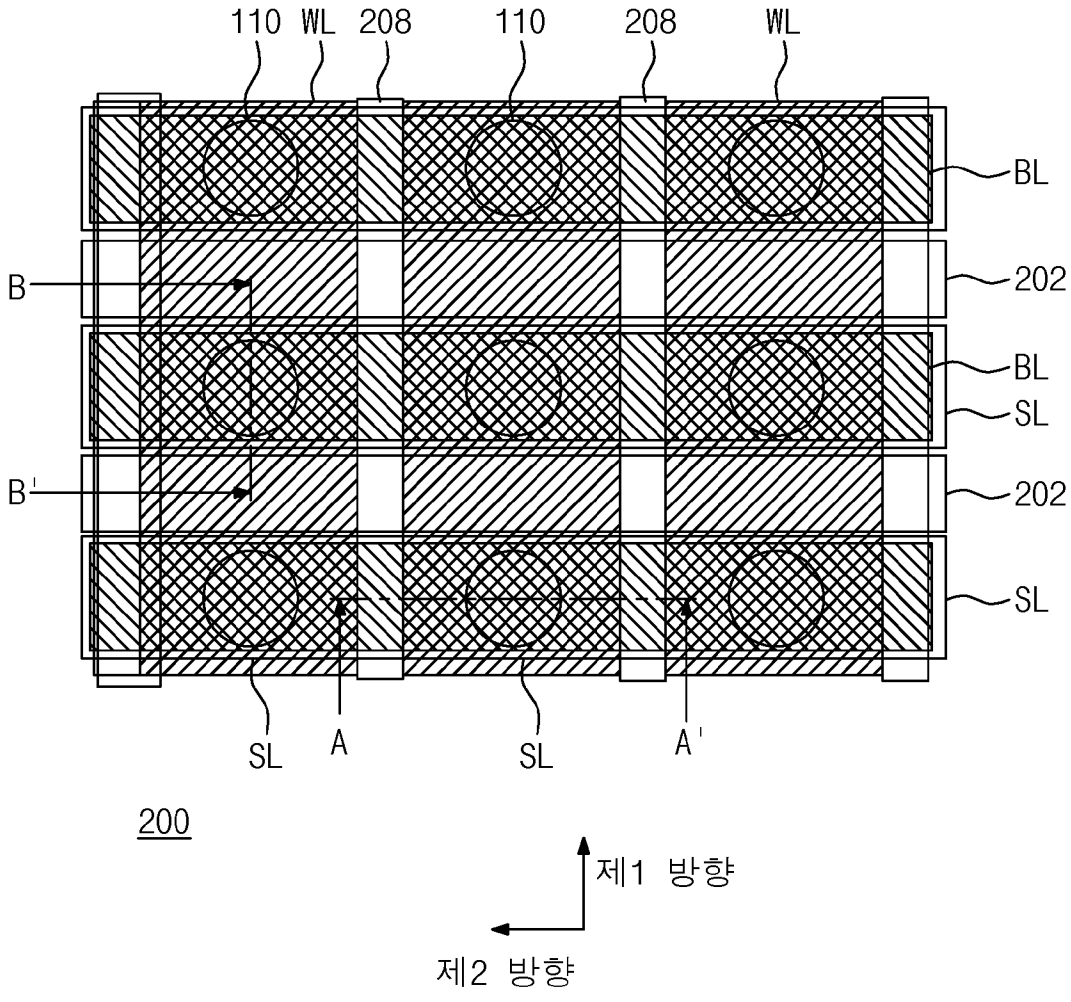
[도10]


V_{DS}=1V
V_{GS} (V)
0.6
0.4
0.2
0
-0.2
-0.4
0
10
20
30
40
Time (s)
V_{DS}=1V
I_{DS} (A)
Switch 'on'
Switch 'on'
Switch 'off'
Switch 'off'
Time (s)

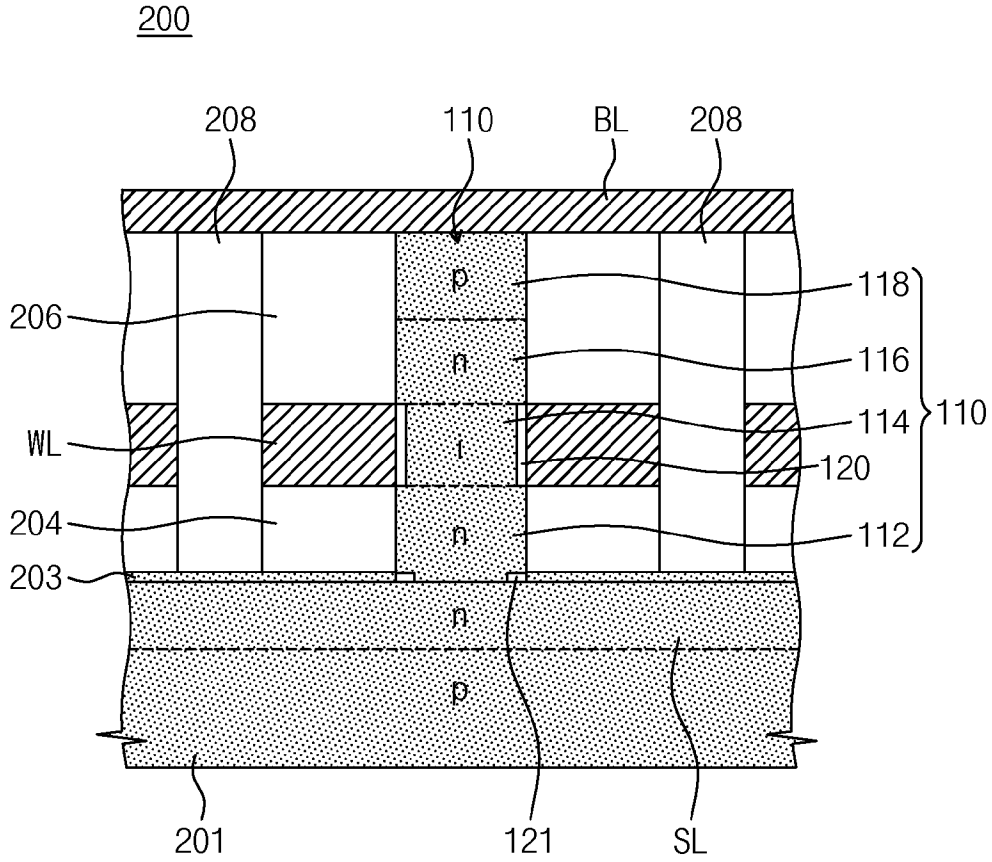
[도11]


WL
WL
WL
200
BL
100
100
SL
BL
SL
G
G
G
BL
D
S
D
S
D
S
SL
제1 방향
제2 방향

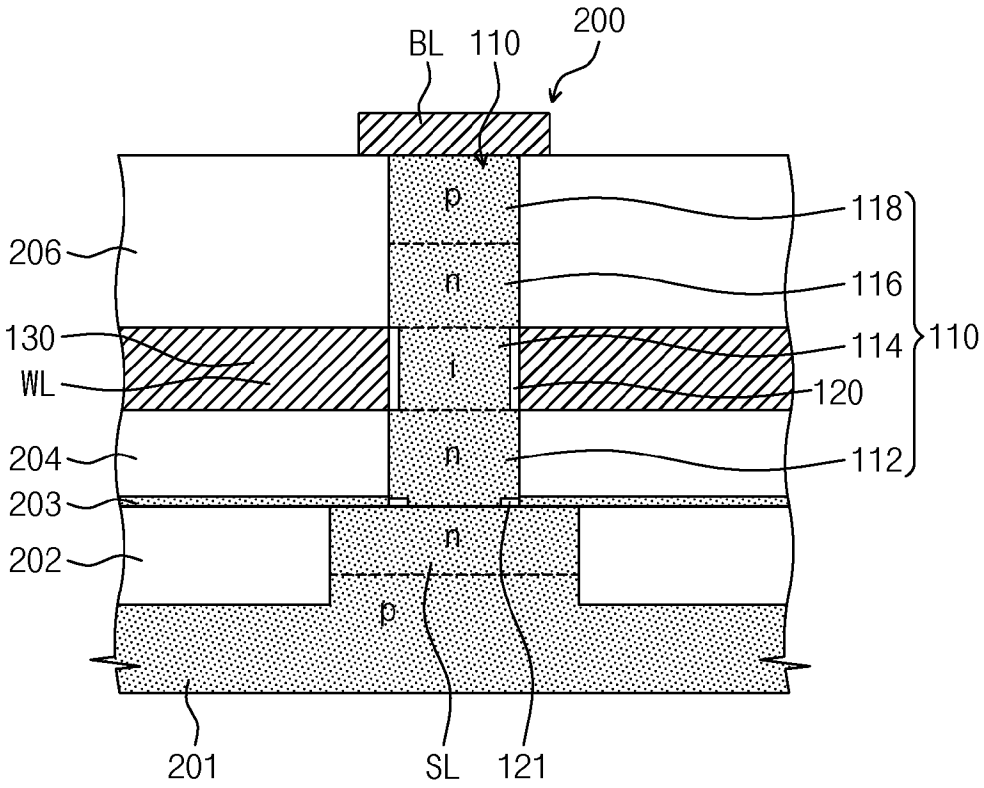
[도12]


110
WL
208
110
208
WL
BL
B
202
BL
SL
B'
202
SL
SL
A
SL
A'
200
제1 방향
제2 방향

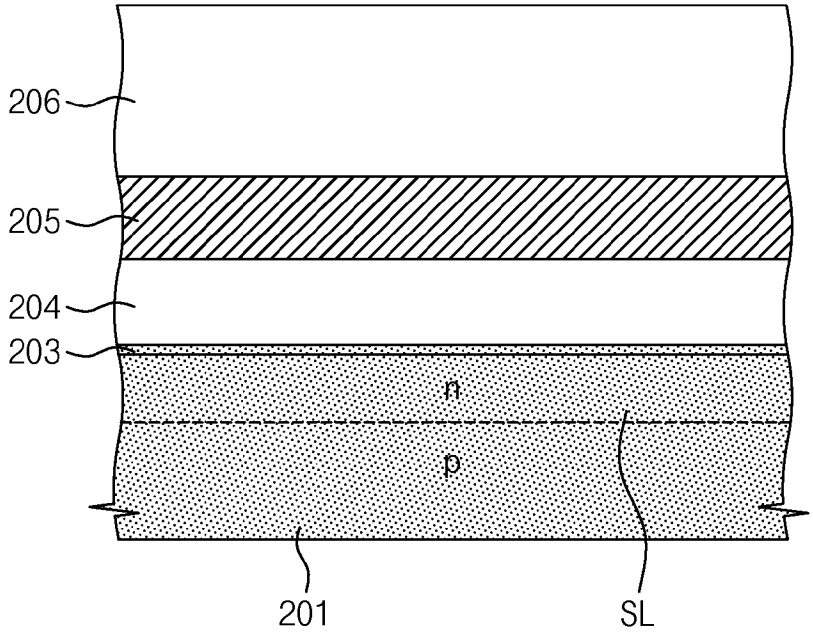
[도13]


200
208
110
BL
208
206
p
n
i
n
WL
204
203
n
p
118
116
114
120
112
110
201
121
SL

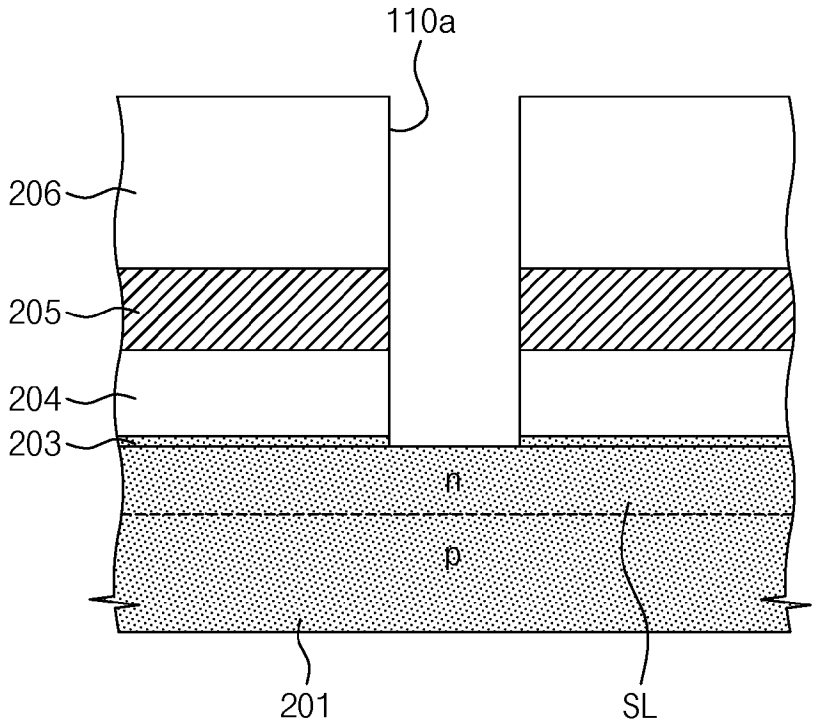
[도14]


200
BL
110
200
206
130
WL
204
203
202
p
n
i
n
n
p
118
116
114
120
112
110
201
SL
121

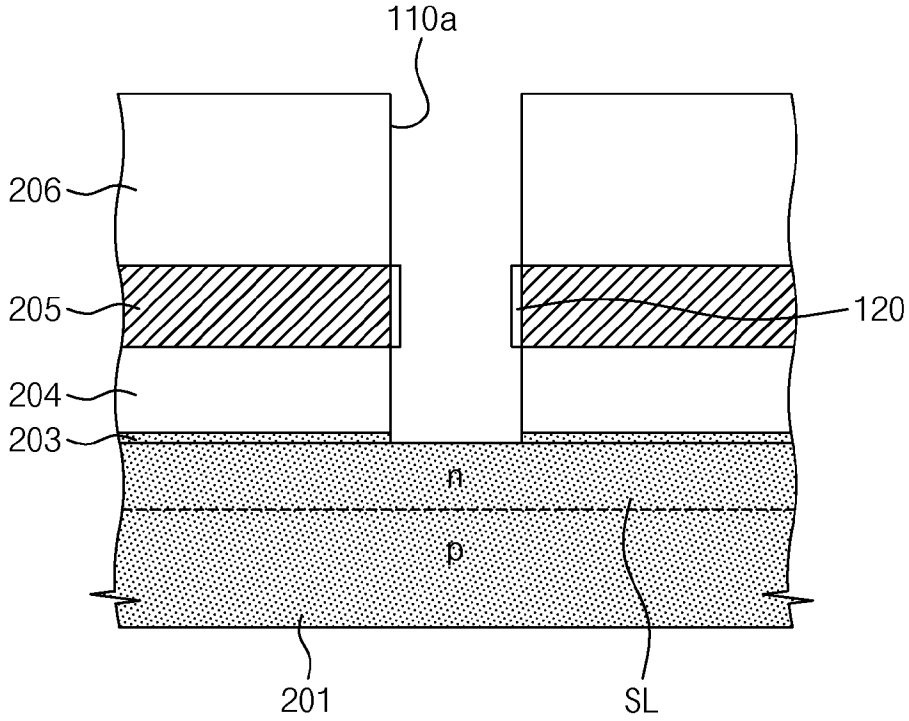
[도15a]



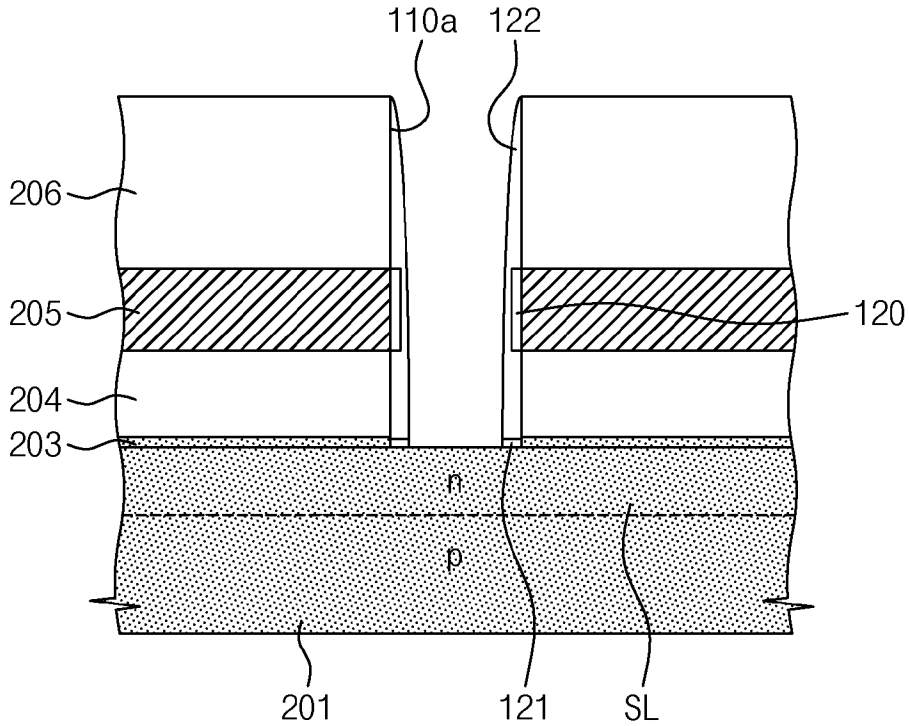
[도15b]



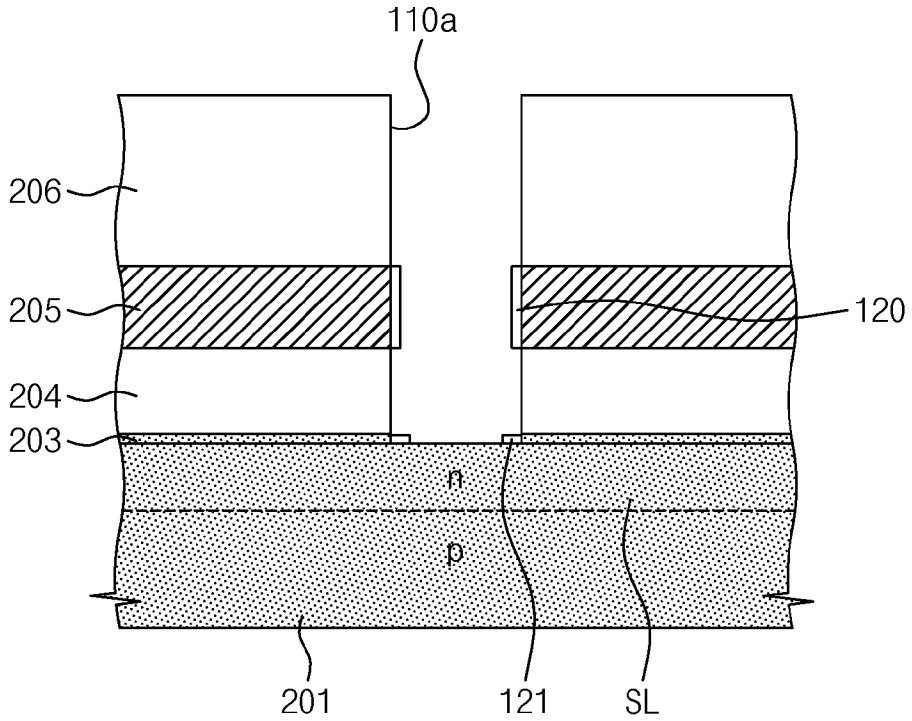
[도15c]


110a
206
205
120
204
203
n
p
201
SL

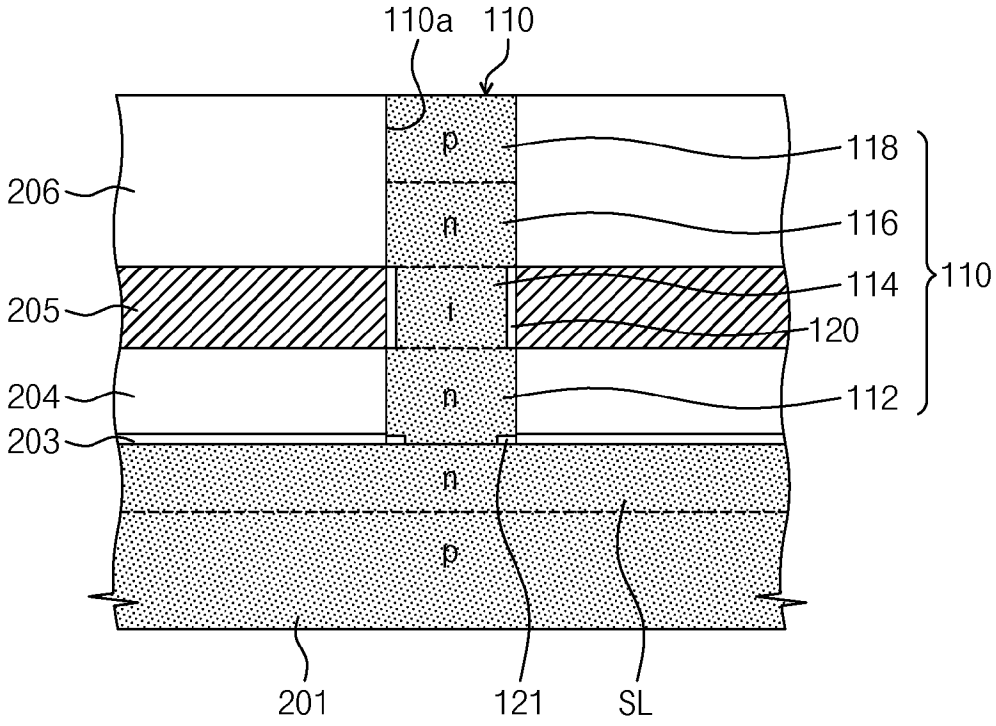
[도15d]


110a
122
206
205
120
204
203
n
p
201
121
SL

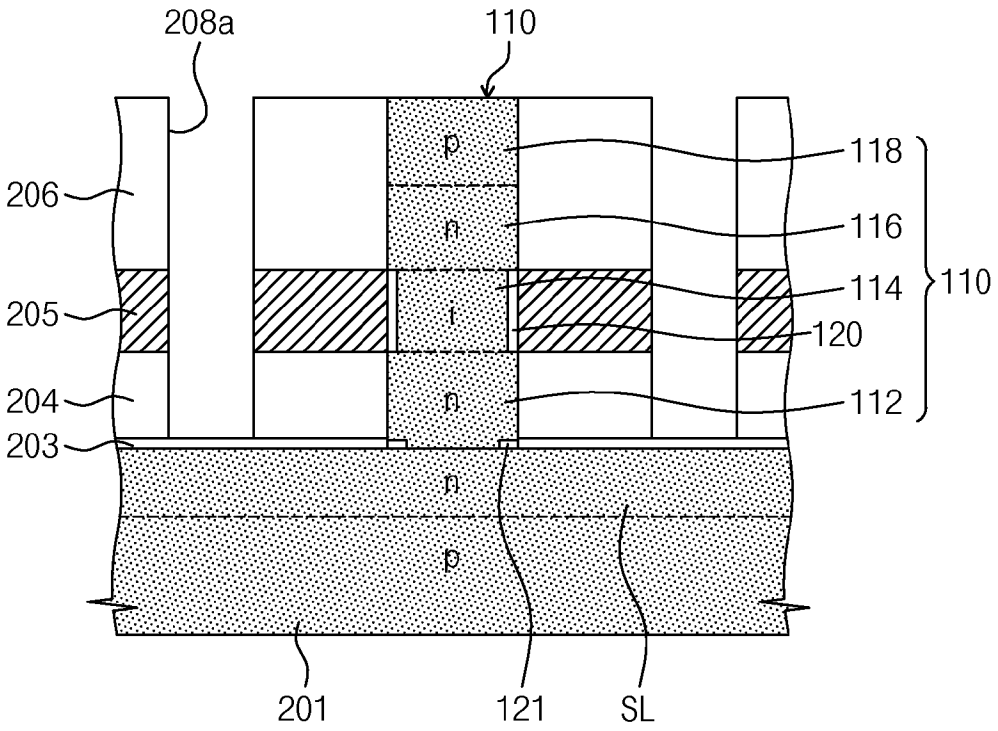
[도15e]


110a
206
205
120
204
203
n
p
201
121
SL

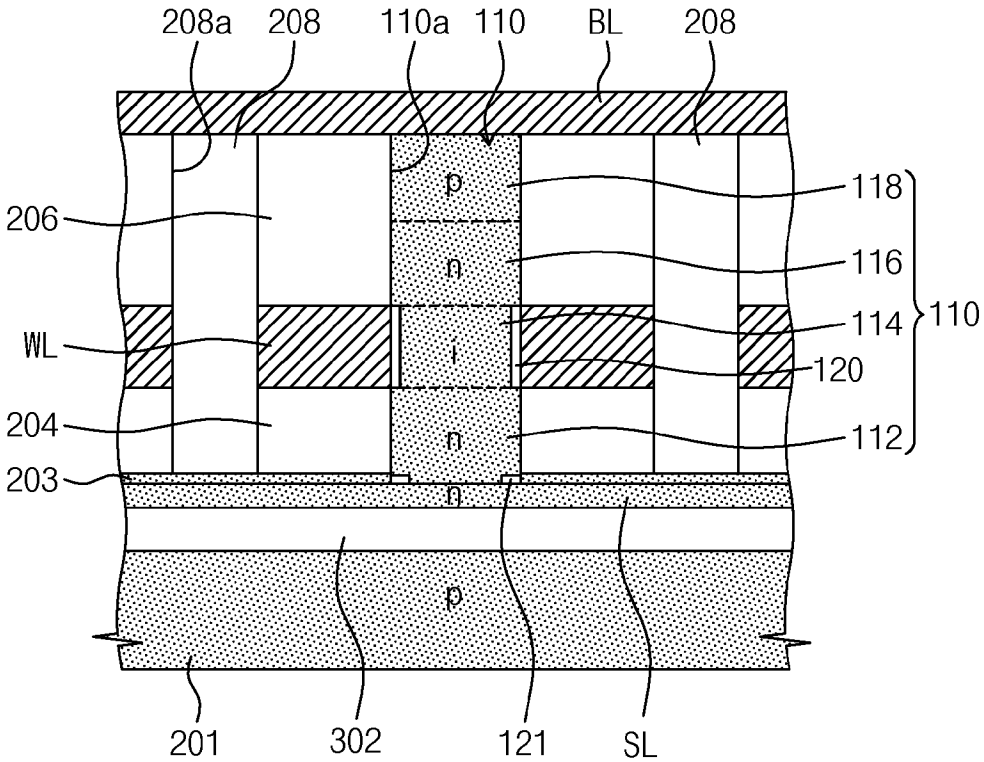
[도15f]


110a
110
p
118
206
n
116
110
205
i
114
120
204
n
112
203
n
p
201
121
SL

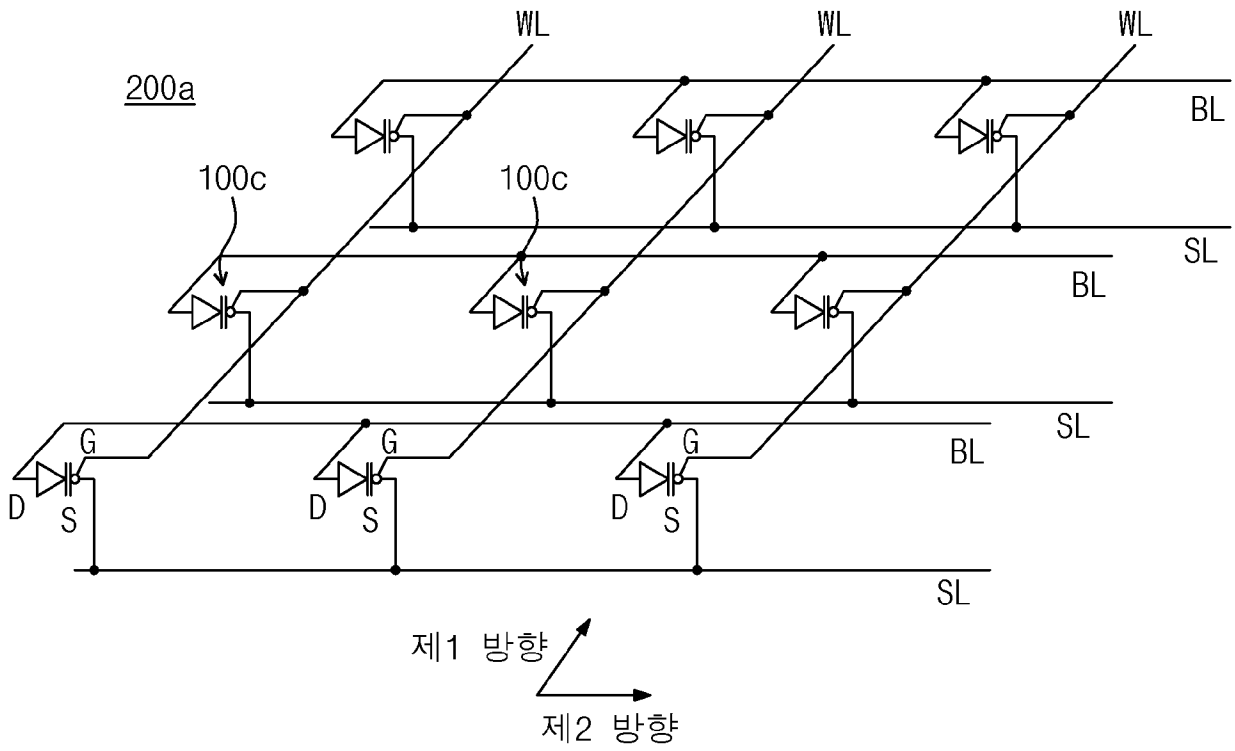
[도15g]


208a
110
206
205
204
203
p
n
i
n
n
p
118
116
114
120
112
110
201
121
SL

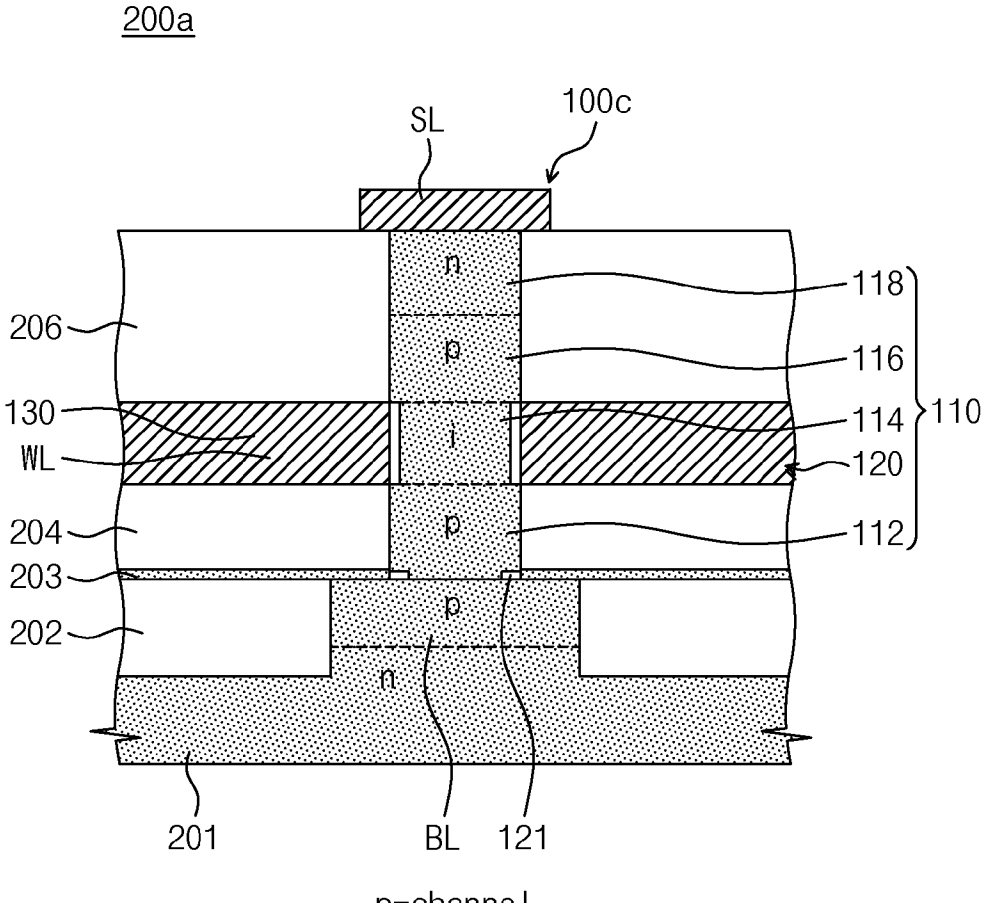
[도16]


208a
208
110a
110
BL
208
206
WL
204
203
p
n
i
n
n
p
118
116
114
120
112
110
201
302
121
SL

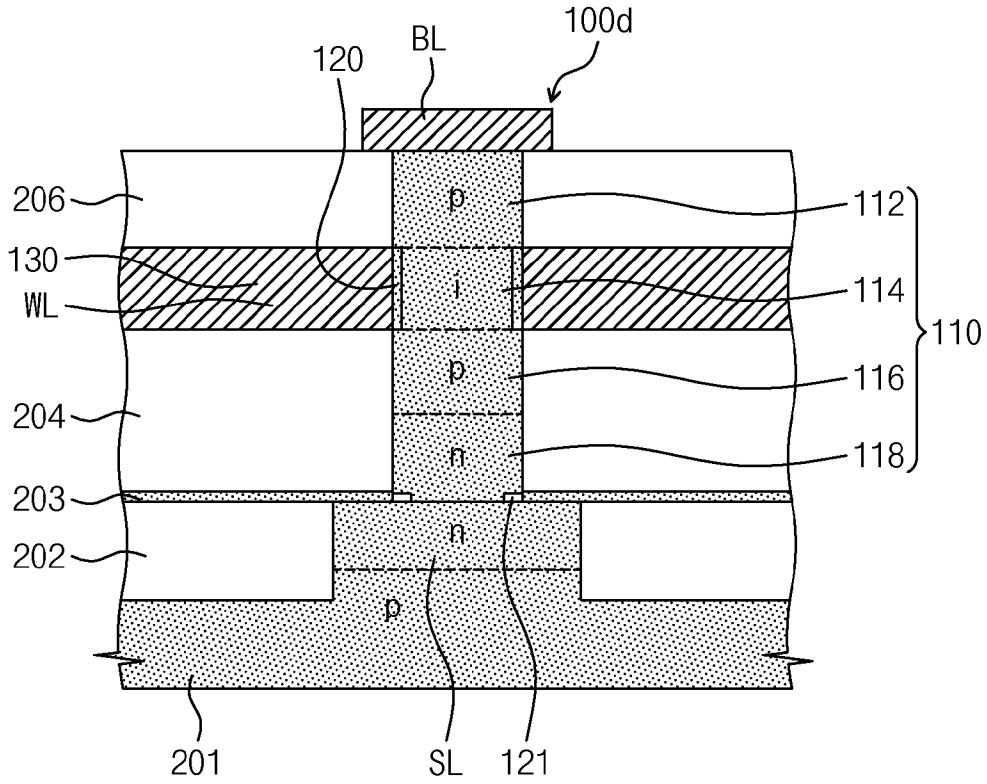
[도17a]


200a
WL
WL
WL
BL
100c
100c
SL
BL
SL
G
G
G
BL
D
S
D
S
D
S
SL
제1 방향
제2 방향

[도17b]

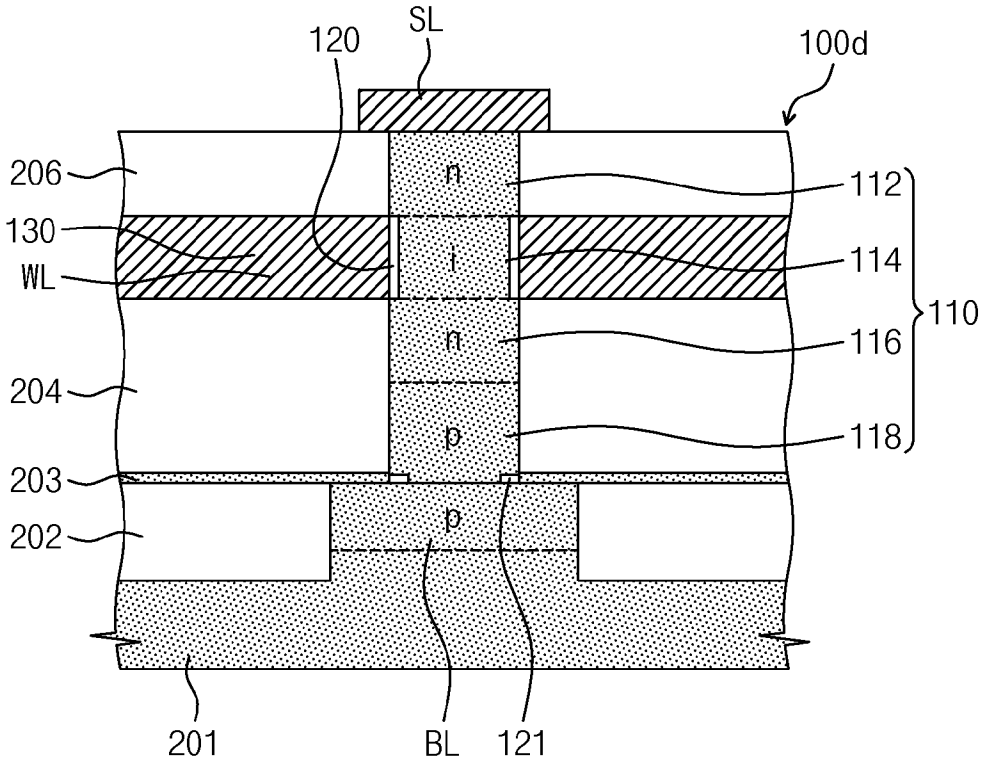

200a
SL
100c
n
118
206
p
116
130
i
114
110
WL
120
204
p
112
203
202
p
n
201
BL
121
p-channel

[도18]



p-channel

[도19]



n-channel

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2017/010325

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11(2006.01)i, H01L 21/8238(2006.01)i, H01L 21/8228(2006.01)i, H01L 27/092(2006.01)i, H01L 29/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/11; H01L 27/115; H01L 29/768; H01L 21/28; H01L 29/74; G11C 11/39; H01L 21/8247; H01L 31/111; H01L 21/8238; H01L 21/8228; H01L 27/092; H01L 29/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: switch, memory, intrinsic region, barrier region

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2013-0314986 A1 (MICRON TECHNOLOGY, INC.) 28 November 2013 See paragraphs [0032]-[0083], [0161]-[0201] and figures 1-5, 18-28.	1-4,6-16
A		5,17-20
Y	KR 10-2013-0092930 A (SK HYNIX INC.) 21 August 2013 See paragraphs [0041]-[0091] and figures 1-5.	1-4,6-16
A	KR 10-2012-0123584 A (MICRON TECHNOLOGY, INC.) 08 November 2012 See paragraphs [0016]-[0051] and figures 2a-14.	1-20
A	US 2005-0001232 A1 (BHATTACHARYYA, Arup) 06 January 2005 See paragraphs [0043]-[0083] and figures 1A-8.	1-20
A	US 2005-0247962 A1 (BHATTACHARYYA, Arup) 10 November 2005 See paragraphs [0025]-[0029] and figures 4-7.	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 JANUARY 2018 (11.01.2018)	**11 JANUARY 2018 (11.01.2018)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. +82-42-481-8578	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/010325

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2013-0314986 A1	28/11/2013	TW 201241928 A	16/10/2012
		TW I471941 B	01/02/2015
		US 2012-0228629 A1	13/09/2012
		US 2016-0078917 A1	17/03/2016
		US 8519431 B2	27/08/2013
		US 9361966 B2	07/06/2016
		US 9691465 B2	27/06/2017
		WO 2012-121845 A2	13/09/2012
		WO 2012-121845 A3	22/11/2012
KR 10-2013-0092930 A	21/08/2013	CN 103247655 A	14/08/2013
		CN 103247655 B	07/07/2017
		US 2013-0223124 A1	29/08/2013
		US 2015-0255717 A1	10/09/2015
		US 9064564 B2	23/06/2015
		US 9356236 B2	31/05/2016
KR 10-2012-0123584 A	08/11/2012	CN 102782848 A	14/11/2012
		CN 102782848 B	14/10/2015
		JP 2013-521649 A	10/06/2013
		JP 5578454 B2	27/08/2014
		SG 183451 A1	27/09/2012
		TW 201203539 A	16/01/2012
		TW I482278 B	21/04/2015
		US 2011-0215371 A1	08/09/2011
		US 2013-0011974 A1	10/01/2013
		US 2013-0323887 A1	05/12/2013
		US 2015-0179649 A1	25/06/2015
		US 8288795 B2	16/10/2012
		US 8524543 B2	03/09/2013
		US 8980699 B2	17/03/2015
		US 9343462 B2	17/05/2016
		WO 2011-109147 A2	09/09/2011
		WO 2011-109147 A3	24/11/2011
US 2005-0001232 A1	06/01/2005	US 2006-0244007 A1	02/11/2006
		US 2006-0245244 A1	02/11/2006
		US 2006-0246653 A1	02/11/2006
		US 2012-0139004 A1	07/06/2012
		US 7660144 B2	09/02/2010
		US 7728350 B2	01/06/2010
		US 7968402 B2	28/06/2011
		US 8125003 B2	28/02/2012
US 2005-0247962 A1	10/11/2005	AT 527660 T	15/10/2011
		CN 1981344 A	13/06/2007
		CN 1981344 B	30/05/2012
		EP 1743339 A2	17/01/2007
		EP 1743339 B1	05/10/2011

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/010325

Patent document cited in search report	Publication date	Patent family member	Publication date
		JP 2007-536737 A	13/12/2007
		JP 4915592 B2	11/04/2012
		KR 10-0887866 B1	06/03/2009
		KR 10-2007-0005716 A	10/01/2007
		US 7224002 B2	29/05/2007
		WO 2005-114742 A2	01/12/2005
		WO 2005-114742 A3	15/06/2006
		WO 2005-114742 B1	17/08/2006

국 제 조 사 보 고 서

국제출원번호
PCT/KR2017/010325

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/11(2006.01)i, H01L 21/8238(2006.01)i, H01L 21/8228(2006.01)i, H01L 27/092(2006.01)i, H01L 29/66(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 27/11; H01L 27/115; H01L 29/768; H01L 21/28; H01L 29/74; G11C 11/39; H01L 21/8247; H01L 31/111; H01L 21/8238; H01L 21/8228; H01L 27/092; H01L 29/66

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 스위치, 메모리, 진성 영역, 장벽 영역

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2013-0314986 A1 (MICRON TECHNOLOGY, INC.) 2013.11.28 단락 [0032]-[0083], [0161]-[0201] 및 도면 1-5, 18-28 참조.	1-4,6-16
A		5,17-20
Y	KR 10-2013-0092930 A (에스케이하이닉스 주식회사) 2013.08.21 단락 [0041]-[0091] 및 도면 1-5 참조.	1-4,6-16
A	KR 10-2012-0123584 A (마이크론 테크놀로지, 인크) 2012.11.08 단락 [0016]-[0051] 및 도면 2a-14 참조.	1-20
A	US 2005-0001232 A1 (ARUP BHATTACHARYYA) 2005.01.06 단락 [0043]-[0083] 및 도면 1A-8 참조.	1-20
A	US 2005-0247962 A1 (ARUP BHATTACHARYYA) 2005.11.10 단락 [0025]-[0029] 및 도면 4-7 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2018년 01월 11일 (11.01.2018)	2018년 01월 11일 (11.01.2018)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
김연경
전화번호 +82-42-481-3325

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/010325

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2013-0314986 A1	2013/11/28	TW 201241928 A	2012/10/16
		TW I471941 B	2015/02/01
		US 2012-0228629 A1	2012/09/13
		US 2016-0078917 A1	2016/03/17
		US 8519431 B2	2013/08/27
		US 9361966 B2	2016/06/07
		US 9691465 B2	2017/06/27
		WO 2012-121845 A2	2012/09/13
		WO 2012-121845 A3	2012/11/22
KR 10-2013-0092930 A	2013/08/21	CN 103247655 A	2013/08/14
		CN 103247655 B	2017/07/07
		US 2013-0223124 A1	2013/08/29
		US 2015-0255717 A1	2015/09/10
		US 9064564 B2	2015/06/23
		US 9356236 B2	2016/05/31
KR 10-2012-0123584 A	2012/11/08	CN 102782848 A	2012/11/14
		CN 102782848 B	2015/10/14
		JP 2013-521649 A	2013/06/10
		JP 5578454 B2	2014/08/27
		SG 183451 A1	2012/09/27
		TW 201203539 A	2012/01/16
		TW I482278 B	2015/04/21
		US 2011-0215371 A1	2011/09/08
		US 2013-0011974 A1	2013/01/10
		US 2013-0323887 A1	2013/12/05
		US 2015-0179649 A1	2015/06/25
		US 8288795 B2	2012/10/16
		US 8524543 B2	2013/09/03
		US 8980699 B2	2015/03/17
		US 9343462 B2	2016/05/17
		WO 2011-109147 A2	2011/09/09
		WO 2011-109147 A3	2011/11/24
US 2005-0001232 A1	2005/01/06	US 2006-0244007 A1	2006/11/02
		US 2006-0245244 A1	2006/11/02
		US 2006-0246653 A1	2006/11/02
		US 2012-0139004 A1	2012/06/07
		US 7660144 B2	2010/02/09
		US 7728350 B2	2010/06/01
		US 7968402 B2	2011/06/28
		US 8125003 B2	2012/02/28
US 2005-0247962 A1	2005/11/10	AT 527660 T	2011/10/15
		CN 1981344 A	2007/06/13
		CN 1981344 B	2012/05/30
		EP 1743339 A2	2007/01/17
		EP 1743339 B1	2011/10/05

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/010325

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		JP 2007-536737 A	2007/12/13
		JP 4915592 B2	2012/04/11
		KR 10-0887866 B1	2009/03/06
		KR 10-2007-0005716 A	2007/01/10
		US 7224002 B2	2007/05/29
		WO 2005-114742 A2	2005/12/01
		WO 2005-114742 A3	2006/06/15
		WO 2005-114742 B1	2006/08/17