



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201218272 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：100121637

(22)申請日：中華民國 100 (2011) 年 06 月 21 日

(51)Int. Cl. : *H01L21/31 (2006.01)*

H01L21/336 (2006.01)

(30)優先權：2010/06/29 日本

2010-148074

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：小松立 KOMATSU, RYU (JP)；神保安弘 JINBO, YASUHIRO (JP)；宮入秀和
MIYAIRI, HIDEKAZU (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：24 項 圖式數：17 共 93 頁

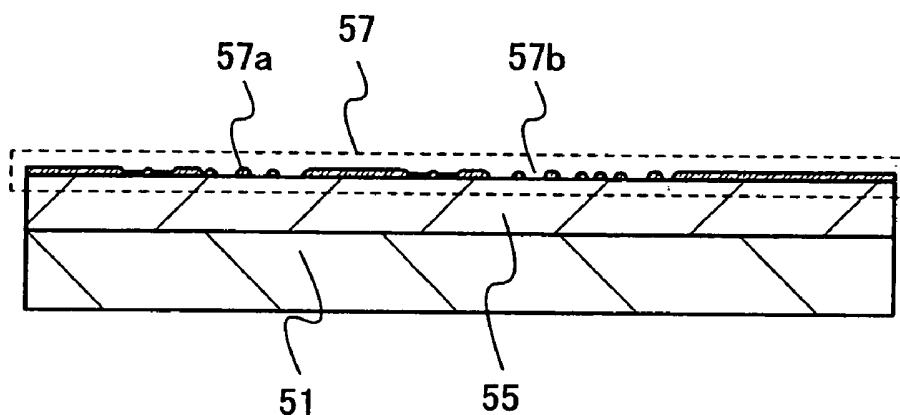
(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

本發明的一個方式提供一種以高生產率製造電特性優良的半導體裝置的方法。在第一條件下形成以低微粒密度具有高結晶性的混合相微粒的種子，然後在第二條件下以使混合相微粒生長來填埋混合相微粒之間的空隙的方式在種子上層疊形成微晶半導體膜。在第一條件中，將氫流量設定為含有矽或鍺的沉積氣體流量的 50 倍以上且 1000 倍以下來稀釋沉積氣體，並且將處理室內的壓力設定為 67Pa 以上且 1333Pa 以下。在第二條件中，使含有矽或鍺的沉積氣體與氫的流量比週期性地增減並將其供應到處理室內，並且將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下。



51：基板

55：絕緣膜

57：種子

57a：混合相微粒

57b：空隙



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201218272 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：100121637

(22)申請日：中華民國 100 (2011) 年 06 月 21 日

(51)Int. Cl. : *H01L21/31 (2006.01)*

H01L21/336 (2006.01)

(30)優先權：2010/06/29 日本

2010-148074

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：小松立 KOMATSU, RYU (JP)；神保安弘 JINBO, YASUHIRO (JP)；宮入秀和
MIYAIRI, HIDEKAZU (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：24 項 圖式數：17 共 93 頁

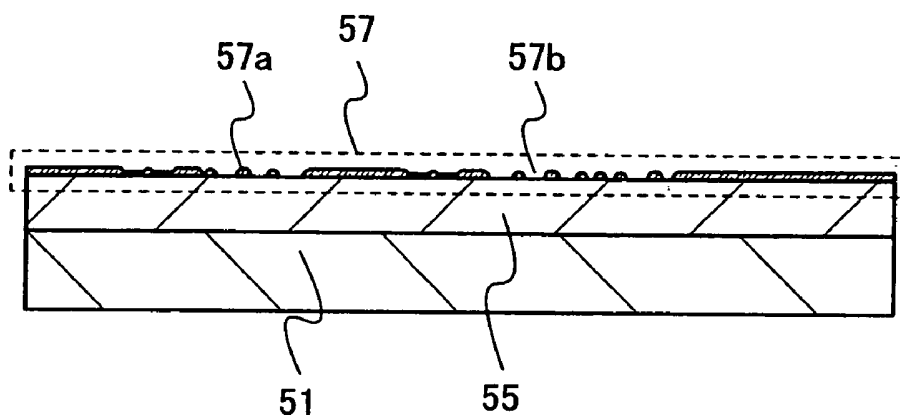
(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

本發明的一個方式提供一種以高生產率製造電特性優良的半導體裝置的方法。在第一條件下形成以低微粒密度具有高結晶性的混合相微粒的種子，然後在第二條件下以使混合相微粒生長來填埋混合相微粒之間的空隙的方式在種子上層疊形成微晶半導體膜。在第一條件中，將氫流量設定為含有矽或鍺的沉積氣體流量的 50 倍以上且 1000 倍以下來稀釋沉積氣體，並且將處理室內的壓力設定為 67Pa 以上且 1333Pa 以下。在第二條件中，使含有矽或鍺的沉積氣體與氫的流量比週期性地增減並將其供應到處理室內，並且將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下。



51：基板

55：絕緣膜

57：種子

57a：混合相微粒

57b：空隙

六、發明說明：

【發明所屬之技術領域】

本發明關於一種微晶半導體膜的製造方法以及使用該微晶半導體膜的半導體裝置的製造方法及顯示裝置。

另外，本說明書中的半導體裝置指的是藉由利用半導體特性能夠工作的所有裝置，因此顯示裝置、電光裝置、光電轉換裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

作為場效應電晶體的一種，已知使用形成在具有絕緣表面的基板上的半導體膜來形成通道區的薄膜電晶體。已公開了作為用於薄膜電晶體的通道區的半導體膜，使用非晶矽、微晶矽及多晶矽的技術（參照專利文獻 1 至 5）。薄膜電晶體的典型應用例是液晶電視裝置，其中將薄膜電晶體應用於構成顯示畫面的各像素的開關電晶體。

此外，正在進行如下光電轉換裝置的開發，在該光電轉換裝置中，將作為藉由電漿 CVD 法可以製造的結晶矽的微晶矽用於進行光電轉換的半導體膜。（例如，參照專利文獻 6）。

[專利文獻 1] 日本專利申請公開第 2001-053283 號公報

[專利文獻 2] 日本專利申請公開平第 5-129608 號公報

[專利文獻 3] 日本專利申請公開 2005-049832 號公報

[專利文獻 4] 日本專利申請公開平第 7-131030 號公報

[專利文獻 5] 日本專利申請公開第 2005-191546 號公報

[專利文獻 6] 日本專利申請公開第 2000-277439 號公報

使用非晶矽膜形成通道區的薄膜電晶體有場效應遷移率及導通電流低的問題。另一方面，使用微晶矽膜形成通道區的薄膜電晶體有如下問題，即雖然其場效應遷移率比使用非晶矽膜形成通道區的薄膜電晶體的場效應遷移率高，但是截止電流增高，因此不能得到充分的開關特性。

多晶矽膜成爲通道區的薄膜電晶體具有諸如其場效應遷移率比上述兩種薄膜電晶體高得多而可以得到高導通電流等的特性。該薄膜電晶體由於該特性而不但能夠用作設置在像素中的開關用電晶體，而且還能夠構成被要求高速工作的驅動器電路。

然而，使用多晶矽膜形成通道區的薄膜電晶體的製造製程具有與製造使用非晶矽膜形成通道區的薄膜電晶體的情況相比，需要半導體膜的晶化製程而製造成本增大的問題。例如，多晶矽膜的製造所需的雷射退火技術有由於雷射光束的照射面積小而不能高效地生產大螢幕液晶面板等的問題。

用於製造顯示面板的玻璃基板的大面積化如第 3 代 (550mm×650mm) 、第 3.5 代 (600mm×720mm 或 620mm×750mm) 、第 4 代 (680mm×880mm 或 730mm×920mm) 、第 5 代 (1100mm×1300mm) 、第 6 代 (1500mm×1850mm) 、第 7 代 (1870mm×2200mm) 、第 8 代 (2200mm×2400mm) 、第 9 代 (2400mm×2800mm) 、第 10 代 (2950mm×3400mm) 那樣進展。玻璃基板的大型化基於最低成本設計的概念。

另一方面，仍未確立可以以高生產率將能夠進行高速工作的薄膜電晶體製造在如第 10 代 (2950mm×3400mm) 那樣的大面積母玻璃基板上的技術，這在業界為一個問題。

【發明內容】

於是，本發明的一個方式的目的之一是提供一種以高生產率製造電特性優良的半導體裝置的方法。

本發明的一個方式的要旨是：在第一條件下形成以低微粒密度具有高結晶性的混合相微粒的種子，然後在第二條件下使混合相微粒生長而以填埋混合相微粒的空隙的方式形成微晶半導體膜。

在以低微粒密度供應具有高結晶性的混合相微粒的第一條件中，將氫流量設定為含有矽或鍺的沉積氣體流量的 50 倍以上且 1000 倍以下來稀釋沉積氣體，並且將處理室內的壓力設定為 67Pa 以上且 1333Pa 以下。在使混合相微

粒生長來填埋混合相微粒的空隙的第二條件中，使含有矽或銻的沉積氣體與氫的流量比週期性地增減，並將其供應到處理室內，並且將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下。

本發明的一個方式是一種微晶半導體膜的製造方法，包括如下步驟：在第一條件下，藉由電漿 CVD 法形成具有包括非晶矽區和可以視為單晶的雜晶的混合相微粒的種子；以及在第二條件下，藉由電漿 CVD 法在種子上形成微晶半導體膜，其中，在第一條件中，將含有矽或銻的沉積氣體及含有氫的氣體用作供應到處理室內的原料氣體，將氫流量設定為沉積氣體流量的 50 倍以上且 1000 倍以下來稀釋沉積氣體，並且將處理室內的壓力設定為 67Pa 以上且 1333Pa 以下。另外，在第二條件中，使含有矽或銻的沉積氣體與氫的流量比週期性地增減，並將其供應到處理室內，並且將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下。

另外，在上述第二條件中，使含有矽或銻的沉積氣體與氫的流量比週期性地增減是指使含有矽或銻的沉積氣體或氫的流量週期性地增減。當相對於含有矽或銻的沉積氣體的氫的流量比低時，微晶半導體的結晶生長佔優勢。當相對於含有矽或銻的沉積氣體的氫的流量比高時，非晶半導體的蝕刻佔優勢。作為相對於含有矽或銻的沉積氣體的氫的流量比低的情況，藉由將氫流量設定為沉積氣體流量的 100 倍以上且 2000 倍以下，可以優先發生微晶半導體

的結晶生長。

另外，種子包括混合相微粒分散的狀態、混合相微粒連續的狀態（即，膜狀）。另外，較佳的是根據相對於含有矽或鍺的沉積氣體流量的氫流量的比率而適當地選擇生成電漿的功率。

此外，在本發明的一個方式中，在上述第二條件下形成微晶半導體膜，然後在第三條件下藉由電漿 CVD 法在微晶半導體膜上形成第二微晶半導體膜。第三條件可以為如下條件，即將含有矽或鍺的沉積氣體及含有氫的氣體用作供應到處理室內的原料氣體，使相對於沉積氣體流量的氫流量的比率高於上述第二條件而稀釋沉積氣體，並且將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下。

此外，在本發明的一個方式中，也可以對用於上述第一條件、上述第二條件和上述第三條件中的至少一個的原料氣體添加稀有氣體。

在本發明的一個方式中，在第一條件下藉由電漿 CVD 法在絕緣膜上形成以低密度包括具有高結晶性的混合相微粒的種子，並且在第二條件下使混合相微粒的結晶生長來填埋種子的空隙從而藉由電漿 CVD 法形成微晶半導體膜。

另外，本發明的一個方式是一種半導體裝置的製造方法，該半導體裝置包括使用上述種子及微晶半導體膜形成通道區的薄膜電晶體。

此外，本發明的一個方式是一種光電轉換裝置的製造

方法，其中將上述種子及微晶半導體膜用於呈現 p 型的半導體膜、呈現 n 型的半導體膜和進行光電轉換的半導體膜中的一個以上。

藉由應用本發明的一個方式，可以製造結晶性高的微晶半導體膜。此外，可以以高生產率製造電特性優良的半導體裝置。

【實施方式】

下面將參照附圖說明本發明的實施方式。但是，本發明並不侷限於以下說明。這是因為所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式和詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式的緣故。因此，本發明不應當被解釋為侷限於下面所示的實施方式及實施例的記載內容。注意，當參照附圖說明本發明結構時，在不同的圖式中也共同使用相同的圖式標記來表示相同的部分。

實施方式 1

在本實施方式中，參照圖 1A 和 1B 以及圖 2 說明密度高且結晶性高的微晶半導體膜的製造方法。

如圖 1A 所示，在基板 51 上形成絕緣膜 55，並且在絕緣膜 55 上形成種子 57。

作為基板 51，除了玻璃基板、陶瓷基板以外，可以使用具有可以承受本製造製程中的處理溫度的耐熱性的塑

膠基板等。此外，在基板不需要具有透光性的情況下，也可以使用在不鏽鋼等的金屬基板表面上設置絕緣膜的基板。作為玻璃基板，例如較佳的是使用如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等的無鹼玻璃基板。注意，對基板 51 的尺寸沒有限制，例如可以使用常用在上述平板顯示器領域的第 3 代至第 10 代玻璃基板。

絕緣膜 55 可以藉由 CVD 法或濺射法等使用氧化矽膜、氧氮化矽膜、氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氮氧化鋁膜的單層或疊層形成。

注意，在此，氧氮化矽指的是在其組成上氧含量多於氮含量的物質，並較佳的是在藉由盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）及氫前方散射法（HFS：Hydrogen Forward Scattering Spectrometry）進行測量時，作為組成範圍含有 50at.% 至 70at.% 的氧；0.5at.% 至 15at.% 的氮；25at.% 至 35at.% 的矽；以及 0.1at.% 至 10at.% 的氫。此外，氮氧化矽指的是在其組成上氮含量多於氧含量的物質，並較佳的是在藉由 RBS 和 HFS 進行測量時，作為組成範圍含有 5at.% 至 30at.% 的氧；20at.% 至 55at.% 的氮；25at.% 至 35at.% 的矽；以及 10at.% 至 30at.% 的氫。注意，在將構成氧氮化矽或氮氧化矽的原子的總計設定為 100at.% 時，氮、氧、矽和氫的含有比率包括在上述範圍內。

使用微晶半導體膜，典型的是微晶矽膜、微晶矽鍺膜、微晶鍺膜等形成種子 57。種子 57 包括多個混合相微粒

分散的狀態、混合相微粒連續的膜的狀態或混合相微粒及非晶半導體連續的膜的狀態。因此，種子 57 還包括混合相微粒 57a、非晶半導體不鄰近，且在混合相微粒 57a 之間具有空隙 57b 的狀態。再者，其特徵為以低微粒密度（種子內的混合相微粒的存在比率）具有高結晶性的混合相微粒。另外，混合相微粒具有非晶半導體區和可以視為單晶的雜晶。此外，混合相微粒有時具有雙晶。

在電漿 CVD 設備的處理室中，使用以低微粒密度形成結晶性高的混合相微粒的第一條件，將含有矽或鍺的沉積氣體和氫混合，並利用輝光放電電漿來形成種子 57。或者，將含有矽或鍺的沉積氣體、氫、稀有氣體諸如氦、氬、氖、氬、氙等混合，並利用輝光放電電漿來形成種子 57。在此，在將氫流量設定為含有矽或鍺的沉積氣體流量的 50 倍以上且 1000 倍以下來稀釋沉積氣體，並將處理室內的壓力設定為 67Pa 以上且 1333Pa 以下（0.5Torr 以上且 10Torr 以下）的第一條件下，形成微晶矽、微晶矽鍺、微晶鍺等。較佳的是將此時的沉積溫度設定為室溫至 300℃，更佳地設定為 150℃ 至 280℃。另外，將上部電極及下部電極之間的間隔設定為可以產生電漿的間隔，即可。藉由使用第一條件進行形成，促進結晶生長，且提高包括在種子 57 中的混合相微粒 57a 的結晶性。換言之，包括在種子 57 中的混合相微粒 57a 所包含的雜晶的尺寸增大。此外，在彼此鄰近的混合相微粒 57a 之間產生空隙 57b，而混合相微粒 57a 的微粒密度降低。

作為含有矽或鍺的沉積氣體的典型例子，有 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等。

藉由對種子 57 的原料氣體添加氦、氖、氬、氪、氙等的稀有氣體，種子 57 的沈積速度增高。其結果，因為沈積速度的增高而使混入到種子 57 中的雜質量減少，所以可以提高種子 57 的結晶性。此外，藉由作為種子 57 的原料氣體使用氦、氬、氖、氪、氙等的稀有氣體，即使不供應高功率也可以產生穩定的電漿，所以可以降低種子 57 的電漿損傷，而可以提高混合相微粒 57a 的結晶性。

當形成種子 57 時，藉由施加 3MHz 至 30MHz，典型的為 HF 頻帶中的 13.56MHz、27.12MHz 的高頻電力或者施加 VHF 頻帶中的大於 30MHz 至 300MHz 左右的高頻電力，典型的為 60MHz 的高頻電力，來生成輝光放電電漿。此外，藉由施加 1GHz 以上的微波的高頻電力來生成輝光放電電漿。另外，可以進行以脈衝狀施加高頻電力的脈衝振盪或連續地施加高頻電力的連續振盪。此外，藉由使 HF 頻帶的高頻電力與 VHF 頻帶的高頻電力重疊，可以在大面積基板上也減少電漿的不均勻性而提高均勻性，並且可以提高沉積速度。

如上所述，藉由增加相對於含有矽或鍺的沉積氣體流量的氬流量，在種子 57 的沉積的同時發生包括在種子 57 中的非晶半導體的蝕刻，從而形成結晶性高的混合相微粒 57a 且在彼此鄰近的混合相微粒 57a 之間產生空隙 57b。雖然根據裝置結構及膜表面的化學狀態而最適合的條件不

同，但是當混合相微粒 57a 幾乎不沉積時，降低上述相對於含有矽或鍺的沉積氣體流量的氫流量比率，或者減少 RF 電力，即可。另一方面，當混合相微粒 57a 的微粒密度高時或當非晶半導體區比結晶半導體區多時，增大上述相對於含有矽或鍺的沉積氣體流量的氫流量的比率，或者增大 RF 電力，即可。可以利用 SEM (Scanning Electron Microscopy : 掃描電子顯微鏡) 及拉曼光譜法對種子 57 的沉積情況進行評價。根據上述流量比及處理室中的壓力條件，可以形成具有優良的結晶性且確保混合相微粒之間的適當的空隙的種子 57。其結果是，因為在對包括在種子 57 中的非晶半導體區進行蝕刻的同時形成混合相微粒 57a，所以促進結晶生長，而提高混合相微粒 57a 的結晶性，即，包括在混合相微粒 57a 中的雜晶的尺寸增大。此外，由於彼此鄰近的混合相微粒 57a 之間的非晶半導體區被蝕刻，因此彼此鄰近的混合相微粒 57a 彼此具有空隙 57b，由此以低微粒密度形成混合相微粒 57a。另外，當在本實施方式中的第一條件下形成種子 57 時，有時會發生混合相微粒的粒徑的不均。

另外，藉由在形成種子 57 之前，排出 CVD 設備的處理室內的氣體並將含有矽或鍺的沉積氣體導入到處理室內來去除處理室內的雜質元素，可以減少種子 57 中的雜質量。另外，藉由在形成種子 57 之前，在氟、氟化氫、氟化矽烷等的含有氟的氣圍中產生電漿，使絕緣膜 55 暴露於氟電漿，而可以形成緻密的種子 57。

接著，如圖 1B 所示，在種子 57 上形成微晶半導體膜 59。微晶半導體膜 59 在使種子 57 的結晶生長來填埋混合相微粒的空隙的條件下形成。另外，較佳的是微晶半導體膜 59 的厚度為 30nm 以上且 100nm 以下。

在電漿 CVD 設備的處理室中，在第二條件下將含有矽或銻的沉積氣體和氫混合並利用輝光放電電漿來形成微晶半導體膜 59。或者，對第二條件的原料氣體混合稀有氣體諸如氮、氬、氖、氫、氙等並利用輝光放電電漿來形成微晶半導體膜 59。此處，第二條件是在使含有矽或銻的沉積氣體的流量比與氫的流量比週期性地增減，且將處理室中的壓力設定為 1333Pa 以上且 13332Pa 以下（10Torr 以上且 100Torr 以下）。

使含有矽或銻的沉積氣體與氫的流量比週期性地增減是指使含有矽或銻的沉積氣體或氫的流量週期性地增減。當相對於含有矽或銻的沉積氣體的氫的流量比低時，典型地，藉由將相對於沉積氣體流量的氫流量設定為 100 倍以上且 2000 倍以下，而優先發生微晶半導體的結晶生長。另一方面，當相對於含有矽或銻的沉積氣體的氫的流量比高時，優先發生非晶半導體的蝕刻。

藉由上述第二條件形成微晶矽、微晶矽銻、微晶銻等。其結果，在微晶半導體膜 59 中，在相對於非晶半導體區的結晶區的比例增高的同時，結晶區之間緊密性也增高，而結晶性得到提高。較佳的是將此時的沉積溫度設定為室溫至 300℃，更佳地設定為 150℃ 至 280℃。另外，將

上部電極及下部電極之間的時間設定為可以產生電漿的間隔，即可。

當形成微晶半導體膜 59 時，可以適當地使用種子 57 的條件生成輝光放電電漿。另外，藉由作為形成種子 57 及微晶半導體膜 59 時的輝光放電等離子的生成使用相同的條件來可以提高處理量，但是也可以使用不同的條件。

在此，使用圖 2 對使含有矽或銻的沉積氣體與氫的流量比週期性地增減的方法進行說明。圖 2 是時序圖，該時序圖示出本實施方式所示的微晶半導體膜的形成方法中的原料氣體及供給到裝置的電力的隨時間的變化。另外，在圖 2 中，實線 71 示出電漿 CVD 設備的電源的導通截止狀態，實線 73 示出氫的流量，實線 75 示出含有矽或銻的沉積氣體（在圖 2 中是矽烷）的流量，並且實線 79 示出稀有氣體（在圖 2 中是氬）的流量。

將作為原料氣體的含有矽或銻的沉積氣體和氫導入於電漿 CVD 設備的處理室中，並且將處理室設定為所定的壓力。另外，將基板 51 的溫度設定為所定的溫度。此時，氫以一定流量（在圖 2 中是流量 a）導入於處理室中。

接著，將高頻電源的電源設定為 ON，進行電漿放電。以使含有矽或銻的沉積氣體的流量週期性地增減的方式將其導入於處理室中。在此，將使含有矽或銻的沉積氣體與氫的流量比週期性地增減的工作稱為迴圈流動。在本實施方式中，反復第一週期和第二週期。在第一週期中，在將電力設定為 ON 之後，使流量 c 的含有矽或銻的沉積氣

體流過 t_1 秒。在第二週期中，在將電力設定為 ON 之後，使流量 b ($b < c$) 的含有矽或鍺的沉積氣體流過 t_2 秒。第二週期的含有矽或鍺的沉積氣體的流量比第一週期少，因此第二週期的相對於含有矽或鍺的沉積氣體的氫的流量比大於第一週期的相對於含有矽或鍺的沉積氣體的氫的流量比。在第一週期中，當將相對於沉積氣體的流量的氫的流量設定為 100 倍以上且 2000 倍以下時，由於後面的電漿放電而優先發生微晶半導體的結晶生長，而在第二週期中，優先發生非晶半導體的蝕刻。

另外，高頻電源也可以如虛線 72 所示反復導通和截止。

在電漿中，與氫自由基一起也形成由含有矽或鍺的沉積氣體生成的自由基。當將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下（10Torr 以上且 100Torr 以下）時，因為處理室內的壓力高，所以沉積氣體的平均自由程短，氫自由基及氫離子每次碰撞都失掉能量，因此到了氫自由基及氫離子到達種子 57 的時候，氫自由基或氫離子的能量變低。由此，在形成於種子 57 中的混合相微粒之間，結晶生長優先於蝕刻作用，微晶半導體沉積，因此結晶區之間變得緊密，而微晶半導體膜的密度得到提高。另外，當將處理室內設定為上述壓力時，離子或自由基的能量降低，因此對微晶半導體膜的電漿損傷降低，而這有助於缺陷降低。

在含有矽或鍺的沉積氣體的流量少的第二週期（在圖

2 中是流量 b) 中，當將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下 (10Torr 以上且 100Torr 以下) 時，因為處理室內的壓力高，所以在電漿中離解的氫自由基對含有在以第一條件形成的種子 57 中的非晶半導體選擇性地進行蝕刻。另外，因為由含有矽或鍺的沉積氣體生成的微量的自由基 (典型為甲矽烷基自由基) 與沉積表面的微晶半導體的懸空鍵結合，所以發生結晶性高的結晶生長。即，因為與選擇性的蝕刻一起發生結晶生長，所以微晶半導體膜的結晶性變高。

另外，在含有矽或鍺的沉積氣體的流量多的第一週期 (在圖 2 中是流量 c) 中，因為與流量 b 的第二週期相比，有更多個由含有矽或鍺的沉積氣體生成的自由基，所以發生結晶生長。微晶半導體膜包括多個混合相微粒。藉由本實施方式所示的微晶半導體膜的形成方法，可以使混合相微粒的尺寸大，所以可以提高微晶半導體膜的結晶性。另外，有助於微晶半導體膜 59 的缺陷降低。

另外，由於當在種子的混合相微粒的空隙中發生新的微晶半導體膜的混合相微粒時，混合相微粒的尺寸變小，所以較佳的是微晶半導體膜的混合相微粒的發生頻度比種子的混合相微粒的發生頻率低。其結果，可以優先發生該種子的結晶生長。

另外，雖然在首先採用將含有矽或鍺的沉積氣體的流量設定為流量 c 的第一週期之後採用將流量設定為流量 b 的第二週期，但是也可以在首先採用使流量 b 的含有矽或

銻的沉積氣體流過的第二週期之後採用將流量設定為流量 c 的第一週期。另外， t_1 的長度既可以與 t_2 的長度不同，又可以與 t_2 的長度相同。另外，較佳的是 t_1 及 t_2 為幾秒至幾十秒。如果 t_1 及 t_2 為幾分鐘，就例如在 t_1 中形成結晶性低的幾 nm 的微晶半導體膜，並且之後在 t_2 中只有微晶半導體膜的表面起反應，難以提高微晶半導體膜內部的結晶性。

另外，雖然在此作為第一週期，即，使流量 c 的含有矽或銻的沉積氣體流過的時間，都採用 t_1 秒，但是也可以採用不同的時間。另外，雖然作為第二週期，即，使流量 b ($b < c$) 的含有矽或銻的沉積氣體流過的時間，都採用 t_2 秒，但是也可以採用不同的時間。

此外，雖然如圖 2 的實線 79 所示，不將氦、氬、氖、氫、氙等的稀有氣體導入到處理室中，但是也可以如虛線 77 所示，將稀有氣體導入到處理室中。或者，也可以使稀有氣體週期性地增減並將其導入到處理室中。

另外，雖然在此將氬的流量設定為一定，但是只要是微晶半導體的形成所需的氬量，也可以改變流量。此外，也可以將含有矽或銻的沉積氣體設定為一定流量，並使氬流量週期性地增減。

此外，藉由在開啓高頻電源的狀態下改變原料氣體的流量，可以提高微晶半導體膜的沉積速度。

另外，也可以在將通向處理室的含有矽或銻的沉積氣體的流量設定為 c 之後，即在第一週期之後，切斷高頻電

源。或者，也可以將通向處理室的含有矽或鍺的沉積氣體的流量設定為 b 之後，即在第二週期之後，切斷高頻電源。

藉由上述製程，可以形成結晶性高的微晶半導體膜。

另外，較佳的是種子 57 的厚度為 1nm 以上且 10nm 以下。當種子 57 的厚度為厚於 10nm 時，即使微晶半導體膜 59 沉積，也難以填埋混合相微粒之間的空隙，並難以對包括在種子 57 的內部的非晶半導體進行蝕刻，而種子 57 及微晶半導體膜 59 的結晶性降低。另一方面，因為種子 57 需要形成有混合相微粒，所以較佳的是種子 57 的厚度為 1nm 以上。

另外，較佳的是微晶半導體膜 59 的厚度是 30nm 以上且 100nm 以下。藉由將微晶半導體膜 59 的厚度設定為 30nm 以上，可以降低薄膜電晶體的電特性的不均勻性。另外，藉由將微晶半導體膜 59 的厚度設定為 100nm 以下，可以提高處理量且抑制因應力而發生的膜剝離。

種子 57 及微晶半導體膜 59 具有微晶半導體。微晶半導體是具有非晶和晶體結構（包括單晶、多晶）之間的中間結構的半導體。微晶半導體是具有在自由能方面穩定的第三狀態的半導體，並且是具有短程有序和晶格畸變的晶體半導體，其中其直徑為 2nm 以上且 200nm 以下，較佳的為 10nm 以上且 80nm 以下，更佳的為 20nm 以上且 50nm 以下的柱狀或針狀混合相微粒相對於基板表面沿法線方向生長。因此，柱狀或針狀混合相微粒的介面有時形

成有晶界。注意，在此所述的晶粒直徑是指與基板表面平行的面中的晶粒的最大直徑。

作為微晶半導體的典型例子的微晶矽的拉曼光譜移到比表示單晶矽的 520cm^{-1} 低的波數側。就是說，微晶矽的拉曼光譜的峰值位於表示單晶矽的 520cm^{-1} 和表示非晶矽的 480cm^{-1} 之間。另外，為了終結懸空鍵，至少包括 1at.% 以上的氫或鹵素。再者，藉由使其含有氦、氬、氖、氫、氙等稀有氣體元素來進一步促進晶格畸變，可以得到穩定性增高的良好的微晶半導體。例如美國專利 No.4409134 公開了關於這種微晶半導體的記載。

根據本實施方式可以形成藉由降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜。

實施方式 2

在本實施方式中參照圖 1A 至 3 對與實施方式 1 相比結晶性高的微晶半導體膜的製造方法進行說明。

與實施方式 1 同樣，經過圖 1A 和 1B 的製程形成種子 57 及微晶半導體膜 59。

接著，如圖 3 所示，在微晶半導體膜 59 上形成第二微晶半導體膜 61。

在電漿 CVD 設備的處理室內，在第三條件下將含有矽或鍺的沉積氣體與氫混合，並利用輝光放電電漿，來形成第二微晶半導體膜 61。或者，根據第三條件將含有矽或鍺的沉積氣體、氫和氦、氬、氖、氫、氙等的稀有氣體

混合，並利用輝光放電電漿來形成第二微晶半導體膜 61。根據使相對於含有矽或銻的沉積氣體流量的氫流量的比率高於上述第二條件而稀釋沉積氣體，並將處理室內的壓力設定為與第二條件相同的 1333Pa 以上且 13332Pa 以下（10Torr 以上且 100Torr 以下）的第三條件，形成微晶矽、微晶矽銻、微晶銻等，而用作第二微晶半導體膜 61。較佳的是將此時的沉積溫度設定為室溫至 300℃，更佳地設定為 150℃ 至 280℃。

此外，在第三條件中，也可以與第二條件同樣使含有矽或銻的沉積氣體與氫的流量比週期性地增減，並且將處理室內的壓力設定為 1333Pa 以上且 13332Pa 以下（10Torr 以上且 100Torr 以下）。此時，藉由使第三條件下的相對於含有矽或銻的沉積氣體的氫的流量比低時的流量比高於第二條件下的相對於含有矽或銻的沉積氣體的氫的流量比低時的流量比，可以進一步提高第二微晶半導體膜 61 的結晶性。

藉由使相對於含有矽或銻的沉積氣體流量的氫流量的比率比上述第二條件高，可以進一步提高第二微晶半導體膜 61 的結晶性，從而與實施方式 1 相比，可以在表面上形成結晶性高的微晶半導體膜。

實施方式 3

在本實施方式中，參照圖 4A 至圖 7D 說明形成在本發明的一個方式的半導體裝置中的薄膜電晶體的製造方法

。注意，n 型薄膜電晶體的載子遷移率比 p 型薄膜電晶體的載子遷移率高。此外，藉由使形成在同一基板之上的所有薄膜電晶體的極性相同，可以抑制製程數，所以是較佳的。因此，在本實施方式中說明 n 型薄膜電晶體的製造方法。

注意，導通電流是指當薄膜電晶體處於導通狀態時流過源極電極和汲極電極之間的電流。例如，在 n 型薄膜電晶體中，導通電流是指當閘極電壓高於電晶體的臨界值電壓時流過源極電極和汲極電極之間的電流。

此外，截止電流是指當薄膜電晶體處於截止狀態時流過源極電極和汲極電極之間的電流。例如，在 n 型薄膜電晶體中，截止電流是指當閘極電壓低於薄膜電晶體的臨界值電壓時流過源極電極和汲極電極之間的電流。

如圖 4A 所示，在基板 101 上形成閘極電極 103。接著，形成覆蓋閘極電極 103（也稱為第一閘極電極）的閘極絕緣膜 105，並且在閘極絕緣膜 105 上形成種子 107。

作為基板 101，可以適當地使用實施方式 1 所示的基板 51。

閘極電極 103 可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、銦、鎳等金屬材料或者以這些材料為主要成分的合金材料的單層或疊層來形成。此外，也可以使用以摻雜有磷等的雜質元素的多晶矽為代表的半導體、AgPdCu 合金、Al-Nd 合金、Al-Ni 合金等。

例如，作為閘極電極 103 的兩層的疊層結構，較佳的

是採用如下結構：在鋁膜上層疊鉬膜的兩層結構；在銅膜上層疊鉬膜的兩層結構；在銅膜上層疊氮化鈦膜或氮化鉬膜的兩層結構；層疊氮化鈦膜和鉬膜的兩層結構；層疊含有氧的銅-鎂-合金膜和銅膜的兩層結構；層疊含有氧的銅-錳-合金膜和銅膜的兩層結構；層疊銅-錳-合金膜和銅膜的兩層結構等。作為三層的疊層結構，較佳的是採用層疊鎢膜或氮化鎢膜、鋁與矽的合金膜或鋁與鈦的合金膜和氮化鈦膜或鈦膜的三層結構。藉由在低電阻膜上層疊用作阻擋層的金屬膜，可以降低電阻，且可以防止金屬元素從金屬膜擴散到半導體膜中。

閘極電極 103 可以藉由如下步驟形成：在基板 101 上藉由濺射法或真空蒸鍍法使用上述材料形成導電膜，藉由光刻法或噴墨法等該導電膜上形成掩模，並且使用該掩模蝕刻導電膜。此外，閘極電極 103 還可以藉由如下步驟形成：藉由噴墨法將銀、金或銅等的導電奈米膏噴出到基板上，並進行焙燒。此外，也可以將上述金屬材料的氮化物膜設置在基板 101 和閘極電極 103 之間，以提高閘極電極 103 與基板 101 之間的黏附性。在此，在基板 101 上形成導電膜，並且使用藉由光刻製程形成的抗蝕劑形成的掩模來蝕刻該導電膜。

另外，較佳的是將閘極電極 103 的側面形成為錐形狀。這是因為如下緣故：避免在後面的製程中形成在閘極電極 103 上的絕緣膜、半導體膜及佈線在閘極電極 103 的臺階部分被切斷。為了將閘極電極 103 的側面形成為錐形狀

，邊使由抗蝕劑形成的掩模縮退邊進行蝕刻，即可。

此外，藉由形成閘極電極 103 的製程，也可以同時形成閘極佈線（掃描線）及電容佈線。注意，掃描線是指選擇像素的佈線，而電容佈線是指與像素的儲存電容中的一方的電極連接的佈線。但是，不侷限於此，而也可以分別設置閘極佈線和電容佈線中的一方或兩者與閘極電極 103。

閘極絕緣膜 105 可以適當地使用實施方式 1 所示的絕緣膜 55 來形成。此外，藉由使用氧化矽或氮化矽等的氧化絕緣膜形成閘極絕緣膜 105，可以降低薄膜電晶體的臨界值電壓的變動。

閘極絕緣膜 105 可以利用 CVD 法或濺射法等來形成。在藉由 CVD 法形成閘極絕緣膜 105 的製程中，可以適當地使用實施方式 1 所示的種子 57 的條件生成輝光放電電漿。此外，藉由使用高頻為 1GHz 以上的微波電漿 CVD 設備形成閘極絕緣膜 105，可以提高閘極電極與汲極電極及源極電極之間的耐壓，由此可以得到可靠性高的薄膜電晶體。

此外，藉由作為閘極絕緣膜 105，採用使用有機矽烷氣體的 CVD 法來形成氧化矽膜，而可以提高後面形成的半導體膜的結晶性，由此可以提高薄膜電晶體的導通電流及場效應遷移率。作為有機矽烷氣體，可以使用四乙氧基矽烷（TEOS：化學式為 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式為 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS

)、八甲基環四矽氧烷 (OMCTS)、六甲基二矽氮烷 (HMDS)、三乙氧基矽烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三二甲氨基矽烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等含矽化合物。

與實施方式 1 所示的種子 57 同樣，可以使用以低微粒密度形成高結晶性的混合相微粒的第一條件形成種子 107。

藉由對種子 107 的原料氣體添加氦、氬、氖、氪、氙等的稀有氣體，可以提高種子 107 的結晶性。由此，薄膜電晶體的導通電流及場效應遷移率得到提高，並且可以提高處理量。

接著，如圖 4B 所示，在種子 107 上形成微晶半導體膜 109。與實施方式 1 所示的微晶半導體膜 59 同樣地，可以使用使種子 107 的混合相微粒進行結晶生長來填埋空隙的第二條件形成微晶半導體膜 109。

藉由對微晶半導體膜 109 的原料氣體添加氦、氬、氖、氪、氙等的稀有氣體，與種子 107 同樣，可以提高微晶半導體膜 109 的結晶性。由此，薄膜電晶體的導通電流及場效應遷移率得到提高，並且可以提高處理量。

接著，如圖 4C 所示，在微晶半導體膜 109 上形成半導體膜 111。半導體膜 111 由微晶半導體區 111a 及非晶半導體區 111b 構成。接著，在半導體膜 111 上形成雜質半導體膜 113。接著，在雜質半導體膜 113 上形成由抗蝕劑形成的掩模 115。

可以在以微晶半導體膜 109 為種子來進行部分結晶生

長的條件（抑制結晶生長的條件）下形成具有微晶半導體區 111a 及非晶半導體區 111b 的半導體膜 111。

在電漿 CVD 設備的處理室中，將含有矽或銻的沉積氣體、氫和含有氮的氣體混合，並利用輝光放電電漿來形成半導體膜 111。作為含有氮的氣體，有氨、氮、氟化氮、氯化氮、氮胺、氟胺等。可以與種子 107 同樣地生成輝光放電電漿。

此時，藉由作為含有矽或銻的沉積氣體與氫的流量比，使用與種子 107 或微晶半導體膜 109 同樣的流量比，並採用將含有氮的氣體用於原料氣體的條件，與種子 107 及微晶半導體膜 109 的沉積條件相比，可以抑制結晶生長。具體來說，由於在半導體膜 111 的沉積初期中原料氣體含有含氮的氣體，所以結晶生長被部分抑制，在錐形狀的微晶半導體區生長的同時，形成非晶半導體區。再者，在沉積的中期或後期中錐形狀的微晶半導體區的結晶生長停止，而只有非晶半導體區沉積。其結果是，在半導體膜 111 中，可以形成微晶半導體區 111a 和非晶半導體區 111b，該非晶半導體區 111b 由缺陷少且價電子帶端的能階尾（tail）的斜率陡峭的秩序性高的半導體膜形成。

在此，形成半導體膜 111 的條件的典型例子為：相對於含有矽或銻的沉積氣體流量的氫流量為 10 倍至 2000 倍，較佳的為 10 倍至 200 倍。另外，形成通常的非晶半導體膜的條件的典型例子為：相對於含有矽或銻的沉積氣體流量的氫流量為 0 倍至 5 倍。

此外，藉由將氮、氬、氦、氙或氡等的稀有氣體導入到半導體膜 111 的原料氣體中，可以提高沈積速度。

較佳的是將半導體膜 111 的厚度設定為 50nm 至 350nm，更佳地設定為 120nm 至 250nm。

在此，圖 5A 和 5B 示出圖 4C 所示的閘極絕緣膜 105 和雜質半導體膜 113 之間的放大圖。

如圖 5A 所示，半導體膜 111 中的微晶半導體區 111a 具為凹凸形狀，凸部為其頭端從閘極絕緣膜 105 向非晶半導體區 111b 變窄（凸部的頭端為銳角）的凸狀（錐形狀）。另外，微晶半導體區 111a 的形狀也可以為其寬度從閘極絕緣膜 105 向非晶半導體區 111b 變寬的凸狀（倒錐形狀）。

藉由將種子 107、微晶半導體膜 109 及微晶半導體區 111a 的厚度，即從閘極絕緣膜 105 與種子 107 的介面到微晶半導體區 111a 的突起（凸部）的頭端的距離設定為 5nm 以上且 310nm 以下，可以減少薄膜電晶體的截止電流。

此外，藉由將利用二次離子質譜分析法測量的包含在半導體膜 111 中的氧濃度設定為低於 $1 \times 10^{18} \text{ atoms/cm}^3$ ，可以提高微晶半導體區 111a 的結晶性，所以是較佳的。另外，利用二次離子質譜分析法測量的半導體膜 111 的氮濃度分佈的峰值濃度為 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下，較佳的為 $2 \times 10^{20} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下。

非晶半導體區 111b 利用具有氮的非晶半導體形成。包含在具有氮的非晶半導體中的氮例如也可以為 NH 基或 NH₂ 基。非晶半導體使用非晶矽形成。

含有氮的非晶半導體是一種半導體，其中與現有的非晶半導體相比，藉由 CPM (Constant photocurrent method : 恆定光電流法) 或光致發光光譜測量來測量的烏爾巴赫端 (Urbach edge) 的能量低，且缺陷吸收光譜量少。換言之，含有氮的非晶半導體為與現有的非晶半導體相比，缺陷少且價電子帶端的能階尾的斜率陡峭的秩序性高的半導體。因為含有氮的非晶半導體的價電子帶端的能階尾的斜率陡峭，所以帶隙寬，穿隧電流不容易流過。由此，藉由將含有氮的非晶半導體設置在微晶半導體區 111a 和雜質半導體膜 113 之間，可以降低薄膜電晶體的截止電流。另外，藉由設置含有氮的非晶半導體，可以提高導通電流和場效應遷移率。

再者，在含有氮的非晶半導體中，藉由低溫光致發光光譜得到的光譜峰值區為 1.31eV 以上且 1.39eV 以下。另外，藉由低溫光致發光光譜測量微晶半導體，典型的是微晶矽而得到的光譜的峰值區為 0.98eV 以上且 1.02eV 以下，含有氮的非晶半導體與微晶半導體不同。

此外，與非晶半導體區 111b 同樣，微晶半導體區 111a 也可以具有 NH 基或 NH₂ 基。

另外，如圖 5B 所示，藉由使非晶半導體區 111b 包括粒徑為 1nm 以上且 10nm 以下，較佳的為 1nm 以上且 5nm

以下的半導體混合相微粒 111c，可以進一步提高導通電流和場效應遷移率。

其頭端從閘極絕緣膜 105 向非晶半導體區 111b 變窄的凸狀（錐形狀）的微晶半導體藉由使微晶半導體沉積的條件來形成微晶半導體膜，然後在進行部分的結晶生長的條件下進行結晶生長，且使非晶半導體沉積，而實現這種結構。

因為半導體膜 111 中的微晶半導體區 111a 為錐形狀或倒錐形狀，所以可以降低在導通狀態下對源極電極和汲極電極之間施加電壓時的縱方向（膜厚度方向）上的電阻，即半導體膜 111 的電阻。此外，因為在微晶半導體區 111a 和雜質半導體膜 113 之間具有缺陷少，價電子帶端的能階尾的斜率陡峭，且秩序性高的含氮的非晶半導體，所以穿隧電流不容易流過。由此，本實施方式所示的薄膜電晶體可以提高導通電流及場效應遷移率，且減少截止電流。

雖然在此使半導體膜 111 的原料氣體包括含有氮的氣體來形成具有微晶半導體區 111a 及非晶半導體區 111b 的半導體膜 111，但是作為半導體膜 111 的其他形成方法有如下方法：在使微晶半導體膜 109 的表面暴露於含有氮的氣體來使微晶半導體膜 109 的表面吸附氮之後，將含有矽或鍺的沉積氣體及氫用作原料氣體，來可以形成具有微晶半導體區 111a 及非晶半導體區 111b 的半導體膜 111。

使用添加有磷的非晶矽、添加有磷的微晶矽等形成雜

質半導體膜 113。此外，作為雜質半導體膜 113，也可以採用添加有磷的非晶矽和添加有磷的微晶矽的疊層結構。另外，當作為薄膜電晶體形成 p 型薄膜電晶體時，使用添加有硼的微晶矽、添加有硼的非晶矽等形成雜質半導體膜 113。此外，當半導體膜 111 和後面形成的佈線 129a、129b 形成歐姆接觸時，也可以不形成雜質半導體膜 113。

在電漿 CVD 設備的處理室中，將含有矽的沉積氣體、氫和磷化氫（使用氫或矽烷進行稀釋）混合，並利用輝光放電電漿來形成雜質半導體膜 113。由此，形成添加有磷的非晶矽或添加有磷的微晶矽。另外，在製造 p 型薄膜電晶體時，使用乙硼烷代替磷化氫並利用輝光放電電漿來形成雜質半導體膜 113，即可。

此外，當使用添加有磷的微晶矽或添加有硼的微晶矽形成雜質半導體膜 113 時，藉由在半導體膜 111 和雜質半導體膜 113 之間形成微晶半導體膜，典型地形成微晶矽膜，可以提高介面的特性。其結果是，可以降低產生在雜質半導體膜 113 和半導體膜 111 之間的介面的電阻。其結果是，使流過薄膜電晶體的源極區、半導體膜及汲極區的電流量增加，從而可以增加導通電流及場效應遷移率。

由抗蝕劑形成的掩模 115 可以藉由光刻製程形成。

接著，使用由抗蝕劑形成的掩模 115 對種子 107、微晶半導體膜 109、半導體膜 111 及雜質半導體膜 113 進行蝕刻。藉由該製程，根據每個元件分離種子 107、微晶半導體膜 109、半導體膜 111 及雜質半導體膜 113，來形成

島狀的半導體疊層體 117 及島狀的雜質半導體膜 121。另外，半導體疊層體 117 具有包括種子 107、微晶半導體膜 109 及半導體膜 111 的微晶半導體區 117a 和包括半導體膜 111 的非晶半導體的非晶半導體區 117b。然後，去除由抗蝕劑形成的掩模 115（參照圖 4D）。

接著，在雜質半導體膜 121 上形成導電膜 127（參照圖 6A）。可以使用鋁、銅、鈦、鈹、鈳、鉬、鉻、鉭或鎢等的單層或疊層形成導電膜 127。或者，也可以使用添加有用於防止小丘的元素的鋁合金（可用於閘極電極 103 的 Al-Nd 合金等）形成導電膜 127。也可以使用添加有成爲施體的雜質元素的結晶矽。也可以採用如下疊層結構，即使用鈦、鉭、鉬、鎢或這些元素的氮化物形成與添加有成爲施體的雜質元素的結晶矽接觸一側的膜，並在其上形成鋁或鋁合金。而且，還可以採用如下疊層結構，即鋁或鋁合金的上面及下面被夾在鈦、鉭、鉬、鎢或這些元素的氮化物之間。藉由 CVD 法、濺射法或真空蒸鍍法形成導電膜 127。此外，也可以使用銀、金或銅等的導電奈米膏藉由絲網印刷法或噴墨法等進行噴出並進行焙燒，來形成導電膜 127。

接著，藉由光刻製程形成由抗蝕劑形成的掩模，並且使用該由抗蝕劑形成的掩模對導電膜 127 進行蝕刻，來形成用作源極電極和汲極電極的佈線 129a 和 129b（參照圖 6B）。作爲導電膜 127 的蝕刻，可以採用乾蝕刻或濕蝕刻。另外，佈線 129a、129b 中的一方不但用作源極電極或

汲極電極，而且還用作信號線。但是，不侷限於此而也可以分別設置信號線和源極電極及汲極電極。

接著，對雜質半導體膜 121 和半導體疊層體 117 的一部分進行蝕刻來形成用作源極區和汲極區的一對雜質半導體膜 131a、131b。此外，還形成包括微晶半導體區 133a 和一對非晶半導體區 133b 的半導體疊層體 133。此時，藉由以使微晶半導體區 133a 露出的方式對半導體疊層體 117 進行蝕刻，形成半導體疊層體 133，其中在被佈線 129a、129b 覆蓋的區域中層疊微晶半導體區 133a 及非晶半導體區 133b，而在未被佈線 129a、129b 覆蓋且與閘極電極重疊的區域中微晶半導體區 133a 露出。

在此，佈線 129a、129b 的端部與雜質半導體膜 131a、131b 的端部對準。但是佈線 129a、129b 的端部與雜質半導體膜 131a、131b 的端部也可以不對準，且在剖面中佈線 129a、129b 的端部位於雜質半導體膜 131a、131b 的端部的內側。

接著，也可以進行乾蝕刻。作為乾蝕刻的條件，使用如下條件，即露出的微晶半導體區 133a 及非晶半導體區 133b 不受損傷，且對微晶半導體區 133a 及非晶半導體區 133b 的蝕刻速度低的條件。作為蝕刻氣體，典型地使用 Cl_2 、 CF_4 或 N_2 等。此外，對蝕刻法沒有特別的限制，可以採用感應耦合電漿（ICP：Inductively Coupled Plasma）方式、電容耦合電漿（CCP：Capacitively Coupled Plasma）方式、電子迴旋共振電漿（ECR：Electron

Cyclotron Resonance) 方式、反應離子蝕刻 (RIE: Reactive Ion Etching) 方式等。

接著，對微晶半導體區 133a 及非晶半導體區 133b 的表面進行電漿處理，典型地進行水電漿處理、氧電漿處理、氮電漿處理、氦電漿處理、使用氧及氫的混合氣體的電漿處理等。

藉由將以水蒸氣 (H_2O 蒸氣) 為代表的水為主要成分的氣體導入到反應空間，生成電漿，而可以進行水電漿處理。然後，去除由抗蝕劑形成的掩模。另外，也可以在雜質半導體膜 121 及半導體疊層體 117 的乾蝕刻之前去除該由抗蝕劑形成的掩模。

如上所述，藉由在形成微晶半導體區 133a 及非晶半導體區 133b 之後，在不使微晶半導體區 133a 及非晶半導體區 133b 受損傷的條件下進一步進行乾蝕刻，可以去除存在於露出的微晶半導體區 133a 及非晶半導體區 133b 上的殘渣等的雜質。此外，藉由在乾蝕刻之後連續地進行水電漿處理，可以去除由抗蝕劑形成的掩模的殘渣，並可以減少微晶半導體區 133a 的缺陷。另外，藉由進行電漿處理，可以使源極區和汲極區之間處於確實的絕緣狀態，從而可以降低完成的薄膜電晶體的截止電流，並降低電特性的不均勻性。

另外，在導電膜 127 上形成藉由光刻製程使用抗蝕劑形成的掩模，並且使用該由抗蝕劑形成的掩模對導電膜 127 進行蝕刻，來形成用作源極電極和汲極電極的佈線

129a 和 129b。接著，藉由對雜質半導體膜 121 進行蝕刻，來形成用作源極區和汲極區的一對雜質半導體膜 131a、131b。在該情況下，半導體疊層體 117 的一部分有時被蝕刻。接著，也可以在去除由抗蝕劑形成的掩模之後，對半導體疊層體 117 的一部分進行蝕刻，形成具有微晶半導體區 133a 及一對非晶半導體區 133b 的半導體疊層體 133。

其結果，在去除由抗蝕劑形成的掩模的製程中，因為微晶半導體區 117a 被非晶半導體區 117b 覆蓋，所以微晶半導體區 117a 不接觸於剝離液及抗蝕劑殘留物。另外，在去除由抗蝕劑形成的掩模之後，使用佈線 129a、129b 對非晶半導體區 117b 進行蝕刻，以使微晶半導體區 133a 暴露。因此，接觸於剝離液及抗蝕劑殘留物的非晶半導體區不殘留在背通道中。其結果，因為不產生殘留在背通道中的剝離液及抗蝕劑殘留物所引起的洩漏電流，所以可以進一步降低薄膜電晶體的截止電流。

藉由上述製程可以製造單閘型薄膜電晶體。此外，可以以高生產率製造截止電流低且導通電流及場效應遷移率高的單閘型薄膜電晶體。

接著，在半導體疊層體 133 及佈線 129a、129b 上形成絕緣膜 137（也稱為第二閘極絕緣膜）。絕緣膜 137 可以與閘極絕緣膜 105 同樣地形成。

接著，使用藉由光刻製程形成的由抗蝕劑形成的掩模在絕緣膜 137 中形成開口部（未圖示）。接著，在絕緣膜

137 上形成背閘極電極 139 (也稱為第二閘極電極) (參照圖 6C)。藉由上述製程，可以製造雙閘型薄膜電晶體。

背閘極電極 139 可以與佈線 129a、129b 同樣地形成。此外，背閘極電極 139 可以使用含有氧化鎢的氧化銮、含有氧化鎢的氧化銮鋅、含有氧化鈦的氧化銮、含有氧化鈦的氧化銮錫、氧化銮錫、氧化銮鋅或添加有氧化矽的氧化銮錫等的具有透光性的導電材料形成。

此外，背閘極電極 139 可以使用含有具有透光性的導電高分子 (也稱為導電聚合物) 的導電組成物形成。較佳的是，在背閘極電極 139 中，薄層電阻為 $10000\Omega/\text{sq}$ 以下，並且波長為 550nm 時的透光率為 70% 以上。另外，導電組成物所含有的導電高分子的電阻率較佳地為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物及苯胺、吡咯和噻吩中兩種以上的共聚物或其衍生物等。

在藉由濺射法使用上述材料中的任何材料形成薄膜之後，使用藉由光刻製程形成的由抗蝕劑形成的掩模對上述薄膜進行蝕刻，而可以形成背閘極電極 139。此外，在塗敷或印刷含有具有透光性的導電高分子的導電組成物之後，進行焙燒來形成背閘極電極 139。

接著，參照作為薄膜電晶體的俯視圖的圖 7A 至 7D

說明背閘極電極的形狀。

如圖 7A 所示，可以與閘極電極 103 平行地形成背閘極電極 139。在此情況下，可以分別任意地控制施加到背閘極電極 139 的電位及施加到閘極電極 103 的電位。因此，可以控制薄膜電晶體的臨界值電壓。此外，因為載子流過的區域，即通道區形成在微晶半導體區的閘極絕緣膜 105 一側及絕緣膜 137 一側，所以可以提高薄膜電晶體的導通電流。

此外，如圖 7B 所示，可以使背閘極電極 139 連接到閘極電極 103。也就是說，可以採用在形成在閘極絕緣膜 105 及絕緣膜 137 的開口部 150 中，閘極電極 103 與背閘極電極 139 連接的結構。在此情況下，施加到背閘極電極 139 的電位和施加到閘極電極 103 的電位相等。其結果是，因為在半導體膜中，載子流過的區域，即通道區形成在微晶半導體區的閘極絕緣膜 105 一側及絕緣膜 137 一側，所以可以提高薄膜電晶體的導通電流。

此外，如圖 7C 所示，背閘極電極 139 也可以不與閘極電極 103 連接而處於浮動狀態。即使不對背閘極電極 139 施加電位，也由於通道區被形成在微晶半導體區的閘極絕緣膜 105 一側及絕緣膜 137 一側，因此可以提高薄膜電晶體的導通電流。

再者，如圖 7D 所示，背閘極電極 139 也可以隔著絕緣膜 137 與佈線 129a、129b 重疊。雖然在此使用具有圖 7A 所示的結構的背閘極電極 139 進行表示，但是圖 7B 及

7C 所示的背閘極電極 139 也可以同樣地與佈線 129a、129b 重疊。

在本實施方式所示的單閘型薄膜電晶體及雙閘型薄膜電晶體中，可以使用降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜形成通道區。由此，單閘型薄膜電晶體及雙閘型薄膜電晶體的載子遷移量增加，從而可以提高導通電流及場效應遷移率。此外，在微晶半導體區 133a 和雜質半導體膜 131a、131b 之間具有非晶半導體區 133b。因此，可以降低薄膜電晶體的截止電流。由此，可以縮小單閘型薄膜電晶體的面積及雙閘型薄膜電晶體的面積，從而可以實現半導體裝置的高集成化。另外，由於藉由將本實施方式所示的薄膜電晶體用於顯示裝置的驅動電路，可以減少驅動電路的面積，因此可以實現顯示裝置的窄邊框化。

另外，雖然在本實施方式中使用實施方式 1 形成微晶半導體膜，但是也可以使用實施方式 2 形成微晶半導體膜。另外，由於當使用實施方式 2 所示的微晶半導體膜形成雙閘型薄膜電晶體時，背閘極電極一側的微晶半導體膜的結晶性高，因此可以進一步改善雙閘型薄膜電晶體的電特性。

實施方式 4

在本實施方式中，參照圖 4A 至 4D 及圖 8A 至 8C 說明與實施方式 3 相比可以進一步降低截止電流的薄膜電晶

體的製造方法。

與實施方式 3 同樣地，經過圖 4A 至 4C 的製程形成圖 8A 所示的半導體疊層體 117。

接著，在使由抗蝕劑形成的掩模 115 殘留的狀態下，進行使半導體疊層體 117 的側面暴露於電漿 123 的電漿處理。在此，在氧化氣體或氮化氣體氣圍下產生電漿，使半導體疊層體 117 暴露於電漿 123。作為氧化氣體，有氧、臭氧、一氧化二氮、水蒸氣、氧和氫的混合氣體等。此外，作為氮化氣體，有氮、氨、氟化氮、氯化氮、氮胺、氟胺等。藉由在氧化氣體或氮化氣體氣圍下產生電漿，產生氧自由基或氮自由基。該自由基與半導體疊層體 117 起反應，而可以在半導體疊層體 117 的側面形成作為勢壘區的絕緣區。另外，也可以照射紫外光代替電漿來產生氧自由基或氮自由基。

此外，當作為氧化氣體使用氧、臭氧、水蒸氣、氧和氫的混合氣體時，如圖 8B 所示，因電漿照射而抗蝕劑縮退，因此形成底面的面積縮小的掩模 115a。由此，藉由該電漿處理，露出的雜質半導體膜 121 與半導體疊層體 117 的側壁一起氧化，且還在半導體疊層體 117 的側壁以及雜質半導體膜 121 的側壁及上面的一部分形成作為勢壘區的絕緣區 125。

接著，如實施方式 3 所示，經過與圖 6A 及 6B 同樣的製程，如圖 6C 所示那樣形成用作源極電極及汲極電極的佈線 129a、129b、用作源極區及汲極區的一對雜質半

導體膜 131a、131b、包括微晶半導體區 133a 及一對非晶半導體區 133b 的半導體疊層體 133、絕緣膜 137，而可以製造單閘型薄膜電晶體。

此外，藉由在絕緣膜 137 上形成背閘極電極，可以製造雙閘型薄膜電晶體。

在本實施方式所示的單閘型薄膜電晶體及雙閘型薄膜電晶體中，可以使用降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜形成通道區。此外，藉由在半導體疊層體 133 和佈線 129a、129b 之間設置作為勢壘區的絕緣區，可以抑制從佈線 129a、129b 被注入到半導體疊層體 133 的電洞，從而形成截止電流低且場效應遷移率及導通電流高的薄膜電晶體。由此，可以縮小薄膜電晶體的面積，從而可以實現半導體裝置的高集成化。此外，藉由將本實施方式所示的薄膜電晶體用於顯示裝置的驅動電路，可以減少驅動電路的面積，因此可以實現顯示裝置的窄邊框化。

注意，雖然在本實施方式中使用實施方式 3 說明，但是也可以適當地使用其他實施方式。

實施方式 5

在本實施方式中，參照圖 5A 和 5B、圖 6A 至 6C 以及圖 9 說明形成在本發明的一個方式的半導體裝置中的薄膜電晶體的製造方法。圖 9 是對應於圖 6B 所示的製程的製程。

與實施方式 3 同樣，經過圖 4A 至 4D 及圖 6A 的製程形成導電膜 127。

接著，如圖 9 所示，與實施方式 3 同樣地形成佈線 129a、129b，並對雜質半導體膜 121 及半導體疊層體 117 的一部分進行蝕刻，來形成用作源極區及汲極區的一對雜質半導體膜 131a、131b。此外，形成包括微晶半導體區 143a 及非晶半導體區 143b 的半導體疊層體 143。此時，藉由以使非晶半導體區 143b 露出的方式對半導體疊層體 117 進行蝕刻，形成半導體疊層體 143，其中在被佈線 129a、129b 覆蓋的區域中，層疊微晶半導體區 143a 和非晶半導體區 143b，而在未被佈線 129a、129b 覆蓋且與閘極電極重疊的區域中，微晶半導體區 143a 不露出且非晶半導體區 143b 露出。注意，在此的半導體疊層體 117 的蝕刻量比圖 6B 少。

後面的製程與實施方式 3 相同。

藉由上述製程，可以製造單閘型薄膜電晶體。由於在該薄膜電晶體中，背通道一側是非晶，因此與圖 6B 所示的薄膜電晶體相比，可以減少截止電流。

此外，在本實施方式中，也可以在圖 6A 至 6C 所示的製程之後與圖 6C 所示的製程同樣地隔著絕緣膜 137 形成背閘極電極 139。

本實施方式可以與其他實施方式適當地組合而使用。

實施方式 6

製造薄膜電晶體，並將該薄膜電晶體用於像素部、驅動電路從而可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，將使用薄膜電晶體的驅動電路的一部分或整體與像素部一體地形成在相同的基板上，從而可以形成系統化面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件在其範疇內包括由電流或電壓控制亮度的元件，明確地說，發光元件包括無機 EL（Electro Luminescence：電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等的其對比度因電作用而變化的顯示介質。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。再者，在相當於製造該顯示裝置的過程中的顯示元件完成之前的一個方式的元件基板的多個各像素中分別具備用於將電流供應到顯示元件的單元。具體來說，元件基板可處於僅設置有顯示元件的像素電極的狀態、在形成成為像素電極的導電膜之後且在進行蝕刻以形成像素電極之前的狀態或者任何其他狀態。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置、或光源（包括照明裝置）。此外，該顯示裝置在其範疇中還可包括以下模組：安裝有連接器諸如 FPC（Flexible Printed Circuit：撓性印刷電路）、TAB（Tape

Automated Bonding：帶式自動接合）帶或 TCP（Tape Carrier Package：帶式載體封裝）的模組；在 TAB 帶或 TCP 的端部上設置有印刷線路板的模組；以及藉由 COG（Chip On Glass：玻璃上的晶片）方式在顯示元件上直接安裝 IC（積體電路）的模組。

實施方式 7

在本實施方式中，說明作為半導體裝置的一個方式的光電轉換裝置。在本實施方式所示的光電轉換裝置中，作為半導體膜採用如實施方式 1 及實施方式 2 所示的降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜。作為採用降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜的半導體膜，有進行光電轉換的半導體膜、呈現導電型的半導體膜等，特別較的是用於進行光電轉換的半導體膜。或者，也可以將降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜用於進行光電轉換的半導體膜或呈現導電型的半導體膜與其他膜之間的介面。

藉由採用上述結構，可以降低進行光電轉換的半導體膜、呈現導電型的半導體膜所引起的電阻（串聯電阻），來提高特性。此外，可以抑制進行光電轉換的半導體膜或呈現導電型的半導體膜與其他膜之間的介面中的光學損失或電氣損失，來提高光電轉換效率。下面，參照圖 10A 至 10E 說明光電轉換裝置的製造方法的一個方式。

如圖 10A 所示，在基板 200 上形成第一電極 202。

作為基板 200，可以適當地使用實施方式 1 所示的基板 51。此外，也可以使用塑膠基板。作為塑膠基板，較佳的是使用包括環氧樹脂、不飽和聚酯樹脂、聚醯亞胺樹脂、雙馬來醯亞胺三嗪樹脂或氰酸酯樹脂等熱固性樹脂的基板或者包括聚苯醚樹脂、聚醚醯亞胺樹脂、氟樹脂等熱塑性樹脂的基板。

另外，基板 200 的表面也可以具有紋理結構。由此，可以提高光電轉換效率。

此外，由於在本實施方式中採用光從基板 200 的背面一側（圖式中的下方）入射的結構，因此採用具有透光性的基板。但是，當採用光從後面形成的第二電極 210 一側（圖式中的上方）入射的結構時，不侷限於此。在此情況下，也可以使用含有矽等的材料的半導體基板、含有金屬材料等的導電基板。

可以使用用於實施方式 3 所示的背閘極電極 139 的具有透光性的導電材料形成第一電極 202。藉由濺射法、CVD 法、真空蒸鍍法、塗敷法、印刷法等形成第一電極 202。

以 10nm 至 500nm 的厚度，較佳地以 50nm 至 100nm 的厚度形成第一電極 202。此外，將第一電極 202 的薄層電阻設定為 $20\Omega/\text{sq}$. 至 $200\Omega/\text{sq}$. 左右。

注意，因為在本實施方式中採用光從基板 200 的背面一側（圖式中的下方）入射的結構，所以使用具有透光性的導電材料形成第一電極 202，但是，當採用光從後面形

成的第二電極 210 一側（圖式中的上方）入射的結構時，不侷限於此。在此情況下，可以使用鋁、鉑、金、銀、銅、鈦、鉭、鎢等的沒有透光性的導電材料形成第一電極 202。特別是，當使用鋁、銀、鈦、鉭等的容易反射光的材料時，可以充分地提高光電轉換效率。

與基板 200 同樣，第一電極 202 也可以具有紋理結構。此外，也可以以與第一電極 202 接觸的方式另外形成由低電阻的導電材料構成的輔助電極。

接著，如圖 10B 所示，在第一電極 202 上形成呈現第一導電型的半導體膜 204。典型的是，使用含有添加有賦予導電型的雜質元素的半導體材料的半導體膜形成呈現第一導電型的半導體膜 204。從生產率、價格等的角度來看，較佳的是作為半導體材料使用矽。當作為半導體材料使用矽時，作為賦予導電型的雜質元素採用賦予 n 型的磷、砷或賦予 p 型的硼、鋁等。

注意，因為在本實施方式中採用光從基板 200 的背面一側（圖式中的下方）入射的結構，所以較佳的是呈現第一導電型的半導體膜 204 的導電型（第一導電型）為 p 型。這是因為如下緣故：由於電洞的壽命比電子的壽命短，即電子的壽命的一半，因此電洞的擴散長度短；以及大多在進行光電轉換的半導體膜 206 的入射光一側形成電子和電洞等。像這樣，藉由將第一導電型設定為 p 型，可以在電洞湮滅之前取出電流，所以可以抑制光電轉換效率的降低。注意，在上述情況不成為問題的情況下，例如在進行

光電轉換的半導體膜 206 充分薄的情況等下，也可以將第一導電型設定為 n 型。

作為可以用於呈現第一導電型的半導體膜 204 的半導體材料，還有碳化矽、銻、鎵砷、磷化銮、硒化鋅、氮化鎵、矽銻等。此外，也可以使用含有有機材料的半導體材料、含有金屬氧化物的半導體材料等。可以根據進行光電轉換的半導體膜 206 適當地選擇該材料。

雖然對呈現第一導電型的半導體膜 204 的結晶性沒有特別的要求，但是，當作為呈現第一導電型的半導體膜 204 採用實施方式 1 或實施方式 2 所示的降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜時，與採用現有的微晶半導體膜的情況相比，可以降低串聯電阻，並抑制與其他膜之間的介面中的光學損失或電氣損失，所以是較佳的。當然，也可以採用非晶、多晶、單晶等的具有其他結晶性的半導體。

另外，與基板 200 的表面同樣，呈現第一導電型的半導體膜 204 的表面也可以具有紋理結構。

可以藉由使用含有矽的沉積氣體及乙硼烷的電漿 CVD 法形成呈現第一導電型的半導體膜 204。此外，以 1nm 至 100nm 的厚度，較佳地以 5nm 至 50nm 的厚度形成呈現第一導電型的半導體膜 204。

此外，也可以在藉由電漿 CVD 法等形成沒添加有賦予導電型的雜質元素的矽膜之後，藉由離子植入等的方法添加硼，而形成呈現第一導電型的半導體膜 204。

接著，如圖 10C 所示，在呈現第一導電型的半導體膜 204 上形成進行光電轉換的半導體膜 206。作為進行光電轉換的半導體膜 206，應用使用與半導體膜 204 相同的半導體材料的半導體膜。也就是說，作為半導體材料，使用矽、碳化矽、鍺、鎵砷、磷化銦、硒化鋅、氮化鎵、矽鍺等。尤其佳的是，使用矽。此外，也可以使用含有有機材料的半導體材料、金屬氧化物半導體材料等。

作為進行光電轉換的半導體膜 206，更佳地使用如實施方式 1 及實施方式 2 所示的降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜。藉由作為半導體膜採用如實施方式 1 及實施方式 2 所示的降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜，與採用現有的微晶半導體膜的情況相比，可以減少串聯電阻，並可以抑制與其他膜之間的介面中的光學損失或電氣損失。

注意，因為進行光電轉換的半導體膜 206 需要進行充分的光吸收，所以較佳的是其厚度為 100nm 至 10 μ m 左右。

接著，如圖 10D 所示，在進行光電轉換的半導體膜 206 上形成呈現第二導電型的半導體膜 208。在本實施方式中，第二導電型為 n 型。可以使用添加有用作賦予導電型的雜質元素的磷的矽等的材料來形成呈現第二導電型的半導體膜 208。可以用於呈現第二導電型的半導體膜 208 的半導體材料與呈現第一導電型的半導體膜 204 相同。

呈現第二導電型的半導體膜 208 可以與呈現第一導電

型的半導體膜 204 同樣地形成。例如，可以藉由使用含有矽的沉積氣體及磷化氫的電漿 CVD 法形成呈現第二導電型的半導體膜 208。作為呈現第二導電型的半導體膜 208，較佳的也是採用實施方式 1 或實施方式 2 所示的降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜。

另外，雖然由於在本實施方式中，採用光從基板 200 的背面一側（圖式中的下方）入射的結構，因此半導體膜 208 的導電型（第二導電型）為 n 型，但是所公開的發明的一個方式不侷限於此。當第一導電型為 n 型時，第二導電型為 p 型。

接著，如圖 10E 所示，在呈現第二導電型的半導體膜 208 上形成第二電極 210。使用金屬等的導電材料形成第二電極 210。例如，可以使用鋁、銀、鈦、鉭等的容易反射光的材料形成第二電極 210。在此情況下，可以使半導體膜 206 不能完全吸收的光再次入射到半導體膜 206 中，來提高光電轉換效率，所以是較佳的。

作為第二電極 210 的形成方法，有濺射法、真空蒸鍍法、CVD 法、塗敷法、印刷法等。此外，第二電極 210 以 10nm 至 500nm 的厚度，較佳地以 50nm 至 100nm 的厚度形成。

注意，由於在本實施方式中採用光從基板 200 的背面一側（圖式中的下方）入射的結構，因此使用沒有透光性的材料形成第二電極 210，但是第二電極 210 的結構不侷限於此。例如，在採用光從第二電極 210 一側（圖式中的

上方)入射的結構時，可以使用第一電極 202 所示的具有透光性的導電材料形成第二電極 210。

另外，也可以以與第二電極 210 接觸的方式形成由低電阻的導電材料構成的輔助電極。

藉由上述方法，可以製造一種光電轉換裝置，其中將降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜用於進行光電轉換的半導體膜、呈現第一導電型的半導體膜和呈現第二導電型的半導體膜中的任一個。而且，由此可以提高光電轉換裝置的轉換效率。另外，只要將降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜用於進行光電轉換的半導體膜、呈現第一導電型的半導體膜和呈現第二導電型的半導體膜中的任一個即可，可適當地改變將其用於哪一個。此外，在將降低混合相微粒之間的空隙來提高結晶性的微晶半導體膜用於上述半導體膜中的多個時，更有效。

注意，雖然在本實施方式中示出了具有一個單元元件的光電轉換裝置，但是也可以形成適當地層疊兩個以上的單元元件的光電轉換裝置。

本實施方式可以與其他實施方式適當地組合而使用。

實施方式 8

本說明書所公開的半導體裝置可以用於電子紙。電子紙可以用於用來顯示資訊的所有領域的電子裝置。例如，電子紙能夠應用到電子書閱讀器、招貼、數位標牌、PID

(Public Information Display : 公共資訊顯示) 、 諸如電車等交通工具中的車廂廣告、諸如信用卡等各種卡的顯示等。圖 11 示出電子裝置的一個例子。

圖 11 示出電子書閱讀器的一個例子。例如，電子書閱讀器 2700 由兩個外殼，即外殼 2701 及外殼 2703 構成。外殼 2701 及外殼 2703 藉由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉動作。藉由採用這種結構，可以進行如紙的書籍那樣的動作。

外殼 2701 組裝有顯示部 2705 及光電轉換裝置 2706，而外殼 2703 組裝有顯示部 2707 及光電轉換裝置 2708。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右側的顯示部（圖 11 中的顯示部 2705）中顯示文章，而在左側的顯示部（圖 11 中的顯示部 2707）中顯示影像。

此外，在圖 11 中示出外殼 2701 具備操作部等的例子。例如，在外殼 2701 中，具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，可以採用在與外殼的顯示部同一表面上具備鍵盤、指向裝置等的結構。另外，也可以採用在外殼的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

實施方式 9

本說明書所公開的半導體裝置可以應用於各種各樣的電子裝置（也包括遊戲機）。作為電子裝置，例如可舉出電視裝置（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數碼攝影機、數碼相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再現裝置、彈珠機等的大型遊戲機等。

圖 12A 示出電視裝置的一個例子。在電視裝置 9600 中，外殼 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示映射。此外，在此示出利用支架 9605 支撐外殼 9601 的結構。

藉由利用外殼 9601 所具備的操作開關、另外提供的遙控操作機 9610 可以進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的映射進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，

藉由數據機連接到利用有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 12B 示出數碼相框的一個例子。例如，在數碼相框 9700 中，外殼 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種影像，例如藉由顯示使用數位相機等拍攝的影像資料，可以發揮與一般的相框同樣的功能。

另外，數碼相框 9700 採用具備操作部、外部連接用端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。它們也可以組裝到與顯示部同一個面，但是藉由將它們設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數碼相框的記錄媒體插入部插入儲存有由數位相機拍攝的影像資料的記憶體並提取影像資料，然後將所提取的影像資料顯示於顯示部 9703。

此外，數碼相框 9700 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式提取所希望的影像資料並進行顯示的結構。

圖 13 是示出可攜式電腦的一個例子的立體圖。

在圖 13 所示的可攜式電腦中，可以將連接上部外殼 9301 與下部外殼 9302 的鉸鏈裝置設置為關閉狀態來使具有顯示部 9303 的上部外殼 9301 與具有鍵盤 9304 的下部外殼 9302 處於重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，將鉸鏈裝置設置為打開狀態，而可

以看著顯示部 9303 進行輸入操作。

另外，下部外殼 9302 除了鍵盤 9304 之外還包括進行輸入操作的指向裝置 9306。另外，當顯示部 9303 為觸屏輸入面板時，也可以藉由觸摸顯示部的一部分進行輸入操作。另外，下部外殼 9302 還包括 CPU、硬碟等的運算功能部。此外，下部外殼 9302 還具有用來插入其他裝置，例如符合 USB 的通信標準的通信電纜的外部連接埠 9305。

在上部外殼 9301 中還具有藉由使它滑動到上部外殼 9301 內部而可以收納的顯示部 9307，因此可以實現寬顯示幕幕。另外，使用者可以調節可以收納的顯示部 9307 的屏幕的方向。另外，當可以收納的顯示部 9307 為觸屏輸入面板時，還可以藉由觸摸可以收納的顯示部的一部分來進行輸入操作。

顯示部 9303 或可以收納的顯示部 9307 使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的映射顯示裝置。

另外，圖 13 的可攜式電腦安裝有接收機等，而可以接收電視廣播並將映射顯示於顯示部。另外，使用者還可以在連接上部外殼 9301 與下部外殼 9302 的鉸鏈裝置處於關閉狀態的狀態下滑動顯示部 9307 而使其屏幕的整個面露出並調整屏幕角度來觀看電視廣播。此時，鉸鏈裝置處於未打開狀態從而使顯示部 9303 進行顯示，並僅啟動只顯示電視廣播的電路，所以可以將功耗控制為最少，這

對電池容量有限的可攜式電腦而言是充分有效的。

實施例 1

在本實施例中，使用圖 14 對微晶矽膜及非晶矽膜的蝕刻速度和壓力的關係進行說明。

首先，對蝕刻樣品的製造方法進行說明。

樣品 1 的被蝕刻膜是非晶矽膜。在此，在玻璃基板上形成厚度為 100nm 的非晶矽膜。非晶矽膜的沉積使用電漿 CVD 法進行，在該電漿 CVD 法中：將矽烷的流量設定為 100sccm，將氫的流量設定為 75sccm，而導入原料氣體來進行穩定化；將處理室內的壓力設定為 100Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 30W；將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃；並且進行電漿放電。

樣品 2 的被蝕刻膜是微晶矽膜。此處，在玻璃基板上形成厚度為 300nm 的氮化矽膜之後，對氮化矽膜進行電漿處理。接著，在實施方式 1 所示的第一條件下形成厚度為 5nm 的種子之後，在第二條件（注意，不進行迴圈流動）下形成厚度為 65nm 的微晶矽膜。

使用氮化矽膜形成閘極絕緣膜 105。形成厚度為 300nm 的氮化矽膜。氮化矽膜藉由電漿 CVD 法進行沉積而形成。

在氮化矽膜的沉積中：將矽烷的流量設定為 15sccm，將氫的流量設定為 200sccm，將氮的流量設定為

180sccm，將氫的流量設定為 500sccm，而導入原料氣體；將處理室內的壓力設定為 100Pa；將基板溫度設定為 250℃；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 200W；並且進行電漿放電。

在對氮化矽膜的電漿處理中：以 400sccm 的流量導入一氧化二氮（ N_2O ）；將處理室內的壓力設定為 60pa；並且以 300W 進行電漿放電。另外，上述電漿處理使用平行平板型的電漿處理裝置進行，將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃。

種子的沉積使用電漿 CVD 法進行，在該電漿 CVD 法中：將矽烷的流量設定為 4sccm，將氫的流量設定為 750sccm，將氫的流量設定為 750sccm，而導入原料氣體；將處理室內的壓力設定為 532Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 150W；將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃；並且進行電漿放電。

微晶矽膜的沉積使用電漿 CVD 法進行，在該電漿 CVD 法中：將矽烷的流量設定為 1.8sccm，將氫的流量設定為 750sccm，將氫的流量設定為 750sccm，而導入原料氣體；將處理室內的壓力設定為 5000Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 125W；將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃；並且進行電漿放電。

接著，在樣品 1 和樣品 2 中，在不同壓力條件下進行

蝕刻處理測量蝕刻速度。

作為蝕刻條件，使用電漿蝕刻法，在該電漿蝕刻法中：將氫的流量設定為 1500sccm，將氬的流量設定為 1500sccm，而導入蝕刻氣體；將 RF 電源頻率設定為 13.56MHz；將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃；並且進行 600 秒的電漿放電。另外，對於樣品 1 和樣品 2，將處理室內的壓力設定為 1000Pa、2000Pa、3000Pa、4000Pa、5000Pa、10000Pa，並且將 RF 電源的功率設定為 100W、150W。

圖 14 示出此時的壓力和蝕刻速度的關係。橫軸表示 1/壓力 (1/kPa)，而縱軸表示蝕刻速度 (nm/min)。

此外，菱形表示樣品 1 (被蝕刻膜是非晶矽膜) 的蝕刻速度，而白菱形表示壓力為 1000Pa 至 5000Pa 且 RF 電源的功率為 100W 時的蝕刻速度。黑菱形表示壓力為 2000Pa 至 10000Pa 且 RF 電源的功率為 150W 時的蝕刻速度。

此外，方形表示樣品 2 (被蝕刻膜是微晶矽膜) 的蝕刻速度。白方形表示壓力為 1000Pa 至 5000Pa 且 RF 電源的功率為 100W 時的蝕刻速度。黑方形表示壓力為 2000Pa 至 10000Pa 且 RF 電源的功率為 150W 時的蝕刻速度。

在樣品 2 (被蝕刻膜是微晶矽膜) 中，在壓力為 1000pa，即橫軸為 1 (1/kPa) 時，蝕刻速度快。但是，在壓力為 2000Pa 以上，即橫軸為 0.5 以下 (1/kPa) 時，蝕刻速度降低，微晶矽膜幾乎不被蝕刻。

另一方面，在樣品 1（被蝕刻膜是非晶矽膜）中，在壓力為 1000pa 至 10000Pa 的範圍中，蝕刻速度以近似線形的方式降低，但是非晶矽膜被蝕刻。

由此，在將處理室內的壓力至少設定為 2000Pa 以上的氬氣圍中產生的電漿中，可以不對微晶矽膜進行蝕刻，並對非晶矽膜選擇性地進行蝕刻。

由此，在實施方式 1 和實施方式 2 中，藉由在第二條件下進行矽烷迴圈流動，有矽烷的流量週期性地銳減的期間，並且在該期間中主要在氬氣圍中產生電漿。由此，可以對沉積在種子上的微晶半導體膜的非晶半導體選擇性地進行蝕刻。其結果，可以形成結晶性高的微晶半導體膜。

實施例 2

在本實施例中，使用圖 15A 至圖 16B 對實施方式 1 所示的微晶半導體膜的表面結構、結晶性及雛晶的尺寸進行說明。

首先，對樣品的製造方法進行說明。

樣品 3 及樣品 5 是使用實施方式 1 所示的方法形成微晶矽膜的樣品。

作為樣品 3 及樣品 5，在玻璃基板上形成厚度為 300nm 的氮化矽膜，然後對氮化矽膜進行電漿處理。接著，在實施方式 1 所示的第一條件下形成厚度為 5nm 的種子之後，在第二條件下形成厚度為 30nm 的微晶矽膜。

在此，使用當形成實施例 1 所示的樣品 2 時使用的氮

化矽膜的成膜條件以及電漿處理的條件。

樣品 3 及樣品 5 的種子的沉積使用電漿 CVD 法進行，在該電漿 CVD 法中：將矽烷的流量設定為 4sccm，將氫的流量設定為 750sccm，將氮的流量設定為 750sccm，而導入原料氣體；將處理室內的壓力設定為 532Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 150W；將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃；並且進行電漿放電。

樣品 3 的微晶矽膜的沉積使用電漿 CVD 法進行，在該電漿 CVD 法中：將氫的流量設定為 1500sccm，將氮的流量設定為 1500sccm，使用如下迴圈流動導入原料氣體，在該迴圈流動中交替流過 10 秒的流量為 2sccm 的矽烷和流過 5 秒的流量為 0.1sccm 的矽烷；將處理室內的壓力設定為 10000Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 350W；將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃；並且進行電漿放電。

樣品 5 的微晶矽膜的沉積使用電漿 CVD 法進行，在該電漿 CVD 法中：將氫的流量設定為 1500sccm，將氮的流量設定為 1500sccm，使用如下迴圈流動導入原料氣體，在該迴圈流動中交替流過 5 秒的流量為 2sccm 的矽烷和流過 5 秒的流量為 0.1sccm 的矽烷；將處理室內的壓力設定為 10000Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 350W；將上部電極的溫度設定為 250

℃，而將下部電極的溫度設定為 290℃；並且進行電漿放電。

作為參考例子的樣品 4 與樣品 3 及樣品 5 的不同之處是：當在第二條件下進行微晶矽膜的沉積時，採用不使用迴圈流動的條件。明確而言，在玻璃基板上形成厚度為 300nm 的氮化矽膜，然後對氮化矽膜進行電漿處理。接著，在實施方式 1 所示的第一條件下形成厚度為 5nm 的種子，然後在不進行迴圈流動的第二條件下形成厚度為 30nm 的微晶矽膜。

作為不進行迴圈流動的第二條件，使用電漿 CVD 法，在該電漿 CVD 法中：將矽烷的流量設定為 2sccm，將氫的流量設定為 1500sccm，將氫的流量設定為 1500sccm，而導入原料氣體；將處理室內的壓力設定為 10000Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 350W；將上部電極的溫度設定為 250℃，而將下部電極的溫度設定為 290℃；並且進行電漿放電。

利用掃描電子顯微鏡拍攝樣品 3 及樣品 4 的微晶矽膜，並且圖 15A 和 15B 分別示出其 SEM 照片（倍率為 20 萬倍）。

另外，利用拉曼光譜分析測量樣品 3 及樣品 4 的結晶性（ I_c/I_a （結晶矽的峰值強度/非晶矽的峰值強度））。樣品 3 的 I_c/I_a 為 10.8，而樣品 4 的 I_c/I_a 為 9.7。

接著，圖 17A 和 17B 示出利用 In-Plane X 射線衍射法（In-Plane XRD）分析樣品 4 及樣品 5 並評價雜晶的尺

寸而得到的結果。圖 17A 示出當橫軸 2θ 為 20 度至 80 度時測定的 X 射線衍射光譜。圖 17B 是圖 17A 中的 (111) 面取向的峰值的放大圖，示出橫軸 2θ 為 25 度至 35 度時的 X 射線衍射光譜。在圖 17A 和 17B 中，虛線示出作為比較例的樣品 4 的 X 射線衍射光譜，而實線示出樣品 5 的 X 射線衍射光譜。

在此，將示出 (111) 面取向的峰值的半峰全寬代入 Scherrer (謝樂) 公式中，計算各樣品中的具有 (111) 面取向的雜晶的平均尺寸。樣品 5 中的具有 (111) 面取向的雜晶的平均尺寸為 10.5nm。另一方面，作為比較例的樣品 4 中的具有 (111) 面取向的雜晶的平均尺寸為 9.2nm。

根據圖 15A 和 15B 可知：當在形成種子之後進行微晶矽膜的沉積時，藉由進行迴圈流動，混合相微粒變得緻密且微晶矽膜的結晶性得到提高。另外，根據圖 17A 和 17B 可知：當在形成種子之後進行微晶矽膜的沉積時，藉由進行迴圈流動，可以得到大雜晶。

實施例 3

在本實施例中，對使用實施方式 3 製造的薄膜電晶體的電特性進行說明。

參照圖 4A 及 4B 和圖 6A 至 6C 對本實施例的薄膜電晶體的製造方法進行說明。

如圖 4A 所示，在基板 101 上形成基底絕緣膜（在此

未圖示)，並且在基底絕緣膜上形成閘極電極 103。

在此，作為基板 101，使用玻璃基板（Corning Inc.製造的 EAGLE XG）。

閘極電極 103 採用利用鈦層夾持鋁層的結構。明確而言，首先利用氬離子對鈦靶材進行濺射，在基底絕緣膜上形成厚度為 50nm 的第一鈦膜。此時，將導入的氬流量設定為 20sccm，將處理室內的壓力設定為 0.1Pa，並且將溫度設定為室溫。並且，在其上利用氬離子對鋁靶材進行濺射來形成厚度為 100nm 的鋁膜。此時，將導入的氬流量設定為 50sccm，將處理室內的壓力設定為 0.4Pa，將溫度設定為室溫。並且，在其上利用氬離子對鈦靶材進行濺射來形成厚度為 50nm 的第二鈦膜。此時，將導入的氬流量設定為 20sccm，將處理室內的壓力設定為 0.1Pa，將溫度設定為室溫。

接著，在第二鈦膜上塗上抗蝕劑，使用第一光掩模進行曝光，然後進行顯影，而形成由抗蝕劑形成的掩模。

接著，使用該由該抗蝕劑形成的掩模進行蝕刻處理，而形成閘極電極 103。在此，使用 ICP（Inductively Coupled Plasma：感應耦合電漿）裝置進行兩個步驟的蝕刻。換言之，在進行第一蝕刻之後進行第二蝕刻。在第一蝕刻中：ICP 功率為 600W；偏壓功率為 250W；作為蝕刻氣體導入流量為 60sccm 的氯化硼和流量為 20sccm 的氬；以及將處理室內的壓力設定為 1.2Pa。在第二蝕刻中：ICP 功率為 500W；偏壓功率為 50W；壓力為 2.0Pa；作為蝕

刻氣體導入流量為 80sccm 的氟化碳；以及將處理室內的壓力設定為 2.0Pa。然後，去除該由抗蝕劑形成的掩模。

接著，在閘極電極 103 及基底絕緣膜上形成閘極絕緣膜 105。

形成氮化矽膜並將其用作閘極絕緣膜 105。在形成厚度為 300nm 的氮化矽膜之後，對氮化矽膜進行電漿處理。在此，使用當形成實施例 1 所示的樣品 2 時使用的氮化矽膜的成膜條件及電漿處理的條件。

接著，在閘極絕緣膜 105 上形成種子 107，然後如圖 4B 所示那樣形成微晶半導體膜 109。

在此，作為種子 107，使用與實施例 2 所示的樣品 3 相同的成膜條件來形成厚度為 5nm 的種子 107。作為微晶半導體膜 109，使用與實施例 2 所示的樣品 3 相同的成膜條件來形成厚度為 65nm 的微晶半導體膜 109。

接著，在微晶半導體膜 109 上形成半導體膜 111，並且在半導體膜 111 上形成雜質半導體膜 113。半導體膜 111 及雜質半導體膜 113 利用電漿 CVD 法進行沉積而形成。

半導體膜 111 的沉積條件為：將矽烷的流量設定為 20sccm，將 1000ppm 氨（氫稀釋）的流量設定為 50sccm，將氫的流量設定為 700sccm，將氫的流量設定為 750sccm，而導入材料氣體；將處理室內的壓力設定為 350Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 60W；並且進行電漿放電。另外，在此使用平

行平板型的電漿處理裝置進行半導體膜 111 的沉積，並且將上部電極溫度設定為 250℃，將下部電極溫度設定為 290℃。

形成厚度為 50nm 的添加有磷的非晶矽膜，並將其用作雜質半導體膜 113。此時的沉積條件為：將矽烷的流量設定為 80sccm，將 0.5%磷化氫（氫稀釋）的流量設定為 150sccm，將氫的流量設定為 750sccm，而導入材料氣體；將處理室內的壓力設定為 350Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 30W；並且進行電漿放電。另外，在此使用平行平板型的電漿處理裝置進行雜質半導體膜的沉積，並且將上部電極的溫度設定為 250℃，將下部電極的溫度設定為 290℃。

接著，在雜質半導體膜 113 上塗上抗蝕劑，然後使用第二光掩模進行曝光，進行顯影，而形成由抗蝕劑形成的掩模 115。圖 4C 示出到此為止的製程。

接著，使用由抗蝕劑形成的掩模 115 對微晶半導體膜、半導體膜 111、雜質半導體膜 113 進行蝕刻，而形成具有微晶半導體區 117a 及非晶半導體區 117b 的半導體疊層體 117 及雜質半導體膜 121。

在此，在如下條件下進行蝕刻，即：使用 ICP 裝置；ICP 功率為 450W；偏壓功率為 100W；作為蝕刻氣體，導入流量為 36sccm 的氯化硼、流量為 36sccm 的氟化碳、流量為 8sccm 的氧；並且將處理室內的壓力設定為 2Pa。

接著，進行氧電漿處理在具有微晶半導體區 117a 及

非晶半導體區 117b 的半導體疊層體 117 及雜質半導體膜 121 的側壁形成氧化膜，然後去除由抗蝕劑形成的掩模 115（未圖示）。

在氧電漿處理中：導入流量為 100sccm 的氧來將處理室內的壓力設定為 0.67Pa；將基板溫度設定為 -10℃；將源功率設定為 2000W；將偏壓功率設定為 350W；並且進行電漿放電。

接著，如圖 6A 所示，以覆蓋半導體疊層體 117、雜質半導體膜 121 的方式在閘極絕緣膜 105 上形成導電膜 127。

在此，導電膜 127 採用利用鈦層夾持鋁層的結構，並與閘極電極 103 同樣地形成。注意，將第一鈦膜的厚度設定為 50nm，將鋁膜的厚度設定為 200nm，並且將第二鈦膜的厚度設定為 50nm。

接著，在導電膜 127 上塗上抗蝕劑，然後使用第三光掩模進行曝光，進行顯影，而形成由抗蝕劑形成的掩模。使用該由抗蝕劑形成的掩模對導電膜 127 進行乾蝕刻，而形成佈線 129a 及佈線 129b。

在此，在如下條件下進行蝕刻，即：使用 ICP 裝置；ICP 功率為 450W；偏壓功率為 100W；作為蝕刻氣體，導入流量為 60sccm 的氯化硼和流量為 20sccm 的氯；並且處理室內的壓力為 1.9Pa。

接著，在去除由抗蝕劑形成的掩模之後，對雜質半導體膜 121 進行乾蝕刻來形成用作源極區及汲極區的一對雜

質半導體膜 131a、131b，並且對半導體疊層體 117 的一部分進行蝕刻，從而形成具有微晶半導體區 133a 及一對非晶半導體區 133b 的半導體疊層體 133。

另外，對半導體疊層體 117 進行蝕刻到離表面有 50nm 的地點。注意，在本實施例中，用作源極電極及汲極電極的佈線 129a、129b 的平面形狀為直線型。

接著，對半導體疊層體 133 的表面進行水電漿處理，去除殘留在半導體疊層體 133 表面上的雜質。在此，將功率設定為 1800W，以 300sccm 的流量導入水蒸氣，將處理室內的壓力設定為 66.5Pa，而進行水電漿處理。

接著，形成厚度為 300nm 的氮化矽膜並將其用作絕緣膜 137。此時的沉積條件為：將矽烷的流量設定為 20sccm，將氨的流量設定為 220sccm，將氮的流量設定為 450sccm，將氫的流量設定為 450sccm，而導入材料氣體；將處理室內的壓力設定為 160Pa；將基板溫度設定為 250℃；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 200W；並且進行電漿放電。

接著，在絕緣膜 137 上塗上抗蝕劑，然後使用第四光掩模進行曝光，進行顯影，而形成由抗蝕劑形成的掩模。使用該由抗蝕劑形成的掩模對絕緣膜的一部分進行乾蝕刻來使用作源極電極及汲極電極的佈線 129a、129b 露出。另外，對絕緣膜 137 及閘極絕緣膜 105 的一部分進行乾蝕刻來使閘極電極 103 露出。然後，去除由抗蝕劑形成的掩模。

接著，在絕緣膜 137 上形成導電膜，然後在該導電膜上塗上抗蝕劑，使用第五光掩模進行曝光，進行顯影，而形成由抗蝕劑形成的掩模。使用該由抗蝕劑形成的掩模對導電膜的一部分進行濕蝕刻來形成背閘極電極 139。

在此，藉由濺射法形成厚度為 50nm 的氧化銦錫並將其用作導電膜，然後藉由濕蝕刻處理形成背閘極電極 139。另外，雖然在此未圖示，但是背閘極電極 139 與閘極電極 103 連接。然後，去除由抗蝕劑形成的掩模。

藉由上述製程製造雙閘型薄膜電晶體（以下記載為 TFT1）（參照圖 6C）。

另外，在與 TFT1 相同的製程中，在不使用迴圈流動的條件下形成厚度為 65nm 的微晶半導體膜 109，而製造雙閘型薄膜電晶體（記載為 TFT2）並將其用作比較例。

不使用迴圈流動的條件下，微晶半導體膜 109 的沉積條件使用電漿 CVD 法進行，在該電漿 CVD 法中：將矽烷的流量設定為 2sccm，將氫的流量設定為 1500sccm，將氫的流量設定為 1500sccm，而導入原料氣體；將處理室內的壓力設定為 10000Pa；將 RF 電源頻率設定為 13.56MHz；將 RF 電源的功率設定為 350W；將上部電極的溫度設定為 250℃，將下部電極的溫度設定為 290℃；並且使用進行電漿放電。

圖 16A 和 16B 示出在本實施例中製造的薄膜電晶體（TFT1）及比較例的薄膜電晶體（TFT2）的電特性的測定結果。在此，示出只對閘極電極 103 施加上述閘電壓時

的電特性。另外，在本實施例的薄膜電晶體中，將通道長度設定為 $3.3\mu\text{m}$ ，將通道寬度設定為 $20.4\mu\text{m}$ ，將閘極絕緣層的厚度設定為 300nm ，將平均介電常數設定為 6.55 ，以計算場效應遷移率。

另外，表 1 示出汲電壓為 10V 且閘電壓為 15V 時的導通電流（記載為 I_{on} ）、最小截止電流（記載為 $I_{\text{off}}(\text{min})$ ）、最小截止電流的閘電壓為 -10V 時的截止電流（記載為 I_{off} ）、臨界值電壓（記載為 V_{th} ）、S 值（記載為 S-value）、相對於最小截止電流的導通電流的比率（記載為 $I_{\text{on}}/I_{\text{off_min}}$ ）、汲電壓為 10V 時的場效應遷移率（記載為 $\mu\text{FE_sat}$ ）。

[表 1]

		TFT1	TFT2
$I_{\text{on}}(V_{\text{g}}=15\text{V})$	$[\mu\text{A}]$	10.45	10.04
$I_{\text{off}}(\text{min.})$	$[\text{pA}]$	0.25	0.43
I_{off}	$[\text{pA}]$	4.41	2.84
V_{th}	$[\text{V}]$	1.33	1.35
S-value	$[\text{V}/\text{dec.}]$	0.36	0.68
$I_{\text{on}}/I_{\text{off}}(\text{min.})$	[位數]	7.62	7.37
$\mu\text{FE_sat.}$	$[\text{cm}^2/\text{Vs}]$	1.14	1.04

根據圖 16A 和 16B，當使用第二條件形成微晶半導體膜時，藉由進行迴圈流動，薄膜電晶體的導通電流、相對於最小截止電流的導通電流的比率以及場效應遷移率上升，並且最小截止電流及 S 值降低。根據本實施例，可以製

造導通電流及場效應遷移率高且截止電流低的薄膜電晶體

。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是說明根據本發明的一個實施方式的微晶半導體膜的製造方法的剖面圖；

圖 2 是說明根據本發明的一個實施方式的微晶半導體膜的製造方法的圖；

圖 3 是說明根據本發明的一個實施方式的微晶半導體膜的製造方法的剖面圖；

圖 4A 至 4D 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 5A 和 5B 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 6A 至 6C 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 7A 至 7D 是說明根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖；

圖 8A 至 8C 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 9 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 10A 至 10E 是說明光電轉換裝置的製造方法的一

個方式的剖面圖；

圖 11 是示出電子書閱讀器的一個例子的立體圖；

圖 12A 和 12B 是示出電視裝置及數碼相框的一個例子的立體圖；

圖 13 是示出可攜式電腦的一個例子的立體圖；

圖 14 是示出半導體膜的蝕刻速度的圖；

圖 15A 和 15B 是微晶矽膜的 SEM 照片；

圖 16A 和 16B 是說明薄膜電晶體的電流電壓特性的圖；

圖 17A 和 17B 是說明微晶矽膜的 X 射線衍射強度的圖。

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100121637

※申請日：100年06月21日

※IPC分類：

H01L21/31 -2006.01

一、發明名稱：(中文/英文)

半導體裝置的製造方法

H01L21/336 -2006.01

Method for manufacturing semiconductor device

二、中文發明摘要：

本發明的一個方式提供一種以高生產率製造電特性優良的半導體裝置的方法。在第一條件下形成以低微粒密度具有高結晶性的混合相微粒的種子，然後在第二條件下以使混合相微粒生長來填埋混合相微粒之間的空隙的方式在種子上層疊形成微晶半導體膜。在第一條件中，將氫流量設定為含有矽或銻的沉積氣體流量的50倍以上且1000倍以下來稀釋沉積氣體，並且將處理室內的壓力設定為67Pa以上且1333Pa以下。在第二條件中，使含有矽或銻的沉積氣體與氫的流量比週期性地增減並將其供應到處理室內，並且將處理室內的壓力設定為1333Pa以上且13332Pa以下。

三、英文發明摘要：

A method for manufacturing a semiconductor device comprises the steps of forming a seed over the insulating film by introducing hydrogen and a deposition gas into a first treatment chamber under a first condition and forming a microcrystalline semiconductor film over the seed by introducing hydrogen and the deposition gas into a second treatment chamber under a second condition: a second flow rate of the deposition gas is periodically changed between a first value and a second value; and a second pressure in the second treatment chamber is higher than or equal to 1.0×10^2 Torr and lower than or equal to 1.0×10^3 Torr.

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成絕緣膜；

在第一條件下將氫和沉積氣體導入到第一處理室中來在該絕緣膜上形成種子：氫的第一流量為該沉積氣體的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下；並且該第一處理室中的第一壓力為 5.0×10^{-1} Torr 以上且 1.0×10^2 Torr 以下；以及

在第二條件下將氫和該沉積氣體導入到第二處理室中來在該種子上形成微晶半導體膜：該沉積氣體的第二流量在第一值和第二值之間週期性地變化；並且該第二處理室中的第二壓力為 1.0×10^2 Torr 以上且 1.0×10^3 Torr 以下，

其中，該第一值相當於該沉積氣體的該第一流量，並且，該第二值比該第一值低。

2. 根據申請專利範圍第 1 項之方法，其中在該第二條件下氫的流量為一定的值並相當於氫的該第一流量。

3. 根據申請專利範圍第 1 項之方法，其中該第一值為該第二值的 1.0×10^1 倍以上。

4. 根據申請專利範圍第 1 項之方法，其中該第一處理室與該第二處理室彼此不同。

5. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成閘極電極；

在該基板和該閘極電極上形成閘極絕緣膜；

在第一條件下將氫和沉積氣體導入到第一處理室中來

在該閘極絕緣膜上形成種子：氫的第一流量為該沉積氣體的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下；並且該第一處理室中的第一壓力為 5.0×10^{-1} Torr 以上且 1.0×10^2 Torr 以下；

在第二條件下將氫和該沉積氣體導入到第二處理室中來在該種子上形成微晶半導體膜：該沉積氣體的第二流量在第一值和第二值之間週期性地變化；並且該第二處理室中的第二壓力為 1.0×10^2 Torr 以上且 1.0×10^3 Torr 以下；

在該微晶半導體膜上形成半導體膜；

對該種子的一部分、該微晶半導體膜的一部分和該半導體膜的一部分進行蝕刻來形成半導體疊層體；以及

在該半導體疊層體上形成佈線，

其中，該第一值相當於該沉積氣體的該第一流量，

並且，該第二值比該第一值低。

6. 根據申請專利範圍第 5 項之方法，其中在該第二條件下氫的流量為一定的值並相當於氫的該第一流量。

7. 根據申請專利範圍第 5 項之方法，其中該第一值為該第二值的 1.0×10^1 倍以上。

8. 根據申請專利範圍第 5 項之方法，其中該第一處理室與該第二處理室彼此不同。

9. 根據申請專利範圍第 5 項之方法，還包括如下步驟：對該半導體疊層體的側表面進行電漿處理，而在該半導體疊層體的該側表面上形成隔壁區。

10. 根據申請專利範圍第 5 項之方法，還包括如下步

驟：

在該佈線、該半導體疊層體和該閘極絕緣膜上形成絕緣膜；以及

在該絕緣膜上形成背閘極電極。

11. 根據申請專利範圍第 10 項之方法，其中該閘極電極與該背閘極電極彼此電連接。

12. 根據申請專利範圍第 10 項之方法，其中該背閘極電極處於電浮動狀態。

13. 一種半導體裝置的形成方法，包括如下步驟：

在基板上形成絕緣膜；

在第一條件下將氫和沉積氣體導入到第一處理室中來在該絕緣膜上形成種子：氫的第一流量為該沉積氣體的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下；並且該第一處理室中的第一壓力為 5.0×10^{-1} Torr 以上且 1.0×10^2 Torr 以下；以及

在第二條件下將氫和該沉積氣體導入到第二處理室中來在該種子上形成微晶半導體膜：氫的第二流量在第一值和第二值之間週期性地變化；並且該第二處理室中的第二壓力為 1.0×10^2 Torr 以上且 1.0×10^3 Torr 以下，

其中，該第一值相當於該沉積氣體的該第一流量，

並且，該第二值比該第一值低。

14. 根據申請專利範圍第 13 項之方法，其中在該第二條件下氫的流量為一定的值並相當於氫的該第一流量。

15. 根據申請專利範圍第 13 項之方法，其中該第一

值為該第二值的 1.0×10^1 倍以上。

16. 根據申請專利範圍第 13 項之方法，其中該第一處理室與該第二處理室彼此不同。

17. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成閘極電極；

在該基板和該閘極電極上形成閘極絕緣膜；

在第一條件下將氫和沉積氣體導入到第一處理室中來在該閘極絕緣膜上形成種子：氫的第一流量為該沉積氣體的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下；並且該第一處理室中的第一壓力為 5.0×10^{-1} Torr 以上且 1.0×10^2 Torr 以下；

在第二條件下將氫和該沉積氣體導入到第二處理室中來在該種子上形成微晶半導體膜：氫的第二流量在第一值和第二值之間週期性地變化；並且該第二處理室中的第二壓力為 1.0×10^2 Torr 以上且 1.0×10^3 Torr 以下；

在該微晶半導體膜上形成半導體膜；

對該種子的一部分、該微晶半導體膜的一部分和該半導體膜的一部分進行蝕刻來形成半導體疊層體；以及

在該半導體疊層體上形成佈線，

其中，該第一值相當於該沉積氣體的該第一流量，

並且，該第二值比該第一值低。

18. 根據申請專利範圍第 17 項之方法，其中在該第二條件下氫的流量為一定的值並相當於氫的該第一流量。

19. 根據申請專利範圍第 17 項之方法，其中該第一

值為該第二值的 1.0×10^1 倍以上。

20. 根據申請專利範圍第 17 項之方法，其中該第一處理室與該第二處理室彼此不同。

21. 根據申請專利範圍第 17 項之方法，還包括如下步驟：將該半導體疊層體的側表面暴露於電漿，而在該半導體疊層體的該側表面上形成隔壁區。

22. 根據申請專利範圍第 17 項之方法，還包括如下步驟：

在該佈線、該半導體疊層體和該閘極絕緣膜上形成絕緣膜；以及

在該絕緣膜上形成背閘極電極。

23. 根據申請專利範圍第 22 項之方法，其中該閘極電極與該背閘極電極彼此電連接。

24. 根據申請專利範圍第 22 項之方法，其中該背閘極電極處於電浮動狀態。

圖 1A

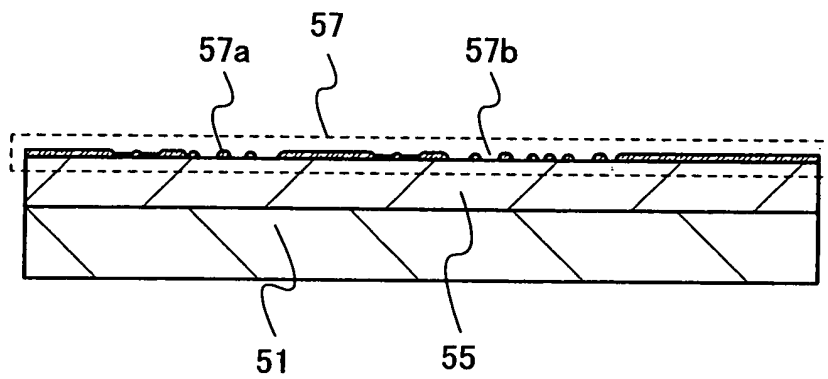


圖 1B

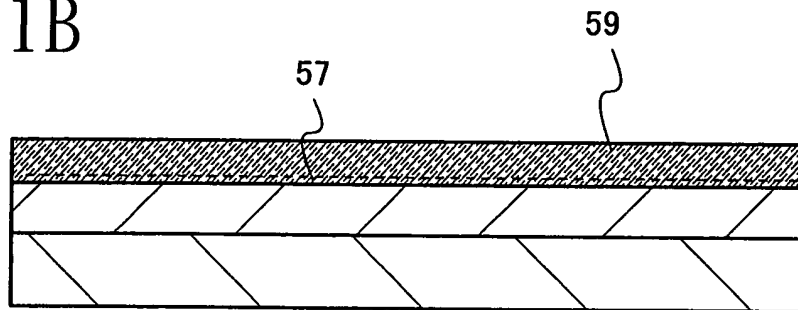


圖2

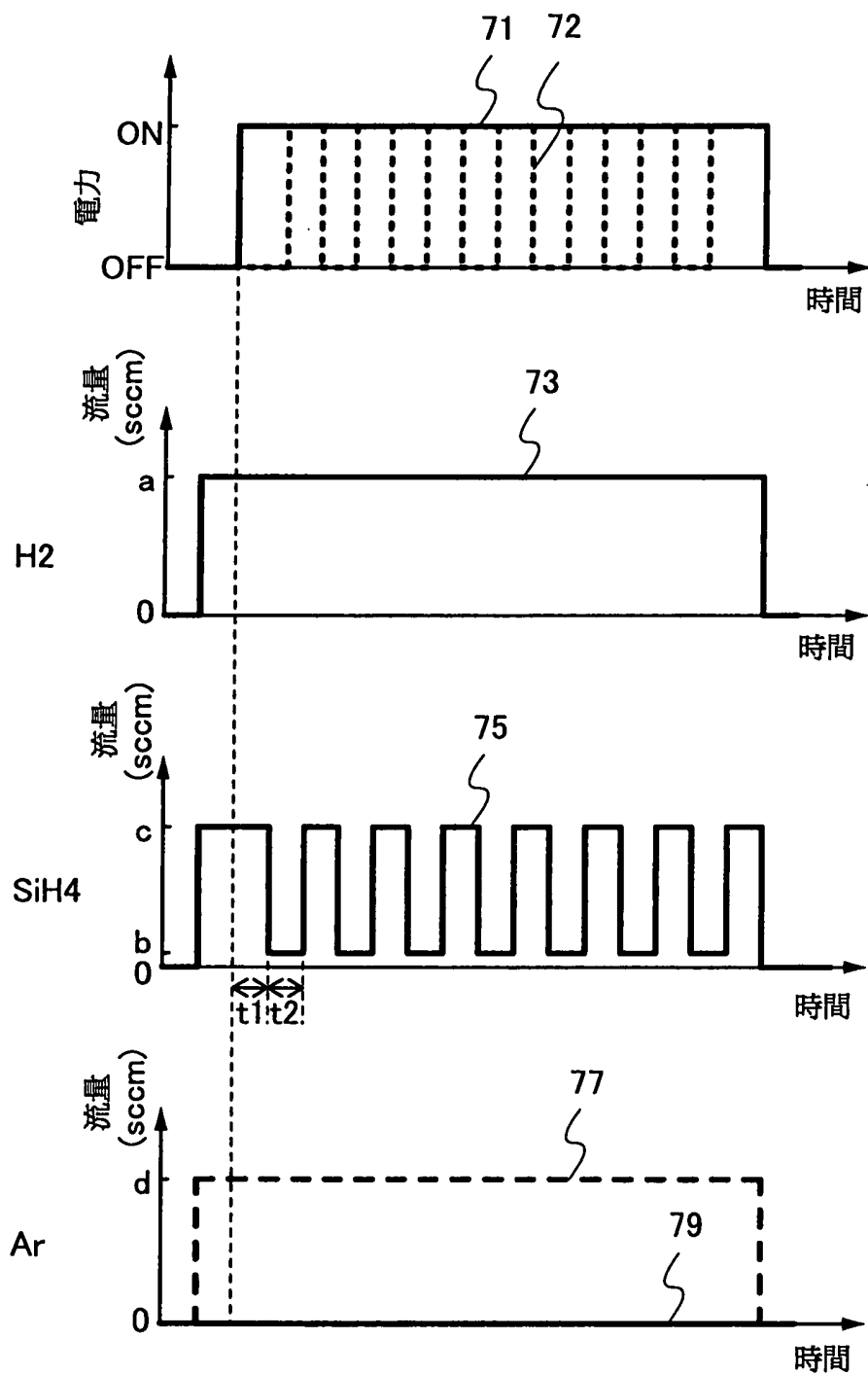


圖3

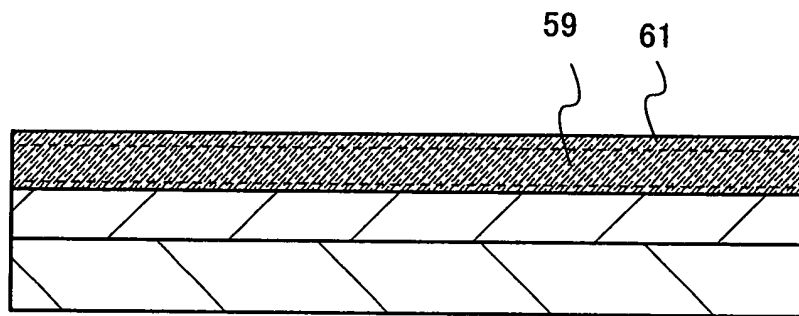


圖 4A

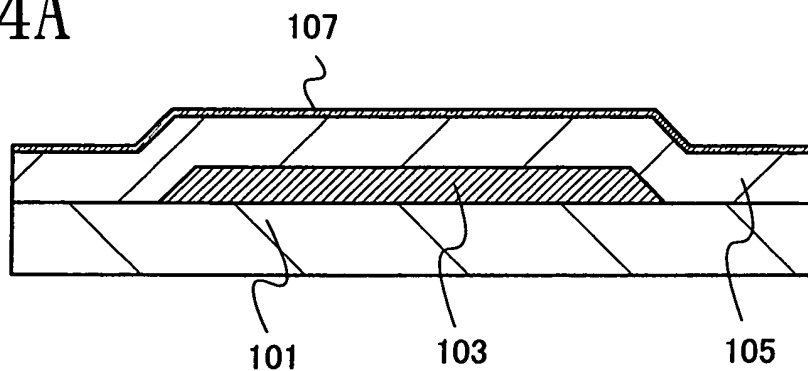


圖 4B

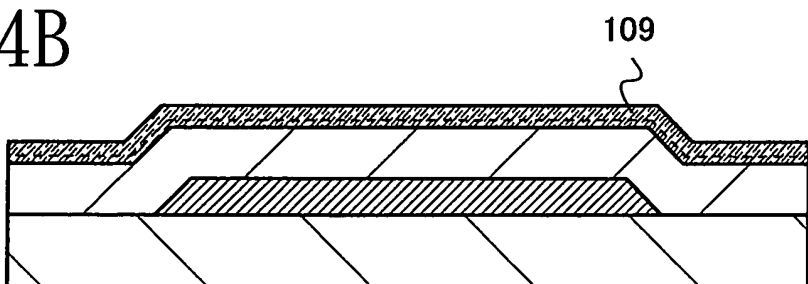


圖 4C

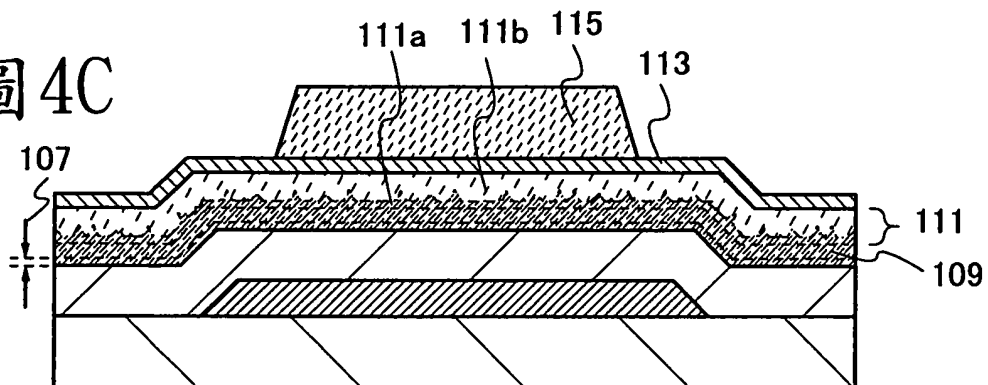


圖 4D

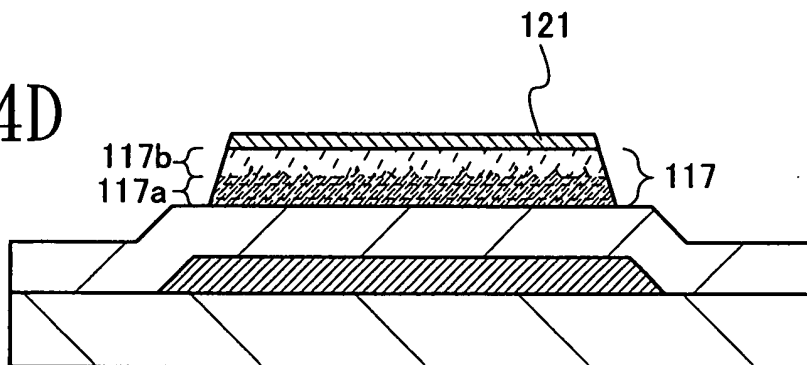


圖5A

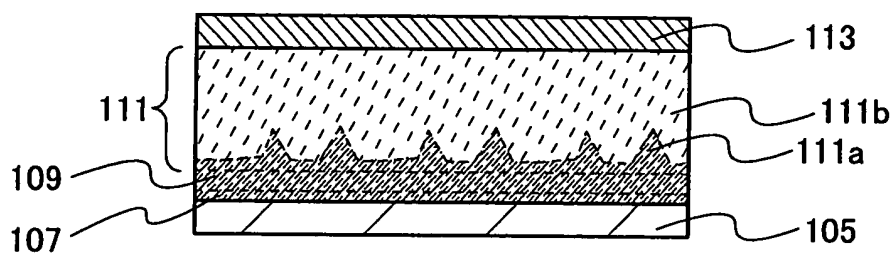


圖5B

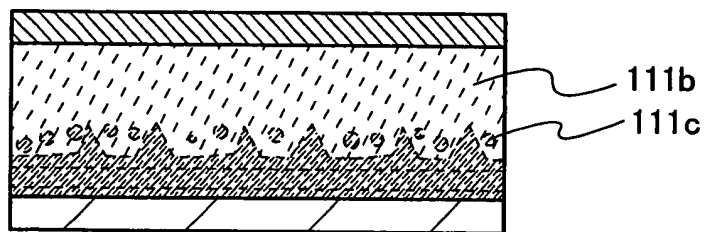


圖 6A

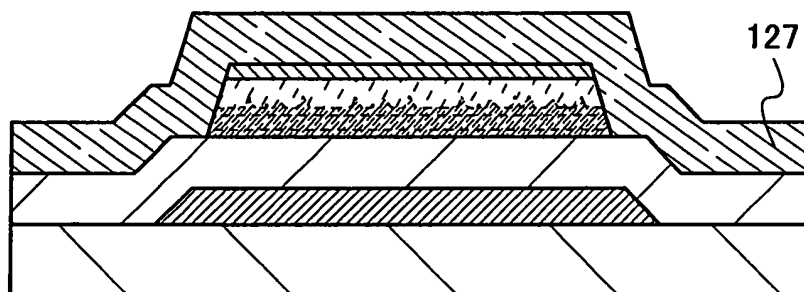


圖 6B

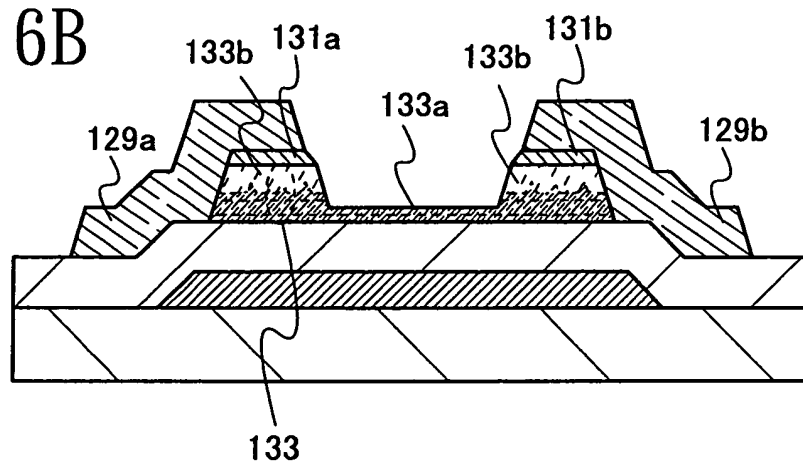


圖 6C

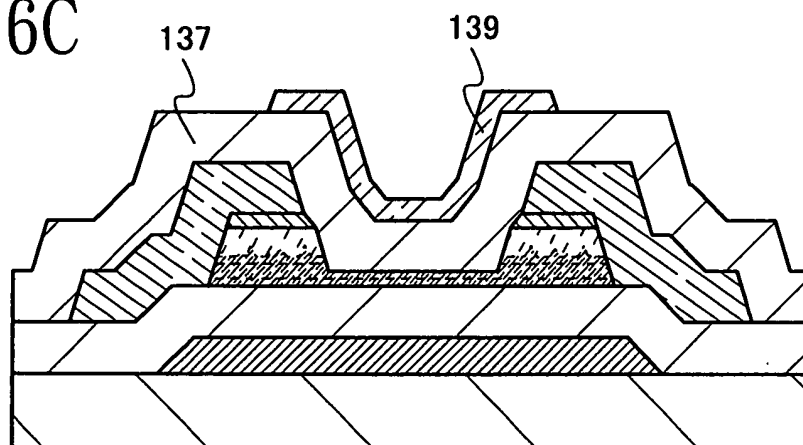


圖7A

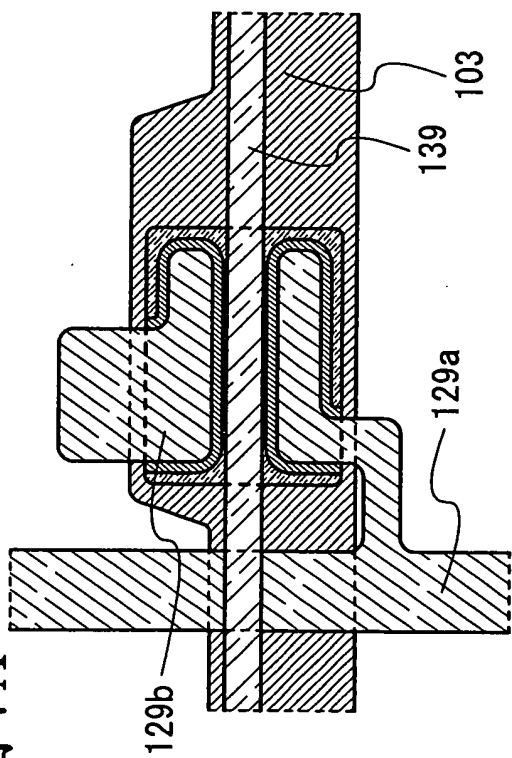


圖7C

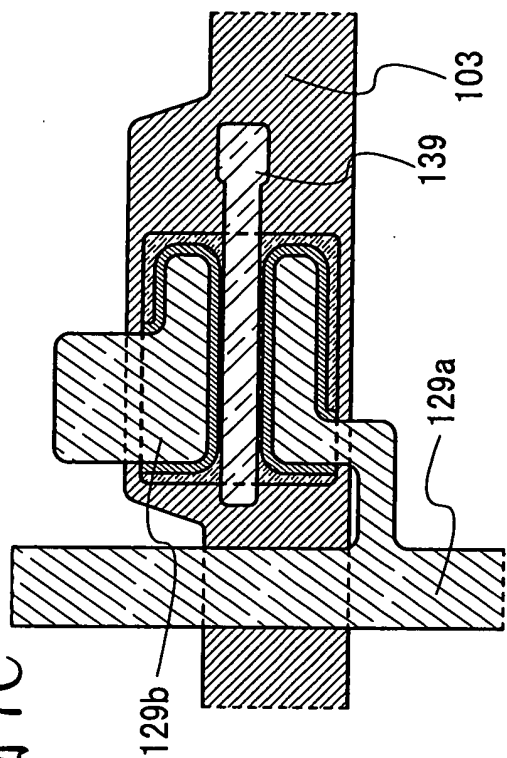


圖7B

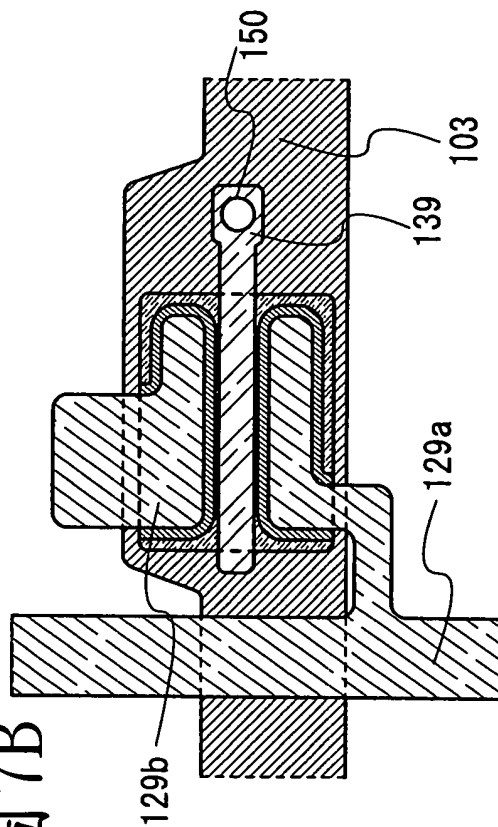


圖7D

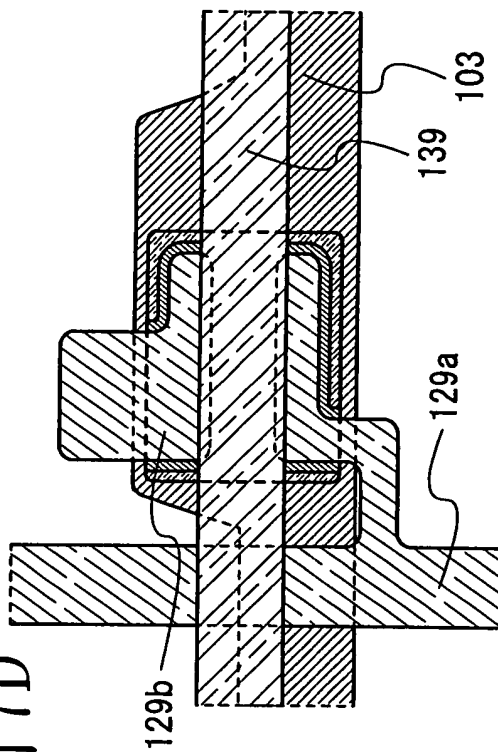


圖8A

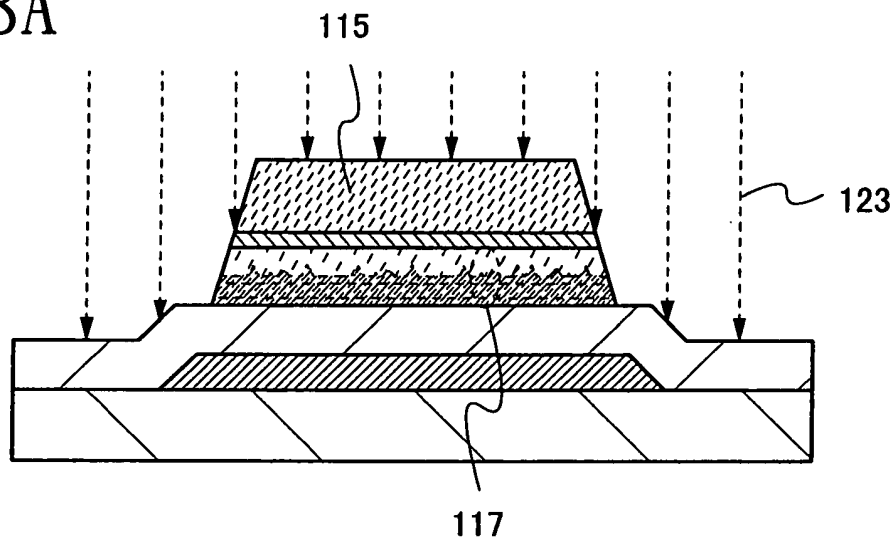


圖8B

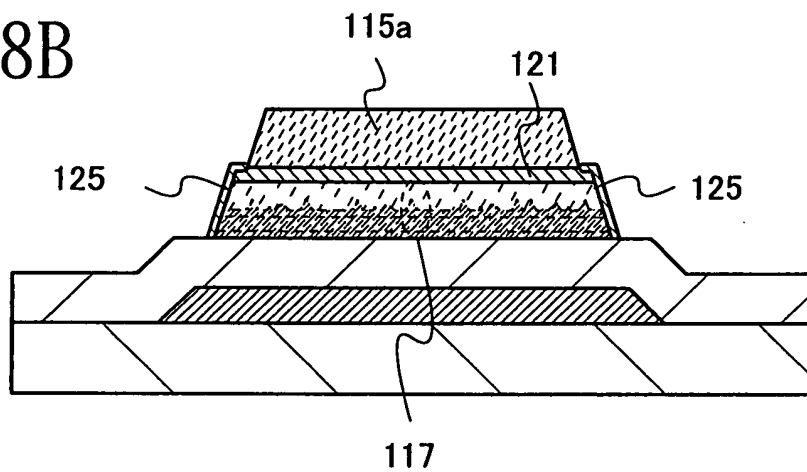


圖8C

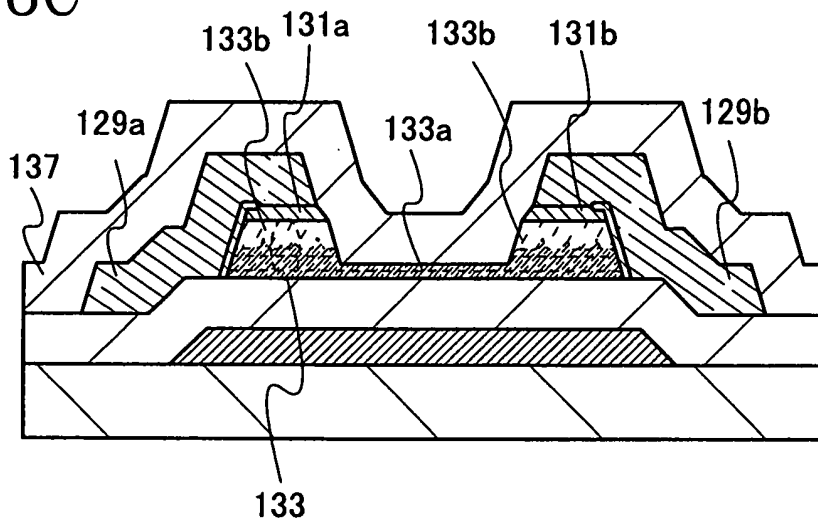


圖 9

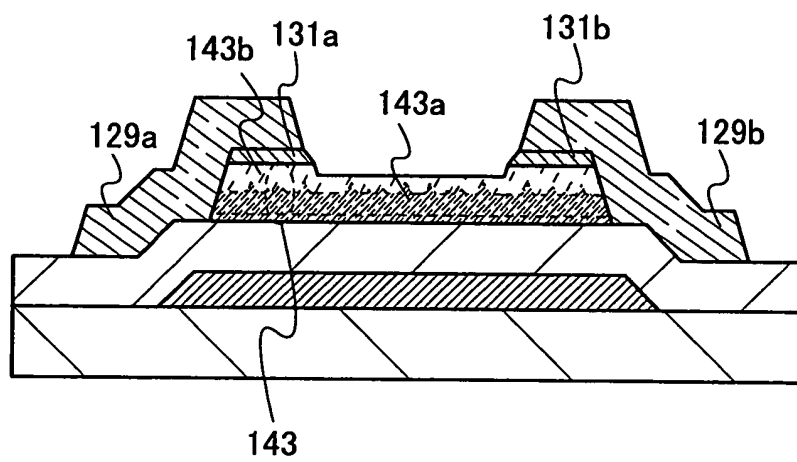


圖 10A

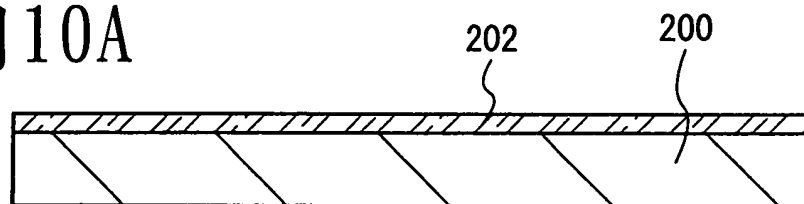


圖 10B

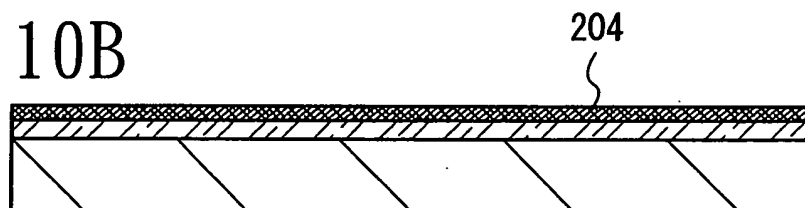


圖 10C

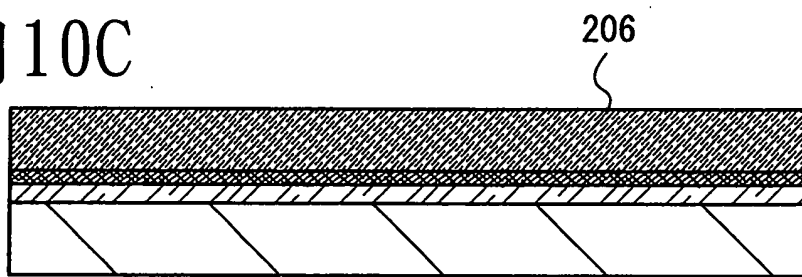


圖 10D

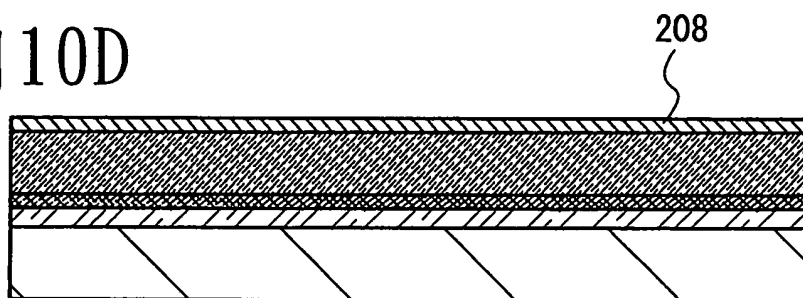


圖 10E

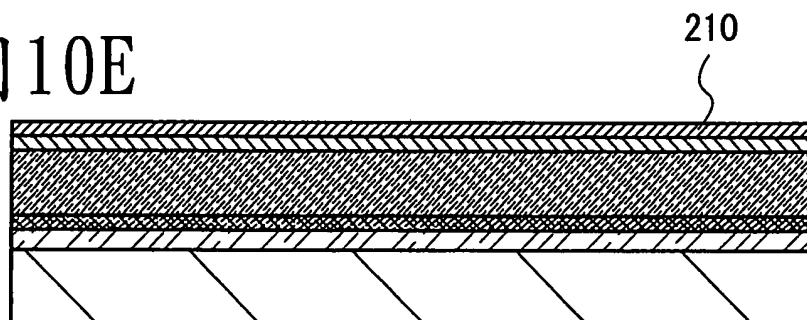


圖 11

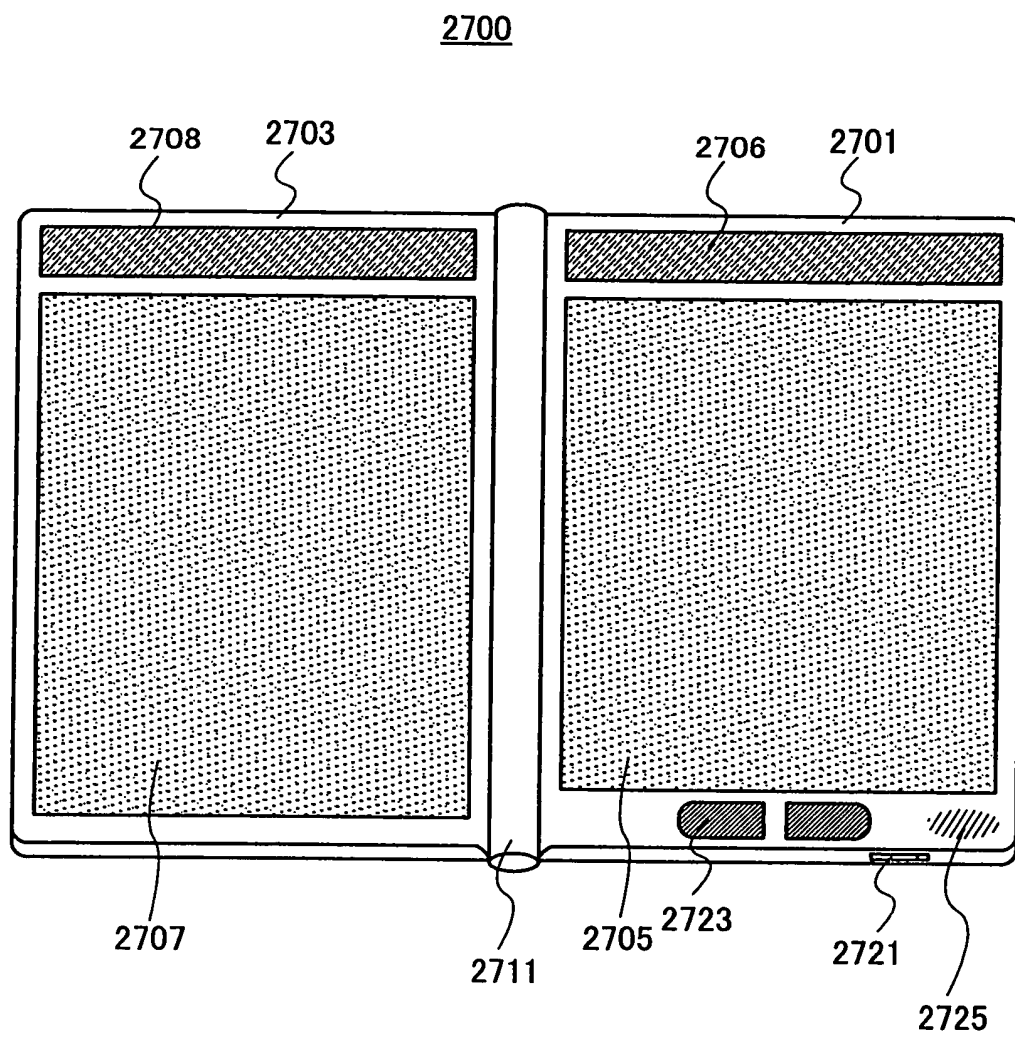


圖 12A

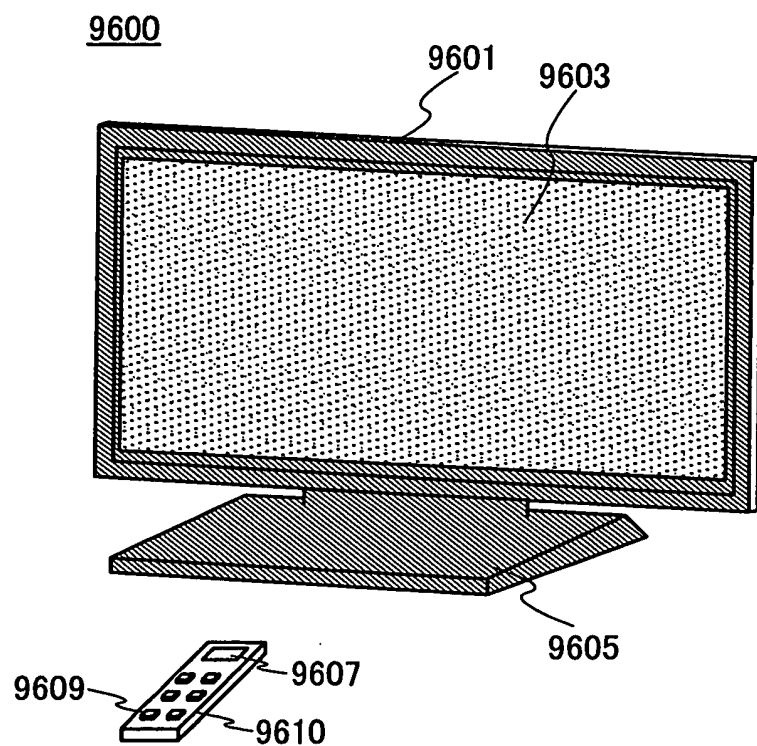


圖 12B

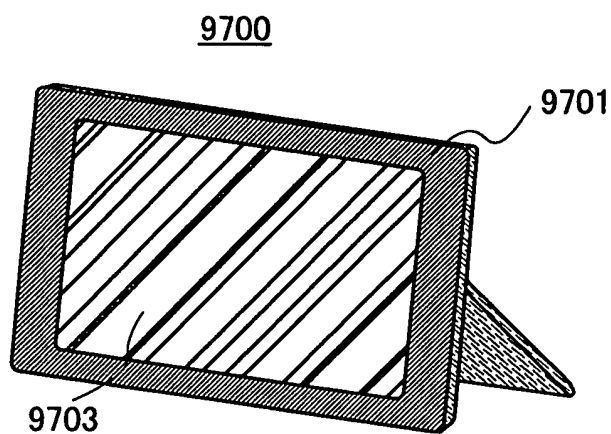


圖 13

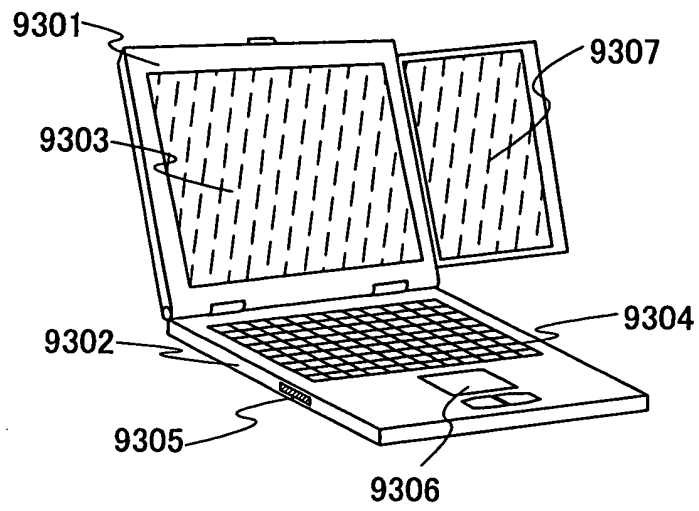


圖 14

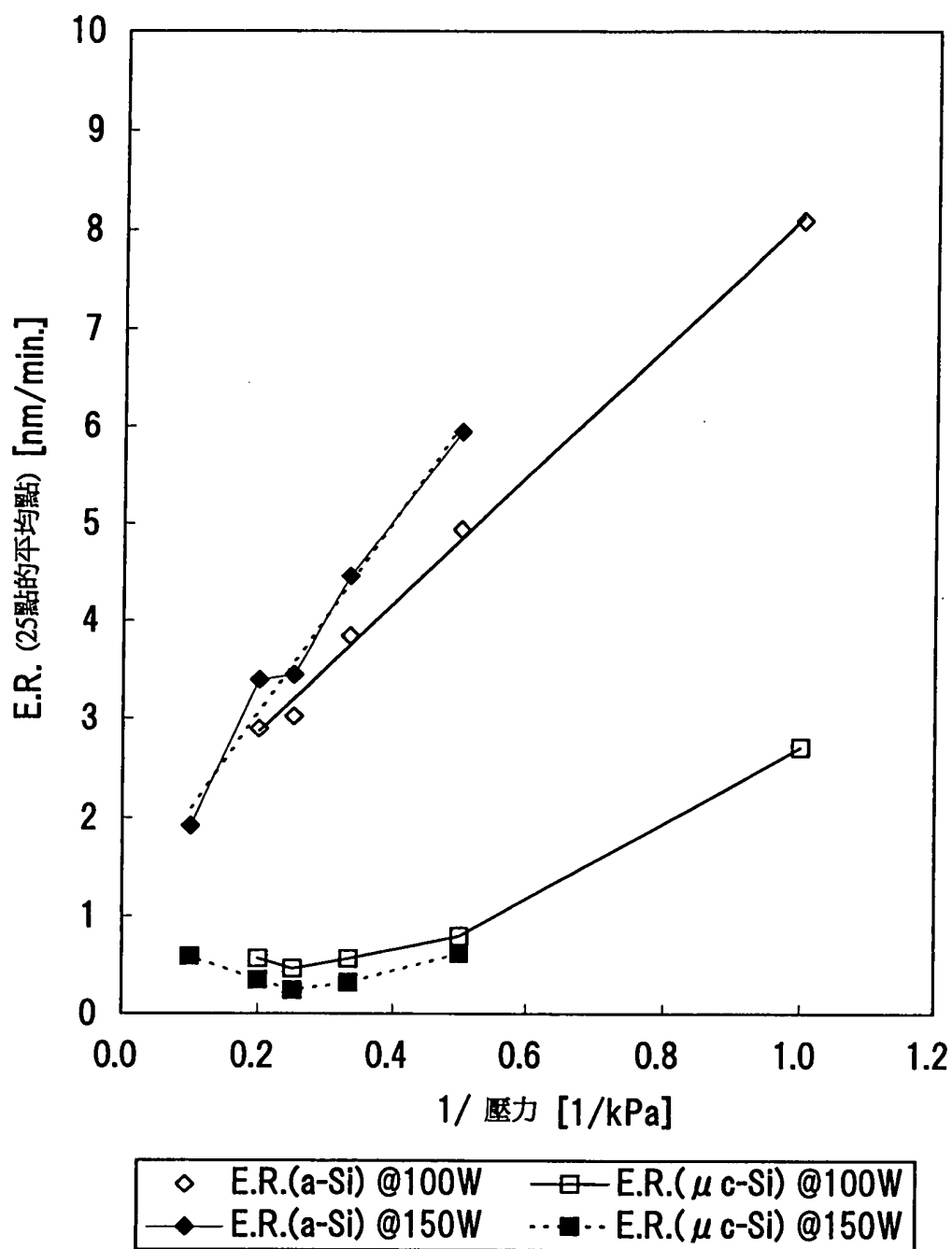


圖 15A

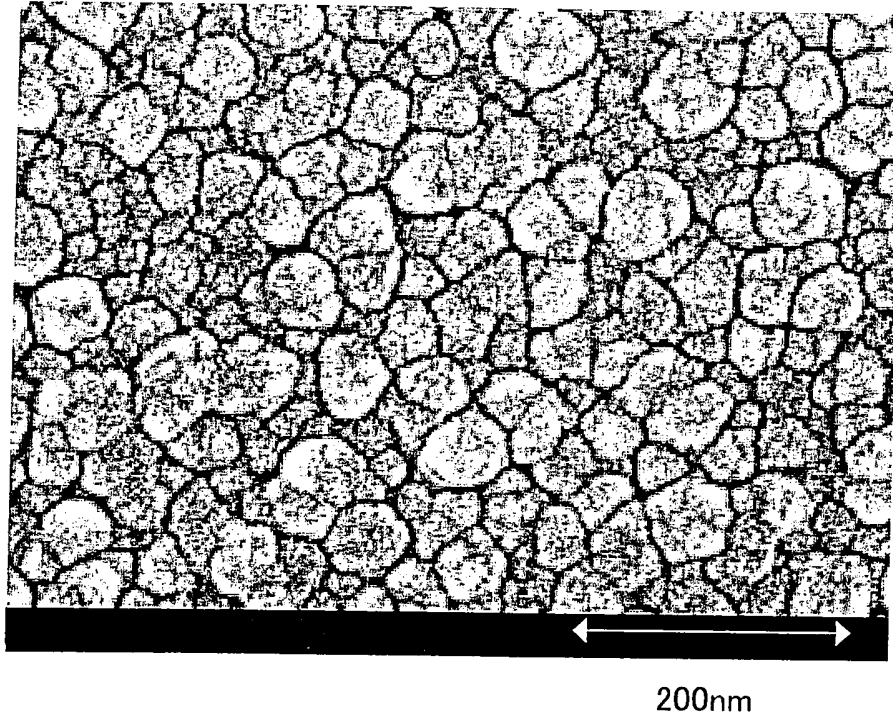


圖 15B

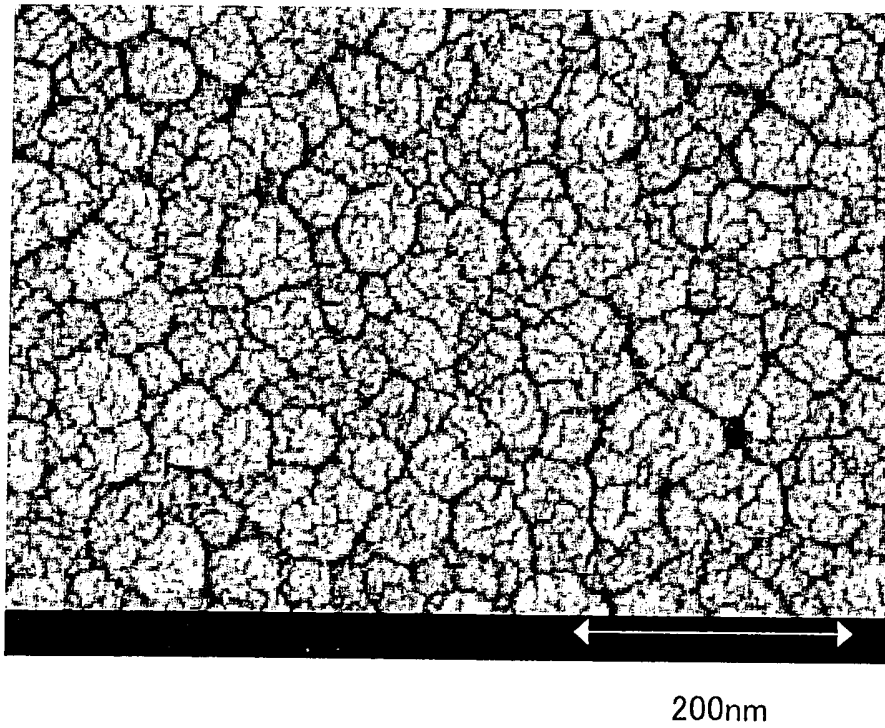


圖 16A

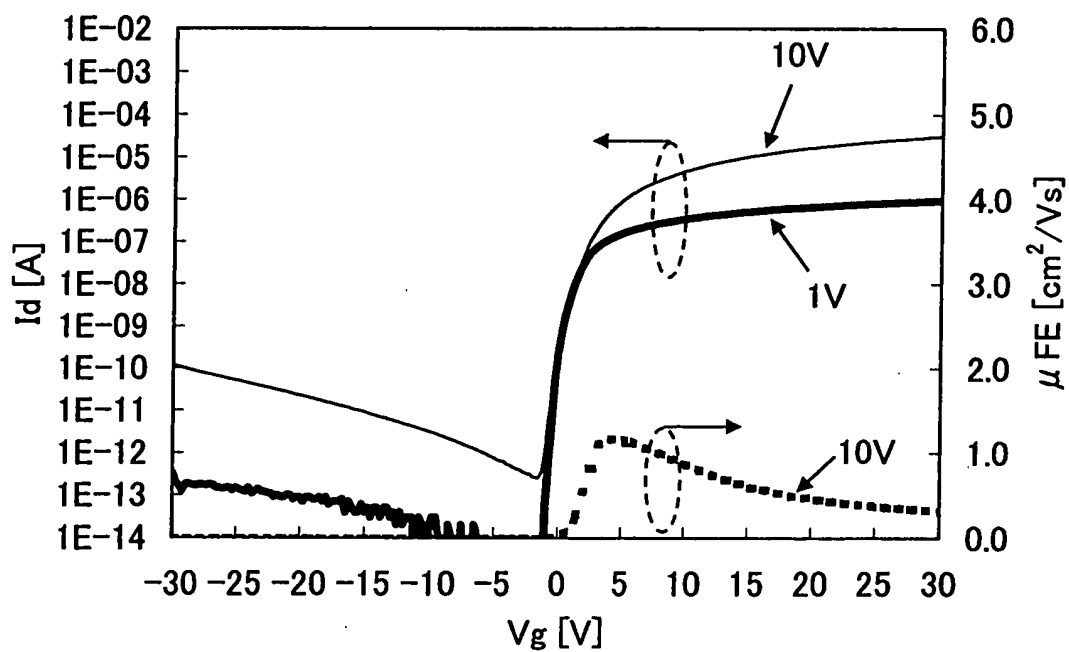


圖 16B

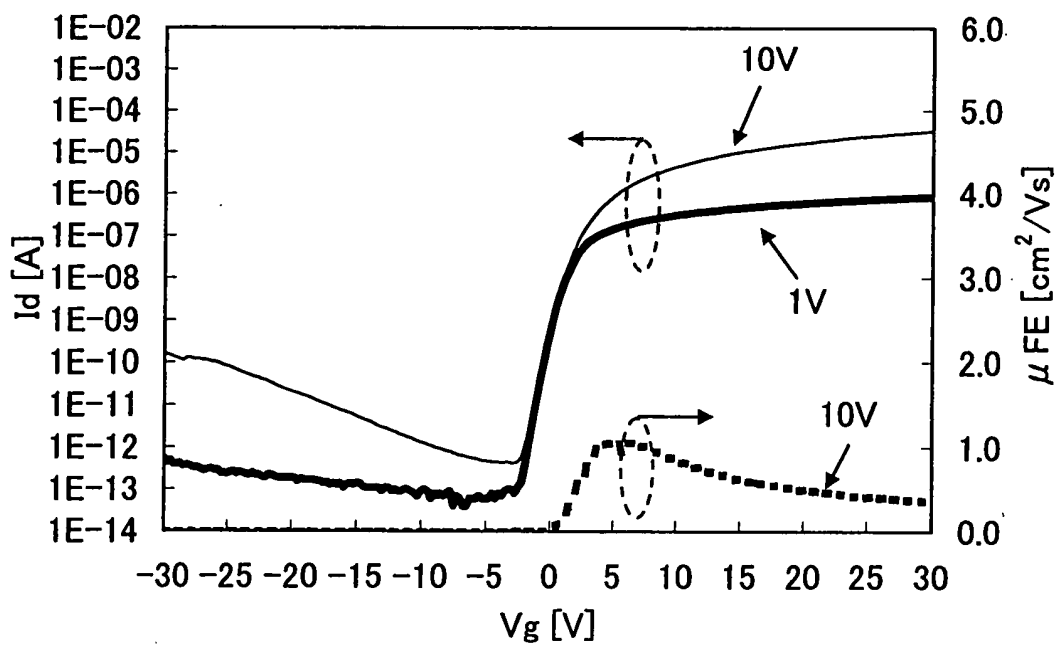


圖 17A

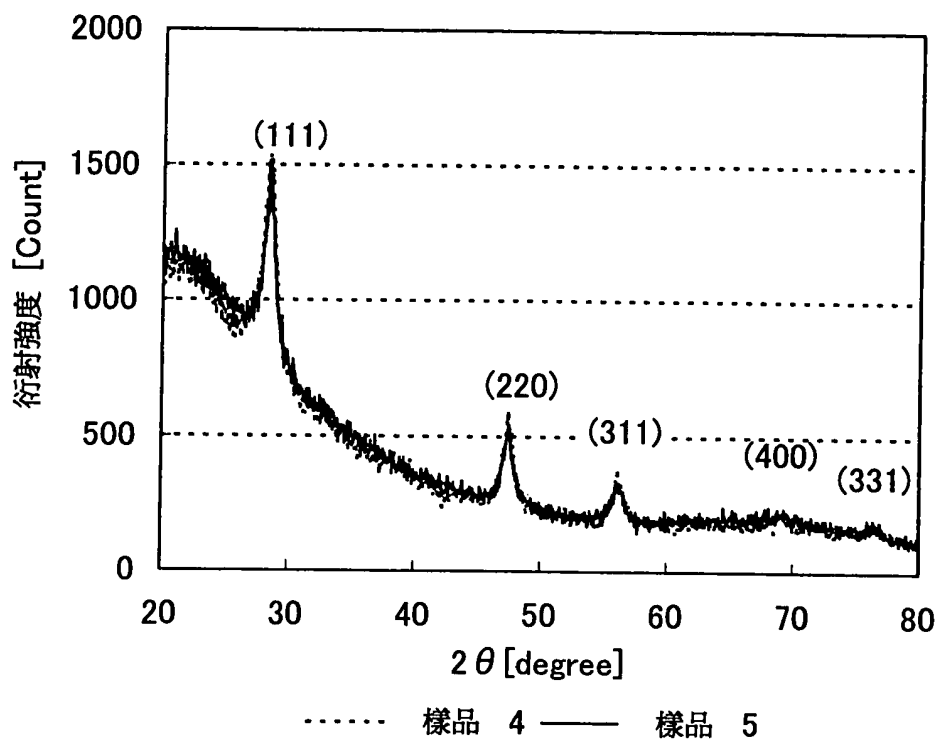
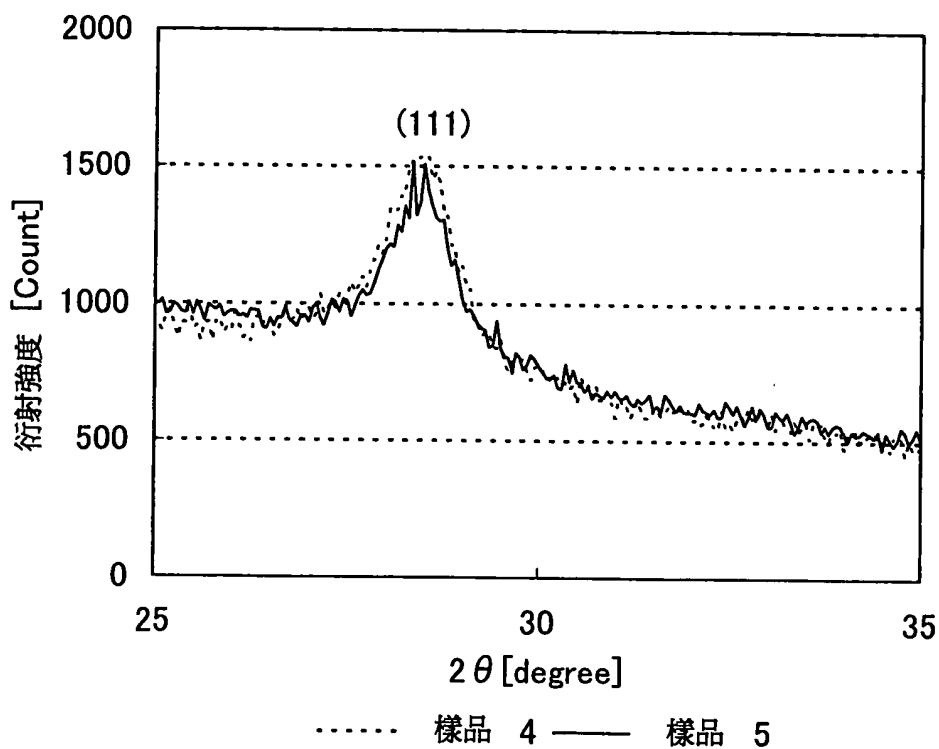


圖 17B



四、指定代表圖：

(一) 本案指定代表圖為：第 (1A) 圖。

(二) 本代表圖之元件符號簡單說明：

51：基板

55：絕緣膜

57：種子

57a：混合相微粒

57b：空隙

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無