

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-9652  
(P2012-9652A)

(43) 公開日 平成24年1月12日(2012.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO 1 L 27/146 (2006.01)</b>	HO 1 L 27/14 A	4 M 1 1 8
<b>HO 4 N 5/374 (2011.01)</b>	HO 4 N 5/335 7 4 O	5 C O 2 4

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願2010-144723 (P2010-144723)  
(22) 出願日 平成22年6月25日 (2010. 6. 25)

(71) 出願人 000005821  
パナソニック株式会社  
大阪府門真市大字門真1006番地  
(74) 代理人 100083172  
弁理士 福井 豊明  
(72) 発明者 小澤 傑  
大阪府門真市大字門真1006番地 パナ  
ソニック株式会社内  
Fターム(参考) 4M118 AA03 AA10 AB01 BA14 CA04  
CA19 CB13 CB14 DA20 DD04  
DD12 EA06 EA14 EA16 FA06  
FA27 FA28 FA33 GA09 GB11  
GC08 GD04  
5C024 AX01 CX41 CY47 GX03 GX16  
GY31 GZ34 HX12 HX40 JX21

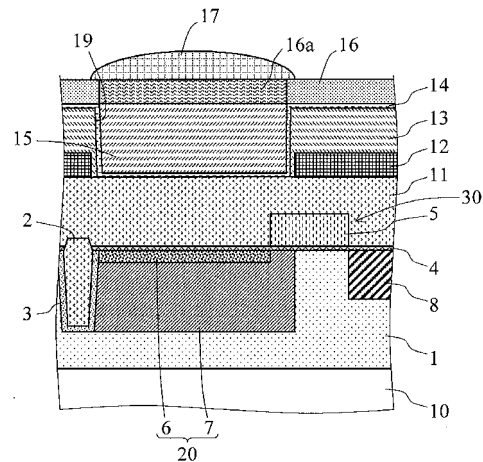
(54) 【発明の名称】 固体撮像装置およびその製造方法

(57) 【要約】

【課題】画素セルの微細化に伴う感度低下を抑制することができる固体撮像装置およびその製造方法を提供する。

【解決手段】第1導電型の半導体層1と、半導体層1に設けられた、第2導電型の不純物領域からなる電荷蓄積領域7とを備える。電荷蓄積領域7に蓄積された信号電荷が転送される、第2導電型の不純物領域からなる検出部8が、電荷蓄積領域7に対応して、電荷蓄積領域7と間隔を置いて半導体層1に設けられている。さらに、半導体層1の表面には、電荷蓄積領域7と重なる状態で絶縁膜4を介して設けられ、当該重なり部分の少なくとも一部が、可視光に対して透過性を有する透明導電体からなる転送ゲート電極5を備える。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

入射光を信号電荷に変換して蓄積する電荷蓄積領域を複数備える固体撮像装置であって、  
第 1 導電型の半導体層と、  
前記半導体層に設けられた、第 2 導電型の不純物領域からなる電荷蓄積領域と、  
前記電荷蓄積領域に対応して、前記電荷蓄積領域と間隔をおいて前記半導体層に設けられた、前記電荷蓄積領域に蓄積された信号電荷が転送される、第 2 導電型の不純物領域からなる検出部と、  
前記半導体層の表面に、前記電荷蓄積領域と重なる状態で絶縁膜を介して設けられ、当該重なり部分の少なくとも一部が、可視光に対して透過性を有する透明導電体からなる、前記転送を制御する転送ゲート電極と、  
を備えることを特徴とする、固体撮像装置。

10

**【請求項 2】**

前記転送ゲート電極は前記電荷蓄積領域の一部のみと重なる、請求項 1 記載の固体撮像装置。

**【請求項 3】**

前記転送ゲート電極が、電気的に分離された複数の電極により構成される、請求項 1 または 2 記載の固体撮像装置。

**【請求項 4】**

入射光を信号電荷に変換して蓄積する電荷蓄積領域を複数備える固体撮像装置の製造方法であって、

20

第 1 導電型の半導体層に、第 2 導電型の不純物領域からなる電荷蓄積領域を形成する工程と、

前記電荷蓄積領域が形成された前記半導体層の表面に、前記電荷蓄積領域の一部と重なる状態で、当該重なり部分の少なくとも一部が可視光に対して透過性を有する透明導電体からなる転送ゲート電極を、絶縁膜を介して形成する工程と、

前記電荷蓄積領域に対応して、前記半導体層に、第 2 導電型の不純物領域からなり、前記転送ゲート電極によって前記電荷蓄積領域に蓄積された信号電荷が転送される検出部を、当該電荷蓄積領域と間隔をおいて形成する工程と、  
を含むことを特徴とする固体撮像装置の製造方法。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、固体撮像装置およびその製造方法に関する。

**【背景技術】****【0002】**

近年、高画質化の要求に応じて、固体撮像装置の多画素化が進められている。しかしながら、多画素化に伴う画素セルの微細化により、各画素セルの受光領域（光電変換領域）は縮小し、受光領域に入射する光の量が減少することになる。そのため、画像が暗くなる、あるいは、信号ノイズ比（S/N比）が劣化する等の感度低下が問題となり、このような感度低下を解決する技術が求められている。

40

**【0003】**

従来、各画素セルの受光領域において生成された信号電荷を検知部（フローティングディフュージョン）へ転送する読み出し用トランジスタ等のゲート電極材料にはポリシリコンが使用されている（例えば、特許文献 1 参照）。ポリシリコンは可視光に対して吸収が大きいため、画素セルにおいてゲート電極が配置されている領域は、受光領域として機能させることができない。この種の固体撮像装置では、ゲート寸法をより縮小して画素セル内に占めるゲート電極の配置領域を減少させ、かつ受光領域を増大させることで、上述の感度低下を抑制することが可能になる。

50

## 【先行技術文献】

## 【特許文献】

【0004】

【特許文献1】特開平11 274461号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

【0005】

しかしながら、例えば、上記読み出し用トランジスタのゲート寸法を縮小すると、信号電荷の読み出し特性が劣化する。図8は、当該読み出し特性の劣化を説明するための図である。図8(a)は、読み出し用トランジスタのゲート長が大きい画素セルを模式的に示す断面図であり、図8(b)は、読み出し用トランジスタのゲート長が図8(a)に比べて小さい画素セルを模式的に示す断面図である。

10

【0006】

図8(a)、図8(b)に示すように、それぞれの画素セルは、半導体基板100表面部の、素子分離102により区分された領域に形成されている。また、各画素セルは、受光領域であるフォトダイオード120、フローティングディフュージョン108、読み出し用トランジスタのゲート電極105を備えている。なお、以下では、各画素セルのゲート電極105を区別する場合、図8(a)の画素セルの長ゲート長のゲート電極105をゲート電極105aと表記し、図8(b)の画素セルの短ゲート長のゲート電極105をゲート電極105bと表記する。

20

【0007】

この例では、フォトダイオード120およびフローティングディフュージョン108は、P型ウェル101内に形成されている。フォトダイオード120は、N型不純物領域107の表面部にP型不純物領域106が形成された埋め込み構造を有している。また、N型不純物領域107は、素子分離102の周囲に形成されたP型不純物領域103とも接している。N型不純物領域107は、読み出し用ゲート電極105を備える読み出し用トランジスタのソース領域を構成している。また、フローティングディフュージョン108は、読み出し用トランジスタのドレイン領域を構成している。

【0008】

この画素セルは、読み出し用トランジスタを導通状態にすることにより、フォトダイオード120において生成され蓄積された信号電荷(電子)を、フローティングディフュージョン108へ転送する。信号電荷が転送されたフローティングディフュージョン108の電位を、例えば、増幅トランジスタ(図示せず)を介して読み出すことで、画素信号が出力される。

30

【0009】

なお、図8(b)の画素セルでは、図8(a)の画素セルに比べてゲート電極105のゲート長が小さくなった分だけ、N型不純物領域107がフローティングディフュージョン108側へ広げられている。

【0010】

図8(b)に示す構成では、図8(a)に示す構成に比べて受光領域が大きくなるが、N型不純物領域107とフローティングディフュージョン108との距離が短くなる。そのため、図8(b)に示す構成では、信号電荷のパンチスルーが発生しやすくなる。すなわち、読み出し用トランジスタがオンであるかオフであるかに関わらず、信号電荷がN型不純物領域107からフローティングディフュージョン108へ移動するパンチスルー現象が生じやすくなる。このようなパンチスルー現象が発生した状況で出力される画素信号は、正常値とはいえない。なお、図8(a)、図8(b)では、このような電子の移動経路を矢印により模式的に示している。

40

【0011】

以上の理由により、短ゲート長化が進行した近年の固体撮像装置では、画素セル内に占めるゲート電極の領域をさらに減少させて受光領域を増大させる手法を採用することは

50

きない。

【0012】

また、図9(a)、図9(b)は、それぞれ、図8(a)、図8(b)に示す画素セルのゲート電極105に、読み出し用トランジスタをオン状態にする電位を印加した場合の、ポテンシャル分布(当ポテンシャル線)を示す図である。なお、図9(a)、図9(b)に点線で示す矢印Ap、Bpは、電子の読み出し経路を模式的に示している。また、実線で示す矢印Aw、Bwは、電子の読み出し経路の幅を模式的に示している。

【0013】

図9(a)、図9(b)から理解できるように、ゲート長が大きい画素セルの読み出し経路の幅Awに比べて、ゲート長が小さい画素セルの読み出し経路の幅Bwが狭くなっている。読み出し経路の幅が狭くなると、電荷転送効率が低下するため、読み出し用ゲート電極105に信号電荷読み出し用の所定電位が印加される所定時間内に、N型不純物領域107に蓄積された信号電荷をフローティングディフュージョン108へ完全に読み出すことができず、N型不純物領域107に信号電荷が残留する可能性がある。このような信号電荷の残留が発生した状況で出力される画素信号は、正常値とはいえない。また、このような信号電荷の残留を防止するために、信号電荷読み出し時に読み出し用ゲート電極105により大きな電位を印加する必要等が生じる。

10

【0014】

本発明は、このような従来課題を鑑みてなされたものであって、画素セルの微細化を行った場合においても感度低下を抑制することができるとともに、読み出し特性の劣化をも抑制することができる固体撮像装置およびその製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0015】

上述の課題を解決するため、本発明は、以下の技術的手段を採用している。すなわち、本発明は、入射光を信号電荷に変換して蓄積する電荷蓄積領域を複数備える固体撮像装置であって、第1導電型の半導体層と、当該半導体層に設けられた、第2導電型の不純物領域からなる電荷蓄積領域とを備える。また、電荷蓄積領域に蓄積された信号電荷が転送される、第2導電型の不純物領域からなる検出部が、電荷蓄積領域に対応して、電荷蓄積領域と間隔をおいて半導体層に設けられている。そして、本発明にかかる、固体撮像装置は、半導体層の表面に、電荷蓄積領域と重なる状態で絶縁膜を介して設けられ、当該重なり部分の少なくとも一部が、可視光に対して透過性を有する透明導電体からなる転送ゲート電極を備えている。なお、当該転送ゲート電極は、上記検出部への、上記電荷蓄積領域に蓄積された信号電荷の転送を制御する。

30

【0016】

一方、他の観点では、本発明は、上記固体撮像装置の実現に好適な、固体撮像装置の製造方法を提供することもできる。すなわち、本発明に係る固体撮像装置の製造方法は、第1導電型の半導体層に、第2導電型の不純物領域からなる電荷蓄積領域を形成する工程を含む。当該電荷蓄積領域が形成された前記半導体層の表面には、電荷蓄積領域の一部と重なる状態で、当該重なり部分の少なくとも一部が可視光に対して透過性を有する透明導電体からなる転送ゲート電極が、絶縁膜を介して形成される。また、本発明に係る固体撮像装置の製造方法は、電荷蓄積領域に対応して、上記半導体層に、第2導電型の不純物領域からなり、電荷蓄積領域に蓄積された信号電荷が転送ゲート電極によって転送される検出部を、当該電荷蓄積領域と間隔をおいて形成する工程を含む。

40

【発明の効果】

【0017】

本発明によれば、微細な画素セルにおいて、パンチスルーの抑制と、感度低下の抑制を両立させることができる。さらに、読み出し用トランジスタのゲート電極として機能する転送ゲート電極のゲート長を比較的大きくできるため、信号電荷の読み出し特性の劣化を抑制することができる。

【図面の簡単な説明】

50

## 【 0 0 1 8 】

【 図 1 】 本 発 明 の 一 実 施 形 態 の 固 体 撮 像 装 置 の 要 部 を 示 す 断 面 図

【 図 2 】 本 発 明 の 一 実 施 形 態 の 固 体 撮 像 装 置 の 要 部 を 示 す 平 面 図

【 図 3 】 本 発 明 の 一 実 施 形 態 の 固 体 撮 像 装 置 と 従 来 の 固 体 撮 像 装 置 と に お け る 、 光 電 変 換 の 様 子 を 示 す 模 式 図

【 図 4 】 本 発 明 の 一 実 施 形 態 に お け る 固 体 撮 像 装 置 の 製 造 過 程 を 示 す 工 程 断 面 図

【 図 5 】 本 発 明 の 一 実 施 形 態 に お け る 固 体 撮 像 装 置 の 製 造 過 程 を 示 す 工 程 断 面 図

【 図 6 】 本 発 明 の 一 実 施 形 態 の 固 体 撮 像 装 置 の 変 形 例 の 要 部 を 示 す 断 面 図

【 図 7 】 本 発 明 の 一 実 施 形 態 の 固 体 撮 像 装 置 の 変 形 例 の 要 部 を 示 す 断 面 図

【 図 8 】 電 荷 の 読 み 出 し 特 性 劣 化 と ゲ ー ト 長 と の 関 係 を 示 す 図

10

【 図 9 】 電 荷 読 み 出 し 時 の ポ テ ン シ ャ ル 分 布 と ゲ ー ト 長 と の 関 係 を 示 す 図

【 発 明 を 実 施 す る た め の 形 態 】

## 【 0 0 1 9 】

以下、本発明の実施形態について図面を参照しながら詳細に説明する。以下の実施形態では、フォトダイオードとNチャネル型の読み出し用トランジスタを備えるMOS (Metal Oxide Semiconductor) 型固体撮像装置、すなわち、信号電荷が電子であるMOS型固体撮像装置として本発明を具体化している。なお、以下の実施形態において、各不純物領域の導電型を逆導電型としても同様の効果を奏することができる。

## 【 0 0 2 0 】

まず、本発明の一実施形態における固体撮像装置の構成について、図1、図2を用いて説明する。図1は本実施形態の固体撮像装置の要部を示す図であり、図2は本実施形態の固体撮像装置の要部を示す平面図である。本実施形態の固体撮像装置は、複数の画素セルがアレイ状に配置された画素領域を有しており、図1、図2は、当該画素領域を構成する1の画素セルを示している。なお、図2に示す平面図では、電荷蓄積領域、検出部、これらの間のウェル領域、転送ゲート電極を示し、他の要素の記載を省略している。また、図2に示すA - A線に沿う断面が図1に対応する。

20

## 【 0 0 2 1 】

図1に示すように、本実施形態の固体撮像装置は、P型不純物領域からなるウェル領域1 (半導体層) が表面部に設けられた、N型のシリコン単結晶基板等からなる半導体基板10に形成される。各画素セルは、STI (Shallow Trench Isolation) 構造を有する素子分離2により隣接する他の画素セルと分離されている。

30

## 【 0 0 2 2 】

各画素セルは、フォトダイオード20を備える。フォトダイオード20は、入射光を信号電荷に変換して蓄積するN型不純物領域7 (電荷蓄積領域) の表面部に、P型不純物領域6 (表面欠陥抑制領域) が形成された埋め込み構造を有する。また、N型不純物領域7は、素子分離2を包囲する状態で、素子分離2の周囲の半導体基板10に形成されたP型不純物領域3と接している。P型不純物領域3はP型不純物領域6にも接しており、P型不純物領域3とP型不純物領域6とは電氣的に接続されている。なお、P型不純物領域6は半導体基板10の表面において、表面欠陥等に起因して発生する不要電荷がN型不純物領域7に蓄積されることを防止する欠陥抑制領域として機能し、P型不純物領域3はSTI構造 (トレンチ) の界面において、格子欠陥等に起因して発生する不要電荷がN型不純物領域7に蓄積されることを防止する欠陥抑制領域として機能する。

40

## 【 0 0 2 3 】

また、ウェル領域1には、N型不純物領域7に対応して、N型不純物領域7と間隔を置いてフローティングディフュージョン8 (検出部) が設けられている。N型不純物領域7とフローティングディフュージョン8との間のウェル領域1の表面には、シリコン酸化膜等からなる透明ゲート絶縁膜4を介してゲート電極5 (転送ゲート電極) が配置されている。図1に示すように、上記P型不純物領域6は、ゲート電極5と素子分離2との間に露出するN型不純物領域7の表面部に形成されており、N型不純物領域7はゲート電極5の直下にまで延出されている。すなわち、図1、図2に示すように、ゲート電極5とN型不

50

純物領域 7 とは、平面視において少なくとも一部が重なる状態で配置されている。また、図 2 に示すように、N 型不純物領域 7 は、略矩形形状の平面形状を有しており、当該矩形の 1 つの角部にゲート電極 5 が配置されている。なお、ゲート電極 5、N 型不純物領域 7 およびフローティングディフュージョン 8 は読み出し用トランジスタ 30 として機能する N チャネルトランジスタを構成している。

#### 【0024】

この画素セルは、読み出し用トランジスタ 30 を導通状態にすることにより、N 型不純物領域 7 において生成され蓄積された信号電荷（ここでは、電子）を、フローティングディフュージョン 8 へ転送する。信号電荷が転送されたフローティングディフュージョン 8 の電位が、例えば、図示しない増幅トランジスタを介して画素信号として読み出される。なお、フローティングディフュージョン 8 には図示しないリセットトランジスタが接続されており、当該リセットトランジスタをオン状態にすることで、フローティングディフュージョン 8 に流入した電荷が排出される。

10

#### 【0025】

本実施形態では、ゲート電極 5 が可視光に対して透過性を有する透明導電体からなる。このため、ゲート電極 5 に可視光が到達すると、当該可視光はゲート電極 5 を透過して N 型不純物領域 7 に進入する。したがって、ゲート電極 5 直下の N 型不純物領域 7 においても入射光に応じた信号電荷が生成される。なお、ゲート電極 5 を構成する透明導電体としては、例えば、酸化インジウムスズ（Indium Tin Oxide：以下、単に ITO と記載する。）、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムと酸化亜鉛とからなる透明材、水酸化マグネシウムと炭素とからなる透明材、二酸化チタン系透明材、導電性透明樹脂、導電性透明有機化合物等を使用することができる。透明導電体の可視光透過率は、80% 以上であることが好ましい。なお、本実施形態において、「透明」は、当該透明導電体と同等の可視光透過率であること意味する。

20

#### 【0026】

ゲート電極 5 の上方には、シリコン酸化膜等からなる透明絶縁膜 11 を介してタンゲステンやアルミニウム等からなる遮光膜 12 が配置されている。当該遮光膜 12 は、フローティングディフュージョン 8 およびゲート電極 5 直下のウェル領域 1 等の、フォトダイオード 20（受光領域）を除く領域を被覆し、当該被覆領域への不要光の進入を防止する機能を有する。図 1 に示すように、本実施形態では、平面視において、遮光膜 12 のフォトダイオード 20 側端部と、N 型不純物領域 7 のフローティングディフュージョン 8 側端部とが一致した構造を採用している。後述のように、本実施形態では、フォトダイオード 20 上に光導波路を配置した、フォトダイオード 20 への集光性を高める構造を採用しているため、上記遮光膜 12 の配置により、不要光の進入を実用上問題のないレベルにまで抑制することができる。なお、遮光膜 12 上には、ホウ素リンシリケートガラス（BPSG）等からなる透明平坦化膜 13 が設けられ、ゲート電極 5、遮光膜 12、図示しない配線等に起因する凹凸が平坦化されている。

30

#### 【0027】

フォトダイオード 20 上の透明平坦化膜 13 には、開口部 19 が設けられ、当該開口部 19 を含む全面に低屈折率透明膜 14 が積層されている。また、上記低屈折率透明膜 14 により被覆された開口部 19 は、高屈折率透明膜 15 で充填されている。なお、低屈折率透明膜 14 は、高屈折率透明膜 15 よりも屈折率が低い透明材料であればよく、高屈折率透明膜 15 は、低屈折率透明膜 14 よりも屈折率が高い透明材料であればよい。例えば、低屈折率透明膜 14 として、屈折率が 1.6 程度のシリコン窒化膜（SiON）を使用し、高屈折率透明膜 15 として、屈折率が 2.0 程度のシリコン窒化膜（SiNx）を使用することができる。

40

#### 【0028】

このように、高屈折率透明膜 15 を低屈折率透明膜 14 で包囲した構造は、入射光をフォトダイオード 20 へ案内する光導波路として機能する。なお、特に限定されないが、本実施形態では、開口部 19 は、上端部より底部に向かうにつれて開口面積が狭くなってい

50

る。このように、開口部 19 の側壁にテーパを設けることにより、光導波路外部への入射光の漏洩を抑制している。開口部 19 の開口形状は、特に限定されないが、本実施形態では、図 2 に示すように、正八角形状になっている。この例では、正八角形の中心が、N 型不純物領域 7 の中心 (N 型不純物領域 7 の長辺  $L_d$  の二等分線と、短辺  $W_d$  の二等分線との交点) と重なる状態で配置されている。なお、図 2 では、開口部 19 の底部における開口形状を点線で示している。

#### 【0029】

図 1 に示す例では、上記構造の上面に、上記光導波路上に所望色のフィルタ部 16 a を含むカラーフィルタ層 16 が配置されている。当該フィルタ部 16 a は、例えば、赤、青、緑のいずれかに着色された透明高分子樹脂で構成される。当該フィルタ部 16 a 上には、  
10  
、アクリル樹脂等の透明高分子樹脂等からなるオンチップレンズ 17 が設けられている。なお、各層の界面での入射光の反射を抑制するため、フィルタ部 16 a の屈折率は高屈折率透明膜 15 の屈折率と同等以下であることが好ましく (例えば、1.55 程度)、さらに、オンチップレンズ 17 の屈折率は、フィルタ部 16 a の屈折率と同等以下であることが好ましい (例えば、1.5 程度)。また、図 1 に例示する構成では、透明平坦化膜 13 の屈折率を高屈折率透明膜 15 の屈折率より低くすることで、低屈折率透明膜 14 を省略することもできる。

#### 【0030】

図 3 は、上述した本実施形態の固体撮像装置と、読み出し用トランジスタのゲート電極材料としてポリシリコン等の吸光性 (あるいは遮光性) を有する非透明材料を採用した従  
20  
来の固体撮像装置とにおける、光電変換の様子を示す模式図である。図 3 (a) が本実施形態の固体撮像装置に対応し、図 3 (b) が従来の固体撮像装置に対応する。また、図 3 (a)、図 3 (b) は、読み出し用トランジスタのソース - ドレイン間の距離の縮小によるパンチスルーを回避するために、図 8 (a) に示すように、ソース - ドレイン間距離を拡大 (ゲート長も拡大) した状態に対応する。なお、図 3 (a)、図 3 (b) では、ゲート電極の材質のみが異なっており、他の構造は同一である。また、図 3 (a)、図 3 (b) では、説明のため、ゲート電極、素子分離、素子分離界面の欠陥抑制領域として機能する P 型不純物領域およびフォトダイオードの N 型不純物領域を図示している。図 3 (a)、図 3 (b) 中に示す、「-」を付した丸印は、信号電荷を模式的に示したものである。

#### 【0031】

図 3 (b) に示すように、非透明材料からなるゲート電極 105 を備える従来の固体撮  
30  
像装置では、ゲート電極 105 により入射光が吸収 (あるいは遮蔽) される。そのため、ソース - ドレイン間距離の拡大に伴うゲート長の拡大により、実効的な受光領域が狭くなり光電変換効率が低下する。一方、本実施形態の固体撮像装置では、図 3 (a) に示すように、ゲート電極 5 を透過して入射光が N 型不純物領域 7 に入射する。そのため、ソース - ドレイン間距離の拡大に伴ってゲート長を拡大した場合でも、実効的な受光領域は狭まらず、光電変換効率が低下することもない。すなわち、本実施形態の構造では、埋め込み構造のフォトダイオードにおいて、信号電荷の読み出し特性を改善するためにゲート電極直下にまで延出されている、従来、信号電荷の生成に寄与することのなかった N 型不純物  
40  
領域 7 の部分を光電変換領域として機能させることが可能になる。

#### 【0032】

以上のように、本実施形態の固体撮像装置の画素セルは、N 型不純物領域 7 からフロ  
ティングディフュージョン 8 へ信号電荷を転送するゲート電極 5 が透明導電体により構成され、当該ゲート電極 5 が N 型不純物領域 7 の少なくとも一部と重なった構造を有している。この構造では、ゲート電極 5 を通じてゲート電極 5 直下の N 型不純物領域 7 へ光が入射できるため、従来の固体撮像装置と異なり、ゲート電極 5 直下の領域も光電変換領域として機能させることができる。すなわち、ポリシリコン等をゲート電極として使用した従  
40  
来の固体撮像装置のように、受光領域を大きくするために読み出し用トランジスタのゲート長を小さくする必要がない。したがって、ゲート長の縮小に応じて読み出し用トランジスタのソース - ドレイン間の距離を小さくする必要がなく、パンチスルーが発生するよう  
50

な微細なソース・ドレイン間隔を採用する必要がない。その結果、微細な画素セルにおいて、パンチスルー抑制と感度低下抑制とを両立させることができる。

【0033】

また、上述の構造では、読み出し用トランジスタ30のゲート電極5のゲート長を比較的大きくできるため、信号電荷の読み出し経路を拡大することができ、信号電荷の読み出し特性の劣化を抑制することができる(図9参照)。さらに、従来構造と同一セルサイズ、かつ同一の受光領域面積を実現する場合、従来に比べて長ゲート長のゲート電極を採用することができるため、信号電荷読み出し時に当該ゲート電極に印加する電圧を大きくする必要もない。

【0034】

次に、本発明の一実施形態における固体撮像装置の製造方法について図面を参照しながら詳細に説明する。図4、図5は本発明の実施形態における固体撮像装置の製造過程を示す断面図である。

【0035】

本実施形態の固体撮像装置の製造工程では、図4(a)に示すように、まず、電荷蓄積領域の形成領域に開口を有するマスクを通じてイオン注入を実施することにより、半導体基板10にN型不純物が導入される。これにより、不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 程度、深さが100~300nm程度のN型不純物領域7が形成される。特に限定されないが、ここでは、注入エネルギーが160keV以上かつ800keV以下、ドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ 以上かつ $8.0 \times 10^{12} \text{ cm}^{-2}$ 以下の注入条件で砒素をイオン注入している。なお、ここでは、半導体基板10は、不純物濃度が $1.0 \times 10^{14} \text{ cm}^{-3}$ 程度のN型のシリコン単結晶基板からなる。

【0036】

次に、図4(b)に示すように、半導体基板10の表面部に、公知の手法により素子分離2が形成される。素子分離2は深さ150~250nm程度のトレンチにシリコン酸化膜等の絶縁膜を充填することにより形成することができる。なお、本実施形態では、半導体基板10の表面部にトレンチが形成されてから、当該トレンチにシリコン酸化膜が充填されるまでの間に、トレンチに対応する部分に開口を有するマスクを通じてイオン注入を実施することにより、当該トレンチの側面および底面を構成する半導体基板10にP型不純物が導入される。これにより、不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 程度、深さが10~20nm程度のP型不純物領域3が形成される。ここでは、注入エネルギーが10keV以上かつ20keV以下、ドーズ量が $3.0 \times 10^{13} \text{ cm}^{-2}$ 以上かつ $8.0 \times 10^{13} \text{ cm}^{-2}$ 以下の注入条件でボロンをイオン注入している。また、素子分離2が形成された後、半導体基板10にボロン等のイオン注入を実施することにより、不純物濃度が $1.0 \times 10^{15} \text{ cm}^{-3}$ 程度のウェル領域2が形成される。

【0037】

続いて、図4(c)に示すように、半導体基板10の表面に透明ゲート絶縁膜4が形成される。本実施形態では、ゲート絶縁膜として、膜厚が6nm~10nm程度のシリコン酸化膜を熱酸化法により形成している。当該透明ゲート絶縁膜4上に、透明導電体膜が形成される。ここでは、透明導電体膜として、スパッタリング法等により、膜厚が100nm~200nm程度のITO膜が形成される。そのITO膜に対して公知のフォトリソグラフィ技術およびエッチング技術を適用することにより、ゲート電極5が形成される。上述のように、ゲート電極5は、N型不純物領域7の少なくとも一部を被覆する状態で形成される。ゲート電極5とN型不純物領域7との重なり部の幅は特に限定されない。後述のように、当該ゲート電極5と素子分離2との間に露出するN型不純物領域7の表面部に、半導体基板10の表面欠陥に起因する不要電荷を抑制するP型不純物領域が形成されるため、ゲート電極5はN型不純物領域7の一部のみと重なる構成が好ましい。しかしながら、ゲート電極5がN型不純物領域7の全体を被覆する構成を除外しない。例えば、図2に示す例では、N型不純物領域7の長辺Ldが1225nm、短辺Wdが835nm、ゲート電極5の長辺Wgが560nm、短辺Lgが330nmであり、両者が重なり合う領域

10

20

30

40

50

の幅  $d$  は  $150\text{ nm}$  になっている。

【0038】

なお、半導体基板 10 上に形成される、増幅トランジスタ、リセットトランジスタ、選択トランジスタ等のゲート電極、および周辺回路を構成するトランジスタのゲート電極は、ポリシリコン等の従来のゲート電極材料により形成することができる。この場合、これらのゲート電極は、ゲート電極 5 の形成前および形成後のいずれで形成されてもよい。

【0039】

次に、図 4 (d) に示すように、ゲート電極 5 で被覆されていない N 型不純物領域 7 に対応する部分に開口を有するマスクを通じてイオン注入を実施することにより、N 型不純物領域 7 の表面部に P 型不純物が導入される。これにより、不純物濃度が  $1.0 \times 10^{20} \text{ cm}^{-3}$  程度、深さが  $50\text{ nm}$  程度の P 型不純物領域 6 が形成される。ここでは、注入エネルギーが  $1\text{ keV}$  以上かつ  $10\text{ keV}$  以下、ドーズ量が  $1.0 \times 10^{14} \text{ cm}^{-2}$  以上かつ  $1.0 \times 10^{15} \text{ cm}^{-2}$  以下の注入条件でボロンをイオン注入している。

10

【0040】

続いて、図 5 (a) に示すように、フローティングディフュージョンの形成領域に開口を有するマスクを通じてイオン注入を実施することにより、平面視において、ゲート電極 5 を挟んで N 型不純物領域 7 と対向する半導体基板 10 の表面部に N 型不純物が導入される。これにより、不純物濃度が  $3.0 \times 10^{19} \text{ cm}^{-3}$  程度、深さが  $30\text{ nm} \sim 50\text{ nm}$  程度のフローティングディフュージョン領域 8 が形成される。ここでは、注入エネルギーが  $20\text{ keV}$  以上かつ  $50\text{ keV}$  以下、ドーズ量が  $1.0 \times 10^{15} \text{ cm}^{-2}$  以上かつ  $3.0 \times 10^{15} \text{ cm}^{-2}$  以下の注入条件でリンまたは砒素をイオン注入している。

20

【0041】

その後、半導体基板 10 上に、透明絶縁膜 11、遮光膜 12、透明平坦化膜 13、開口部 19、低屈折率透明膜 14、高屈折率透明膜 15、カラーフィルタ層 16、オンチップレンズ 17 等の上層構造が順次形成され、図 5 (b) に示すような固体撮像装置が完成する。各種トランジスタの各種電極、当該電極に電氣的に接続する配線等も、これら上層構造が形成される過程で順次形成される。なお、開口部 19 を形成するエッチング工程において、ゲート電極 5 がエッチングされることを防止するため、ゲート電極 5 上にはエッチングストップとして機能するシリコン窒化膜等の透明膜が設けられることが好ましい。

30

【0042】

以上説明したように、本実施形態の固体撮像装置の製造方法では、画素セルは、ゲート電極 5 が透明導電体により構成され、当該ゲート電極 5 が N 型不純物領域 7 の少なくとも一部と重なった構造を有している。その結果、微細な画素セルにおいて、パンチスルー抑制と感度低下抑制とを両立させることができる。

【0043】

また、図 2 から理解できるように、本構成では、N 型不純物領域 7 を形成するためのリソグラフィ工程で使用するマスクと、ゲート電極 5 を形成するためのリソグラフィ工程で使用するマスクとに相対的な位置ずれが発生した場合でも、実効的な受光領域の面積は変動しない。したがって、各画素セルでの感度特性にばらつきが生じないという効果も得ることができる。

40

【0044】

ところで、以上では、読み出し用トランジスタのゲート電極が透明導電体からなる構成について説明したが、当該ゲート電極は、電荷蓄積領域との重なり部分の少なくとも一部が透明導電体から構成されていれば実効的な受光領域の面積を増大させることができる。

【0045】

図 6 は、本発明の一実施形態の固体撮像装置の変形例の要部を示す断面図である。この変形例では、図 1 に示す固体撮像装置とゲート電極の構造のみが相違する。当該ゲート電極の平面形状は図 2 に示すゲート電極 5 の平面形状と同一である。なお、図 6 では、上層構造の記載を省略している。

【0046】

50

この変形例では、読み出し用トランジスタのゲート電極 25 が、ポリシリコン等の従来の非透明電極材料からなる非透明部 25 a と、透明導電体からなる透明部 25 b とを有する。ここでは、非透明部 25 a が N 型不純物領域 7 とフローティングディフュージョン 8 との間のウェル領域 1 上に透明ゲート絶縁膜 4 を介して設けられている。また、透明部 25 b は、N 型不純物領域 7 上に透明ゲート絶縁膜 4 を介して設けられている。なお、非透明部 25 a と透明部 25 b とは電氣的に接続されている。特に限定されないが、この例では、図 6 に示すように、透明部 25 b を非透明部 25 a のフォトダイオード 20 側側面および上面と接触した状態で形成することにより電氣的接続を実現している。

#### 【0047】

この変形例においても、図 1、図 2 に示す固体撮像装置と同様、微細な画素セルにおいて、パンチスルー抑制と感度低下抑制とを両立させることができる。なお、図 6 に示す固体撮像装置は、例えば、上述した製造方法において、ゲート電極の形成工程を変更することで実現することができる。すなわち、半導体基板 10 の表面に形成された透明ゲート絶縁膜 4 上に、減圧 CVD 法等により、膜厚が 50 nm ~ 100 nm 程度の導電性ポリシリコン膜が形成される。当該導電性ポリシリコン膜に対して公知のフォトリソグラフィ技術およびエッチング技術を適用することにより、非透明部 25 a が形成される。このとき、増幅トランジスタ、リセットトランジスタ、選択トランジスタのゲート電極や周辺回路を構成するトランジスタのゲート電極等が同時に形成されてもよい。

#### 【0048】

次いで、半導体基板 10 上に、スパッタリング法等により、膜厚が 50 nm ~ 100 nm 程度の ITO 膜が形成される。当該 ITO 膜に対して公知のフォトリソグラフィ技術およびエッチング技術を適用することにより、透明部 25 b が形成される。なお、この例では、非透明部 25 a を導電性ポリシリコンで形成しているため、ITO 膜堆積の直前に、非透明部 25 a の表面酸化膜が除去される。この後の工程は、上述のとおりである。

#### 【0049】

また、以上では、読み出し用トランジスタのゲート電極が、電氣的に接続された 1 の電極により構成した事例を説明したが、当該ゲート電極は、電氣的に分離された複数の電極により構成することもできる。

#### 【0050】

図 7 は、本発明の一実施形態の固体撮像装置の他の変形例の要部を示す断面図である。この変形例では、図 1 に示す固体撮像装置とゲート電極の構造のみが相違する。ゲート電極の平面形状は図 2 に示すゲート電極 5 の平面形状と同一である。なお、図 7 では、上層構造の記載を省略している。

#### 【0051】

この変形例では、読み出し用トランジスタのゲート電極 35 が、透明導電体からなる、第 1 ゲート電極 35 a と第 2 ゲート電極 35 b とを有する。ここでは、第 1 ゲート電極 35 a が N 型不純物領域 7 とフローティングディフュージョン 8 との間のウェル領域 1 上に透明ゲート絶縁膜 4 を介して設けられている。また、第 2 ゲート電極 35 b が N 型不純物領域 7 上に透明ゲート絶縁膜 4 を介して設けられている。なお、第 1 ゲート電極 35 a は、第 2 ゲート電極 35 b と電氣的に分離されている。電氣的分離の手法は、特に限定されない。例えば、図 6 に示すような、積層構造を有するゲート電極において、各層間に絶縁膜が介在している構成であってもよい。

#### 【0052】

この変形例においても、図 1、図 2 に示す固体撮像装置と同様、微細な画素セルにおいて、パンチスルー抑制と感度低下抑制とを両立させることができる。また、この構成では、第 1 ゲート電極 35 a と第 2 ゲート電極 35 b とが電氣的に分離されているため、それぞれのゲート電極に異なる電位を印加することができる。したがって、第 2 ゲート電極 35 b に、信号電荷の読み出し経路の幅（図 9 参照）が大きくなるような大きな電位を印加することで、信号電荷の読み出し特性をより向上させることもできる。なお、この構成において、第 1 ゲート電極 35 a はポリシリコン等の従来の電極材料からなる非透明導電体

10

20

30

40

50

により構成することもできる。当該変形例の構造は、例えば、図6に示す変形例と同様に、第1ゲート電極35aと第2ゲート電極35bとを順に形成することで実現することができる。

【0053】

以上説明したように、本発明によれば、微細な画素セルにおいて、パンチスルーの抑制と、感度低下の抑制を両立させることができる。さらに、読み出し用トランジスタのゲート電極として機能する転送ゲート電極のゲート長を比較的大きくできるため、信号電荷の読み出し特性の劣化を抑制することができる。

【0054】

なお、本発明は、以上で説明した実施形態に限定されるものではなく、本発明の効果を奏する範囲において、種々の変形および応用が可能である。本発明の特徴は、特に、転送ゲート電極で被覆された領域を、光電変換領域として機能させることである。したがって、その技術的思想を逸脱しない範囲において、上述の各工程で使用したプロセスを他の等価なプロセスに置換することが可能である。また、工程順を入れ替えることも、材料種を変更することも可能である。例えば、透明ゲート絶縁膜は、酸化膜に限らず、酸窒化膜等の他の絶縁膜を採用することができる。また、受光領域サイズやゲート電極サイズ、電荷蓄積領域とゲート電極とが重なる領域のサイズについてもあくまで一例であり、他の値としてもよい。さらに、上層構造は例示であり、他の構造を採用することもできる。例えば、光導波路上に層間レンズを配置した構成や光導波路を省略した構成を採用することもできる。

10

20

【0055】

また、上記では、各画素セルがフローティングディフュージョンを備える事例について説明したが、フローティングディフュージョンは、各画素セルの電荷蓄積領域と対応づけて設けられていればよい。すなわち、複数の電荷蓄積領域に対応して1のフローティングディフュージョンが設けられ、当該1のフローティングディフュージョンに各電荷蓄積領域に蓄積された信号電荷を順に転送することで、各電荷蓄積領域に蓄積された信号電荷が検出される構成であってもよい。

【産業上の利用可能性】

【0056】

本発明は、画素セルの微細化に伴う感度低下を抑制することができ、固体撮像装置およびその製造方法として有用である。

30

【符号の説明】

【0057】

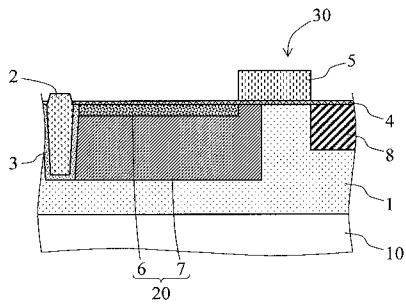
- 1 P型ウェル領域（半導体層）
- 4 透明ゲート絶縁膜
- 5、25、35 ゲート電極（転送ゲート電極）
- 6 P型不純物領域（表面欠陥抑制領域）
- 7 N型不純物領域（電荷蓄積領域）
- 8 フローティングディフュージョン（検出部）
- 10 半導体基板
- 12 遮光膜
- 25a 非透明部
- 25b 透明部
- 35a 第1ゲート電極
- 35b 第2ゲート電極

40

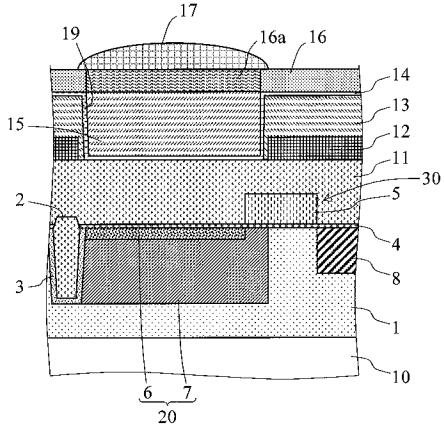


【 図 5 】

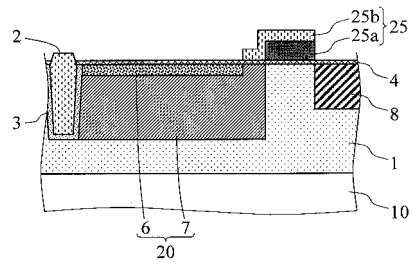
(a)



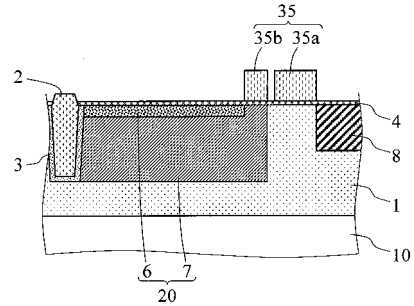
(b)



【 図 6 】

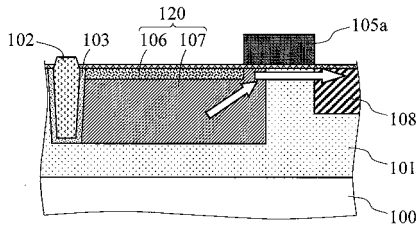


【 図 7 】

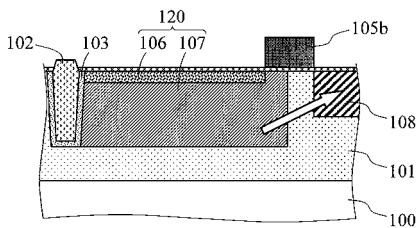


【 図 8 】

(a)

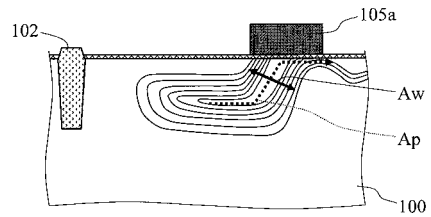


(b)



【 図 9 】

(a)



(b)

