

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6372084号  
(P6372084)

(45) 発行日 平成30年8月15日 (2018. 8. 15)

(24) 登録日 平成30年7月27日 (2018. 7. 27)

(51) Int. Cl.

F I

G09F 9/30 (2006.01)  
 G09G 3/30 (2006.01)  
 G09G 3/20 (2006.01)  
 H01L 51/50 (2006.01)

G09F 9/30 338  
 G09G 3/30 J  
 G09G 3/20 611H  
 G09G 3/20 624B  
 G09G 3/20 641D

請求項の数 15 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2014-9767 (P2014-9767)  
 (22) 出願日 平成26年1月22日 (2014. 1. 22)  
 (65) 公開番号 特開2015-138154 (P2015-138154A)  
 (43) 公開日 平成27年7月30日 (2015. 7. 30)  
 審査請求日 平成29年1月19日 (2017. 1. 19)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区新宿四丁目1番6号  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100146835  
 弁理士 佐伯 義文  
 (74) 代理人 100140774  
 弁理士 大浪 一徳  
 (72) 発明者 腰原 健  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 (72) 発明者 野村 猛  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 発光装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1方向に延在する素子部を備えた第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、

前記第1トランジスターのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、

前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、

前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、  
 前記トランジスター群は、

チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されているトランジスターと、

ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、

を含み、

前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、

前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、

10

20

前記第 1 コンタクトパッド部と前記第 2 コンタクトパッド部とは、前記第 1 方向に並んで配置されていることを特徴とする発光装置。

【請求項 2】

前記複数のトランジスタは、前記第 1 トランジスタのゲートと前記第 1 トランジスタのゲートに信号を入力する信号線との間に設けられた選択トランジスタを含み、

前記選択トランジスタは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項 1 に記載の発光装置。

【請求項 3】

前記複数のトランジスタは、前記第 1 トランジスタのゲートと前記第 1 トランジスタの一方の電流端との間に設けられた補償トランジスタを含み、

前記補償トランジスタは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項 1 または 2 に記載の発光装置。

【請求項 4】

前記複数のトランジスタは、前記第 1 トランジスタと前記発光素子との間に設けられた発光制御トランジスタを含み、

前記発光制御トランジスタは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項 1 から 3 のいずれか一項に記載の発光装置。

【請求項 5】

前記複数のトランジスタは、前記発光素子に所定のリセット電位を給電するリセットトランジスタを含み、

前記リセットトランジスタは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項 1 から 4 のいずれか一項に記載の発光装置。

【請求項 6】

前記第 1 トランジスタは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項 1 から 5 のいずれか一項に記載の発光装置。

【請求項 7】

前記画素回路は、特性補償回路を有している、請求項 6 に記載の発光装置。

【請求項 8】

前記配線は、前記複数のトランジスタと異なる層に設けられている、請求項 1 から 7 のいずれか一項に記載の発光装置。

【請求項 9】

前記配線は、前記複数のトランジスタのうち少なくとも二つと平面視において重なる、請求項 8 に記載の発光装置。

【請求項 10】

第 1 方向に延在する素子部を備えた第 1 トランジスタを含む複数のトランジスタと、前記第 1 トランジスタによって電流が供給される発光素子と、を備える画素回路を備え、

前記第 1 トランジスタのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第 1 コンタクトパッド部が設けられ、

前記複数のトランジスタは、前記第 1 方向と直交する第 2 方向において前記第 1 トランジスタの一方側に配置された複数のトランジスタを含むトランジスタ群を含み、

前記トランジスタ群に含まれたトランジスタは、前記第 1 方向に並んで設けられ、

前記トランジスタ群は、

チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている第 2 トランジスタと、

ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第 2 コンタクトパッド部が設けられたトランジスタと、

を含み、

前記第 1 コンタクトパッド部は、前記第 2 方向において前記トランジスタ群側に突出し、

10

20

30

40

50

前記第 2 コンタクトパッド部は、前記第 2 方向において前記第 1 トランジスター側に突出し、

前記第 1 コンタクトパッド部と前記第 2 コンタクトパッド部とは、前記第 1 方向に並んで配置され、

前記第 2 トランジスターは、前記第 1 トランジスターと前記発光素子との間に設けられていることを特徴とする発光装置。

【請求項 1 1】

前記ゲート電極における配線が接続されている位置は、前記ゲート電極を挟む一对の電流端のうち高電位となる側の電流端寄りである、請求項 1 から 1 0 のいずれか一項に記載の発光装置。

【請求項 1 2】

第 1 方向に延在する素子部を備えた第 1 トランジスターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、

前記第 1 トランジスターのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第 1 コンタクトパッド部が設けられ、

前記複数のトランジスターは、前記第 1 方向と直交する第 2 方向において前記第 1 トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、

前記トランジスター群に含まれたトランジスターは、前記第 1 方向に並んで設けられ、前記トランジスター群は、

チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャンネル領域と前記ゲート電極とが平面視でほぼ同じ大きさであるトランジスターと、

ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第 2 コンタクトパッド部が設けられたトランジスターと、

を含み、

前記第 1 コンタクトパッド部は、前記第 2 方向において前記トランジスター群側に突出し、

前記第 2 コンタクトパッド部は、前記第 2 方向において前記第 1 トランジスター側に突出し、

前記第 1 コンタクトパッド部と前記第 2 コンタクトパッド部とは、前記第 1 方向に並んで配置されている、ことを特徴とする発光装置。

【請求項 1 3】

第 1 方向に延在する素子部を備えた第 1 トランジスターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、

前記第 1 トランジスターのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第 1 コンタクトパッド部が設けられ、

前記複数のトランジスターは、前記第 1 方向と直交する第 2 方向において前記第 1 トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、

前記トランジスター群に含まれたトランジスターは、前記第 1 方向に並んで設けられ、前記トランジスター群は、

前記第 1 トランジスターと前記発光素子との間に設けられた第 2 トランジスターと、ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第 2 コンタクトパッド部が設けられたトランジスターと、

を含み、

前記第 1 コンタクトパッド部は、前記第 2 方向において前記トランジスター群側に突出し、

前記第 2 コンタクトパッド部は、前記第 2 方向において前記第 1 トランジスター側に突出し、

10

20

30

40

50

前記第 1 コンタクトパッド部と前記第 2 コンタクトパッド部とは、前記第 1 方向に並んで配置され、

前記第 2 トランジスタは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする発光装置。

【請求項 1 4】

前記発光素子は、有機エレクトロルミネッセンス素子である、請求項 1 から 1 3 のいずれか一項に記載の発光装置。

【請求項 1 5】

請求項 1 から 1 4 のいずれか一項に記載の発光装置を備えることを特徴とする電子機器

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光装置、及び電子機器に関する。

【背景技術】

【0002】

従来から、電子機器の表示装置として、複数の有機エレクトロルミネッセンス (Electroluminescence, 以下、EL と略記する) 素子がマトリクス状に配置された発光装置が用いられている (例えば、特許文献 1)。

20

特許文献 1 では、有機 EL を駆動するための回路として、複数のトランジスタを備えた画素回路が記載されている。

【0003】

しかし、上記のような発光装置では、トランジスタのゲート電極とゲート配線とが同層で形成されていたため、トランジスタと平面視で重ならないように配線を設ける必要があり、画素回路の小型化が困難になっていた。

【0004】

この問題に対して、ゲート電極と配線とを分け、それぞれ別の層に設ける構成が提案されている (例えば、特許文献 2)。

このような構成によれば、トランジスタと平面視で重なる位置に配線を設けることが可能であるため、ゲート電極層が配線を兼ねる場合に比べて、画素回路を小型化できる。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007 - 148216 号公報

【特許文献 2】特開 2013 - 113868 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、上記のような構成においては、ゲート電極と配線とは、ゲート電極におけるチャネル領域よりも外側に設けられた接続配線用の部分 (コンタクトパッド部) において接続されるため、ゲート電極をチャネル領域よりも大きく形成する必要があった。したがって、画素回路の小型化に限界があるという問題があった。

40

【0007】

本発明の一つの態様は、上記問題点に鑑みて成されたものであって、画素回路をより小型化できる発光装置、及びそのような発光装置を備えた電子機器を提供することを目的の一つとする。

【課題を解決するための手段】

【0008】

本発明の発光装置の一つの態様は、第 1 方向に延在する素子部を備えた第 1 トランジス

50

ターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記第 1 トランジスターのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第 1 コンタクトパッド部が設けられ、前記複数のトランジスターは、前記第 1 方向と直交する第 2 方向において前記第 1 トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、前記トランジスター群に含まれたトランジスターは、前記第 1 方向に並んで設けられ、前記トランジスター群は、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されているトランジスターと、ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第 2 コンタクトパッド部が設けられたトランジスターと、を含み、前記第 1 コンタクトパッド部は、前記第 2 方向において前記トランジスター群側に突出し、前記第 2 コンタクトパッド部は、前記第 2 方向において前記第 1 トランジスター側に突出し、前記第 1 コンタクトパッド部と前記第 2 コンタクトパッド部とは、前記第 1 方向に並んで配置されていることを特徴とする。

10

本発明の発光装置の一つの態様は、第 1 トランジスターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスターのうち少なくとも一つは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されていることを特徴とする。

#### 【 0 0 0 9 】

本発明の発光装置の一つの態様によれば、複数のトランジスターのうち少なくとも一つは、チャンネル領域と平面視で重なる位置においてゲート電極に配線が接続されるため、ゲート電極においてチャンネル領域よりも外側に接続配線用のコンタクトパッド部を設ける必要がない。そのため、ゲート電極をチャンネル領域とほぼ同等の大きさとする。これにより、本発明の発光装置の一つの態様によれば、画素回路をより小型化できる発光装置が得られる。

20

#### 【 0 0 1 0 】

前記複数のトランジスターは、前記第 1 トランジスターのゲートと前記第 1 トランジスターのゲートに信号を入力する信号線との間に設けられた選択トランジスターを含み、前記選択トランジスターは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、選択トランジスターを小型化することができ、結果として、画素回路を小型化することができる。

30

#### 【 0 0 1 1 】

前記複数のトランジスターは、前記第 1 トランジスターのゲートと前記第 1 トランジスターの一方の電流端との間に設けられた補償トランジスターを含み、前記補償トランジスターは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、補償トランジスターを小型化することができ、結果として、画素回路を小型化することができる。

#### 【 0 0 1 2 】

前記複数のトランジスターは、前記第 1 トランジスターと前記発光素子との間に設けられた発光制御トランジスターを含み、前記発光制御トランジスターは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

40

この構成によれば、発光制御トランジスターを小型化することができ、結果として、画素回路を小型化することができる。

#### 【 0 0 1 3 】

前記複数のトランジスターは、前記発光素子に所定のリセット電位を給電するリセットトランジスターを含み、前記リセットトランジスターは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、リセットトランジスターを小型化することができ、結果として、画素回路を小型化することができる。

50

## 【0014】

前記第1トランジスタは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、第1トランジスタを小型化することができ、結果として、画素回路を小型化することができる。

## 【0015】

前記画素回路は、特性補償回路を有している構成としてもよい。

この構成によれば、発光素子に電流を供給する第1トランジスタの閾値電圧のばらつきを抑制することができるため、発光素子に供給される電流を安定化できる。

## 【0016】

前記配線は、前記複数のトランジスタと異なる層に設けられている構成としてもよい。

この構成によれば、チャンネル領域と平面視で重なる位置において、ゲート電極に配線を接続することが容易である。

## 【0017】

前記配線は、前記複数のトランジスタのうち少なくとも二つと平面視において重なる構成としてもよい。

この構成によれば、画素回路をより小型化できる。

## 【0018】

本発明の発光装置の一つの態様は、第1方向に延在する素子部を備えた第1トランジスタを含む複数のトランジスタと、前記第1トランジスタによって電流が供給される発光素子と、を備える画素回路を備え、前記第1トランジスタのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、前記複数のトランジスタは、前記第1方向と直交する第2方向において前記第1トランジスタの一方側に配置された複数のトランジスタを含むトランジスタ群を含み、前記トランジスタ群に含まれたトランジスタは、前記第1方向に並んで設けられ、前記トランジスタ群は、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている第2トランジスタと、ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスタと、を含み、前記第1コンタクトパッド部は、前記第2方向において前記トランジスタ群側に突出し、前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスタ側に突出し、前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置され、前記第2トランジスタは、前記第1トランジスタと前記発光素子との間に設けられていることを特徴とする。

本発明の発光装置の一つの態様は、第1トランジスタを含む複数のトランジスタと、前記第1トランジスタによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスタは、前記第1トランジスタと前記発光素子との間に設けられた第2トランジスタを含み、前記第2トランジスタは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されていることを特徴とする。

## 【0019】

本発明の発光装置の一つの態様によれば、第2トランジスタが、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続されているため、第2トランジスタのゲート電極に接続配線用のコンタクトパッド部を設ける必要がなく、ゲート電極を小さくできる。したがって、本発明の発光装置の一つの態様によれば、画素回路をより小型化できる発光装置が得られる。

## 【0020】

前記ゲート電極における配線が接続されている位置は、前記ゲート電極を挟む一对の電流端のうち高電位となる側の電流端寄りである構成としてもよい。

この構成によれば、トランジスタの閾値電圧のばらつきを抑制できる。

本発明の発光装置の一つの態様は、第1方向に延在する素子部を備えた第1トランジ

10

20

30

40

50

ターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記第 1 トランジスターのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第 1 コンタクトパッド部が設けられ、前記複数のトランジスターは、前記第 1 方向と直交する第 2 方向において前記第 1 トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、前記トランジスター群に含まれたトランジスターは、前記第 1 方向に並んで設けられ、前記トランジスター群は、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャンネル領域と前記ゲート電極とが平面視でほぼ同じ大きさであるトランジスターと、ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第 2 コンタクトパッド部が設けられたトランジスターと、を含み、前記第 1 コンタクトパッド部は、前記第 2 方向において前記トランジスター群側に突出し、前記第 2 コンタクトパッド部は、前記第 2 方向において前記第 1 トランジスター側に突出し、前記第 1 コンタクトパッド部と前記第 2 コンタクトパッド部とは、前記第 1 方向に並んで配置されている、ことを特徴とする。

10

本発明の発光装置の一つの態様は、第 1 トランジスターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスターのうち少なくとも一つは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャンネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする。

本発明の発光装置の一つの態様は、第 1 方向に延在する素子部を備えた第 1 トランジスターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記第 1 トランジスターのゲート電極には、チャンネル領域と平面視で重ならない位置において配線が接続された第 1 コンタクトパッド部が設けられ、前記複数のトランジスターは、前記第 1 方向と直交する第 2 方向において前記第 1 トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、前記トランジスター群に含まれたトランジスターは、前記第 1 方向に並んで設けられ、前記トランジスター群は、前記第 1 トランジスターと前記発光素子との間に設けられた第 2 トランジスターと、ゲート電極に、チャンネル領域と平面視で重ならない位置において配線が接続されている第 2 コンタクトパッド部が設けられたトランジスターと、を含み、前記第 1 コンタクトパッド部は、前記第 2 方向において前記トランジスター群側に突出し、前記第 2 コンタクトパッド部は、前記第 2 方向において前記第 1 トランジスター側に突出し、前記第 1 コンタクトパッド部と前記第 2 コンタクトパッド部とは、前記第 1 方向に並んで配置され、前記第 2 トランジスターは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャンネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする。

20

30

本発明の発光装置の一つの態様は、第 1 トランジスターを含む複数のトランジスターと、前記第 1 トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスターは、前記第 1 トランジスターと前記発光素子との間に設けられた第 2 トランジスターを含み、前記第 2 トランジスターは、チャンネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャンネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする。

40

【 0 0 2 1 】

前記発光素子は、有機エレクトロルミネッセンス素子である構成としてもよい。

この構成によれば、電子機器の表示装置として用いることができる。

【 0 0 2 2 】

本発明の電子機器の一つの態様は、上記の発光装置を備えることを特徴とする。

本発明の電子機器の一つの態様によれば、上記の発光装置を備えているため、電子機器をより小型化できる。

【図面の簡単な説明】

【 0 0 2 3 】

50

【図１】第１実施形態の発光装置を示す平面図である。  
【図２】第１実施形態の画素回路を示す回路図である。  
【図３】第１実施形態の画素回路を示す平面図である。  
【図４】第１実施形態の画素回路を示す図であって、図３におけるIV - IV断面図である。  
【図５】第１実施形態の画素回路を示す平面図である。  
【図６】第１実施形態の画素回路を示す平面図である。  
【図７】第１実施形態の画素回路を示す平面図である。  
【図８】第１実施形態の画素回路を示す平面図である。  
【図９】第１実施形態の画素回路を示す平面図である。  
【図１０】第１実施形態の画素回路を示す平面図である。  
【図１１】第１実施形態の画素回路を示す平面図である。  
【図１２】第１実施形態の画素回路を示す平面図である。  
【図１３】第１実施形態における中継電極の形成方法の手順を示す断面図である。  
【図１４】第１実施形態の効果を説明するための説明図である。  
【図１５】コンタクトホールの配置位置について説明するための説明図である。  
【図１６】第１実施形態の他の一例を示す平面図である。  
【図１７】第２実施形態の画素回路を示す回路図である。  
【図１８】第２実施形態の画素回路を示す平面図である。  
【図１９】第２実施形態の画素回路を示す平面図である。  
【図２０】第３実施形態の画素回路を示す回路図である。  
【図２１】第３実施形態の画素回路を示す平面図である。  
【図２２】第３実施形態の画素回路を示す平面図である。  
【図２３】本実施形態の電子機器の一例を示す図である。  
【発明を実施するための形態】

10

20

【００２４】

以下、図を参照しながら、本発明の実施形態に係る発光装置及び電子機器について説明する。

なお、本発明の範囲は、以下の実施の形態に限定されるものではなく、本発明の技術的思想の範囲内で任意に変更可能である。また、以下の図面においては、各構成をわかりやすくするために、実際の構造と各構造における縮尺や数等を異ならせる場合がある。

30

【００２５】

[発光装置]

【００２６】

(第１実施形態)

図１は、本実施形態の発光装置１００を示す平面図である。

本実施形態の発光装置１００は、図１に示すように、有機ＥＬ材料を利用した発光素子を半導体基板１０上に形成した有機ＥＬ装置である。発光装置１００は、例えば、有機発光ダイオード（OLED: Organic Light Emitting Diode）である。半導体基板１０は、シリコン等の半導体材料で形成された板状部材であり、複数の発光素子が形成される基材として利用される。

40

【００２７】

図１に示すように、半導体基板１０の表面には、表示領域１１と周辺領域１２と実装領域１３とが設けられている。表示領域１１は、複数の画素回路Ｐが配列された矩形状の領域である。表示領域１１には、Ｘ方向に延在する複数の走査線（配線）２２と、各走査線２２に対応してＸ方向に延在する複数の制御線（配線）２４と、Ｘ方向と交差するＹ方向に延在する複数の信号線２６と、が形成される。画素回路Ｐは、複数の走査線２２と複数の信号線２６との各交差に対応した領域である。したがって、複数の画素回路Ｐは、Ｘ方向およびＹ方向にわたってマトリクス状に配列される。

【００２８】

周辺領域１２は、表示領域１１を囲む矩形枠状の領域である。駆動回路３０は、周辺領

50



域 1 2 に設けられている。駆動回路 3 0 は、表示領域 1 1 内の各画素回路 P を駆動する回路である。駆動回路 3 0 は、2 つの走査線駆動回路 3 2 と信号線駆動回路 3 4 とを含んでいる。発光装置 1 0 0 は、駆動回路 3 0 が半導体基板 1 0 の表面に直接形成されたトランジスタ等の能動素子で構成される回路内蔵型の表示装置である。なお、画像表示に直接寄与しないダミー画素が周辺領域 1 2 内に形成されていてもよい。

#### 【 0 0 2 9 】

実装領域 1 3 は、周辺領域 1 2 を挟んで表示領域 1 1 とは反対側（すなわち周辺領域 1 2 の外側）の領域に設けられている。実装領域 1 3 には、複数の実装端子 3 8 が配列されている。制御信号や電源電位は、制御回路や電源回路等の各種の外部回路（図示せず）から実装端子 3 8 に供給される。外部回路は、例えば実装領域 1 3 に接合された可撓性の配線基板（図示せず）に実装される。

10

#### 【 0 0 3 0 】

図 2 は、表示領域 1 1 内の 1 つの画素回路 P 1 1 を示す回路図である。

図 2 に示すように、画素回路 P は、発光素子 4 5、駆動トランジスタ（第 1 トランジスタ）T D R、選択トランジスタ T 1、発光制御トランジスタ（第 2 トランジスタ）T 2、補償トランジスタ T 3、リセットトランジスタ T 4、及び容量素子 C を備える。なお、第 1 実施形態では、画素回路 P 1 1 のトランジスタ T D R、T 1 ~ T 4 を P チャネル型のトランジスタで構成するが、N チャネル型のトランジスタで構成することも可能である。この画素回路 P 2 1 は、例えば、特開 2 0 1 3 - 0 8 8 6 1 1 号公報の図 1 3 乃至図 1 7 及びその説明に示す駆動方法のように動作させることが可能である。

20

#### 【 0 0 3 1 】

発光素子 4 5 は、有機 E L 材料の発光層を含む発光機能層 4 5 0 を画素電極（陽極）4 5 1 と共通電極（陰極）4 5 2 との間に介在させた電気光学素子である。画素電極 4 5 1 は画素回路 P 毎に個別に形成され、共通電極 4 5 2 は複数の画素回路 P にわたって連続して形成される。図 2 に示すように、発光素子 4 5 は、第 1 電源導電体 4 1 と第 2 電源導電体 4 2 とを結ぶ電流経路上に配置される。第 1 電源導電体 4 1 は、高電位側の電源電位 V E L が供給される電源配線である。第 2 電源導電体 4 2 は、低電位側の電源電位 V C T が供給される電源配線である。

#### 【 0 0 3 2 】

駆動トランジスタ T D R は、第 1 電源導電体 4 1 と第 2 電源導電体 4 2 とを結ぶ電流経路上で発光素子 4 5 に対して直列に接続されている。具体的には、駆動トランジスタ T D R の一対の電流端のうちの一方（ソース）は、第 1 電源導電体 4 1 に接続されている。駆動トランジスタ T D R の一対の電流端のうちの他方（ドレイン）は、発光素子 4 5 の画素電極 4 5 1 と接続されている。駆動トランジスタ T D R は、自身のゲート - ソース間の電圧に応じた電流量に相当する駆動電流を生成する。

30

#### 【 0 0 3 3 】

図 2 に示す選択トランジスタ T 1 は、信号線 2 6 と駆動トランジスタ T D R のゲートとの導通状態（導通 / 非導通）を制御するスイッチとして機能する。選択トランジスタ T 1 のゲートは走査線 2 2 に接続されている。選択トランジスタ T 1 のソースは、信号線 2 6 に接続されている。選択トランジスタ T 1 のドレインは、駆動トランジスタ T D R のゲートと、発光制御トランジスタ T 2 のドレインと、後述する容量素子 C の第 1 電極 C 1 と接続されている。

40

#### 【 0 0 3 4 】

なお、後述する特性補償における動作においては、選択トランジスタ T 1 に流れる電流の向きが逆転するため、選択トランジスタ T 1 におけるソースとドレインとの関係は逆となるが、本明細書における実施形態においては、駆動トランジスタのゲートに発光素子の諧調レベルに応じた電位を書き込む期間において、選択トランジスタに流れる電流の向きにおけるソースとドレインとの関係で説明する。

#### 【 0 0 3 5 】

発光制御トランジスタ T 2 は、駆動トランジスタ T D R と発光素子 4 5 との間に直

50

列に接続されている。具体的には、発光制御トランジスタ T2 のソースは、駆動トランジスタ TDR のドレインと接続され、発光制御トランジスタ T2 のドレインは、発光素子 45 の画素電極 451 と接続されている。発光制御トランジスタ T2 のゲートは、制御線 24 に接続されている。

#### 【0036】

発光制御トランジスタ T2 は、制御線 24 を介して走査線駆動回路 32 (図 1 参照) からゲートに入力される制御信号によって、オン/オフが制御される。発光制御トランジスタ T2 オン状態に制御された状態では、駆動電流が駆動トランジスタ TDR から発光制御トランジスタ T2 を経由して発光素子 45 に供給される。このとき、発光素子 45 は、駆動電流の電流量に応じた輝度で発光する。発光制御トランジスタ T2 がオフ状態に制御された状態では、発光素子 45 に対する駆動電流の供給が遮断される。このとき、発光素子 45 は消灯する。

10

#### 【0037】

容量素子 C は、第 1 電極 C1 と第 2 電極 C2 との間に誘電体を介在させた静電容量である。第 1 電極 C1 は、駆動トランジスタ TDR のゲートに接続されている。第 2 電極 C2 は、第 1 電源導電体 41 (駆動トランジスタ TDR のソース) に接続されている。したがって、容量素子 C は、駆動トランジスタ TDR のゲート - ソース間の電圧を保持する。

#### 【0038】

補償トランジスタ T3 は、駆動トランジスタ TDR の閾値電圧のばらつきに起因した発光素子 45 へ供給される電流値のばらつきを補償するためのトランジスタである。補償トランジスタ T3 のソースは、駆動トランジスタ TDR のドレイン及び発光制御トランジスタ T2 のソースと接続されている。補償トランジスタ T3 のドレインは、駆動トランジスタ TDR のゲートと接続されている。補償トランジスタ T3 のゲートには、制御線 (配線) 23 が接続されている。補償トランジスタ T3 は、制御線 23 からの制御信号によってオン/オフが制御される。

20

#### 【0039】

補償トランジスタ T3、駆動トランジスタ TDR 及び選択トランジスタ T1 がオン状態となると、駆動トランジスタ TDR のソース - ドレインに流れる電流が、補償トランジスタ T3、選択トランジスタ T1 を介して、信号線 26 へと流れる。ここで、本実施形態においては、信号線 26 には容量素子 Cp の第 1 容量電極 Cp1 が接続されている。これにより、駆動トランジスタ TDR のゲートから容量素子 Cp の第 1 容量電極 Cp1 までの電位は、駆動トランジスタ TDR のソース - ゲート間の電圧が閾値電圧に向けて上昇する。理想的には、駆動トランジスタ 151 のゲートから容量素子 Cp の第 1 容量電極 Cp1 までの電位は、駆動トランジスタ 151 のソース - ゲート間の電圧が閾値電圧に到達し、駆動トランジスタ 151 のソース - ドレインに流れる電流は流れなくなる。補償トランジスタ 153 がオフの状態となると、この駆動トランジスタ 151 のソース - ゲート間の電圧が容量素子 C に保存される。

30

#### 【0040】

そして、補償トランジスタ T3 がオフの状態において、容量素子 Cp の第 2 容量電極 Cp2 に発光素子 45 の階調レベルに応じた信号が入力されると、駆動トランジスタ TDR のゲートから第 1 容量電極 Cp1 までの電位が、階調レベルに応じて上方にシフトする。これにより、駆動トランジスタ TDR のソース - ゲート間の電圧値が、閾値電圧に、階調レベルに応じた分の電圧が加えられた値となる。すなわち、駆動トランジスタ TDR のソース - ゲート間の電圧が、閾値電圧が補償された値となる。そのため、駆動トランジスタ TDR の閾値電圧の値によらず、発光素子 45 に対して、階調レベルに応じた電流を安定して供給できる。

40

#### 【0041】

以上に説明したようにして、駆動トランジスタ TDR の閾値電圧特性が補償される。すなわち、画素回路 P11 は、補償トランジスタ T3 及び容量素子 Cp 等によって構成

50

される特性補償回路を有している。

【0042】

リセットトランジスタT4は、発光素子45の電位をリセットするためのトランジスタである。リセットトランジスタT4のソースは、発光制御トランジスタT2のドレイン及び発光素子45の画素電極451に接続されている。リセットトランジスタT4のドレインは、第3電源導電体27に接続されている。第3電源導電体27は、発光素子45がリセットされる電位（リセット電位）が供給される電源配線である。リセットトランジスタT4のゲートは、制御線（配線）25に接続されている。リセットトランジスタT4は、制御線25からの制御信号によってオン/オフが制御される。

【0043】

発光素子45を初期化する期間においては、リセットトランジスタT4がオン状態となり、発光制御トランジスタT2がオフ状態となる。これにより、発光素子45は、リセットトランジスタT4を介して、第3電源導電体27と接続され、発光素子45の電位は、第3電源導電体27の電位にリセットされる。

【0044】

発光素子45には寄生容量が生じる場合があり、寄生容量が生じると、この寄生容量によって発光素子45の画素電極451と共通電極452との間の電圧が保持される。そのため、例えば、発光素子45を高輝度状態から低輝度状態へと転じるような場合においては、寄生容量に高輝度状態における高電圧が保持されてしまうため、発光素子45に過剰な電流が流れ、発光素子45を低輝度状態にすることが困難となる。

これに対して、リセットトランジスタT4によって上記のようにして発光素子45の電位をリセットすることにより、発光素子45を高輝度状態から低輝度状態に転じることが容易となる。

【0045】

図1に示す信号線駆動回路34は、外部回路から供給される画像信号を、画素回路P毎に指定する階調に応じた階調電位（データ信号）として、書込期間（水平走査期間）毎に複数の信号線26に対して並列に供給する。他方、走査線駆動回路32は、複数の走査線22の各々に走査信号を供給することにより、複数の走査線22の各々を書込期間毎に順次選択する。走査線駆動回路32が選択した走査線22に対応する画素回路Pの選択トランジスタT1は、オン状態に遷移する。このとき、各画素回路Pの駆動トランジスタTDRのゲートに、信号線26と選択トランジスタT1とを經由して階調電位が供給され、階調電位に応じた電圧が容量素子Cに保持される。

【0046】

他方、書込期間での走査線22の選択が終了すると、走査線駆動回路32は、各制御線24に制御信号を供給することにより、当該制御線24に対応する画素回路Pの発光制御トランジスタT2をオン状態に制御する。したがって、直前の書込期間で容量素子Cに保持された電圧に応じた駆動電流は、駆動トランジスタTDRから発光制御トランジスタT2を經由して発光素子45に供給される。以上のように、発光素子45が階調電位に応じた輝度で発光することで、画像信号が指定する任意の画像が表示領域11に表示される。

【0047】

次に、画素回路P11の具体的な構成について説明する。

図3は、画素回路P11を模式的に示す平面図である。図4は、図3におけるIV-IV断面図である。図5から図12は、図4における各層を平面視した場合を示す平面図である。図5から図12においては、各要素の視覚的な把握を容易化する観点から、図4と共通する各要素には図4と同様のハッチングが便宜的に付加されている。

【0048】

本実施形態においては、各トランジスタは、例えば、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）である。

本実施形態の各トランジスタ $TDR$ 、 $T1$ 、 $T2$ 、 $T3$ 、 $T4$ は、図4に示すように、半導体基板10の表面に形成されている。より詳細には、各トランジスタ $TDR$ 、 $T1$ 、 $T2$ 、 $T3$ 、 $T4$ は、半導体基板10のうちN型の基体16の表面に形成されたP型のウェル17を利用して形成されている。なお、発光制御トランジスタ $T2$ 及びリセットトランジスタ $T4$ については、図4において図示を省略している。

【0049】

駆動トランジスタ $TDR$ は、図3に示すように、素子部 $EDR$ と、ゲート電極 $GDR$ と、を備える。素子部 $EDR$ には、ソース領域 $ASDR$ と、ドレイン領域 $ADDR$ と、チャンネル領域 $ACDR$ と、が形成されている。

【0050】

選択トランジスタ $T1$ は、素子部 $E1$ と、ゲート電極 $G1$ と、を備える。素子部 $E1$ には、ソース領域 $AS1$ と、ドレイン領域 $AD1$ と、チャンネル領域 $AC1$ とが形成されている。

【0051】

発光制御トランジスタ $T2$ は、素子部 $E2$ と、ゲート電極 $G2$ と、を備える。素子部 $E2$ には、ソース領域 $AS2$ と、ドレイン領域 $AD2$ と、チャンネル領域 $AC2$ とが形成されている。

【0052】

補償トランジスタ $T3$ は、素子部 $E3$ と、ゲート電極 $G3$ と、を備える。素子部 $E3$ には、ソース領域 $AS3$ と、ドレイン領域 $AD3$ と、チャンネル領域 $AC3$ とが形成されている。本実施形態においては、補償トランジスタ $T3$ のドレイン領域 $AD3$ は、選択トランジスタ $T1$ のドレイン領域 $AD1$ としても機能する。

【0053】

リセットトランジスタ $T4$ は、素子部 $E4$ と、ゲート電極 $G4$ と、を備える。素子部 $E4$ には、ソース領域 $AS4$ と、ドレイン領域 $AD4$ と、チャンネル領域 $AC4$ とが形成されている。

【0054】

なお、本実施形態においては、各トランジスタの構成は同様であるため、以下の説明においては、代表して駆動トランジスタ $TDR$ についてのみ説明する場合がある。

【0055】

素子部 $EDR$ 、 $E1$ 、 $E3$ は、図3及び図4に示すように、半導体基板10のウェル17に形成されている。図4においては図示を省略するが、発光制御トランジスタ $T2$ 及びリセットトランジスタ $T4$ の素子部 $E2$ 、 $E4$ についても同様である。

【0056】

本実施形態においては、図3及び図4に示すように、選択トランジスタ $T1$ の素子部 $E1$ と、補償トランジスタ $T3$ の素子部 $E3$ とは、それぞれのドレイン領域 $AD1$ と、ドレイン領域 $AD3$ とが共通である。また、図4に示すように、駆動トランジスタ $TDR$ の素子部 $EDR$ と、選択トランジスタ $T1$ 及び補償トランジスタ $T3$ の素子部 $E1$ 、 $E3$ とは、半導体基板10のウェル17に形成された溝部（トレンチ）10Aにより相互に分離された島状に形成されている。図4においては、図示を省略するが、発光制御トランジスタ $T2$ 及びリセットトランジスタ $T4$ の素子部 $E2$ 、 $E4$ についても同様に相互に分離された島状に形成されている。

【0057】

各素子部を画定する溝部10Aは、半導体基板10の表面に形成されたウェル17を部分的に除去した領域である。

図4に例示された溝部10Aの深さ $DT$ は、半導体基板10（ウェル17）の表面と溝部10Aの底面との距離である。溝部10Aの深さ $DT$ は、例えば300nm以上かつ1000nm以下の範囲内の寸法（例えば数百nm程度）に設定される。図4から理解される通り、溝部10Aの深さ $DT$ はウェル17の厚さ $DW$ を下回る（ $DT < DW$ ）。したがって、溝部10Aの底面はウェル17で構成される。

10

20

30

40

50

## 【 0 0 5 8 】

溝部 10A の内側（すなわち各素子部の相互間）には、素子分離部 54 が形成されている。素子分離部 54 は、各トランジスターを電氣的に絶縁（素子分離）するための要素として機能する。すなわち、本実施形態においては、各トランジスターを電氣的に分離する STI（Shallow Trench Isolation）構造の素子分離部 54 が形成される。具体的には、素子分離部 54 は、駆動トランジスター TDR と、選択トランジスター T1 補償トランジスター T3 と、図示は省略するが、発光制御トランジスター T2 と、リセットトランジスター T4 とを分離する。

## 【 0 0 5 9 】

図 4 に示すように、本実施形態における素子分離部 54 の厚さ（溝部 10A の深さ）DT は、ソース領域 ASDR 及びドレイン領域 ADDR の厚さ DF を上回る。したがって、素子分離部 54 の厚さ DT がソース領域 ASDR またはドレイン領域 ADDR の厚さ DF を下回る構成と比較して、相互に隣り合う各トランジスターのソース領域及びドレイン領域の間での電流のリークが抑制される（各トランジスターを確実に分離できる）という利点がある。

## 【 0 0 6 0 】

本実施形態では、図 3 及び図 5 に示すように、各素子部は、平面視（XY 面視）で Y 方向に延在する帯状に形成されている。

駆動トランジスター TDR の素子部 EDR と、リセットトランジスター T4 の素子部 E4 とは、長さ方向が Y 方向となるように配置され、Y 方向と平行な仮想直線 K1 に沿って並んで設けられている。

## 【 0 0 6 1 】

選択トランジスター T1 の素子部 E1 及び補償トランジスター T3 の素子部 E3 と、発光制御トランジスター T2 の素子部 E2 と、は、長さ方向が Y 方向となるように配置され、Y 方向と平行な仮想直線 K2 に沿って並んで設けられている。

仮想直線 K1 と仮想直線 K2 とは、X 方向に並んで設けられている。すなわち、本実施形態の画素回路 P11 における 5 つのトランジスターの素子部は、2 列に並んで設けられている。

## 【 0 0 6 2 】

なお、本実施形態において、トランジスターにおける素子部の長さ方向とは、後述するソース領域とドレイン領域とが並ぶ方向である。

## 【 0 0 6 3 】

ソース領域 ASDR 及びドレイン領域 ADDR は、図 3 及び図 4 に示すように、駆動トランジスター TDR の素子部 EDR のうち平面視でゲート電極を挟む各位置に形成された領域である。ソース領域 ASDR 及びドレイン領域 ADDR は、P 型のウェル 17 に対して逆導電型（すなわち N 型）の不純物のイオンが導入及び拡散された所定の厚さの領域である。

## 【 0 0 6 4 】

素子部 EDR が形成された半導体基板 10（ウェル 17）の面上には、絶縁層 50 が形成されている。絶縁層 50 は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成され、絶縁膜 52 と素子分離部 54 とを含んで構成される。絶縁膜 52 は、絶縁層 50 のうち各素子部の面上に位置する部分であり、各トランジスターのゲート絶縁膜として機能する。

## 【 0 0 6 5 】

ゲート電極 GDR は、図 4 及び図 6 に示すように、絶縁層 50 の面上に形成されている。すなわち、素子部 EDR とゲート電極 GDR とは絶縁膜 52（絶縁層 50）を挟んで対向する。素子部 EDR におけるソース領域 ASDR とドレイン領域 ADDR とに挟まれた領域のうち、ゲート電極 GDR と平面視で重なる部分が、チャネル領域 ACDR となる。

## 【 0 0 6 6 】

図 5 及び図 6 に示すように、駆動トランジスター TDR のチャネル幅 WDR は、選択ト

10

20

30

40

50

ランジスター T 1 のチャネル幅 W 1 及び補償トランジスター T 3 のチャネル幅 W 2 を上回る。本実施形態においては、選択トランジスター T 1 のチャネル幅 W 1 と補償トランジスター T 3 のチャネル幅 W 2 とは、ほぼ等しい。駆動トランジスター T D R のチャネル幅 W D R は、例えば、500nm である。

【0067】

駆動トランジスター T D R のゲート電極 G D R は、図 3 に示すように、中継電極 Q A 3 を介して、選択トランジスター T 1 のドレイン領域 A D 1 と電氣的に接続されている。本実施形態においては、中継電極（配線）Q A 3 は、コンタクトホール H A 8 を介して、駆動トランジスター T D R のゲート電極 G D R と電氣的に接続されている。本実施形態においては、コンタクトホール H A 8 は、チャネル領域 A C D R と平面視で重なる位置に設けられている。言い換えると、駆動トランジスター T D R は、チャネル領域 A C D R と平面視で重なる位置において、ゲート電極 G D R が中継電極 Q A 3 と接続されている。

10

【0068】

選択トランジスター T 1 のゲート電極 G 1 は、コンタクトホール H A 1 を介して、走査線 2 2 と電氣的に接続されている。走査線 2 2 は、駆動トランジスター T D R 及び選択トランジスター T 1 の上方を通過するように、X 方向に延在して設けられている。言い換えると、走査線 2 2 は、駆動トランジスター T D R 及び選択トランジスター T 1 と平面視において重なるように設けられている。

【0069】

コンタクトホール H A 1 は、チャネル領域 A C 1 と平面視で重なる位置に設けられている。言い換えると、選択トランジスター T 1 は、チャネル領域 A C 1 と平面視で重なる位置において、ゲート電極 G 1 が走査線 2 2 と接続されている。コンタクトホール H A 1 は、ゲート電極 G 1 におけるソース領域 A S 1 寄り（+ Y 寄り）の位置に設けられている。

20

【0070】

発光制御トランジスター T 2 のゲート電極 G 2 は、コンタクトホール H 2 を介して、制御線 2 4 と電氣的に接続されている。制御線 2 4 は、発光制御トランジスター T 2 及びリセットトランジスター T 4 の上方を通過するように、X 方向に延在して設けられている。言い換えると、制御線 2 4 は、発光制御トランジスター T 2 及びリセットトランジスター T 4 と平面視において重なるように設けられている。

【0071】

コンタクトホール H 2 は、チャネル領域 A C 2 と平面視で重なる位置に設けられている。言い換えると、発光制御トランジスター T 2 は、チャネル領域 A C 2 と平面視で重なる位置において、ゲート電極 G 2 が制御線 2 4 と接続されている。コンタクトホール H 2 は、ゲート電極 G 2 におけるソース領域 A S 2 寄り（+ Y 寄り）の位置に設けられている。

30

【0072】

補償トランジスター T 3 のゲート電極 G 3 は、コンタクトホール H A 2 を介して、制御線 2 3 と電氣的に接続されている。制御線 2 3 は、駆動トランジスター T D R 及び補償トランジスター T 3 の上方を通過するように、X 方向に延在して設けられている。言い換えると、制御線 2 3 は、駆動トランジスター T D R 及び補償トランジスター T 3 と平面視において重なるように設けられている。

40

【0073】

コンタクトホール H A 2 は、チャネル領域 A C 3 と平面視で重なる位置に設けられている。言い換えると、補償トランジスター T 3 は、チャネル領域 A C 3 と平面視で重なる位置において、ゲート電極 G 3 が制御線 2 3 と接続されている。コンタクトホール H A 2 は、ゲート電極 G 3 におけるソース領域 A S 3 寄り（- Y 寄り）の位置に設けられている。

【0074】

リセットトランジスター T 4 のゲート電極 G 4 は、コンタクトホール H 4 を介して、制御線 2 5 と電氣的に接続されている。制御線 2 5 は、発光制御トランジスター T 2 及びリセットトランジスター T 4 の上方を通過するように、X 方向に延在して設けられている。言い換えると、制御線 2 5 は、発光制御トランジスター T 2 及びリセットトランジスター

50

T 4 と平面視において重なるように設けられている。

【 0 0 7 5 】

コンタクトホール H 4 は、チャネル領域 A C 4 と平面視で重なる位置に設けられている。言い換えると、リセットトランジスタ T 4 は、チャネル領域 A C 4 と平面視で重なる位置において、ゲート電極 G 4 が制御線 2 5 と接続されている。コンタクトホール H 4 は、ゲート電極 G 4 におけるソース領域 A S 4 寄り（ - Y 寄り）の位置に設けられている。

【 0 0 7 6 】

以上に説明した各トランジスタのゲート電極が形成された絶縁層 5 0 の面上には、図 4 に例示される通り、複数の絶縁層 L（L A ~ L F）と複数の配線層 W（W A ~ W F）とを交互に積層した多層配線層が形成される。各絶縁層 L は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成される。また、各配線層 W は、アルミニウムや銀等を含有する低抵抗な導電材料で形成される。なお、以下の説明では、導電層（単層または複数層）の選択的な除去により複数の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記する。

【 0 0 7 7 】

以下、多層配線層について詳細に説明する。

なお、本実施形態においては、多層配線層の説明として、図 3 における IV - IV 断面、すなわち、駆動トランジスタ T D R、選択トランジスタ T 1、及び補償トランジスタ T 3 の断面を示す図 4 を参照して説明する。

【 0 0 7 8 】

図 4 の絶縁層 L A は、各トランジスタのゲート電極が形成された絶縁層 5 0（絶縁膜 5 2）の面上に形成される。図 4 及び図 7 に示すように、絶縁層 L A の面上には、走査線 2 2 及び制御線 2 3 と複数の中継電極 Q A（Q A 1 ~ Q A 4）とを含む導体パターンが同層（配線層 W A）から形成される。上述したように、走査線 2 2 は、絶縁層 L A を貫通するコンタクトホール H A 1 を介して選択トランジスタ T 1 のゲート電極 G 1 に導通し、制御線 2 3 は、絶縁層 L A を貫通するコンタクトホール H A 2 を介して補償トランジスタ T 3 のゲート電極 G 3 に導通する。

【 0 0 7 9 】

中継電極 Q A 1 は、絶縁層 L A と絶縁層 5 0 とを貫通するコンタクトホール H A 3 を介して駆動トランジスタ T D R のソース領域 A S D R に導通する。中継電極 Q A 2 は、図 4 及び図 7 から理解される通り、絶縁層 L A と絶縁層 5 0 とを貫通するコンタクトホール H A 4 を介して駆動トランジスタ T D R のドレイン領域 A D D R に導通するとともに、絶縁層 L A と絶縁層 5 0 とを貫通するコンタクトホール H A 5 を介して補償トランジスタ T 3 のソース領域 A S 3 に導通する。これにより、駆動トランジスタ T D R のドレイン領域 A D D R と、補償トランジスタ T 3 のソース領域 A S 3 とが接続される。

【 0 0 8 0 】

中継電極 Q A 3 は、絶縁層 L A と絶縁層 5 0 とを貫通するコンタクトホール H A 6 を介して選択トランジスタ T 1 のドレイン領域 A D 1 及び補償トランジスタ T 3 のドレイン領域 A D 3 に導通するとともに、絶縁層 L A を貫通するコンタクトホール H A 8 を介して駆動トランジスタ T D R のゲート電極 G D R に導通する。すなわち、駆動トランジスタ T D R のゲート電極 G D R が、選択トランジスタ T 1 のドレイン領域 A D 1 及び補償トランジスタ T 3 のドレイン領域 A D 3 と接続される。

【 0 0 8 1 】

中継電極 Q A 4 は、絶縁層 L A 及び絶縁層 5 0 を貫通するコンタクトホール H A 7 を介して選択トランジスタ T 1 のソース領域 A S 1 に導通する。

【 0 0 8 2 】

図 4 の絶縁層 L B は、配線層 W A が形成された絶縁層 L A の面上に形成される。図 4 及び図 8 に示すように、絶縁層 L B の面上には、信号線 2 6 と第 3 電源導電体 2 7 と複数の中継電極 Q B（Q B 1 ~ Q B 3）とを含む導体パターンが同層（配線層 W B）から形成される。なお、図 8 においては、第 3 電源導電体 2 7 の図示を省略している。

## 【 0 0 8 3 】

図 8 から理解される通り、信号線 2 6 は、Y 方向に延在する直線状に形成され、絶縁層 L B を貫通するコンタクトホール H B 1 を介して配線層 W A の中継電極 Q A 4 に導通する。すなわち、図 4 及び図 8 から理解される通り、信号線 2 6 は、中継電極 Q A 4 を介して選択トランジスタ T 1 のソース領域 A S 1 に導通する。また、中継電極 Q B 1 は、絶縁層 L B を貫通するコンタクトホール H B 2 を介して配線層 W A の中継電極 Q A 1 に導通する。中継電極 Q B 2 は、絶縁層 L B を貫通するコンタクトホール H B 2 を介して配線層 W A の中継電極 Q A 3 ( 駆動トランジスタ T D R のゲート電極 G D R ) に導通する。中継電極 Q B 3 は、絶縁層 L B を貫通するコンタクトホール H B 3 を介して配線層 W A の中継電極 Q A 2 に導通する。

10

## 【 0 0 8 4 】

図 4 の絶縁層 L C は、配線層 W B が形成された絶縁層 L B の面上に形成される。図 4 及び図 9 に例示される通り、絶縁層 L C の面上には、第 1 導電層 6 1 と中継電極 Q C 1 とを含む導体パターンが同層 ( 配線層 W C ) から形成される。第 1 導電層 6 1 は、表示領域 1 1 の全体にわたり連続に形成されて図 2 の第 1 電源導電体 4 1 を構成する。具体的には、第 1 導電層 6 1 は、高位側の電源電位 V E L が供給される実装端子 3 8 ( 図 1 参照 ) に電氣的に接続されるとともに、図 4 及び図 9 から理解される通り、絶縁層 L C を貫通するコンタクトホール H C 1 を介して配線層 W B の中継電極 Q B 1 に導通する。すなわち、実装端子 3 8 に供給される電源電位 V E L は、第 1 導電層 6 1 と中継電極 Q B 1 と中継電極 Q A 1 とを介して駆動トランジスタ T D R のソース領域 A S D R に到達する。

20

## 【 0 0 8 5 】

図 9 に例示される通り、第 1 導電層 6 1 には画素回路 P 毎に開口部 7 1 が形成される。中継電極 Q C 1 は開口部 7 1 の内側に形成される。中継電極 Q C 1 は、絶縁層 L C を貫通するコンタクトホール H C 2 を介して配線層 W B の中継電極 Q B 2 に導通する。

## 【 0 0 8 6 】

図 4 の絶縁層 L D は、配線層 W C が形成された絶縁層 L C の面上に形成される。図 4 及び図 1 0 に示すように、絶縁層 L D の面上には、容量素子 C の第 1 電極 C 1 を含む導体パターンが同層 ( 配線層 W D ) から形成されている。第 1 電極 C 1 は、図 1 0 から理解される通り、画素回路 P 毎に個別に形成され、絶縁層 L D を貫通するコンタクトホール H D 1 を介して配線層 W C の中継電極 Q C 1 に導通する。これにより、容量素子 C の第 1 電極 C 1 は、中継電極 Q C 1 と中継電極 Q B 2 と中継電極 Q A 3 とを介して、駆動トランジスタ T D R のゲート電極 G D R、選択トランジスタ T 1 のドレイン領域 A D 1、及び補償トランジスタ T 3 のドレイン領域 A D 3 に電氣的に接続される。

30

## 【 0 0 8 7 】

図 4 及び図 1 0 に示すように、中継電極 Q D 1 は、絶縁層 L D を貫通するコンタクトホール H D 2 を介して配線層 W C の第 1 導電層 6 1 に導通する。

## 【 0 0 8 8 】

図 4 では、絶縁層 L D を第 1 層 L D 1 及び第 2 層 L D 2 の積層とした構成が例示されている。第 1 層 L D 1 の面上 ( 第 1 層 L D 1 と第 2 層 L D 2 との間 ) には補助電極 6 2 が形成されている。絶縁層 L D ( 第 2 層 L D 2 ) の面上に形成された第 1 電極 C 1 は、第 2 層 L D 2 を貫通する複数のコンタクトホールを介して補助電極 6 2 に導通する。補助電極 6 2 は、容量素子 C の容量値を増加させるための補助的な電極である。なお、補助電極 6 2 を省略した構成 ( 絶縁層 L D を単層で形成した構成 ) も採用され得る。

40

## 【 0 0 8 9 】

図 4 の絶縁層 L E は、配線層 W D が形成された絶縁層 L D の面上に形成される。図 4 及び図 1 1 に示すように、絶縁層 L E の面上には、第 2 導電層 6 3 を含む導体パターンが同層 ( 配線層 W E ) から形成される。配線層 W E は、銀やアルミニウムを含有する光反射性の導電材料で形成される。

## 【 0 0 9 0 】

第 2 導電層 6 3 は、第 1 導電層 6 1 と同様に表示領域 1 1 の全体にわたって連続に形成

50



され、絶縁層 L E を貫通するコンタクトホール H E 1 を介して配線層 W D の中継電極 Q D 1 に導通する。すなわち、第 2 導電層 6 3 は、中継電極 Q D 1 を介して第 1 導電層 6 1 ( 図 9 参照 ) に電氣的に接続される。したがって、第 2 導電層 6 3 には第 1 導電層 6 1 と同様に高位側の電源電位 V E L が供給される。以上の説明から理解される通り、第 2 導電層 6 3 は、第 1 導電層 6 1 とともに図 2 の第 1 電源導電体 4 1 を構成する。

【 0 0 9 1 】

図 4 では、絶縁層 L E を第 1 層 L E 1 及び第 2 層 L E 2 の積層とした構成が例示されている。第 1 層 L E 1 の面上 ( 第 1 層 L E 1 と第 2 層 L E 2 との間 ) には補助電極 6 4 が形成される。絶縁層 L E ( 第 2 層 L E 2 ) の面上に形成された第 2 導電層 6 3 は、第 2 層 L E 2 を貫通する複数のコンタクトホールを介して補助電極 6 4 に導通する。補助電極 6 4 は、補助電極 6 2 と同様に、容量素子 C の静電容量を増加させるための補助的な電極である。なお、補助電極 6 4 を省略した構成 ( 絶縁層 L E を単層で形成した構成 ) も採用され得る。

10

【 0 0 9 2 】

以上の説明から理解される通り、第 1 導電層 6 1 と第 1 電極 C 1 ( 補助電極 6 2 ) との間に絶縁層 L D を介在させた容量と、第 2 導電層 6 3 ( 補助電極 6 4 ) と第 1 電極 C 1 との間に絶縁層 L E を介在させた容量とが、図 2 を参照して前述した容量素子 C として機能する。以上の説明から理解される通り、第 1 導電層 6 1 及び第 2 導電層 6 3 は、電源電位 V E L を供給する第 1 電源導電体 4 1、及び第 1 電極 C 1 との間で容量素子 C を形成する第 2 電極 C 2 として機能する。

20

【 0 0 9 3 】

図 4 の絶縁層 L F は、配線層 W E が形成された絶縁層 L E の面上に形成される。絶縁層 L F の面上には、図示しない導体パターン ( 配線層 W F ) が形成される。配線層 W F は、例えば遮光性の導電材料 ( 例えば窒化チタン ) で形成される。

【 0 0 9 4 】

図 4 に例示される通り、配線層 W F が形成された絶縁層 L F の面上には光路調整層 6 6 が形成される。光路調整層 6 6 は、各画素回路 P の共振構造の共振波長を規定する光透過性の膜体であり、珪素化合物 ( 典型的には窒化珪素や酸化珪素 ) 等の光透過性の絶縁材料で形成される。光路調整層 6 6 の面上には画素電極 4 5 1 が画素回路 P 毎に個別に形成される。画素電極 4 5 1 は、例えば I T O ( I n d i u m T i n O x i d e ) 等の光透過性の導電材料で形成される。

30

【 0 0 9 5 】

図 1 2 に示すように、画素電極 4 5 1 は、発光素子 4 5 の陽極として機能する略矩形状の電極である。図 4 から図 1 2 においては図示を省略するが、絶縁層 L A ~ L F 及び光路調整層 6 6 には各層を貫通するコンタクトホールが形成され、各層のコンタクトホールには中継電極が形成されている。これにより、画素電極 4 5 1 は、発光制御トランジスタ T 2 のドレイン領域 A D 2 と電氣的に接続されている。

【 0 0 9 6 】

画素電極 4 5 1 が形成された光路調整層 6 6 の面上には、図 4 に示すように、半導体基板 1 0 の全域にわたり画素定義層 6 8 が形成される。画素定義層 6 8 は、例えば珪素化合物 ( 典型的には窒化珪素や酸化珪素 ) 等の絶縁性の無機材料で形成される。画素定義層 6 8 には、画素電極 4 5 1 に対応する開口部 6 9 が形成される。図 1 2 には、画素定義層 6 8 の開口部 6 9 の内周縁が破線で併記されている。

40

【 0 0 9 7 】

図 4 に例示される通り、画素電極 4 5 1 と画素定義層 6 8 とが形成された光路調整層 6 6 の面上には発光機能層 4 5 0 が形成される。発光機能層 4 5 0 は、表示領域 1 1 の全域に形成されて複数の画素回路 P にわたって連続して設けられている。本実施形態の発光機能層 4 5 0 は、有機 E L 材料で形成された発光層を含んで構成され、電流の供給により白色光を放射する。白色光は、青色の波長域と緑色の波長域と赤色の波長域とにわたるスペクトルを有する光であり、可視光の波長域内に少なくとも 2 個のピークが観測される。な

50

お、発光層に供給される電子や正孔の輸送層または注入層を発光機能層 450 に含ませることも可能である。

#### 【0098】

図 4 に示すように、発光機能層 450 の面上には、発光素子 45 の陰極として機能する共通電極 452 が形成される。共通電極 452 は、複数の画素回路 P にわたって連続するように半導体基板 10 の全域に形成され、電源電位 VCT が供給される実装端子 38 に電氣的に接続される。なお、実際には、外気や水分の侵入を防止する光透過性の封止層が、共通電極 452 を被覆するように半導体基板 10 の全域に形成されるが、図 4 では図示を省略した。

#### 【0099】

図 4 に示すように、発光機能層 450 のうち画素定義層 68 の開口部 69 の内側にて画素電極 451 と共通電極 452 とに挟まれた領域（発光領域）が発光する。すなわち、画素定義層 68 の開口部 69 の内側で画素電極 451 と発光機能層 450 と共通電極 452 とが積層された部分が発光素子 45 として機能する。以上の説明から理解される通り、画素定義層 68 は、各画素回路 P の発光素子 45 の平面形状やサイズを規定する。本実施形態の発光装置 100 は、例えば、発光素子 45 が非常に高精細に配置されたマイクロディスプレイである。例えば 1 個の発光素子 45 の面積（画素定義層 68 の 1 個の開口部 69 の面積）は  $40\ \mu\text{m}^2$  以下に設定され、X 方向に相互に隣り合う各発光素子 45 の間隔は  $1.5\ \mu\text{m}$  以下に設定される。

#### 【0100】

共通電極 452 は、表面に到達した光の一部を透過するとともに残りを反射する性質（半透過反射性）の半透過反射層として機能する。例えば銀やマグネシウムを含有する合金等の光反射性の導電材料を十分に薄い膜厚に形成することで半透過反射性を有する共通電極 452 が形成される。発光機能層 450 から放射される白色光は、第 2 導電層 63（第 1 電源導電体 41）と共通電極 452 との間で往復し、特定の共振波長の成分が選択的に増幅されたうえで共通電極 452 を透過して観察側（半導体基板 10 とは反対側）に射出される。すなわち、反射層として機能する第 2 導電層 63 と半透過反射層として機能する共通電極 452 との間で発光機能層 450 からの射出光を共振させる共振構造が形成される。

#### 【0101】

前述の光路調整層 66 は、共振構造の共振波長（表示色）を各画素回路 P の表示色毎に個別に設定するための要素である。具体的には、共振構造を構成する第 2 導電層 63 と共通電極 452 との間の光路長（光学的距離）を光路調整層 66 の膜厚に応じて適宜に調整することで各画素回路 P の射出光の共振波長が表示色毎に設定される。

以上が本実施形態の発光装置 100 の具体的な構造である。

#### 【0102】

次に、本実施形態における各トランジスタのゲート電極、ソース領域及びドレイン領域と電氣的に接続される中継電極の形成方法について説明する。

図 13（A）～（E）は、本実施形態のトランジスタと接続される中継電極の形成方法の手順について示す断面図である。

#### 【0103】

まず、図 13（A）に示すように、トランジスタ T のゲート電極 G 側の上面にゲート電極 G を覆う絶縁層 LA を形成する。

次に、図 13（B）に示すように、絶縁層 LA の上面 LAa に、パターニング PT1 が形成されたレジスト層 R1 を形成する。パターニング PT1 は、ドレイン領域 AD 及びソース領域 AS 上に形成するコンタクトホールに対応した位置のレジストが除去されることで形成されている。

#### 【0104】

レジスト層 R1 の形成方法は、特に限定されず、絶縁層 LA の上面 LAa にレジストを塗布した後に、露光・現像することによってパターニング PT1 を形成することによって

10

20

30

40

50

形成してもよいし、スクリーン印刷法等を用いて、絶縁層 L A の上面 L A a に直接パターンニング P T 1 が形成されたレジスト層 R 1 を形成してもよい。

【 0 1 0 5 】

次に、レジスト層 R 1 をマスクとして用いて、絶縁層 L A 及び絶縁膜 5 2 をエッチングする。エッチング方法としては、特に限定されず、例えば、ドライエッチングを用いてもよいし、ウエットエッチングを用いてもよい。

これにより、絶縁層 L A 及び絶縁膜 5 2 を積層方向（図示上下方向）にドレイン領域 A D まで貫通するコンタクトホール H D と、絶縁層 L A 及び絶縁膜 5 2 を積層方向にソース領域 A S まで貫通するコンタクトホール H S とが形成される。コンタクトホール H D , H S を形成した後、レジスト層 R 1 を除去する。

10

【 0 1 0 6 】

次に、図 1 3 ( C ) に示すように、絶縁層 L A の上面 L A a に、パターンニング P T 2 が形成されたレジスト層 R 2 を形成する。パターンニング P T 2 は、ゲート電極 G 上に形成するコンタクトホールの位置に対応した位置のレジストが除去されることで形成されている。レジスト層 R 2 の形成方法は、上記説明したレジスト層 R 1 と同様の方法を選択できる。

【 0 1 0 7 】

次に、レジスト層 R 2 をマスクとして用いて、絶縁層 L A をエッチングする。エッチング方法としては、上記と同様に特に限定されず、例えば、ドライエッチングを用いてもよいし、ウエットエッチングを用いてもよい。

20

これにより、絶縁膜 5 2 を積層方向にゲート電極 G まで貫通するコンタクトホール H G が形成される。コンタクトホール H G が形成された後、レジスト層 R 2 を除去する。

【 0 1 0 8 】

次に、図 1 3 ( D ) に示すように、コンタクトホール H G , H D , H S 内に、アルミニウムや銀等を含有する低抵抗な導電材料を付着させる。導電材料を付着させる方法としては、特に限定されず、例えば、蒸着法や、スパッタ法等を選択できる。

そして、当該導電材料及び絶縁層 L A の表面を研磨して、ゲート電極 G と電氣的に接続されたプラグ P G、ドレイン領域 A D と電氣的に接続されたプラグ P D、及びソース領域 A S と電氣的に接続されたプラグ P S が形成される。

【 0 1 0 9 】

30

次に、図 1 3 ( E ) に示すように、絶縁層 L A の上面 L A a に、導電材料を成膜して、同層からなるコンタクトパッド Q G a , Q D a , Q S a を形成する。

コンタクトパッド Q G a , Q D a , Q S a を形成する方法としては、特に限定されず、絶縁層 L A の上面 L A a に導電材料を塗布した後にエッチングしてパターンニングする方法であってもよいし、スクリーン印刷法等を用いて絶縁層 L A の上面 L A a に直接形成する方法であってもよい。

コンタクトパッド Q G a は、プラグ P G を介して、ゲート電極 G と電氣的に接続されている。コンタクトパッド Q D a は、プラグ P D を介して、ドレイン領域 A D と電氣的に接続されている。コンタクトパッド Q S a は、プラグ P S を介して、ソース領域 A S と電氣的に接続されている。

40

【 0 1 1 0 】

以上により、ゲート電極 G と電氣的に接続された中継電極 Q G、ドレイン領域 A D と電氣的に接続された中継電極 Q D、及びソース領域 A S と電氣的に接続された中継電極 Q S が形成される。

【 0 1 1 1 】

本実施形態によれば、各トランジスタは、チャネル領域と平面視で重なる位置において、ゲート電極と各配線とが接続されるため、画素回路 P 1 1 を小型化できる。以下、詳細に説明する。

【 0 1 1 2 】

図 1 4 ( A ) は、ゲート電極に配線接続用のコンタクトパッド部が設けられた比較例の

50

トランジスタ $T10$ を示す平面図である。トランジスタ $T10$ は、図14(A)に示すように、ゲート電極 $G10$ と、ドレイン領域 $AD10$ と、ソース領域 $AS10$ と、を備えている。

ゲート電極 $G10$ には、チャンネル領域 $AC10$ より外側に突出するコンタクトパッド部 $GP10$ が設けられている。このようなトランジスタ $T10$ では、配線と接続するためのコンタクトホール $H10$ は、コンタクトパッド部 $GP10$ 上に設けられる。言い換えると、コンタクトホール $H10$ は、チャンネル領域 $AC10$ と平面視において重ならない位置に設けられる。

#### 【0113】

トランジスタ $T10$ では、コンタクトパッド部 $GP10$ が設けられているため、ゲート電極 $G10$ の大きさは、チャンネル領域 $AC10$ に比べて大きくなり、その結果、トランジスタ全体の幅が大きくなってしまいう問題があった。そのため、複数のトランジスタを配置して構成される画素回路の小型化には限界があった。

#### 【0114】

一方、図14(B)は、本実施形態のトランジスタ $T5$ を示す平面図である。トランジスタ $T5$ は、図14(B)に示すように、ゲート電極 $G5$ と、ドレイン領域 $AD5$ と、ソース領域 $AS5$ と、を備えている。

上記の問題に対して、本実施形態のトランジスタ $T5$ によれば、ゲート電極 $G5$ と配線とが、チャンネル領域 $AC5$ と平面視で重なる位置において接続される。言い換えると、ゲート電極 $G5$ と配線とを接続するコンタクトホール $H5$ がチャンネル領域 $AC5$ と平面視で重なる位置に設けられる。そのため、ゲート電極 $G5$ に配線接続用のコンタクトパッド部を設ける必要がなく、ゲート電極 $G5$ の平面視における大きさをチャンネル領域 $AC5$ とほぼ同じ大きさにすることができる。これにより、図14(A)、(B)に示すように、比較例のトランジスタ $T10$ に比べて、本実施形態のトランジスタ $T5$ においては、幅方向(X方向)の長さを小さくできる。したがって、本実施形態によれば、画素回路をより小型化できる発光装置が得られる。

#### 【0115】

本実施形態の効果について、さらに図3を参照しつつ具体的に説明する。

本実施形態によれば、図3に示す駆動トランジスタ $TD R$ 及びリセットトランジスタ $T4$ と、選択トランジスタ $T1$ 、発光制御トランジスタ $T2$ 、及び補償トランジスタ $T3$ との距離、すなわち、仮想直線 $K1$ と仮想直線 $K2$ との距離 $D1$ を、コンタクトホールがチャンネル領域と平面視で重ならない位置に設けられる場合に比べて、小さくすることができる。また、信号線 $26$ 及び第3電源導電体 $27$ をより各トランジスタに近い位置に形成することができる。したがって、本実施形態によれば、画素回路 $P11$ の幅(X方向長さ) $D2$ をより小さくでき、画素回路を小型化できる。

#### 【0116】

また、本実施形態によれば、画素回路 $P11$ には、駆動トランジスタ $TD R$ の閾値電圧のばらつきに起因した発光素子 $45$ への供給電流のばらつきを補償するための補償回路が組み込まれている。そのため、諧調レベルに応じた電流を発光素子 $45$ に安定して供給できる。これにより、チャンネルと平面視で重なる位置において、ゲート電極と配線とが接続されるコンタクトが形成されることによって、駆動トランジスタ $TD R$ の閾値電圧がばらついてしまうような場合であっても、発光素子 $45$ の輝度がばらつくことを抑制できる。

#### 【0117】

また、トランジスタのチャンネル領域においては、ソース領域とドレイン領域とのうち電位が高い側の領域に近い方がゲート電極によって生じる電界が小さい。これは、電位が高い側の領域とゲート電極との間の電圧の方が、電位が低い側の領域とゲート電極との間の電圧よりも大きくなるためである。これにより、ゲート電極と配線とを接続するコンタクトホールを、ソース領域とドレイン領域とのうち電位が高い側の領域に近く、すなわち、電界の影響が小さい位置に設けることで、チャンネル領域と平面視で重なる位置にコンタ

10

20

30

40

50

クトホールを設けた場合であっても、トランジスタの閾値電圧のばらつきに与える影響を小さくできる。

【0118】

図15(A)は、Pチャネル型のトランジスタにおけるコンタクトホールの設置位置を示す平面図である。図15(B)は、Nチャネル型のトランジスタにおけるコンタクトホールの設置位置を示す平面図である。

図15(A)に示すように、Pチャネル型のトランジスタにおいて、チャネル領域ACと平面視で重なる位置におけるゲート電極G上にコンタクトホールHを設ける場合には、コンタクトホールHは、ソース領域AS寄りに設けることが好ましい。Pチャネル型のトランジスタにおいては、キャリアが正孔となるため、ソース領域ASが高電位側となり、ドレイン領域ADが低電位側となるためである。

10

【0119】

一方、図15(B)に示すように、Nチャネル型のトランジスタにおいて、チャネル領域ACと平面視で重なる位置におけるゲート電極G上にコンタクトホールHを設ける場合には、コンタクトホールHは、ドレイン領域AD寄りに設けることが好ましい。Nチャネル型のトランジスタにおいては、キャリアが電子となるため、ドレイン領域ADが高電位側となり、ソース領域ASが低電位側となるためである。

【0120】

本実施形態によれば、図3に示すように、選択トランジスタT1、発光制御トランジスタT2、補償トランジスタT3、及びリセットトランジスタT4におけるゲート電極と各配線との接続位置は、ゲート電極上におけるソース領域寄りとなっている。

20

本実施形態においては、トランジスタがPチャネル型であるため、ソース領域寄りにコンタクトホールを設けることでトランジスタの閾値電圧のばらつきを抑制できる。

【0121】

また、本実施形態においては、図13(B)、(C)に示すように、絶縁層LAの上面LAaからドレイン領域AD及びソース領域ASまでの深さDSと、絶縁層LAの上面LAaからゲート電極Gまでの深さDGとは異なる。具体的には、絶縁層LAの上面LAaからドレイン領域AD及びソース領域ASまでの深さDSは、絶縁層LAの上面LAaからゲート電極Gまでの深さDGよりも大きい。そのため、仮にドレイン領域AD及びソース領域ASのコンタクトホールHS、HSと、ゲート電極GのコンタクトホールHGと、を一度のエッチングで形成したとすると、ゲート電極Gにダメージが生じる虞があった。

30

【0122】

これに対して、本実施形態によれば、ドレイン領域AD及びソース領域ASのコンタクトホールと、ゲート電極Gのコンタクトホールとは、別工程で形成される。そのため、それぞれの形成するコンタクトホールの深さに応じたエッチング方法を選択でき、ゲート電極Gにダメージが生じることを抑制できる。

【0123】

また、本実施形態によれば、トランジスタと接続される各配線は、トランジスタ上に積層された多層配線層に設けられているため、配線をトランジスタと平面視で重なるように配置することができ、画素回路を小型化できる。また、これにより、本実施形態によれば、チャネル領域と平面視で重なる位置にコンタクトホールを形成することが容易である。

40

【0124】

なお、本実施形態においては、以下の構成を採用することもできる。

【0125】

上記説明した実施形態においては、画素回路P11に含まれるすべてのトランジスタが、チャネル領域と平面視において重なる位置において、ゲート電極と各配線とが接続されている構成としたが、これに限られない。

本実施形態においては、例えば、図16に示す画素回路P12のように、一部のトランジスタのみにあって、チャネル領域と平面視において重なる位置で、ゲート電極と配線

50

とが接続されている構成としてもよい。

【0126】

図16に示す画素回路P12においては、選択トランジスターT1、発光制御トランジスターT2、及び補償トランジスターT3において、チャネル領域と平面視で重なる位置で、ゲート電極と配線とが接続されている。一方、駆動トランジスターTDRaにおいては、ゲート電極GDRaにコンタクトパッド部GP11が設けられ、コンタクトパッド部GP11にコンタクトホールHA8が設けられている。リセットトランジスターT4aにおいては、ゲート電極G4aにコンタクトパッド部GP12が設けられ、コンタクトパッド部GP12にコンタクトホールH4が設けられている。

【0127】

本実施形態のように、5つのトランジスターを2列に並べて配置するような場合においては、いずれか一方の列に設けられたトランジスターにおいて、チャネル領域と平面視で重なる位置で、ゲート電極と配線とを接続することにより、その列の幅を小さくできるため、画素回路P12の幅D3を小さくすることができる。本実施形態においては、選択トランジスターT1、発光制御トランジスターT2、及び補償トランジスターT3からなる列、すなわち、仮想直線K2に沿うトランジスターの列の幅を小さくすることができる。

【0128】

また、本実施形態においては、駆動トランジスター及びリセットトランジスターにおいて、チャネル領域と平面視で重なる位置で、ゲート電極と配線とが接続され、選択トランジスター、発光制御トランジスター、及び補償トランジスターにおいて、コンタクトパッド部においてゲート電極と配線とが接続されているような構成としてもよい。この場合においては、駆動トランジスター及びリセットトランジスターからなる列、すなわち仮想直線K1に沿うトランジスターの列の幅を小さくできるため、画素回路の幅を小さくすることができる。

【0129】

(第2実施形態)

第2実施形態は、第1実施形態に比べて、補償トランジスター及びリセットトランジスターが設けられていない点において異なる。

なお、上記実施形態と同様の構成については、適宜同一の符号を付す等によって説明を省略する場合がある。

【0130】

図17は、本実施形態の画素回路P21を示す回路図である。図18及び図19は、本実施形態の画素回路P21を模式的に示す平面図である。図18においては、配線及びコンタクトホールの図示を省略している。

【0131】

本実施形態の画素回路P21は、図17に示すように、駆動トランジスター(第1トランジスター)TDR1と、選択トランジスターT11と、発光制御トランジスターT2と、容量素子Cと、を備える。

駆動トランジスターTDR1及び選択トランジスターT11は、第1実施形態の駆動トランジスターTDR及び選択トランジスターT1と同様の機能を有する。

【0132】

駆動トランジスターTDR1は、ソースが第1電源導電体41に接続され、ドレインが発光制御トランジスターT2のソースと接続され、ゲートが、選択トランジスターのドレイン及び容量素子Cの第1電極C1と接続されている。

選択トランジスターT11は、ソースが信号線26に接続され、ドレインが駆動トランジスターTDR1のゲート及び容量素子Cの第1電極C1と接続されている。

【0133】

発光制御トランジスターT2は、駆動トランジスターTDR1と発光素子45との間に設けられている。発光制御トランジスターT2は、ソースが駆動トランジスターTDR1のドレインに接続され、ドレインが発光素子45の画素電極451に接続され、ゲートが

10

20

30

40

50

制御線 24 に接続されている。

【0134】

本実施形態においては、図 18 に示すように、各トランジスタ TDR1, T11, T2 は、Y 方向に延在する素子部 EDR1, E11, E2 と、ゲート電極 GDR1, G11, G2 と、を備えている。駆動トランジスタ TDR1 の素子部 EDR1、選択トランジスタ T11 の素子部 E11、及び発光制御トランジスタ T2 の素子部 E2 は、それぞれ、長さ方向が Y 方向となるように配置されている。

【0135】

選択トランジスタ T11 及び発光制御トランジスタ T2 は、駆動トランジスタ TDR1 の一方側 (+X 側) に長さ方向 (Y 方向) に並んで設けられている。すなわち、駆動トランジスタ TDR1 と、選択トランジスタ T11 及び発光制御トランジスタ T2 と、は 2 列になるように配置されている。

10

【0136】

駆動トランジスタ TDR1 のゲート電極 GDR1 は、選択トランジスタ T11 側 (+X 側) に突出するコンタクトパッド部 GP21 を有している。コンタクトパッド部 GP21 は、平面視において、駆動トランジスタ TDR1 のチャネル領域 ACDR1 と重ならない位置に設けられている。

【0137】

選択トランジスタ T11 は、駆動トランジスタ TDR1 側 (-X 側) に突出するコンタクトパッド部 GP22 を有している。コンタクトパッド部 GP22 は、平面視において、選択トランジスタ T11 のチャネル領域 AC11 と重ならない位置に設けられている。

20

【0138】

図 18 及び図 19 に示すように、駆動トランジスタ TDR1 のゲート電極 GDR1 は、コンタクトパッド部 GP21 において、コンタクトホール H21 を介して、中継電極 (配線) Q21 と接続されている。選択トランジスタ T11 のゲート電極 G11 は、コンタクトパッド部 GP22 において、コンタクトホール H22 を介して、走査線 22 と接続されている。発光制御トランジスタ T2 は、チャネル領域 AC2 と平面視で重なる位置において、ゲート電極 G2 が制御線 24 と、コンタクトホール H23 を介して接続されている。

30

【0139】

本実施形態によれば、発光制御トランジスタ T2 において、チャネル領域 AC2 と平面視において重なる位置で、ゲート電極 G2 と制御線 24 とが接続されているため、第 1 実施形態と同様にして、画素回路 P21 をより小型化することができる。

【0140】

なお、本実施形態においては、駆動トランジスタ TDR1 と選択トランジスタ T11 とのうち、いずれか一方、もしくは両方において、チャネル領域と平面視において重なる位置で、ゲート電極が各配線と接続される構成としてもよい。

【0141】

(第 3 実施形態)

第 3 実施形態は、第 1 実施形態に対して、リセットトランジスタが設けられていない点において異なる。

40

なお、上記実施形態と同様の構成については、適宜同一の符号を付す等によって説明を省略する場合がある。

【0142】

図 20 は、本実施形態の画素回路 P31 を示す回路図である。図 21 及び図 22 は、本実施形態の画素回路 P31 を模式的に示す平面図である。図 21 においては、配線及びコンタクトホールの図示を省略している。

【0143】

本実施形態の画素回路 P31 は、図 20 に示すように、駆動トランジスタ TDR と、

50

選択トランジスタ $T_{12}$ と、発光制御トランジスタ $T_2$ と、補償トランジスタ $T_{32}$ と、容量素子 $C$ と、を備える。

選択トランジスタ $T_{12}$ 及び補償トランジスタ $T_{32}$ は、第1実施形態の選択トランジスタ $T_1$ 及び補償トランジスタ $T_3$ と同様の機能を有する。

【0144】

各トランジスタの接続は、リセットトランジスタが設けられていない点を除いて、第1実施形態において図2に示した回路図と同様である。

【0145】

本実施形態においては、図21に示すように、各トランジスタ $T_{DR}$ 、 $T_{12}$ 、 $T_2$ 、 $T_{32}$ は、 $Y$ 方向に延在する素子部 $E_{DR}$ 、 $E_{12}$ 、 $E_2$ 、 $E_{32}$ と、ゲート電極 $G_{DR}$ 、 $G_{12}$ 、 $G_2$ 、 $G_{32}$ と、を備えている。駆動トランジスタ $T_{DR}$ の素子部 $E_{DR}$ 、選択トランジスタ $T_{12}$ の素子部 $E_{12}$ 、発光制御トランジスタ $T_2$ の素子部 $E_2$ 、及び補償トランジスタ $T_{32}$ の素子部 $E_{32}$ は、それぞれ、長さ方向が $Y$ 方向となるように配置されている。

【0146】

選択トランジスタ $T_{12}$ 及び補償トランジスタ $T_{32}$ は、駆動トランジスタ $T_{DR}$ の一方側（ $+X$ 側）に長さ方向（ $Y$ 方向）に並んで設けられている。すなわち、駆動トランジスタ $T_{DR}$ と、選択トランジスタ $T_{12}$ 及び発光制御トランジスタ $T_2$ とは2列になるように配置されている。

【0147】

発光制御トランジスタ $T_2$ は、駆動トランジスタ $T_{DR}$ 、選択トランジスタ $T_{12}$ 、及び補償トランジスタ $T_{32}$ よりも図示上側（ $-Y$ 側）に設けられており、幅方向（ $X$ 方向）において、駆動トランジスタ $T_{DR}$ と、選択トランジスタ $T_{12}$ 及び補償トランジスタ $T_{32}$ との間に設けられている。

【0148】

図21及び図22に示すように、駆動トランジスタ $T_{DR}$ のゲート電極 $G_{DR}$ は、チャンネル領域 $AC_{DR}$ と平面視で重なる位置において、ゲート電極 $G_{DR}$ が中継電極（配線） $Q_{31}$ と、コンタクトホール $H_{31}$ を介して接続されている。選択トランジスタ $T_{12}$ は、チャンネル領域 $AC_{12}$ と平面視で重なる位置において、ゲート電極 $G_{12}$ が走査線 $22$ と、コンタクトホール $H_{32}$ を介して接続されている。発光制御トランジスタ $T_2$ は、チャンネル領域 $AC_2$ と平面視で重なる位置において、ゲート電極 $G_2$ が制御線 $24$ と、コンタクトホール $H_{33}$ を介して接続されている。補償トランジスタ $T_{32}$ は、チャンネル領域 $AC_{32}$ と平面視で重なる位置において、ゲート電極 $G_{32}$ が制御線 $23$ と、コンタクトホール $H_{34}$ を介して接続されている。

【0149】

本実施形態によれば、各トランジスタにおいて、チャンネル領域と平面視において重なる位置で、ゲート電極と各配線とが接続されているため、第1実施形態と同様にして、画素回路 $P_{31}$ の幅 $D_4$ をより小さくすることができる。

【0150】

なお、本実施形態においては、各トランジスタの一部において、ゲート電極に配線接続用のコンタクトパッド部が設けられる構成としてもよい。言い換えると、本実施形態においては、各トランジスタの一部において、チャンネル領域と平面視で重ならない位置で、ゲート電極が各配線と接続される構成としてもよい。

【0151】

[電子機器]

上述の各実施形態に例示した発光装置100は、各種の電子機器の表示装置として好適に利用される。

図23は、電子機器の一例として、第1実施形態の発光装置100を利用した頭部装着型の表示装置90（HMD：Head Mounted Display）を示す概略構成図である。

10

20

30

40

50



## 【 0 1 5 2 】

表示装置 9 0 は、人間の頭部に装着可能な電子機器であり、使用者の左眼に重なる透過部（レンズ）9 2 L と、使用者の右眼に重なる透過部 9 2 R と、左眼用の発光装置 1 0 0 L 及びハーフミラー 9 4 L と、右眼用の発光装置 1 0 0 R 及びハーフミラー 9 4 R と、を備える。発光装置 1 0 0 L と発光装置 1 0 0 R とは、射出光が相互に反対の方向に進行するように配置される。左眼用のハーフミラー 9 4 L は、透過部 9 2 L の透過光を使用者の左眼側に透過させるとともに、発光装置 1 0 0 L からの射出光を使用者の左眼側に反射させる。同様に、右眼用のハーフミラー 9 4 R は、透過部 9 2 R の透過光を使用者の右眼側に透過させるとともに、発光装置 1 0 0 R からの射出光を使用者の右眼側に反射させる。

## 【 0 1 5 3 】

したがって、使用者は、透過部 9 2 L 及び透過部 9 2 R を介して観察される像と、各発光装置 1 0 0 L , 1 0 0 R による表示画像と、を重畳した画像を知覚する。また、相互に視差が付与された立体視画像（左眼用画像および右眼用画像）を発光装置 1 0 0 L と発光装置 1 0 0 R とに表示させることで、使用者に表示画像の立体感を知覚させることが可能である。

## 【 0 1 5 4 】

なお、各実施形態の発光装置が適用される電子機器は、図 2 3 の表示装置 9 0 に限定されない。例えば、ビデオカメラやスチルカメラ等の撮像装置に利用される電子式ビューファインダー（EVF: Electronic View Finder）にも本実施形態の発光装置が好適に利用される。また、携帯電話機、携帯情報端末（スマートフォン）、テレビやパーソナルコンピューター等のモニター、カーナビゲーション装置等の各種の電子機器に本実施形態の発光装置を採用することが可能である。

## 【 0 1 5 5 】

また、上記説明した電子機器の例では、発光装置として第 1 実施形態の発光装置 1 0 0 を用いたが、これに限られず、第 2 実施形態及び第 3 実施形態のいずれかの発光装置を用いてもよいことは言うまでもない。

## 【 0 1 5 6 】

第 1 実施形態から第 3 実施形態におけるトランジスターにおいて、チャネル領域はゲート電極と同一の領域に形成され、所謂セルフアライン構造であった。しかしながら、ソース領域又はノ及びドレイン領域の一部がゲート電極と重なるように構成してもよいし、ゲート電極とソース領域又はノ及びドレイン領域との間にスペースがあってもよい。

## 【 0 1 5 7 】

第 1 実施形態から第 3 実施形態におけるトランジスターは、ソース領域と、ゲート電極と、ドレイン領域と、チャネル領域とを有していた。このソース領域又はノ及びドレイン領域を低不純物濃度領域と高不純物領域の 2 種類の不純物領域で構成してもよい。すなわち、第 1 実施形態から第 3 実施形態におけるトランジスターは、LDD (Lightly Doped Drain) 構造を有してもよい。LDD 構造により、ホットキャリアの発生を抑えることができる。さらに、低不純物濃度領域がゲート電極と平面視重なるように構成してもよい。

## 【 0 1 5 8 】

ここで、複数のトランジスターのうち少なくとも一つは、ソース領域又はノ及びドレイン領域の少なくとも一部と平面視で重なる位置において、ゲート電極に配線が接続されている。

## 【 0 1 5 9 】

第 1 実施形態の画素回路 P 1 1 や第 3 実施形態の画素回路 P 3 1 は、特開 2 0 1 3 - 0 8 8 6 1 1 号公報の図 1 3 乃至図 1 7 及びその説明に示す駆動方法のように動作させてもよいし、適宜変形可能である。

## 【 0 1 6 0 】

また、第 1 実施形態の画素回路 P 1 1 や第 3 実施形態の画素回路 P 3 1 を所謂電流プログラム方式で駆動してもよい。この場合、信号線 2 6 に接続した容量素子 C p は省略され

10

20

30

40

50

る。図20の選択トランジスタ $T_{12}$ 及び補償トランジスタ $T_{32}$ をオン状態、発光制御トランジスタ $T_2$ をオフ状態とし、階調レベルに応じた信号電流を信号線26に流して、駆動トランジスタ $T_{DR}$ のソース・ゲート間電圧を信号電流に応じた電圧にしてプログラミングを行い、図20の選択トランジスタ $T_{12}$ 及び補償トランジスタ $T_{32}$ をオフ状態、発光制御トランジスタ $T_2$ をオン状態として、駆動トランジスタ $T_{DR}$ のソース・ゲート間電圧に応じた電流を駆動トランジスタ $T_{DR}$ から発光素子45に供給するようにしてもよい。

#### 【0161】

また、図17の画素回路 $P_{21}$ は、特開2013-088611号公報の図4乃至図10及びその説明に示す駆動方法のように動作させてもよい。

10

#### 【0162】

また、上記第1実施形態から第3実施形態の発光装置における各種電極、配線、トランジスタ、容量素子、絶縁膜等の構成材料、形状、配置、寸法や膜厚等の具体的な記載は一例に過ぎず、適宜変更が可能である。

#### 【符号の説明】

#### 【0163】

22...走査線(配線)、23, 24, 25...制御線(配線)、26...信号線、90...表示装置(電子機器)、100, 100L, 100R...発光装置、AC, AC1, AC2, AC3, AC4, AC10, AC11, AC12, AC32, ACDR, ACDR1...チャンネル領域、G, G1, G2, G3, G4, G4a, G10, G11, G12, G32, GDR, GDR1, GDRa...ゲート電極、P, P11, P12, P21, P31...画素回路、Q21, Q31, QA3...中継電極(配線)、T1, T11, T12...選択トランジスタ、T2...発光制御トランジスタ(第2トランジスタ)、T3, T32...補償トランジスタ、T4, T4a...リセットトランジスタ、TDR, TDR1...駆動トランジスタ(第1トランジスタ)

20

#### 【図1】

#### 【図2】

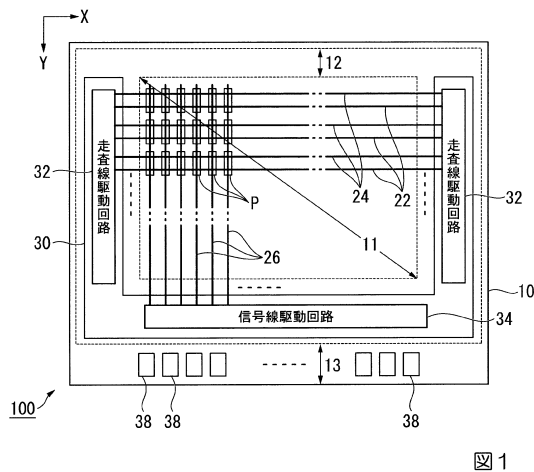


図1

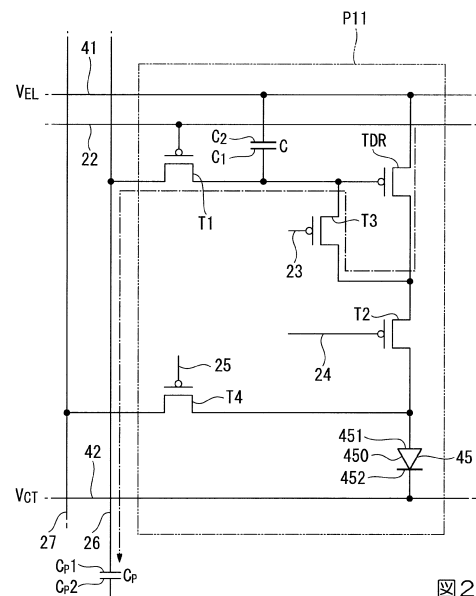
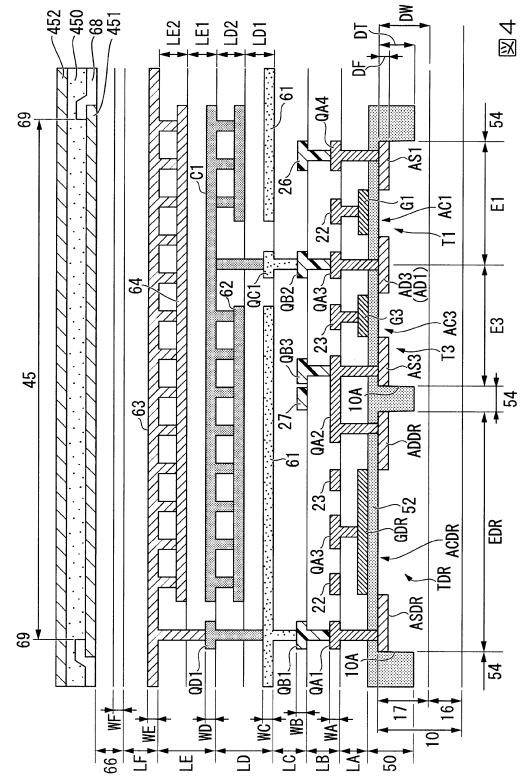
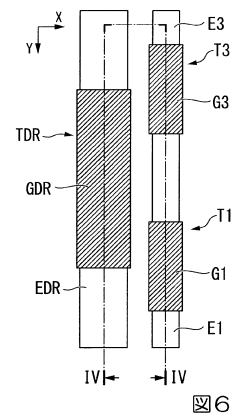


図2

【 図 4 】



【 図 6 】



【図 7】

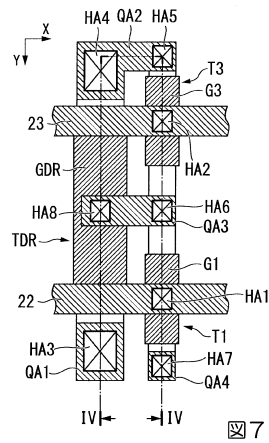


図 7

【図 8】

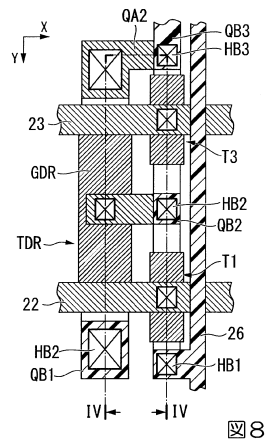


図 8

【図 9】

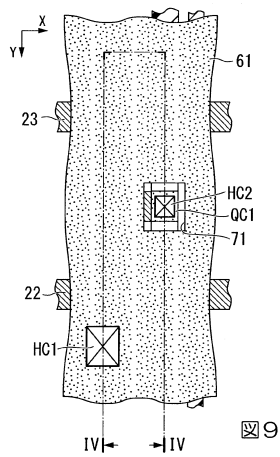


図 9

【図 10】

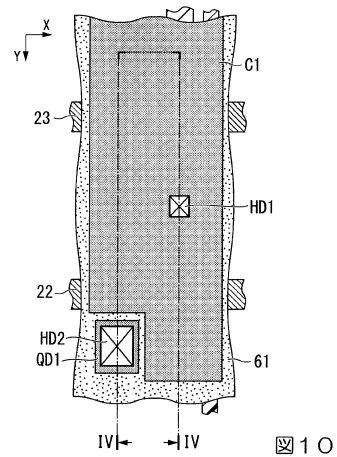


図 10

【図 1 1】

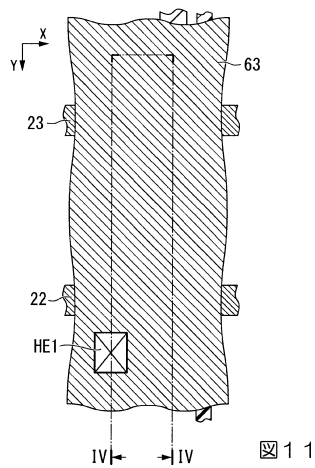


図 1 1

【図 1 2】

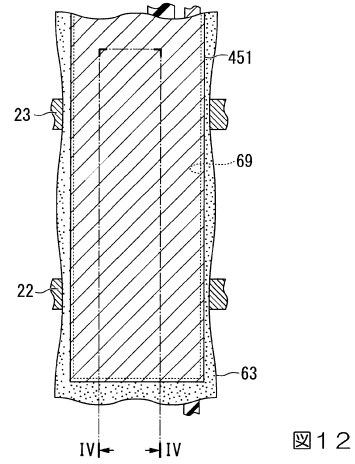


図 1 2

【図 1 3】

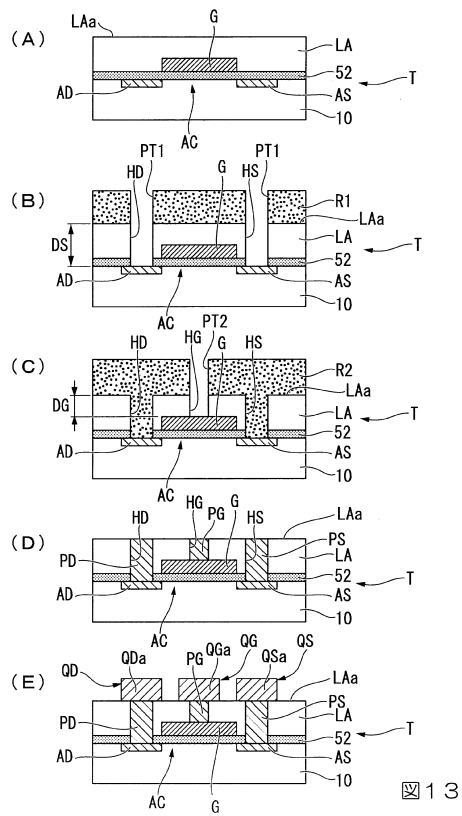


図 1 3

【図 1 4】

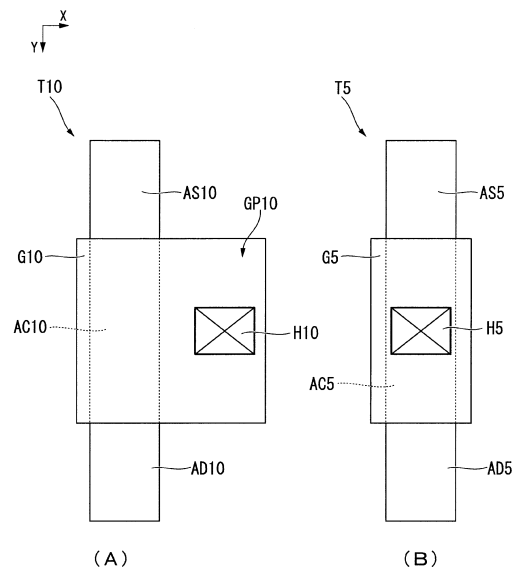


図 1 4

【 図 1 6 】

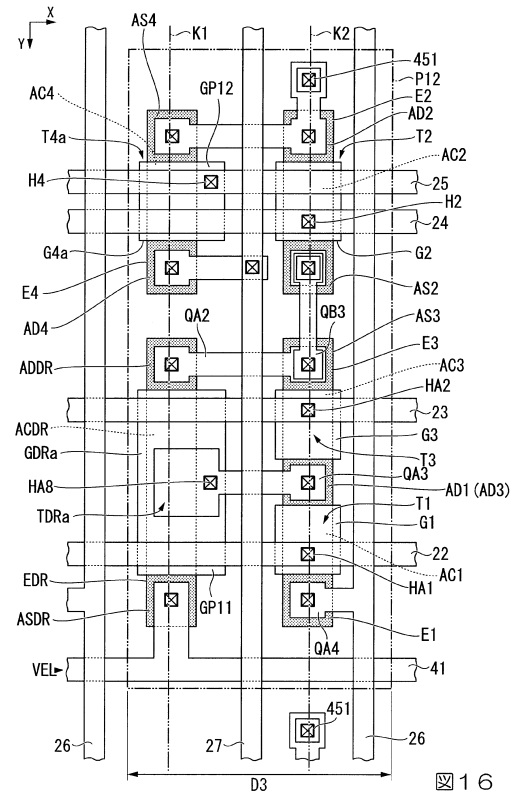


图 16

【 図 1 8 】

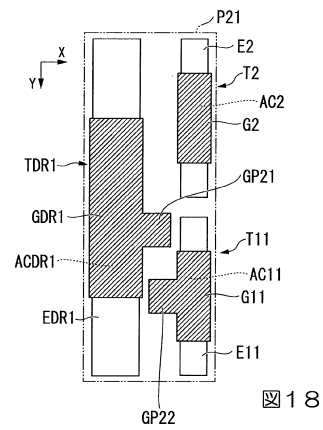


图 17

【図 19】

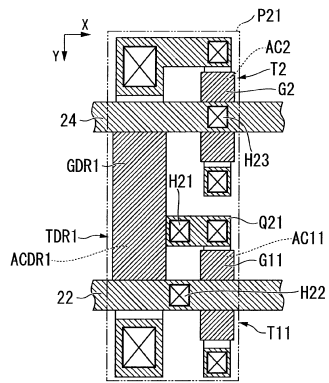


図 19

【図 20】

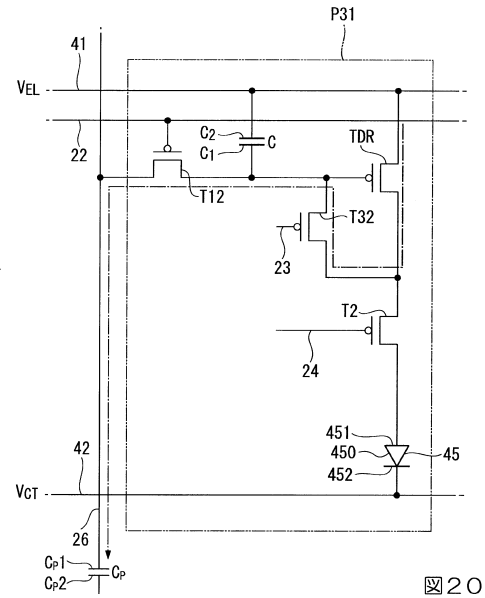


図 20

【図 21】

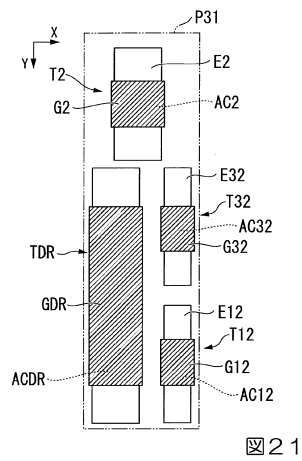


図 21

【図 22】

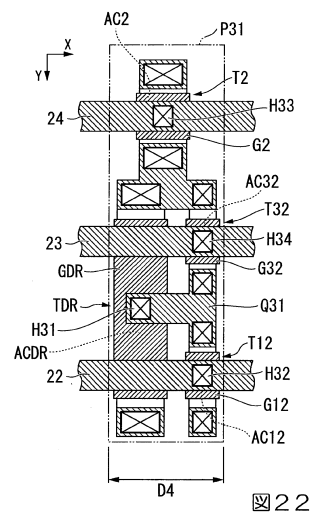


図 22

【図 23】

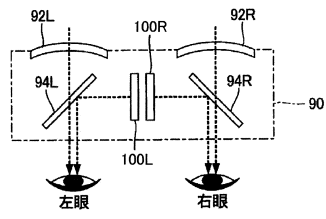


図 23



## フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 4 2 A
	G 0 9 F	9/30	3 6 5
	H 0 5 B	33/14	A

審査官 中村 直行

(56)参考文献 特開 2 0 1 3 - 2 1 3 9 7 9 ( J P , A )  
 米国特許出願公開第 2 0 1 3 / 0 2 5 7 6 9 8 ( U S , A 1 )  
 特開 2 0 0 5 - 1 5 9 3 0 0 ( J P , A )  
 米国特許出願公開第 2 0 0 5 / 0 1 1 2 8 1 3 ( U S , A 1 )  
 特開 2 0 1 2 - 2 2 7 2 4 7 ( J P , A )  
 特開平 1 1 - 0 9 7 6 9 9 ( J P , A )  
 特開 2 0 1 3 - 1 0 4 8 9 0 ( J P , A )  
 特開 2 0 0 7 - 1 4 0 3 1 8 ( J P , A )  
 特開 2 0 0 3 - 0 0 7 4 6 9 ( J P , A )  
 特開 2 0 0 5 - 1 0 7 1 6 8 ( J P , A )  
 特開 2 0 1 0 - 2 2 4 3 9 1 ( J P , A )  
 特開 2 0 1 4 - 1 1 6 5 9 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 F	9 / 0 0	-	9 / 4 6
G 0 9 G	3 / 0 0	-	3 / 3 8
H 0 1 L	5 1 / 5 0		