

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6372084号
(P6372084)

(45) 発行日 平成30年8月15日(2018.8.15)

(24) 登録日 平成30年7月27日(2018.7.27)

(51) Int.Cl.	F 1
G09F 9/30	(2006.01) G09F 9/30 3 3 8
G09G 3/30	(2006.01) G09G 3/30 J
G09G 3/20	(2006.01) G09G 3/20 6 1 1 H
H01L 51/50	(2006.01) G09G 3/20 6 2 4 B
	G09G 3/20 6 4 1 D

請求項の数 15 (全 33 頁) 最終頁に続く

(21) 出願番号	特願2014-9767 (P2014-9767)	(73) 特許権者 000002369
(22) 出願日	平成26年1月22日 (2014.1.22)	セイコーエプソン株式会社
(65) 公開番号	特開2015-138154 (P2015-138154A)	東京都新宿区新宿四丁目1番6号
(43) 公開日	平成27年7月30日 (2015.7.30)	(74) 代理人 100064908
審査請求日	平成29年1月19日 (2017.1.19)	弁理士 志賀 正武
		(74) 代理人 100146835
		弁理士 佐伯 義文
		(74) 代理人 100140774
		弁理士 大浪 一徳
		(72) 発明者 腰原 健
		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者 野村 猛
		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】発光装置、及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

第1方向に延在する素子部を備えた第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、

前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、

前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、

前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、

前記トランジスター群は、

チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されているトランジスターと、

ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、

を含み、

前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、

前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、

10

20

前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置されていることを特徴とする発光装置。

【請求項2】

前記複数のトランジスターは、前記第1トランジスターのゲートと前記第1トランジスターのゲートに信号を入力する信号線との間に設けられた選択トランジスターを含み、

前記選択トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項1に記載の発光装置。

【請求項3】

前記複数のトランジスターは、前記第1トランジスターのゲートと前記第1トランジスターの一方の電流端との間に設けられた補償トランジスターを含み、

10

前記補償トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項1または2に記載の発光装置。

【請求項4】

前記複数のトランジスターは、前記第1トランジスターと前記発光素子との間に設けられた発光制御トランジスターを含み、

前記発光制御トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項1から3のいずれか一項に記載の発光装置。

【請求項5】

前記複数のトランジスターは、前記発光素子に所定のリセット電位を給電するリセットトランジスターを含み、

20

前記リセットトランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項1から4のいずれか一項に記載の発光装置。

【請求項6】

前記第1トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている、請求項1から5のいずれか一項に記載の発光装置。

【請求項7】

前記画素回路は、特性補償回路を有している、請求項6に記載の発光装置。

【請求項8】

前記配線は、前記複数のトランジスターと異なる層に設けられている、請求項1から7のいずれか一項に記載の発光装置。

30

【請求項9】

前記配線は、前記複数のトランジスターのうち少なくとも二つと平面視において重なる、請求項8に記載の発光装置。

【請求項10】

第1方向に延在する素子部を備えた第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、

前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、

前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、

前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、

前記トランジスター群は、

チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている第2トランジスターと、

ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、

を含み、

前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、

40

50

前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、

前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置され、

前記第2トランジスターは、前記第1トランジスターと前記発光素子との間に設けられていることを特徴とする発光装置。

【請求項11】

前記ゲート電極における配線が接続されている位置は、前記ゲート電極を挟む一対の電流端のうち高電位となる側の電流端寄りである、請求項1から10のいずれか一項に記載の発光装置。 10

【請求項12】

第1方向に延在する素子部を備えた第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、

前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、

前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、

前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、

前記トランジスター群は、

チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャネル領域と前記ゲート電極とが平面視でほぼ同じ大きさであるトランジスターと、

ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、

を含み、

前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、

前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、

前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置されている、ことを特徴とする発光装置。

【請求項13】

第1方向に延在する素子部を備えた第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、

前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、

前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、

前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、

前記トランジスター群は、

前記第1トランジスターと前記発光素子との間に設けられた第2トランジスターと、

ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、

を含み、

前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、

前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、

10

20

30

40

50

前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置され、

前記第2トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする発光装置。

【請求項14】

前記発光素子は、有機エレクトロルミネッセンス素子である、請求項1から13のいずれか一項に記載の発光装置。

【請求項15】

請求項1から14のいずれか一項に記載の発光装置を備えることを特徴とする電子機器

10

。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光装置、及び電子機器に関する。

【背景技術】

【0002】

従来から、電子機器の表示装置として、複数の有機エレクトロルミネッセンス (Electroluminescence, 以下、ELと略記する) 素子がマトリクス状に配置された発光装置が用いられている (例えば、特許文献1)。

20

特許文献1では、有機ELを駆動するための回路として、複数のトランジスターを備えた画素回路が記載されている。

【0003】

しかし、上記のような発光装置では、トランジスターのゲート電極とゲート配線とが同層で形成されていたため、トランジスターと平面視で重ならないように配線を設ける必要があり、画素回路の小型化が困難になっていた。

【0004】

この問題に対して、ゲート電極と配線とを分け、それぞれ別の層に設ける構成が提案されている (例えば、特許文献2)。

このような構成によれば、トランジスターと平面視で重なる位置に配線を設けることが可能であるため、ゲート電極層が配線を兼ねる場合に比べて、画素回路を小型化できる。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-148216号公報

【特許文献2】特開2013-113868号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、上記のような構成においては、ゲート電極と配線とは、ゲート電極におけるチャネル領域よりも外側に設けられた接続配線用の部分 (コンタクトパッド部) において接続されるため、ゲート電極をチャネル領域よりも大きく形成する必要があった。したがって、画素回路の小型化に限界があるという問題があった。

40

【0007】

本発明の一つの態様は、上記問題点に鑑みて成されたものであって、画素回路をより小型化できる発光装置、及びそのような発光装置を備えた電子機器を提供することを目的の一つとする。

【課題を解決するための手段】

【0008】

本発明の発光装置の一つの態様は、第1方向に延在する素子部を備えた第1トランジス

50

ターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、前記トランジスター群は、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されているトランジスターと、ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、を含み、前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置されていることを特徴とする。

本発明の発光装置の一つの態様は、第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスターのうち少なくとも一つは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されていることを特徴とする。

【0009】

本発明の発光装置の一つの態様によれば、複数のトランジスターのうち少なくとも一つは、チャネル領域と平面視で重なる位置においてゲート電極に配線が接続されるため、ゲート電極においてチャネル領域よりも外側に接続配線用のコンタクトパッド部を設ける必要がない。そのため、ゲート電極をチャネル領域とほぼ同等の大きさとできる。これにより、本発明の発光装置の一つの態様によれば、画素回路をより小型化できる発光装置が得られる。

【0010】

前記複数のトランジスターは、前記第1トランジスターのゲートと前記第1トランジスターのゲートに信号を入力する信号線との間に設けられた選択トランジスターを含み、前記選択トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、選択トランジスターを小型化することができ、結果として、画素回路を小型化することができる。

【0011】

前記複数のトランジスターは、前記第1トランジスターのゲートと前記第1トランジスターの一方の電流端との間に設けられた補償トランジスターを含み、前記補償トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、補償トランジスターを小型化することができ、結果として、画素回路を小型化することができる。

【0012】

前記複数のトランジスターは、前記第1トランジスターと前記発光素子との間に設けられた発光制御トランジスターを含み、前記発光制御トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、発光制御トランジスターを小型化することができ、結果として、画素回路を小型化することができる。

【0013】

前記複数のトランジスターは、前記発光素子に所定のリセット電位を給電するリセットトランジスターを含み、前記リセットトランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、リセットトランジスターを小型化することができ、結果として、画素回路を小型化することができる。

10

20

30

40

50

【0014】

前記第1トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている構成としてもよい。

この構成によれば、第1トランジスターを小型化することができ、結果として、画素回路を小型化することができる。

【0015】

前記画素回路は、特性補償回路を有している構成としてもよい。

この構成によれば、発光素子に電流を供給する第1トランジスターの閾値電圧のばらつきを抑制することができるため、発光素子に供給される電流を安定化できる。

【0016】

前記配線は、前記複数のトランジスターと異なる層に設けられている構成としてもよい。

この構成によれば、チャネル領域と平面視で重なる位置において、ゲート電極に配線を接続することが容易である。

【0017】

前記配線は、前記複数のトランジスターのうち少なくとも二つと平面視において重なる構成としてもよい。

この構成によれば、画素回路をより小型化できる。

【0018】

本発明の発光装置の一つの態様は、第1方向に延在する素子部を備えた第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、前記トランジスター群は、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されている第2トランジスターと、ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、を含み、前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置され、前記第2トランジスターは、前記第1トランジスターと前記発光素子との間に設けられていることを特徴とする。

本発明の発光装置の一つの態様は、第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスターは、前記第1トランジスターと前記発光素子との間に設けられた第2トランジスターを含み、前記第2トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されていることを特徴とする。

【0019】

本発明の発光装置の一つの態様によれば、第2トランジスターが、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続されているため、第2トランジスターのゲート電極に接続配線用のコンタクトパッド部を設ける必要がなく、ゲート電極を小さくできる。したがって、本発明の発光装置の一つの態様によれば、画素回路をより小型化できる発光装置が得られる。

【0020】

前記ゲート電極における配線が接続されている位置は、前記ゲート電極を挟む一対の電流端のうち高電位となる側の電流端寄りである構成としてもよい。

この構成によれば、トランジスターの閾値電圧のばらつきを抑制できる。

本発明の発光装置の一つの態様は、第1方向に延在する素子部を備えた第1トランジス

10

20

30

40

50

ターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、前記トランジスター群は、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャネル領域と前記ゲート電極とが平面視でほぼ同じ大きさであるトランジスターと、ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、を含み、前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置されている、ことを特徴とする。

本発明の発光装置の一つの態様は、第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスターのうち少なくとも一つは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする。

本発明の発光装置の一つの態様は、第1方向に延在する素子部を備えた第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記第1トランジスターのゲート電極には、チャネル領域と平面視で重ならない位置において配線が接続された第1コンタクトパッド部が設けられ、前記複数のトランジスターは、前記第1方向と直交する第2方向において前記第1トランジスターの一方側に配置された複数のトランジスターを含むトランジスター群を含み、前記トランジスター群に含まれたトランジスターは、前記第1方向に並んで設けられ、前記トランジスター群は、前記第1トランジスターと前記発光素子との間に設けられた第2トランジスターと、ゲート電極に、チャネル領域と平面視で重ならない位置において配線が接続されている第2コンタクトパッド部が設けられたトランジスターと、を含み、前記第1コンタクトパッド部は、前記第2方向において前記トランジスター群側に突出し、前記第2コンタクトパッド部は、前記第2方向において前記第1トランジスター側に突出し、前記第1コンタクトパッド部と前記第2コンタクトパッド部とは、前記第1方向に並んで配置され、前記第2トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする。

本発明の発光装置の一つの態様は、第1トランジスターを含む複数のトランジスターと、前記第1トランジスターによって電流が供給される発光素子と、を備える画素回路を備え、前記複数のトランジスターは、前記第1トランジスターと前記発光素子との間に設けられた第2トランジスターを含み、前記第2トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極に配線が接続され、かつ、前記チャネル領域と前記ゲート電極とが平面視でほぼ同じ大きさである、ことを特徴とする。

【0021】

前記発光素子は、有機エレクトロルミネッセンス素子である構成としてもよい。

この構成によれば、電子機器の表示装置として用いることができる。

【0022】

本発明の電子機器の一つの態様は、上記の発光装置を備えることを特徴とする。

本発明の電子機器の一つの態様によれば、上記の発光装置を備えているため、電子機器をより小型化できる。

【図面の簡単な説明】

【0023】

10

20

30

40

50

- 【図1】第1実施形態の発光装置を示す平面図である。
- 【図2】第1実施形態の画素回路を示す回路図である。
- 【図3】第1実施形態の画素回路を示す平面図である。
- 【図4】第1実施形態の画素回路を示す図であって、図3におけるIV-IV断面図である。
- 【図5】第1実施形態の画素回路を示す平面図である。
- 【図6】第1実施形態の画素回路を示す平面図である。
- 【図7】第1実施形態の画素回路を示す平面図である。
- 【図8】第1実施形態の画素回路を示す平面図である。
- 【図9】第1実施形態の画素回路を示す平面図である。
- 【図10】第1実施形態の画素回路を示す平面図である。 10
- 【図11】第1実施形態の画素回路を示す平面図である。
- 【図12】第1実施形態の画素回路を示す平面図である。
- 【図13】第1実施形態における中継電極の形成方法の手順を示す断面図である。
- 【図14】第1実施形態の効果を説明するための説明図である。
- 【図15】コントクトホールの配置位置について説明するための説明図である。
- 【図16】第1実施形態の他の一例を示す平面図である。
- 【図17】第2実施形態の画素回路を示す回路図である。
- 【図18】第2実施形態の画素回路を示す平面図である。
- 【図19】第2実施形態の画素回路を示す平面図である。
- 【図20】第3実施形態の画素回路を示す回路図である。 20
- 【図21】第3実施形態の画素回路を示す平面図である。
- 【図22】第3実施形態の画素回路を示す平面図である。
- 【図23】本実施形態の電子機器の一例を示す図である。

【発明を実施するための形態】

【0024】

以下、図を参照しながら、本発明の実施形態に係る発光装置及び電子機器について説明する。

なお、本発明の範囲は、以下の実施の形態に限定されるものではなく、本発明の技術的思想の範囲内で任意に変更可能である。また、以下の図面においては、各構成をわかりやすくするために、実際の構造と各構造における縮尺や数等を異ならせる場合がある。 30

【0025】

【発光装置】

【0026】

(第1実施形態)

図1は、本実施形態の発光装置100を示す平面図である。

本実施形態の発光装置100は、図1に示すように、有機EL材料を利用した発光素子を半導体基板10上に形成した有機EL装置である。発光装置100は、例えば、有機発光ダイオード(OLED:Organic Light Emitting Diode)である。半導体基板10は、シリコン等の半導体材料で形成された板状部材であり、複数の発光素子が形成される基材として利用される。 40

【0027】

図1に示すように、半導体基板10の表面には、表示領域11と周辺領域12と実装領域13とが設けられている。表示領域11は、複数の画素回路Pが配列された矩形状の領域である。表示領域11には、X方向に延在する複数の走査線(配線)22と、各走査線22に対応してX方向に延在する複数の制御線(配線)24と、X方向と交差するY方向に延在する複数の信号線26と、が形成される。画素回路Pは、複数の走査線22と複数の信号線26との各交差に対応した領域である。したがって、複数の画素回路Pは、X方向およびY方向にわたってマトリクス状に配列される。

【0028】

周辺領域12は、表示領域11を囲む矩形枠状の領域である。駆動回路30は、周辺領

50

域12に設けられている。駆動回路30は、表示領域11内の各画素回路Pを駆動する回路である。駆動回路30は、2つの走査線駆動回路32と信号線駆動回路34とを含んでいる。発光装置100は、駆動回路30が半導体基板10の表面に直接形成されたトランジスター等の能動素子で構成される回路内蔵型の表示装置である。なお、画像表示に直接寄与しないダミー画素が周辺領域12内に形成されていてもよい。

【0029】

実装領域13は、周辺領域12を挟んで表示領域11とは反対側（すなわち周辺領域12の外側）の領域に設けられている。実装領域13には、複数の実装端子38が配列されている。制御信号や電源電位は、制御回路や電源回路等の各種の外部回路（図示せず）から実装端子38に供給される。外部回路は、例えば実装領域13に接合された可撓性の配線基板（図示せず）に実装される。

10

【0030】

図2は、表示領域11内の1つの画素回路P11を示す回路図である。

図2に示すように、画素回路Pは、発光素子45、駆動トランジスター（第1トランジスター）TDR、選択トランジスターT1、発光制御トランジスター（第2トランジスター）T2、補償トランジスターT3、リセットトランジスターT4、及び容量素子Cを備える。なお、第1実施形態では、画素回路P11のトランジスターTDR, T1~T4をPチャネル型のトランジスターで構成するが、Nチャネル型のトランジスターで構成することも可能である。この画素回路P21は、例えば、特開2013-088611号公報の図13乃至図17及びその説明に示す駆動方法のように動作させることが可能である。

20

【0031】

発光素子45は、有機EL材料の発光層を含む発光機能層450を画素電極（陽極）451と共に電極（陰極）452との間に介在させた電気光学素子である。画素電極451は画素回路P毎に個別に形成され、共通電極452は複数の画素回路Pにわたって連続して形成される。図2に示すように、発光素子45は、第1電源導電体41と第2電源導電体42とを結ぶ電流経路上に配置される。第1電源導電体41は、高電位側の電源電位V_{EL}が供給される電源配線である。第2電源導電体42は、低電位側の電源電位V_{CT}が供給される電源配線である。

【0032】

駆動トランジスターTDRは、第1電源導電体41と第2電源導電体42とを結ぶ電流経路上で発光素子45に対して直列に接続されている。具体的には、駆動トランジスターTDRの一対の電流端のうちの一方（ソース）は、第1電源導電体41に接続されている。駆動トランジスターTDRの一対の電流端のうちの他方（ドレイン）は、発光素子45の画素電極451と接続されている。駆動トランジスターTDRは、自身のゲート-ソース間の電圧に応じた電流量に相当する駆動電流を生成する。

30

【0033】

図2に示す選択トランジスターT1は、信号線26と駆動トランジスターTDRのゲートとの導通状態（導通/非導通）を制御するスイッチとして機能する。選択トランジスターT1のゲートは走査線22に接続されている。選択トランジスターT1のソースは、信号線26に接続されている。選択トランジスターT1のドレインは、駆動トランジスターTDRのゲートと、発光制御トランジスターT2のドレインと、後述する容量素子Cの第1電極C1と接続されている。

40

【0034】

なお、後述する特性補償における動作においては、選択トランジスターT1に流れる電流の向きが逆転するため、選択トランジスターT1におけるソースとドレインとの関係は逆となるが、本明細書における実施形態においては、駆動トランジスターのゲートに発光素子の諧調レベルに応じた電位を書き込む期間において、選択トランジスターに流れる電流の向きにおけるソースとドレインとの関係で説明する。

【0035】

発光制御トランジスターT2は、駆動トランジスターTDRと発光素子45との間に直

50

列に接続されている。具体的には、発光制御トランジスターT2のソースは、駆動トランジスターTDRのドレインと接続され、発光制御トランジスターT2のドレインは、発光素子45の画素電極451と接続されている。発光制御トランジスターT2のゲートは、制御線24に接続されている。

【0036】

発光制御トランジスターT2は、制御線24を介して走査線駆動回路32(図1参照)からゲートに入力される制御信号によって、オン/オフが制御される。発光制御トランジスターT2オン状態に制御された状態では、駆動電流が駆動トランジスターTDRから発光制御トランジスターT2を経由して発光素子45に供給される。このとき、発光素子45は、駆動電流の電流量に応じた輝度で発光する。発光制御トランジスターT2がオフ状態に制御された状態では、発光素子45に対する駆動電流の供給が遮断される。このとき、発光素子45は消灯する。

10

【0037】

容量素子Cは、第1電極C1と第2電極C2との間に誘電体を介在させた静電容量である。第1電極C1は、駆動トランジスターTDRのゲートに接続されている。第2電極C2は、第1電源導電体41(駆動トランジスターTDRのソース)に接続されている。したがって、容量素子Cは、駆動トランジスターTDRのゲート-ソース間の電圧を保持する。

【0038】

補償トランジスターT3は、駆動トランジスターTDRの閾値電圧のばらつきに起因した発光素子45へ供給される電流値のばらつきを補償するためのトランジスターである。補償トランジスターT3のソースは、駆動トランジスターTDRのドレイン及び発光制御トランジスターT2のソースと接続されている。補償トランジスターT3のドレインは、駆動トランジスターTDRのゲートと接続されている。補償トランジスターT3のゲートには、制御線(配線)23が接続されている。補償トランジスターT3は、制御線23からの制御信号によってオン/オフが制御される。

20

【0039】

補償トランジスターT3、駆動トランジスターTDR及び選択トランジスターT1がオン状態となると、駆動トランジスターTDRのソース-ドレインに流れる電流が、補償トランジスターT3、選択トランジスターT1を介して、信号線26へと流れる。ここで、本実施形態においては、信号線26には容量素子Cpの第1容量電極Cp1が接続されている。これにより、駆動トランジスターTDRのゲートから容量素子Cpの第1容量電極Cp1までの電位は、駆動トランジスターTDRのソース-ゲート間の電圧が閾値電圧に向けて上昇する。理想的には、駆動トランジスター151のゲートから容量素子Cpの第1容量電極Cp1までの電位は、駆動トランジスター151のソース-ゲート間の電圧が閾値電圧に到達し、駆動トランジスター151のソース-ドレインに流れる電流は流れなくなる。補償トランジスター153がオフの状態となると、この駆動トランジスター151のソース-ゲート間の電圧が容量素子Cに保存される。

30

【0040】

そして、補償トランジスターT3がオフの状態において、容量素子Cpの第2容量電極Cp2に発光素子45の階調レベルに応じた信号が入力されると、駆動トランジスターTDRのゲートから第1容量電極Cp1までの電位が、階調レベルに応じて上方にシフトする。これにより、駆動トランジスターTDRのソース-ゲート間の電圧値が、閾値電圧に、階調レベルに応じた分の電圧が加えられた値となる。すなわち、駆動トランジスターTDRのソース-ゲート間の電圧が、閾値電圧が補償された値となる。そのため、駆動トランジスターTDRの閾値電圧の値によらず、発光素子45に対して、階調レベルに応じた電流を安定して供給できる。

40

【0041】

以上に説明したようにして、駆動トランジスターTDRの閾値電圧特性が補償される。すなわち、画素回路P11は、補償トランジスターT3及び容量素子Cp等によって構成

50

される特性補償回路を有している。

【0042】

リセットトランジスターT4は、発光素子45の電位をリセットするためのトランジスターである。リセットトランジスターT4のソースは、発光制御トランジスターT2のドレイン及び発光素子45の画素電極451に接続されている。リセットトランジスターT4のドレインは、第3電源導電体27に接続されている。第3電源導電体27は、発光素子45がリセットされる電位(リセット電位)が供給される電源配線である。リセットトランジスターT4のゲートは、制御線(配線)25に接続されている。リセットトランジスターT4は、制御線25からの制御信号によってオン/オフが制御される。

【0043】

発光素子45を初期化する期間においては、リセットトランジスターT4がオン状態となり、発光制御トランジスターT2がオフ状態となる。これにより、発光素子45は、リセットトランジスターT4を介して、第3電源導電体27と接続され、発光素子45の電位は、第3電源導電体27の電位にリセットされる。

【0044】

発光素子45には寄生容量が生じる場合があり、寄生容量が生じると、この寄生容量によって発光素子45の画素電極451と共に電極452との間の電圧が保持される。そのため、例えば、発光素子45を高輝度状態から低輝度状態へと転じるような場合においては、寄生容量に高輝度状態における高電圧が保持されてしまうため、発光素子45に過剰な電流が流れ、発光素子45を低輝度状態にすることが困難となる。

これに対して、リセットトランジスターT4によって上記のようにして発光素子45の電位をリセットすることにより、発光素子45を高輝度状態から低輝度状態に転じることが容易となる。

【0045】

図1に示す信号線駆動回路34は、外部回路から供給される画像信号を、画素回路P毎に指定する階調に応じた階調電位(データ信号)として、書込期間(水平走査期間)毎に複数の信号線26に対して並列に供給する。他方、走査線駆動回路32は、複数の走査線22の各々に走査信号を供給することにより、複数の走査線22の各々を書込期間毎に順次選択する。走査線駆動回路32が選択した走査線22に対応する画素回路Pの選択トランジスターT1は、オン状態に遷移する。このとき、各画素回路Pの駆動トランジスターTDRのゲートに、信号線26と選択トランジスターT1とを経由して階調電位が供給され、階調電位に応じた電圧が容量素子Cに保持される。

【0046】

他方、書込期間での走査線22の選択が終了すると、走査線駆動回路32は、各制御線24に制御信号を供給することにより、当該制御線24に対応する画素回路Pの発光制御トランジスターT2をオン状態に制御する。したがって、直前の書込期間で容量素子Cに保持された電圧に応じた駆動電流は、駆動トランジスターTDRから発光制御トランジスターT2を経由して発光素子45に供給される。以上のように、発光素子45が階調電位に応じた輝度で発光することで、画像信号が指定する任意の画像が表示領域11に表示される。

【0047】

次に、画素回路P11の具体的な構成について説明する。

図3は、画素回路P11を模式的に示す平面図である。図4は、図3におけるIV-IV断面図である。図5から図12は、図4における各層を平面視した場合を示す平面図である。図5から図12においては、各要素の視覚的な把握を容易化する観点から、図4と共に各要素には図4と同様のハッチングが便宜的に付加されている。

【0048】

本実施形態においては、各トランジスターは、例えば、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)である。

10

20

30

40

50

本実施形態の各トランジスター T D R , T 1 , T 2 , T 3 , T 4 は、図 4 に示すように、半導体基板 1 0 の表面に形成されている。より詳細には、各トランジスター T D R , T 1 , T 2 , T 3 , T 4 は、半導体基板 1 0 のうち N 型の基体 1 6 の表面に形成された P 型のウェル 1 7 を利用して形成されている。なお、発光制御トランジスター T 2 及びリセットトランジスター T 4 については、図 4 において図示を省略している。

【 0 0 4 9 】

駆動トランジスター T D R は、図 3 に示すように、素子部 E D R と、ゲート電極 G D R と、を備える。素子部 E D R には、ソース領域 A S D R と、ドレイン領域 A D D R と、チャネル領域 A C D R と、が形成されている。

【 0 0 5 0 】

選択トランジスター T 1 は、素子部 E 1 と、ゲート電極 G 1 と、を備える。素子部 E 1 には、ソース領域 A S 1 と、ドレイン領域 A D 1 と、チャネル領域 A C 1 とが形成されている。

【 0 0 5 1 】

発光制御トランジスター T 2 は、素子部 E 2 と、ゲート電極 G 2 と、を備える。素子部 E 2 には、ソース領域 A S 2 と、ドレイン領域 A D 2 と、チャネル領域 A C 2 とが形成されている。

【 0 0 5 2 】

補償トランジスター T 3 は、素子部 E 3 と、ゲート電極 G 3 と、を備える。素子部 E 3 には、ソース領域 A S 3 と、ドレイン領域 A D 3 と、チャネル領域 A C 3 とが形成されている。本実施形態においては、補償トランジスター T 3 のドレイン領域 A D 3 は、選択トランジスター T 1 のドレイン領域 A D 1 としても機能する。

【 0 0 5 3 】

リセットトランジスター T 4 は、素子部 E 4 と、ゲート電極 G 4 と、を備える。素子部 E 4 には、ソース領域 A S 4 と、ドレイン領域 A D 4 と、チャネル領域 A C 4 とが形成されている。

【 0 0 5 4 】

なお、本実施形態においては、各トランジスターの構成は同様であるため、以下の説明においては、代表して駆動トランジスター T D R についてのみ説明する場合がある。

【 0 0 5 5 】

素子部 E D R , E 1 , E 3 は、図 3 及び図 4 に示すように、半導体基板 1 0 のウェル 1 7 に形成されている。図 4 においては図示を省略するが、発光制御トランジスター T 2 及びリセットトランジスター T 4 の素子部 E 2 , E 4 についても同様である。

【 0 0 5 6 】

本実施形態においては、図 3 及び図 4 に示すように、選択トランジスター T 1 の素子部 E 1 と、補償トランジスター T 3 の素子部 E 3 とは、それぞれのドレイン領域 A D 1 と、ドレイン領域 A D 3 とが共通である。また、図 4 に示すように、駆動トランジスター T D R の素子部 E D R と、選択トランジスター T 1 及び補償トランジスター T 3 の素子部 E 1 , E 3 とは、半導体基板 1 0 のウェル 1 7 に形成された溝部(トレンチ) 1 0 A により相互に分離された島状に形成されている。図 4 においては、図示を省略するが、発光制御トランジスター T 2 及びリセットトランジスター T 4 の素子部 E 2 , E 4 についても同様に相互に分離された島状に形成されている。

【 0 0 5 7 】

各素子部を画定する溝部 1 0 A は、半導体基板 1 0 の表面に形成されたウェル 1 7 を部分的に除去した領域である。

図 4 に例示された溝部 1 0 A の深さ D T は、半導体基板 1 0 (ウェル 1 7) の表面と溝部 1 0 A の底面との距離である。溝部 1 0 A の深さ D T は、例えば 3 0 0 n m 以上かつ 1 0 0 0 n m 以下の範囲内の寸法(例えば数百 n m 程度)に設定される。図 4 から理解される通り、溝部 1 0 A の深さ D T はウェル 1 7 の厚さ D W を下回る(D T < D W)。したがって、溝部 1 0 A の底面はウェル 1 7 で構成される。

【0058】

溝部10Aの内側（すなわち各素子部の相互間）には、素子分離部54が形成されている。素子分離部54は、各トランジスターを電気的に絶縁（素子分離）するための要素として機能する。すなわち、本実施形態においては、各トランジスターを電気的に分離するSTI（Shallow Trench Isolation）構造の素子分離部54が形成される。具体的には、素子分離部54は、駆動トランジスターTDRと、選択トランジスターT1補償トランジスターT3と、図示は省略するが、発光制御トランジスターT2と、リセットトランジスターT4とを分離する。

【0059】

図4に示すように、本実施形態における素子分離部54の厚さ（溝部10Aの深さ）DTは、ソース領域ASDR及びドレイン領域ADDRの厚さDFを上回る。したがって、素子分離部54の厚さDTがソース領域ASDRまたはドレイン領域ADDRの厚さDFを下回る構成と比較して、相互に隣り合う各トランジスターのソース領域及びドレイン領域の間での電流のリークが抑制される（各トランジスターを確実に分離できる）という利点がある。

【0060】

本実施形態では、図3及び図5に示すように、各素子部は、平面視（XY面視）でY方向に延在する帯状に形成されている。

駆動トランジスターTDRの素子部EDRと、リセットトランジスターT4の素子部E4とは、長さ方向がY方向となるように配置され、Y方向と平行な仮想直線K1に沿って並んで設けられている。

【0061】

選択トランジスターT1の素子部E1及び補償トランジスターT3の素子部E3と、発光制御トランジスターT2の素子部E2とは、長さ方向がY方向となるように配置され、Y方向と平行な仮想直線K2に沿って並んで設けられている。

仮想直線K1と仮想直線K2とは、X方向に並んで設けられている。すなわち、本実施形態の画素回路P11における5つのトランジスターの素子部は、2列に並んで設けられている。

【0062】

なお、本実施形態において、トランジスターにおける素子部の長さ方向とは、後述するソース領域とドレイン領域とが並ぶ方向である。

【0063】

ソース領域ASDR及びドレイン領域ADDRは、図3及び図4に示すように、駆動トランジスターTDRの素子部EDRのうち平面視でゲート電極を挟む各位置に形成された領域である。ソース領域ASDR及びドレイン領域ADDRは、P型のウェル17に対して逆導電型（すなわちN型）の不純物のイオンが導入及び拡散された所定の厚さの領域である。

【0064】

素子部EDRが形成された半導体基板10（ウェル17）の面上には、絶縁層50が形成されている。絶縁層50は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成され、絶縁膜52と素子分離部54とを含んで構成される。絶縁膜52は、絶縁層50のうち各素子部の面上に位置する部分であり、各トランジスターのゲート絶縁膜として機能する。

【0065】

ゲート電極GDRは、図4及び図6に示すように、絶縁層50の面上に形成されている。すなわち、素子部EDRとゲート電極GDRとは絶縁膜52（絶縁層50）を挟んで対向する。素子部EDRにおけるソース領域ASDRとドレイン領域ADDRとに挟まれた領域のうち、ゲート電極GDRと平面視で重なる部分が、チャネル領域ACDRとなる。

【0066】

図5及び図6に示すように、駆動トランジスターTDRのチャネル幅WDRは、選択ト

10

20

30

40

50

ランジスターT1のチャネル幅W1及び補償トランジスターT3のチャネル幅W2を上回る。本実施形態においては、選択トランジスターT1のチャネル幅W1と補償トランジスターT3のチャネル幅W2とは、ほぼ等しい。駆動トランジスターTDRのチャネル幅WDRは、例えば、500nmである。

【0067】

駆動トランジスターTDRのゲート電極GDRは、図3に示すように、中継電極QA3を介して、選択トランジスターT1のドレイン領域AD1と電気的に接続されている。本実施形態においては、中継電極(配線)QA3は、コンタクトホールHA8を介して、駆動トランジスターTDRのゲート電極GDRと電気的に接続されている。本実施形態においては、コンタクトホールHA8は、チャネル領域ACDRと平面視で重なる位置に設けられている。言い換えると、駆動トランジスターTDRは、チャネル領域ACDRと平面視で重なる位置において、ゲート電極GDRが中継電極QA3と接続されている。

10

【0068】

選択トランジスターT1のゲート電極G1は、コンタクトホールHA1を介して、走査線22と電気的に接続されている。走査線22は、駆動トランジスターTDR及び選択トランジスターT1の上方を通過するように、X方向に延在して設けられている。言い換えると、走査線22は、駆動トランジスターTDR及び選択トランジスターT1と平面視において重なるように設けられている。

【0069】

コンタクトホールHA1は、チャネル領域AC1と平面視で重なる位置に設けられている。言い換えると、選択トランジスターT1は、チャネル領域AC1と平面視で重なる位置において、ゲート電極G1が走査線22と接続されている。コンタクトホールHA1は、ゲート電極G1におけるソース領域AS1寄り(+Y寄り)の位置に設けられている。

20

【0070】

発光制御トランジスターT2のゲート電極G2は、コンタクトホールH2を介して、制御線24と電気的に接続されている。制御線24は、発光制御トランジスターT2及びリセットトランジスターT4の上方を通過するように、X方向に延在して設けられている。言い換えると、制御線24は、発光制御トランジスターT2及びリセットトランジスターT4と平面視において重なるように設けられている。

【0071】

30

コンタクトホールH2は、チャネル領域AC2と平面視で重なる位置に設けられている。言い換えると、発光制御トランジスターT2は、チャネル領域AC2と平面視で重なる位置において、ゲート電極G2が制御線24と接続されている。コンタクトホールH2は、ゲート電極G2におけるソース領域AS2寄り(+Y寄り)の位置に設けられている。

【0072】

補償トランジスターT3のゲート電極G3は、コンタクトホールHA2を介して、制御線23と電気的に接続されている。制御線23は、駆動トランジスターTDR及び補償トランジスターT3の上方を通過するように、X方向に延在して設けられている。言い換えると、制御線23は、駆動トランジスターTDR及び補償トランジスターT3と平面視において重なるように設けられている。

40

【0073】

コンタクトホールHA2は、チャネル領域AC3と平面視で重なる位置に設けられている。言い換えると、補償トランジスターT3は、チャネル領域AC3と平面視で重なる位置において、ゲート電極G3が制御線23と接続されている。コンタクトホールHA2は、ゲート電極G3におけるソース領域AS3寄り(-Y寄り)の位置に設けられている。

【0074】

リセットトランジスターT4のゲート電極G4は、コンタクトホールH4を介して、制御線25と電気的に接続されている。制御線25は、発光制御トランジスターT2及びリセットトランジスターT4の上方を通過するように、X方向に延在して設けられている。言い換えると、制御線25は、発光制御トランジスターT2及びリセットトランジスター

50

T 4 と平面視において重なるように設けられている。

【0075】

コンタクトホールH 4 は、チャネル領域A C 4 と平面視で重なる位置に設けられている。言い換えると、リセットトランジスターT 4 は、チャネル領域A C 4 と平面視で重なる位置において、ゲート電極G 4 が制御線2 5 と接続されている。コンタクトホールH 4 は、ゲート電極G 4 におけるソース領域A S 4 寄り(-Y寄り)の位置に設けられている。

【0076】

以上に説明した各トランジスターのゲート電極が形成された絶縁層5 0 の面上には、図4に例示される通り、複数の絶縁層L (L A ~ L F) と複数の配線層W (W A ~ W F) とを交互に積層した多層配線層が形成される。各絶縁層L は、例えば珪素化合物(典型的には窒化珪素や酸化珪素)等の絶縁性の無機材料で形成される。また、各配線層W は、アルミニウムや銀等を含有する低抵抗な導電材料で形成される。なお、以下の説明では、導電層(単層または複数層)の選択的な除去により複数の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記する。

10

【0077】

以下、多層配線層について詳細に説明する。

なお、本実施形態においては、多層配線層の説明として、図3におけるIV - IV断面、すなわち、駆動トランジスターT D R 、選択トランジスターT 1 、及び補償トランジスターT 3 の断面を示す図4を参照して説明する。

【0078】

20

図4の絶縁層L A は、各トランジスターのゲート電極が形成された絶縁層5 0 (絶縁膜5 2)の面上に形成される。図4及び図7に示すように、絶縁層L A の面上には、走査線2 2 及び制御線2 3 と複数の中継電極Q A (Q A 1 ~ Q A 4)とを含む導体パターンが同層(配線層W A)から形成される。上述したように、走査線2 2 は、絶縁層L A を貫通するコンタクトホールH A 1 を介して選択トランジスターT 1 のゲート電極G 1 に導通し、制御線2 3 は、絶縁層L A を貫通するコンタクトホールH A 2 を介して補償トランジスターT 3 のゲート電極G 3 に導通する。

【0079】

中継電極Q A 1 は、絶縁層L A と絶縁層5 0 とを貫通するコンタクトホールH A 3 を介して駆動トランジスターT D R のソース領域A S D R に導通する。中継電極Q A 2 は、図4及び図7から理解される通り、絶縁層L A と絶縁層5 0 とを貫通するコンタクトホールH A 4 を介して駆動トランジスターT D R のドレイン領域A D D R に導通するとともに、絶縁層L A と絶縁層5 0 とを貫通するコンタクトホールH A 5 を介して補償トランジスターT 3 のソース領域A S 3 に導通する。これにより、駆動トランジスターT D R のドレイン領域A D D R と、補償トランジスターT 3 のソース領域A S 3 とが接続される。

30

【0080】

中継電極Q A 3 は、絶縁層L A と絶縁層5 0 とを貫通するコンタクトホールH A 6 を介して選択トランジスターT 1 のドレイン領域A D 1 及び補償トランジスターT 3 のドレイン領域A D 3 に導通するとともに、絶縁層L A を貫通するコンタクトホールH A 8 を介して駆動トランジスターT D R のゲート電極G D R に導通する。すなわち、駆動トランジスターT D R のゲート電極G D R が、選択トランジスターT 1 のドレイン領域A D 1 及び補償トランジスターT 3 のドレイン領域A D 3 と接続される。

40

【0081】

中継電極Q A 4 は、絶縁層L A 及び絶縁層5 0 を貫通するコンタクトホールH A 7 を介して選択トランジスターT 1 のソース領域A S 1 に導通する。

【0082】

図4の絶縁層L B は、配線層W A が形成された絶縁層L A の面上に形成される。図4及び図8に示すように、絶縁層L B の面上には、信号線2 6 と第3電源導電体2 7 と複数の中継電極Q B (Q B 1 ~ Q B 3)とを含む導体パターンが同層(配線層W B)から形成される。なお、図8においては、第3電源導電体2 7 の図示を省略している。

50

【0083】

図8から理解される通り、信号線26は、Y方向に延在する直線状に形成され、絶縁層LBを貫通するコンタクトホールHB1を介して配線層WAの中継電極QA4に導通する。すなわち、図4及び図8から理解される通り、信号線26は、中継電極QA4を介して選択トランジスターT1のソース領域AS1に導通する。また、中継電極QB1は、絶縁層LBを貫通するコンタクトホールHB2を介して配線層WAの中継電極QA1に導通する。中継電極QB2は、絶縁層LBを貫通するコンタクトホールHB2を介して配線層WAの中継電極QA3（駆動トランジスターTDRのゲート電極GDR）に導通する。中継電極QB3は、絶縁層LBを貫通するコンタクトホールHB3を介して配線層WAの中継電極QA2に導通する。

10

【0084】

図4の絶縁層LCは、配線層WBが形成された絶縁層LBの面上に形成される。図4及び図9に例示される通り、絶縁層LCの面上には、第1導電層61と中継電極QC1とを含む導体パターンが同層（配線層WC）から形成される。第1導電層61は、表示領域11の全体にわたり連続に形成されて図2の第1電源導電体41を構成する。具体的には、第1導電層61は、高位側の電源電位VELが供給される実装端子38（図1参照）に電気的に接続されるとともに、図4及び図9から理解される通り、絶縁層LCを貫通するコンタクトホールHC1を介して配線層WBの中継電極QB1に導通する。すなわち、実装端子38に供給される電源電位VELは、第1導電層61と中継電極QB1と中継電極QA1とを介して駆動トランジスターTDRのソース領域ASDRに到達する。

20

【0085】

図9に例示される通り、第1導電層61には画素回路P毎に開口部71が形成される。中継電極QC1は開口部71の内側に形成される。中継電極QC1は、絶縁層LCを貫通するコンタクトホールHC2を介して配線層WBの中継電極QB2に導通する。

【0086】

図4の絶縁層LDは、配線層WCが形成された絶縁層LCの面上に形成される。図4及び図10に示すように、絶縁層LDの面上には、容量素子Cの第1電極C1を含む導体パターンが同層（配線層WD）から形成されている。第1電極C1は、図10から理解される通り、画素回路P毎に個別に形成され、絶縁層LDを貫通するコンタクトホールHD1を介して配線層WCの中継電極QC1に導通する。これにより、容量素子Cの第1電極C1は、中継電極QC1と中継電極QB2と中継電極QA3とを介して、駆動トランジスターTDRのゲート電極GDR、選択トランジスターT1のドレイン領域AD1、及び補償トランジスターT3のドレイン領域AD3に電気的に接続される。

30

【0087】

図4及び図10に示すように、中継電極QD1は、絶縁層LDを貫通するコンタクトホールHD2を介して配線層WCの第1導電層61に導通する。

【0088】

図4では、絶縁層LDを第1層LD1及び第2層LD2の積層とした構成が例示されている。第1層LD1の面上（第1層LD1と第2層LD2との間）には補助電極62が形成されている。絶縁層LD（第2層LD2）の面上に形成された第1電極C1は、第2層LD2を貫通する複数のコンタクトホールを介して補助電極62に導通する。補助電極62は、容量素子Cの容量値を増加させるための補助的な電極である。なお、補助電極62を省略した構成（絶縁層LDを単層で形成した構成）も採用され得る。

40

【0089】

図4の絶縁層LEは、配線層WDが形成された絶縁層LDの面上に形成される。図4及び図11に示すように、絶縁層LEの面上には、第2導電層63を含む導体パターンが同層（配線層WE）から形成される。配線層WEは、銀やアルミニウムを含有する光反射性の導電材料で形成される。

【0090】

第2導電層63は、第1導電層61と同様に表示領域11の全体にわたり連続に形成

50

され、絶縁層 L E を貫通するコンタクトホール H E 1 を介して配線層 W D の中継電極 Q D 1 に導通する。すなわち、第 2 導電層 6 3 は、中継電極 Q D 1 を介して第 1 導電層 6 1 (図 9 参照) に電気的に接続される。したがって、第 2 導電層 6 3 には第 1 導電層 6 1 と同様に高位側の電源電位 V E L が供給される。以上の説明から理解される通り、第 2 導電層 6 3 は、第 1 導電層 6 1 とともに図 2 の第 1 電源導電体 4 1 を構成する。

【 0 0 9 1 】

図 4 では、絶縁層 L E を第 1 層 L E 1 及び第 2 層 L E 2 の積層とした構成が例示されている。第 1 層 L E 1 の面上 (第 1 層 L E 1 と第 2 層 L E 2 の間) には補助電極 6 4 が形成される。絶縁層 L E (第 2 層 L E 2) の面上に形成された第 2 導電層 6 3 は、第 2 層 L E 2 を貫通する複数のコンタクトホールを介して補助電極 6 4 に導通する。補助電極 6 4 は、補助電極 6 2 と同様に、容量素子 C の静電容量を増加させるための補助的な電極である。なお、補助電極 6 4 を省略した構成 (絶縁層 L E を単層で形成した構成) も採用され得る。

【 0 0 9 2 】

以上の説明から理解される通り、第 1 導電層 6 1 と第 1 電極 C 1 (補助電極 6 2) との間に絶縁層 L D を介在させた容量と、第 2 導電層 6 3 (補助電極 6 4) と第 1 電極 C 1 との間に絶縁層 L E を介在させた容量とが、図 2 を参照して前述した容量素子 C として機能する。以上の説明から理解される通り、第 1 導電層 6 1 及び第 2 導電層 6 3 は、電源電位 V E L を供給する第 1 電源導電体 4 1 、及び第 1 電極 C 1 との間で容量素子 C を形成する第 2 電極 C 2 として機能する。

【 0 0 9 3 】

図 4 の絶縁層 L F は、配線層 W E が形成された絶縁層 L E の面上に形成される。絶縁層 L F の面上には、図示しない導体パターン (配線層 W F) が形成される。配線層 W F は、例えば遮光性の導電材料 (例えば窒化チタン) で形成される。

【 0 0 9 4 】

図 4 に例示される通り、配線層 W F が形成された絶縁層 L F の面上には光路調整層 6 6 が形成される。光路調整層 6 6 は、各画素回路 P の共振構造の共振波長を規定する光透過性の膜体であり、珪素化合物 (典型的には窒化珪素や酸化珪素) 等の光透過性の絶縁材料で形成される。光路調整層 6 6 の面上には画素電極 4 5 1 が画素回路 P 每に個別に形成される。画素電極 4 5 1 は、例えば I T O (I n d i u m T i n O x i d e) 等の光透過性の導電材料で形成される。

【 0 0 9 5 】

図 1 2 に示すように、画素電極 4 5 1 は、発光素子 4 5 の陽極として機能する略矩形状の電極である。図 4 から図 1 2 においては図示を省略するが、絶縁層 L A ~ L F 及び光路調整層 6 6 には各層を貫通するコンタクトホールが形成され、各層のコンタクトホールには中継電極が形成されている。これにより、画素電極 4 5 1 は、発光制御トランジスター T 2 のドレイン領域 A D 2 と電気的に接続されている。

【 0 0 9 6 】

画素電極 4 5 1 が形成された光路調整層 6 6 の面上には、図 4 に示すように、半導体基板 1 0 の全域にわたり画素定義層 6 8 が形成される。画素定義層 6 8 は、例えば珪素化合物 (典型的には窒化珪素や酸化珪素) 等の絶縁性の無機材料で形成される。画素定義層 6 8 には、画素電極 4 5 1 に対応する開口部 6 9 が形成される。図 1 2 には、画素定義層 6 8 の開口部 6 9 の内周縁が破線で併記されている。

【 0 0 9 7 】

図 4 に例示される通り、画素電極 4 5 1 と画素定義層 6 8 とが形成された光路調整層 6 6 の面上には発光機能層 4 5 0 が形成される。発光機能層 4 5 0 は、表示領域 1 1 の全域に形成されて複数の画素回路 P にわたって連続して設けられている。本実施形態の発光機能層 4 5 0 は、有機 E L 材料で形成された発光層を含んで構成され、電流の供給により白色光を放射する。白色光は、青色の波長域と緑色の波長域と赤色の波長域とにわたるスペクトルを有する光であり、可視光の波長域内に少なくとも 2 個のピークが観測される。な

10

20

30

40

50

お、発光層に供給される電子や正孔の輸送層または注入層を発光機能層 450 に含ませることも可能である。

【0098】

図4に示すように、発光機能層 450 の面上には、発光素子 45 の陰極として機能する共通電極 452 が形成される。共通電極 452 は、複数の画素回路 P にわたって連続するよう半導体基板 10 の全域に形成され、電源電位 VCT が供給される実装端子 38 に電気的に接続される。なお、実際には、外気や水分の侵入を防止する光透過性の封止層が、共通電極 452 を被覆するように半導体基板 10 の全域に形成されるが、図4では図示を省略した。

【0099】

図4に示すように、発光機能層 450 のうち画素定義層 68 の開口部 69 の内側にて画素電極 451 と共に共通電極 452 とに挟まれた領域(発光領域)が発光する。すなわち、画素定義層 68 の開口部 69 の内側で画素電極 451 と発光機能層 450 と共に共通電極 452 とが積層された部分が発光素子 45 として機能する。以上の説明から理解される通り、画素定義層 68 は、各画素回路 P の発光素子 45 の平面形状やサイズを規定する。本実施形態の発光装置 100 は、例えば、発光素子 45 が非常に高精細に配置されたマイクロディスプレイである。例えば1個の発光素子 45 の面積(画素定義層 68 の1個の開口部 69 の面積)は $40 \mu\text{m}^2$ 以下に設定され、X 方向に相互に隣り合う各発光素子 45 の間隔は $1.5 \mu\text{m}$ 以下に設定される。

【0100】

共通電極 452 は、表面に到達した光の一部を透過するとともに残りを反射する性質(半透過反射性)の半透過反射層として機能する。例えば銀やマグネシウムを含有する合金等の光反射性の導電材料を充分に薄い膜厚に形成することで半透過反射性を有する共通電極 452 が形成される。発光機能層 450 から放射される白色光は、第2導電層 63 (第1電源導電体 41) と共に共通電極 452 との間で往復し、特定の共振波長の成分が選択的に增幅されたうえで共通電極 452 を透過して観察側(半導体基板 10 とは反対側)に射出される。すなわち、反射層として機能する第2導電層 63 と半透過反射層として機能する共通電極 452 との間で発光機能層 450 からの射出光を共振させる共振構造が形成される。

【0101】

前述の光路調整層 66 は、共振構造の共振波長(表示色)を各画素回路 P の表示色毎に個別に設定するための要素である。具体的には、共振構造を構成する第2導電層 63 と共に共通電極 452 との間の光路長(光学的距離)を光路調整層 66 の膜厚に応じて適宜に調整することで各画素回路 P の射出光の共振波長が表示色毎に設定される。

以上が本実施形態の発光装置 100 の具体的な構造である。

【0102】

次に、本実施形態における各トランジスターのゲート電極、ソース領域及びドレイン領域と電気的に接続される中継電極の形成方法について説明する。

図13(A)～(E)は、本実施形態のトランジスターと接続される中継電極の形成方法の手順について示す断面図である。

【0103】

まず、図13(A)に示すように、トランジスター T のゲート電極 G 側の上面にゲート電極 G を覆う絶縁層 LA を形成する。

次に、図13(B)に示すように、絶縁層 LA の上面 LAa に、パターニング PT1 が形成されたレジスト層 R1 を形成する。パターニング PT1 は、ドレイン領域 AD 及びソース領域 AS 上に形成するコンタクトホールの位置に対応した位置のレジストが除去されることで形成されている。

【0104】

レジスト層 R1 の形成方法は、特に限定されず、絶縁層 LA の上面 LAa にレジストを塗布した後に、露光・現像することによってパターニング PT1 を形成することによって

10

20

30

40

50

形成してもよいし、スクリーン印刷法等を用いて、絶縁層 L A の上面 L A a に直接パターニング P T 1 が形成されたレジスト層 R 1 を形成してもよい。

【 0 1 0 5 】

次に、レジスト層 R 1 をマスクとして用いて、絶縁層 L A 及び絶縁膜 5 2 をエッティングする。エッティング方法としては、特に限定されず、例えば、ドライエッティングを用いてもよいし、ウエットエッティングを用いてもよい。

これにより、絶縁層 L A 及び絶縁膜 5 2 を積層方向（図示上下方向）にドレイン領域 A D まで貫通するコンタクトホール H D と、絶縁層 L A 及び絶縁膜 5 2 を積層方向にソース領域 A S まで貫通するコンタクトホール H S とが形成される。コンタクトホール H D , H S を形成した後、レジスト層 R 1 を除去する。

10

【 0 1 0 6 】

次に、図 1 3 (C) に示すように、絶縁層 L A の上面 L A a に、パターニング P T 2 が形成されたレジスト層 R 2 を形成する。パターニング P T 2 は、ゲート電極 G 上に形成するコンタクトホールの位置に対応した位置のレジストが除去されることで形成されている。レジスト層 R 2 の形成方法は、上記説明したレジスト層 R 1 と同様の方法を選択できる。

【 0 1 0 7 】

次に、レジスト層 R 2 をマスクとして用いて、絶縁層 L A をエッティングする。エッティング方法としては、上記と同様に特に限定されず、例えば、ドライエッティングを用いてもよいし、ウエットエッティングを用いてもよい。

20

これにより、絶縁膜 5 2 を積層方向にゲート電極 G まで貫通するコンタクトホール H G が形成される。コンタクトホール H G が形成された後、レジスト層 R 2 を除去する。

【 0 1 0 8 】

次に、図 1 3 (D) に示すように、コンタクトホール H G , H D , H S 内に、アルミニウムや銀等を含有する低抵抗な導電材料を付着させる。導電材料を付着させる方法としては、特に限定されず、例えば、蒸着法や、スパッタ法等を選択できる。

そして、当該導電材料及び絶縁層 L A の表面を研磨して、ゲート電極 G と電気的に接続されたプラグ P G 、ドレイン領域 A D と電気的に接続されたプラグ P D 、及びソース領域 A S と電気的に接続されたプラグ P S が形成される。

30

【 0 1 0 9 】

次に、図 1 3 (E) に示すように、絶縁層 L A の上面 L A a に、導電材料を成膜して、同層からなるコンタクトパッド Q G a , Q D a , Q S a を形成する。

コンタクトパッド Q G a , Q D a , Q S a を形成する方法としては、特に限定されず、絶縁層 L A の上面 L A a に導電材料を塗布した後にエッティングしてパターニングする方法であってもよいし、スクリーン印刷法等を用いて絶縁層 L A の上面 L A a に直接形成する方法であってもよい。

コンタクトパッド Q G a は、プラグ P G を介して、ゲート電極 G と電気的に接続されている。コンタクトパッド Q D a は、プラグ P D を介して、ドレイン領域 A D と電気的に接続されている。コンタクトパッド Q S a は、プラグ P S を介して、ソース領域 A S と電気的に接続されている。

40

【 0 1 1 0 】

以上により、ゲート電極 G と電気的に接続された中継電極 Q G 、ドレイン領域 A D と電気的に接続された中継電極 Q D 、及びソース領域 A S と電気的に接続された中継電極 Q S が形成される。

【 0 1 1 1 】

本実施形態によれば、各トランジスターは、チャネル領域と平面視で重なる位置において、ゲート電極と各配線とが接続されるため、画素回路 P 1 1 を小型化できる。以下、詳細に説明する。

【 0 1 1 2 】

図 1 4 (A) は、ゲート電極に配線接続用のコンタクトパッド部が設けられた比較例の

50

トランジスターT10を示す平面図である。トランジスターT10は、図14(A)に示すように、ゲート電極G10と、ドレイン領域AD10と、ソース領域AS10と、を備えている。

ゲート電極G10には、チャネル領域AC10より外側に突出するコンタクトパッド部GP10が設けられている。このようなトランジスターT10では、配線と接続するためのコンタクトホールH10は、コンタクトパッド部GP10上に設けられる。言い換えると、コンタクトホールH10は、チャネル領域AC10と平面視において重ならない位置に設けられる。

【0113】

トランジスターT10では、コンタクトパッド部GP10が設けられているため、ゲート電極G10の大きさは、チャネル領域AC10に比べて大きくなり、その結果、トランジスター全体の幅が大きくなってしまうという問題があった。そのため、複数のトランジスターを配置して構成される画素回路の小型化には限界があった。 10

【0114】

一方、図14(B)は、本実施形態のトランジスターT5を示す平面図である。トランジスターT5は、図14(B)に示すように、ゲート電極G5と、ドレイン領域AD5と、ソース領域AS5と、を備えている。

上記の問題に対して、本実施形態のトランジスターT5によれば、ゲート電極G5と配線とが、チャネル領域AC5と平面視で重なる位置において接続される。言い換えると、ゲート電極G5と配線とを接続するコンタクトホールH5がチャネル領域AC5と平面視で重なる位置に設けられる。そのため、ゲート電極G5に配線接続用のコンタクトパッド部を設ける必要がなく、ゲート電極G5の平面視における大きさをチャネル領域AC5とほぼ同じ大きさにすることができる。これにより、図14(A), (B)に示すように、比較例のトランジスターT10に比べて、本実施形態のトランジスターT5においては、幅方向(X方向)の長さを小さくできる。したがって、本実施形態によれば、画素回路をより小型化できる発光装置が得られる。 20

【0115】

本実施形態の効果について、さらに図3を参照しつつ具体的に説明する。

本実施形態によれば、図3に示す駆動トランジスターTDR及びリセットトランジスターT4と、選択トランジスターT1、発光制御トランジスターT2、及び補償トランジスターT3との距離、すなわち、仮想直線K1と仮想直線K2との距離D1を、コンタクトホールがチャネル領域と平面視で重ならない位置に設けられる場合に比べて、小さくすることができる。また、信号線26及び第3電源導電体27をより各トランジスターに近い位置に形成することができる。したがって、本実施形態によれば、画素回路P11の幅(X方向長さ)D2をより小さくでき、画素回路を小型化できる。 30

【0116】

また、本実施形態によれば、画素回路P11には、駆動トランジスターTDRの閾値電圧のばらつきに起因した発光素子45への供給電流のばらつきを補償するための補償回路が組み込まれている。そのため、諧調レベルに応じた電流を発光素子45に安定して供給できる。これにより、チャネルと平面視で重なる位置において、ゲート電極と配線とが接続されるコンタクトが形成されることによって、駆動トランジスターTDRの閾値電圧がばらついてしまうような場合であっても、発光素子45の輝度がばらつくことを抑制できる。 40

【0117】

また、トランジスターのチャネル領域においては、ソース領域とドレイン領域とのうち電位が高い側の領域に近い方がゲート電極によって生じる電界が小さい。これは、電位が高い側の領域とゲート電極との間の電圧の方が、電位が低い側の領域とゲート電極との間の電圧よりも大きくなるためである。これにより、ゲート電極と配線とを接続するコンタクトホールを、ソース領域とドレイン領域とのうち電位が高い側の領域に近く、すなわち、電界の影響が小さい位置に設けることで、チャネル領域と平面視で重なる位置にコンタ 50

クトホールを設けた場合であっても、トランジスターの閾値電圧のばらつきに与える影響を小さくできる。

【0118】

図15(A)は、Pチャネル型のトランジスターにおけるコンタクトホールの設置位置を示す平面図である。図15(B)は、Nチャネル型のトランジスターにおけるコンタクトホールの設置位置を示す平面図である。

図15(A)に示すように、Pチャネル型のトランジスターにおいて、チャネル領域ACと平面視で重なる位置におけるゲート電極G上にコンタクトホールHを設ける場合には、コンタクトホールHは、ソース領域AS寄りに設けることが好ましい。Pチャネル型のトランジスターにおいては、キャリアが正孔となるため、ソース領域ASが高電位側となり、ドレイン領域ADが低電位側となるためである。

【0119】

一方、図15(B)に示すように、Nチャネル型のトランジスターにおいて、チャネル領域ACと平面視で重なる位置におけるゲート電極G上にコンタクトホールHを設ける場合には、コンタクトホールHは、ドレイン領域AD寄りに設けることが好ましい。Nチャネル型のトランジスターにおいては、キャリアが電子となるため、ドレイン領域ADが高電位側となり、ソース領域ASが低電位側となるためである。

【0120】

本実施形態によれば、図3に示すように、選択トランジスターT1、発光制御トランジスターT2、補償トランジスターT3、及びリセットトランジスターT4におけるゲート電極と各配線との接続位置は、ゲート電極上におけるソース領域寄りとなっている。

本実施形態においては、トランジスターがPチャネル型であるため、ソース領域寄りにコンタクトホールを設けることでトランジスターの閾値電圧のばらつきを抑制できる。

【0121】

また、本実施形態においては、図13(B), (C)に示すように、絶縁層LAの上面LAaからドレイン領域AD及びソース領域ASまでの深さDSと、絶縁層LAの上面LAaからゲート電極Gまでの深さDGとは異なる。具体的には、絶縁層LAの上面LAaからドレイン領域AD及びソース領域ASまでの深さDSは、絶縁層LAの上面LAaからゲート電極Gまでの深さDGよりも大きい。そのため、仮にドレイン領域AD及びソース領域ASのコンタクトホールHS, HSと、ゲート電極GのコンタクトホールHGと、を一度のエッチングで形成したとすると、ゲート電極Gにダメージが生じる虞があった。

【0122】

これに対して、本実施形態によれば、ドレイン領域AD及びソース領域ASのコンタクトホールと、ゲート電極Gのコンタクトホールとは、別工程で形成される。そのため、それぞれの形成するコンタクトホールの深さに応じたエッチング方法を選択でき、ゲート電極Gにダメージが生じることを抑制できる。

【0123】

また、本実施形態によれば、トランジスターと接続される各配線は、トランジスター上に積層された多層配線層に設けられているため、配線をトランジスターと平面視で重なるように配置することができ、画素回路を小型化できる。また、これにより、本実施形態によれば、チャネル領域と平面視で重なる位置にコンタクトホールを形成することが容易である。

【0124】

なお、本実施形態においては、以下の構成を採用することもできる。

【0125】

上記説明した実施形態においては、画素回路P11に含まれるすべてのトランジスターが、チャネル領域と平面視において重なる位置において、ゲート電極と各配線とが接続されている構成としたが、これに限られない。

本実施形態においては、例えば、図16に示す画素回路P12のように、一部のトランジスターのみにおいて、チャネル領域と平面視において重なる位置で、ゲート電極と配線

10

20

30

40

50

とが接続されている構成としてもよい。

【0126】

図16に示す画素回路P12においては、選択トランジスターT1、発光制御トランジスターT2、及び補償トランジスターT3において、チャネル領域と平面視で重なる位置で、ゲート電極と配線とが接続されている。一方、駆動トランジスターTDRaにおいては、ゲート電極GDRaにコンタクトパッド部GP11が設けられ、コンタクトパッド部GP11にコンタクトホールHA8が設けられている。リセットトランジスターT4aにおいては、ゲート電極G4aにコンタクトパッド部GP12が設けられ、コンタクトパッド部GP12にコンタクトホールH4が設けられている。

【0127】

本実施形態のように、5つのトランジスターを2列に並べて配置するような場合においては、いずれか一方の列に設けられたトランジスターにおいて、チャネル領域と平面視で重なる位置で、ゲート電極と配線とを接続することにより、その列の幅を小さくできるため、画素回路P12の幅D3を小さくすることができる。本実施形態においては、選択トランジスターT1、発光制御トランジスターT2、及び補償トランジスターT3からなる列、すなわち、仮想直線K2に沿うトランジスターの列の幅を小さくすることができる。

【0128】

また、本実施形態においては、駆動トランジスター及びリセットトランジスターにおいて、チャネル領域と平面視で重なる位置で、ゲート電極と配線とが接続され、選択トランジスター、発光制御トランジスター、及び補償トランジスターにおいて、コンタクトパッド部においてゲート電極と配線とが接続されているような構成としてもよい。この場合においては、駆動トランジスター及びリセットトランジスターからなる列、すなわち仮想直線K1に沿うトランジスターの列の幅を小さくできるため、画素回路の幅を小さくすることができる。

【0129】

(第2実施形態)

第2実施形態は、第1実施形態に比べて、補償トランジスター及びリセットトランジスターが設けられていない点において異なる。

なお、上記実施形態と同様の構成については、適宜同一の符号を付す等によって説明を省略する場合がある。

【0130】

図17は、本実施形態の画素回路P21を示す回路図である。図18及び図19は、本実施形態の画素回路P21を模式的に示す平面図である。図18においては、配線及びコンタクトホールの図示を省略している。

【0131】

本実施形態の画素回路P21は、図17に示すように、駆動トランジスター(第1トランジスター)TDR1と、選択トランジスターT11と、発光制御トランジスターT2と、容量素子Cと、を備える。

駆動トランジスターTDR1及び選択トランジスターT11は、第1実施形態の駆動トランジスターTDR及び選択トランジスターT1と同様の機能を有する。

【0132】

駆動トランジスターTDR1は、ソースが第1電源導電体41に接続され、ドレインが発光制御トランジスターT2のソースと接続され、ゲートが、選択トランジスターのドレイン及び容量素子Cの第1電極C1と接続されている。

選択トランジスターT11は、ソースが信号線26に接続され、ドレインが駆動トランジスターTDR1のゲート及び容量素子Cの第1電極C1と接続されている。

【0133】

発光制御トランジスターT2は、駆動トランジスターTDR1と発光素子45との間に設けられている。発光制御トランジスターT2は、ソースが駆動トランジスターTDR1のドレインに接続され、ドレインが発光素子45の画素電極451に接続され、ゲートが

10

20

30

40

50

制御線 2 4 に接続されている。

【 0 1 3 4 】

本実施形態においては、図 18 に示すように、各トランジスター T D R 1 , T 1 1 , T 2 は、Y 方向に延在する素子部 E D R 1 , E 1 1 , E 2 と、ゲート電極 G D R 1 , G 1 1 , G 2 と、を備えている。駆動トランジスター T D R 1 の素子部 E D R 1 、選択トランジスター T 1 1 の素子部 E 1 1 、及び発光制御トランジスター T 2 の素子部 E 2 は、それぞれ、長さ方向が Y 方向となるように配置されている。

【 0 1 3 5 】

選択トランジスター T 1 1 及び発光制御トランジスター T 2 は、駆動トランジスター T D R 1 の一方側 (+ X 側) に長さ方向 (Y 方向) に並んで設けられている。すなわち、駆動トランジスター T D R 1 と、選択トランジスター T 1 1 及び発光制御トランジスター T 2 と、は 2 列になるように配置されている。

【 0 1 3 6 】

駆動トランジスター T D R 1 のゲート電極 G D R 1 は、選択トランジスター T 1 1 側 (+ X 側) に突出するコンタクトパッド部 G P 2 1 を有している。コンタクトパッド部 G P 2 1 は、平面視において、駆動トランジスター T D R 1 のチャネル領域 A C D R 1 と重ならない位置に設けられている。

【 0 1 3 7 】

選択トランジスター T 1 1 は、駆動トランジスター T D R 1 側 (- X 側) に突出するコンタクトパッド部 G P 2 2 を有している。コンタクトパッド部 G P 2 2 は、平面視において、選択トランジスター T 1 1 のチャネル領域 A C 1 1 と重ならない位置に設けられている。

【 0 1 3 8 】

図 18 及び図 19 に示すように、駆動トランジスター T D R 1 のゲート電極 G D R 1 は、コンタクトパッド部 G P 2 1 において、コンタクトホール H 2 1 を介して、中継電極 (配線) Q 2 1 と接続されている。選択トランジスター T 1 1 のゲート電極 G 1 1 は、コンタクトパッド部 G P 2 2 において、コンタクトホール H 2 2 を介して、走査線 2 2 と接続されている。発光制御トランジスター T 2 は、チャネル領域 A C 2 と平面視で重なる位置において、ゲート電極 G 2 が制御線 2 4 と、コンタクトホール H 2 3 を介して接続されている。

【 0 1 3 9 】

本実施形態によれば、発光制御トランジスター T 2 において、チャネル領域 A C 2 と平面視において重なる位置で、ゲート電極 G 2 と制御線 2 4 とが接続されているため、第 1 実施形態と同様にして、画素回路 P 2 1 をより小型化することができる。

【 0 1 4 0 】

なお、本実施形態においては、駆動トランジスター T D R 1 と選択トランジスター T 1 1 とのうち、いずれか一方、もしくは両方において、チャネル領域と平面視において重なる位置で、ゲート電極が各配線と接続される構成としてもよい。

【 0 1 4 1 】

(第 3 実施形態)

第 3 実施形態は、第 1 実施形態に対して、リセットトランジスターが設けられていない点において異なる。

なお、上記実施形態と同様の構成については、適宜同一の符号を付す等によって説明を省略する場合がある。

【 0 1 4 2 】

図 20 は、本実施形態の画素回路 P 3 1 を示す回路図である。図 21 及び図 22 は、本実施形態の画素回路 P 3 1 を模式的に示す平面図である。図 21 においては、配線及びコンタクトホールの図示を省略している。

【 0 1 4 3 】

本実施形態の画素回路 P 3 1 は、図 20 に示すように、駆動トランジスター T D R と、

10

20

30

40

50

選択トランジスターT12と、発光制御トランジスターT2と、補償トランジスターT32と、容量素子Cと、を備える。

選択トランジスターT12及び補償トランジスターT32は、第1実施形態の選択トランジスターT1及び補償トランジスターT3と同様の機能を有する。

【0144】

各トランジスターの接続は、リセットトランジスターが設けられていない点を除いて、第1実施形態において図2に示した回路図と同様である。

【0145】

本実施形態においては、図21に示すように、各トランジスターTDR, T12, T2, T32は、Y方向に延在する素子部EDR, E12, E2, E32と、ゲート電極GDR, G12, G2, G32と、を備えている。駆動トランジスターTDRの素子部EDR、選択トランジスターT12の素子部E12、発光制御トランジスターT2の素子部E2、及び補償トランジスターT32の素子部E32は、それぞれ、長さ方向がY方向となるように配置されている。10

【0146】

選択トランジスターT12及び補償トランジスターT32は、駆動トランジスターTDRの一方側(+X側)に長さ方向(Y方向)に並んで設けられている。すなわち、駆動トランジスターTDR1と、選択トランジスターT11及び発光制御トランジスターT2とは2列になるように配置されている。

【0147】

発光制御トランジスターT2は、駆動トランジスターTDR、選択トランジスターT12、及び補償トランジスターT32よりも図示上側(-Y側)に設けられており、幅方向(X方向)において、駆動トランジスターTDRと、選択トランジスターT12及び補償トランジスターT32との間に設けられている。20

【0148】

図21及び図22に示すように、駆動トランジスターTDRのゲート電極GDRは、チャネル領域ACDRと平面視で重なる位置において、ゲート電極GDRが中継電極(配線)Q31と、コンタクトホールH31を介して接続されている。選択トランジスターT12は、チャネル領域AC12と平面視で重なる位置において、ゲート電極G12が走査線22と、コンタクトホールH32を介して接続されている。発光制御トランジスターT2は、チャネル領域AC2と平面視で重なる位置において、ゲート電極G2が制御線24と、コンタクトホールH33を介して接続されている。補償トランジスターT32は、チャネル領域AC32と平面視で重なる位置において、ゲート電極G32が制御線23と、コンタクトホールH34を介して接続されている。30

【0149】

本実施形態によれば、各トランジスターにおいて、チャネル領域と平面視において重なる位置で、ゲート電極と各配線とが接続されているため、第1実施形態と同様にして、画素回路P31の幅D4をより小さくすることができる。

【0150】

なお、本実施形態においては、各トランジスターの一部において、ゲート電極に配線接続用のコンタクトパッド部が設けられる構成としてもよい。言い換えると、本実施形態においては、各トランジスターの一部において、チャネル領域と平面視で重ならない位置で、ゲート電極が各配線と接続される構成としてもよい。40

【0151】

[電子機器]

上述の各実施形態に例示した発光装置100は、各種の電子機器の表示装置として好適に利用される。

図23は、電子機器の一例として、第1実施形態の発光装置100を利用した頭部装着型の表示装置90(HMD: Head Mounted Display)を示す概略構成図である。

【0152】

表示装置90は、人間の頭部に装着可能な電子機器であり、使用者の左眼に重なる透過部（レンズ）92Lと、使用者の右眼に重なる透過部92Rと、左眼用の発光装置100L及びハーフミラー94Lと、右眼用の発光装置100R及びハーフミラー94Rと、を備える。発光装置100Lと発光装置100Rとは、射出光が相互に反対の方向に進行するように配置される。左眼用のハーフミラー94Lは、透過部92Lの透過光を使用者の左眼側に透過させるとともに、発光装置100Lからの射出光を使用者の左眼側に反射させる。同様に、右眼用のハーフミラー94Rは、透過部92Rの透過光を使用者の右眼側に透過させるとともに、発光装置100Rからの射出光を使用者の右眼側に反射させる。

【0153】

したがって、使用者は、透過部92L及び透過部92Rを介して観察される像と、各発光装置100L, 100Rによる表示画像と、を重畠した画像を知覚する。また、相互に視差が付与された立体視画像（左眼用画像および右眼用画像）を発光装置100Lと発光装置100Rとに表示させることで、使用者に表示画像の立体感を知覚させることが可能である。

【0154】

なお、各実施形態の発光装置が適用される電子機器は、図23の表示装置90に限定されない。例えば、ビデオカメラやスチルカメラ等の撮像装置に利用される電子式ビューファインダー（EVF：E l e c t r o n i c V i e w F i n d e r）にも本実施形態の発光装置が好適に利用される。また、携帯電話機、携帯情報端末（スマートフォン）、テレビやパーソナルコンピューター等のモニター、カーナビゲーション装置等の各種の電子機器に本実施形態の発光装置を採用することが可能である。

【0155】

また、上記説明した電子機器の例では、発光装置として第1実施形態の発光装置100を用いたが、これに限らず、第2実施形態及び第3実施形態のいずれかの発光装置を用いてもよいことは言うまでもない。

【0156】

第1実施形態から第3実施形態におけるトランジスターにおいて、チャネル領域はゲート電極と同一の領域に形成され、所謂セルフアライン構造であった。しかしながら、ソース領域又は/及びドレイン領域の一部がゲート電極と重なるように構成してもよいし、ゲート電極とソース領域又は/及びドレイン領域との間にスペースがあってもよい。

【0157】

第1実施形態から第3実施形態におけるトランジスターは、ソース領域と、ゲート電極と、ドレイン領域と、チャネル領域とを有していた。このソース領域又は/及びドレイン領域を低不純物濃度領域と高不純物領域の2種類の不純物領域で構成してもよい。すなわち、第1実施形態から第3実施形態におけるトランジスターは、LDD（L i g h t l y D o p e d D r a i n）構造を有してもよい。LDD構造により、ホットキャリアの発生を抑えることができる。さらに、低不純物濃度領域がゲート電極と平面視重なるように構成してもよい。

【0158】

ここで、複数のトランジスターのうち少なくとも一つは、ソース領域又は/及びドレイン領域の少なくとも一部と平面視で重なる位置において、ゲート電極に配線が接続されていてもよい。

【0159】

第1実施形態の画素回路P11や第3実施形態の画素回路P31は、特開2013-088611号公報の図13乃至図17及びその説明に示す駆動方法のように動作させてもよいし、適宜変形可能である。

【0160】

また、第1実施形態の画素回路P11や第3実施形態の画素回路P31を所謂電流プログラム方式で駆動してもよい。この場合、信号線26に接続した容量素子Cpは省略され

10

20

30

40

50

る。図20の選択トランジスターT12及び補償トランジスターT32をオン状態、発光制御トランジスターT2をオフ状態とし、階調レベルに応じた信号電流を信号線26に流して、駆動トランジスターTDRのソース-ゲート間電圧を信号電流に応じた電圧にしてプログラミングを行い、図20の選択トランジスターT12及び補償トランジスターT32をオフ状態、発光制御トランジスターT2をオン状態として、駆動トランジスターTDRのソース-ゲート間電圧に応じた電流を駆動トランジスターTDRから発光素子45に供給するようにしてもよい。

【 0 1 6 1 】

また、図17の画素回路P21は、特開2013-088611号公報の図4乃至図10及びその説明に示す駆動方法のように動作させてもよい。

10

【 0 1 6 2 】

また、上記第1実施形態から第3実施形態の発光装置における各種電極、配線、トランジスター、容量素子、絶縁膜等の構成材料、形状、配置、寸法や膜厚等の具体的な記載は一例に過ぎず、適宜変更が可能である。

【符号の説明】

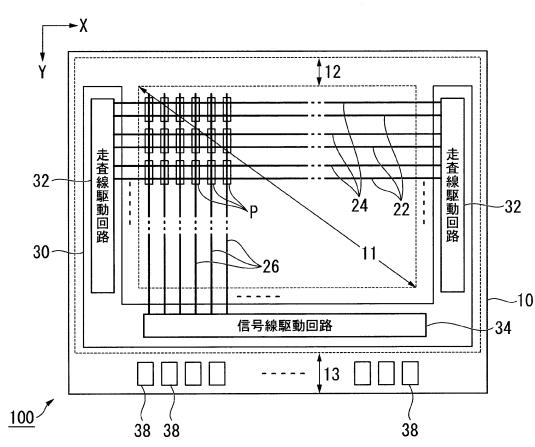
【 0 1 6 3 】

22...走査線(配線)、23, 24, 25...制御線(配線)、26...信号線、90...表示装置(電子機器)、100, 100L, 100R...発光装置、AC, AC1, AC2, AC3, AC4, AC10, AC11, AC12, AC32, ACDR, ACDR1...チャンネル領域、G, G1, G2, G3, G4, G4a, G10, G11, G12, G32, GDR, GDR1, GDRa...ゲート電極、P, P11, P12, P21, P31...画素回路、Q21, Q31, QA3...中継電極(配線)、T1, T11, T12...選択トランジスター、T2...発光制御トランジスター(第2トランジスター)、T3, T32...補償トランジスター、T4, T4a...リセットトランジスター、TDR, TDR1...駆動トランジスター(第1トランジスター)

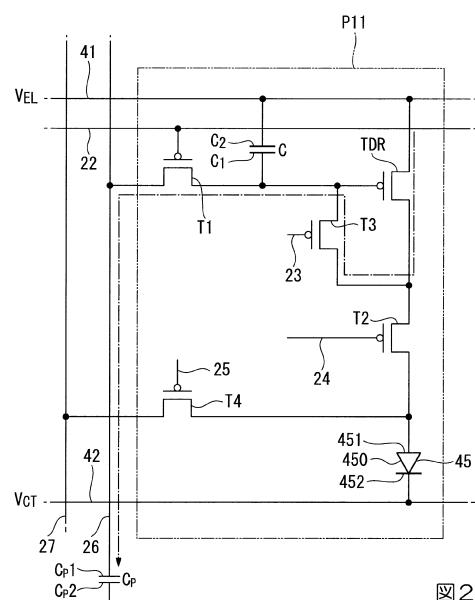
20

〔 図 1 〕

〔 2 〕

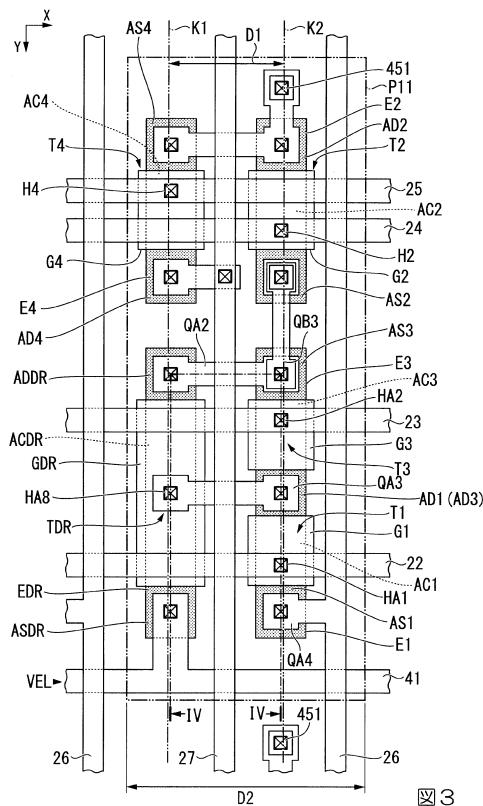


1

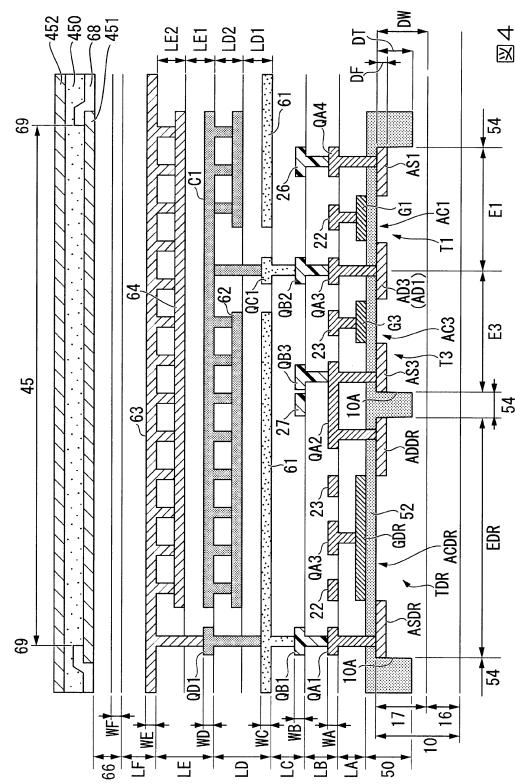


义 2

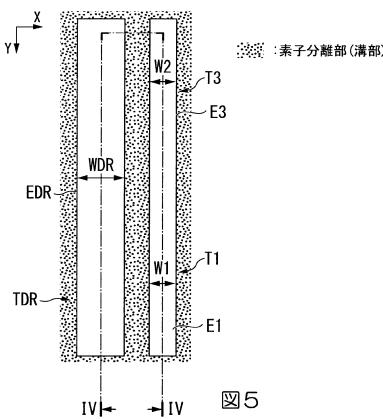
【図3】



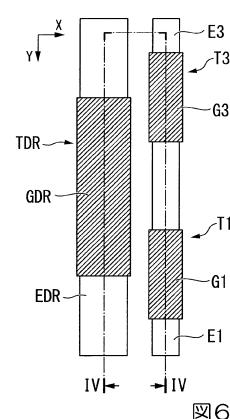
【 図 4 】



【図5】



【図6】



【図7】

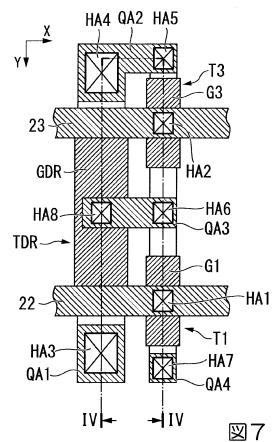


図7

【図8】

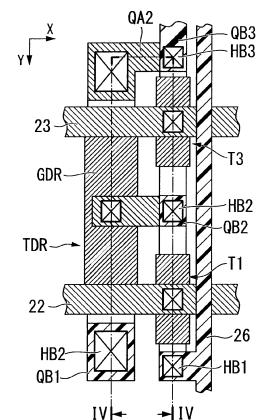


図8

【図9】

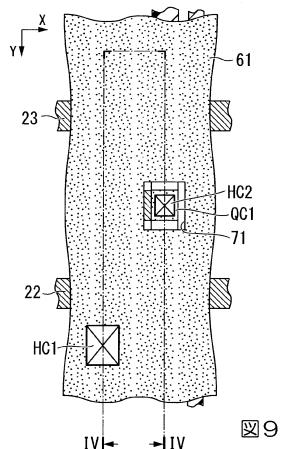


図9

【図10】

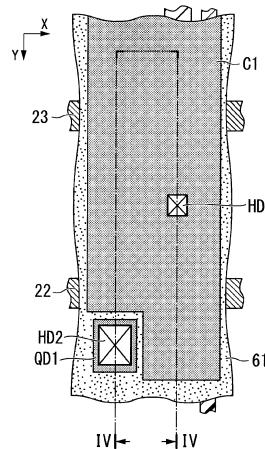


図10

【図11】

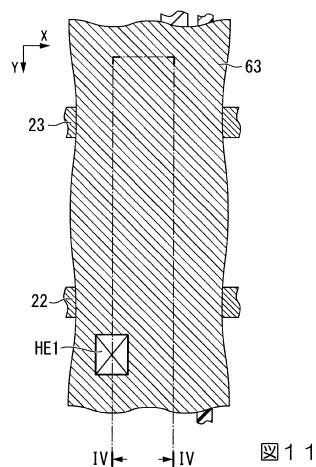


図11

【図12】

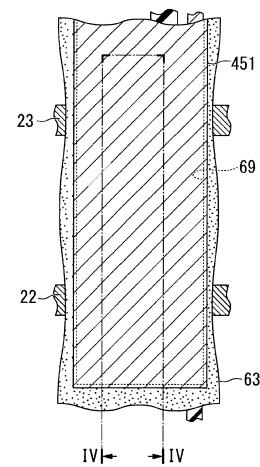


図12

【図13】

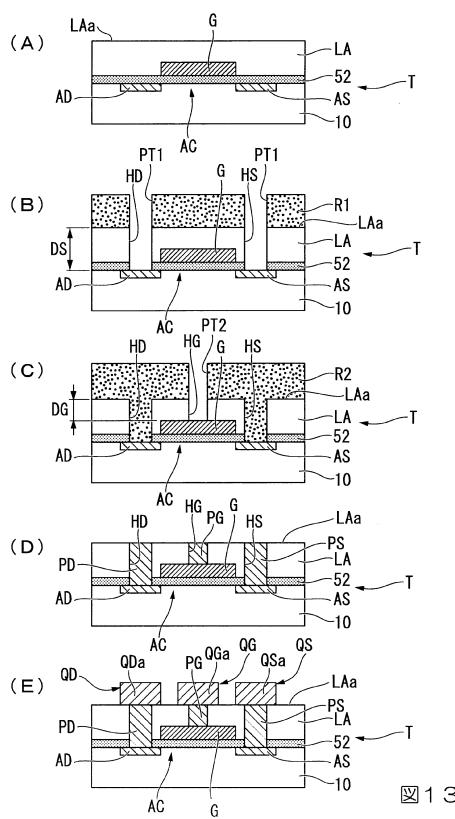


図13

【図14】

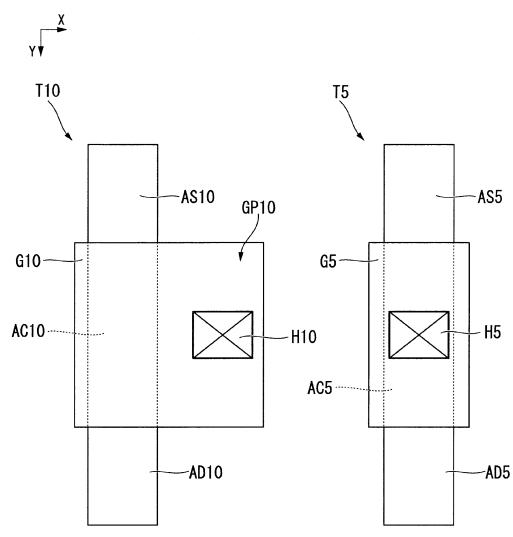


図14

【図15】

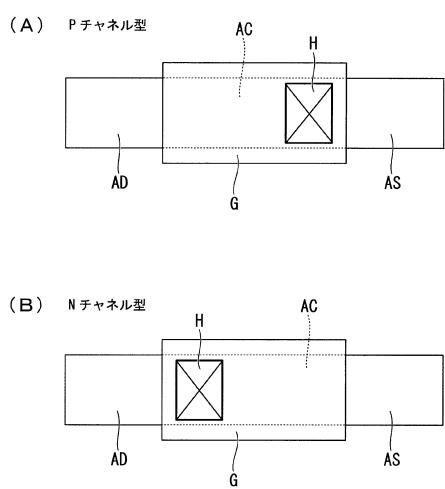


図15

【図16】

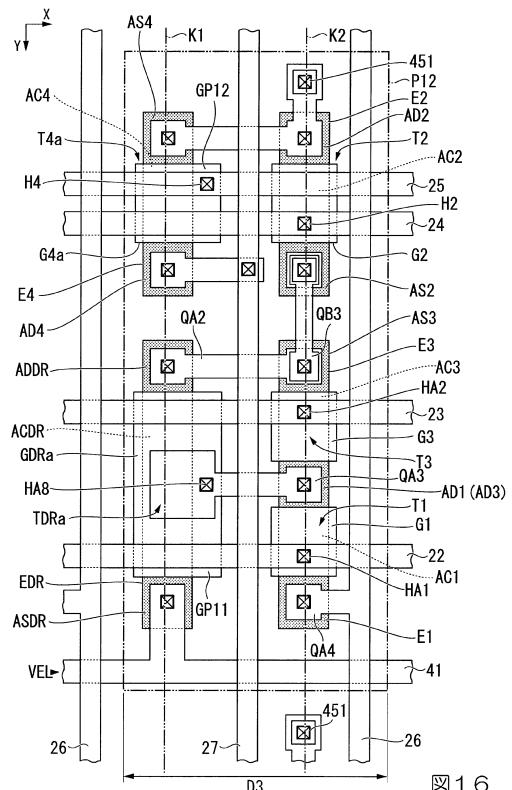


図16

【図17】

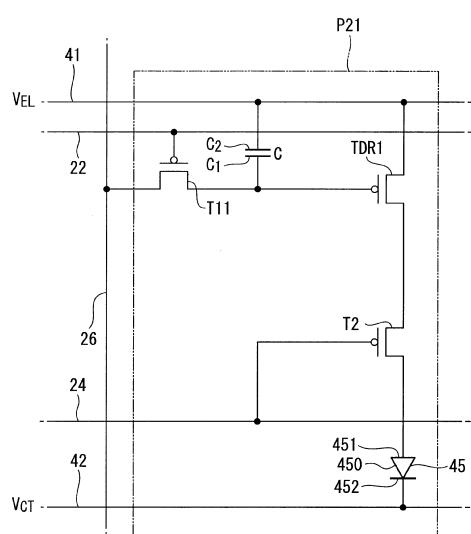


図17

【図18】

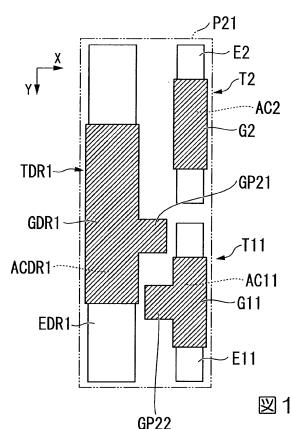


図18

【図19】

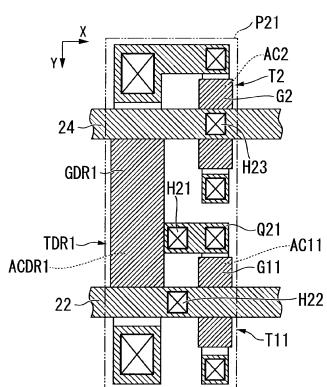


図19

【図20】

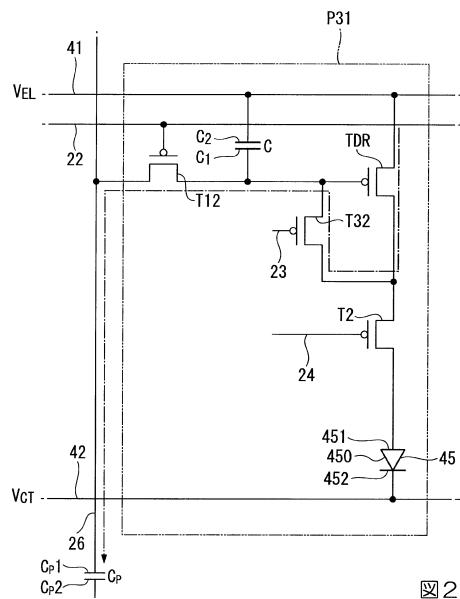


図20

【図21】

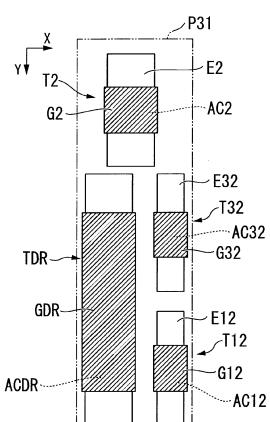


図21

【図22】

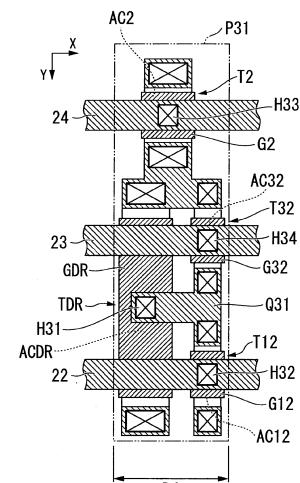


図22

【図23】

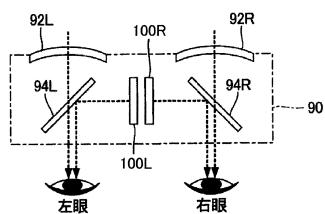


図23

フロントページの続き

(51)Int.Cl.

F I
G 09 G 3/20 6 4 2 A
G 09 F 9/30 3 6 5
H 05 B 33/14 A

審査官 中村 直行

(56)参考文献 特開2013-213979 (JP, A)

米国特許出願公開第2013/0257698 (US, A1)

特開2005-159300 (JP, A)

米国特許出願公開第2005/0112813 (US, A1)

特開2012-227247 (JP, A)

特開平11-097699 (JP, A)

特開2013-104890 (JP, A)

特開2007-140318 (JP, A)

特開2003-007469 (JP, A)

特開2005-107168 (JP, A)

特開2010-224391 (JP, A)

特開2014-116591 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 F 9 / 00 - 9 / 4 6
G 09 G 3 / 00 - 3 / 3 8
H 01 L 5 1 / 5 0