



(21) 申請案號：103130104

(22) 申請日：中華民國 97 (2008) 年 02 月 01 日

(51) Int. Cl. : *H03L7/08 (2006.01)* *H03L7/085 (2006.01)*

(30) 優先權：2007/02/08 美國 11/703,634

(71) 申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED  
(CA)

加拿大

(72) 發明人：梅 湯尼 MAI, TONY (CA)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：11 項 圖式數：7 共 23 頁

(54) 名稱

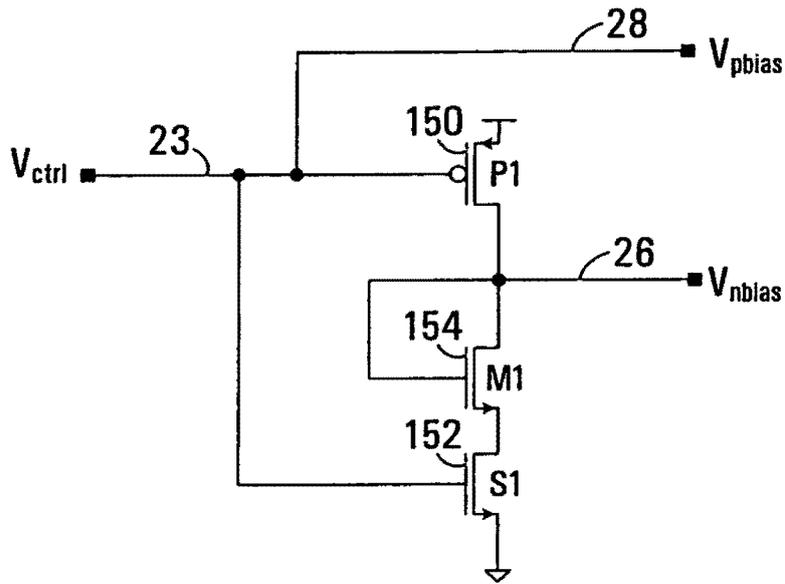
延遲鎖定迴路及偏壓方法

DELAY LOCKED LOOP AND METHOD OF BIASING

(57) 摘要

本文提供偏壓差動延遲元件之偏壓電路。此電路為由 CMOS 輸出級構成之無回授電路，具有 P 型電晶體及 N 型電晶體，以及在 P 型電晶體及 N 型電晶體之間之二極體連接式電晶體，輸出級接收控制電壓作為輸入，並且在 P 型電晶體及二極體連接式電晶體之間產生  $V_{nbias}$ 。此電路比利用回授與運算放大器之傳統偏壓電路更簡單。

A biasing circuit for biasing differential delay elements is provided. The circuit is a feedback-free circuit consisting of a CMOS output stage having a P-type transistor and an N-type transistor, with a diode connected transistor between the P-type transistor and the N-type transistor, the output stage receiving the control voltage as input, and producing the  $V_{nbias}$  between the P-type transistor and the diode connected transistor. The circuit is simpler than conventional biasing circuits that employ feedback and operational amplifiers.



- 23 . . . 控制電壓
- 26 . . . 偏壓電壓
- 28 . . . 偏壓電壓
- 150 . . . 電晶體
- 152 . . . 電晶體
- 154 . . . 電晶體

第5圖

201511475

## 發明摘要

※申請案號：103130104 (由97103964分割)

※申請日：097年02月01日

※IPC分類：H03L 7/08 (2006.01)  
H03L 7/085 (2006.01)

【發明名稱】(中文/英文)

延遲鎖定迴路及偏壓方法

Delay locked loop and method of biasing

【中文】

本文提供偏壓差動延遲元件之偏壓電路。此電路為由CMOS輸出級構成之無回授電路，具有P型電晶體及N型電晶體，以及在P型電晶體及N型電晶體之間的二極體連接式電晶體，輸出級接收控制電壓作為輸入，並且在P型電晶體及二極體連接式電晶體之間產生 $V_{nbias}$ 。此電路比利用回授與運算放大器之傳統偏壓電路更簡單。

【英文】

A biasing circuit for biasing differential delay elements is provided. The circuit is a feedback-free circuit consisting of a CMOS output stage having a P-type transistor and an N-type transistor, with a diode connected transistor between the P-type transistor and the N-type transistor, the output stage receiving the control voltage as input, and producing the  $V_{nbias}$  between the P-type transistor and the diode connected transistor. The circuit is simpler than conventional biasing circuits that employ feedback and operational amplifiers.

【代表圖】

【本案指定代表圖】：第(5)圖。

【本代表圖之符號簡單說明】：

23：控制電壓

26：偏壓電壓

28：偏壓電壓

150：電晶體

152：電晶體

154：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

延遲鎖定迴路及偏壓方法

Delay locked loop and method of biasing

## 【技術領域】

本發明有關於差動緩衝級的偏壓電路。

## 【先前技術】

第 1 圖顯示傳統延遲鎖定迴路 (DLL) 的方塊圖。由差動延遲元件 12、14...16 所構成的壓控延遲線接受輸入時脈信號  $refclk$  10 並以基於其之偏壓電壓 26 及 28 的精確量來延遲時脈信號。當 DLL 鎖定至參考時脈時，各延遲元件的延遲為  $T_{clk}/n$ ，其中  $T_{clk}$  為時脈週期並且有  $n$  個差動延遲元件 12、14...16。該延遲線產生延遲時脈  $dclk$  18。電路回授部分會比較延遲的時脈  $dclk$  18 與參考時脈  $refclk$  10 並產生及調整偏壓電壓  $V_{nbias}$  26 及  $V_{pbias}$  28，致使延遲為輸入時脈的一時脈週期。欲達成此，電路回授部分具有相位偵測器 20，其比較  $refclk$  10 的相位與  $dclk$  18 的相位。若兩相位相同，則偏壓電壓應維持原狀。若兩者相位不同，則偏壓電壓應增加或減少以相應地加速或放慢延遲線。相位偵測器 20 產生數位向上或向下脈衝，該脈衝的時間長度與偵測到的相位差成正比。充電泵 22 利用

向上與向下脈衝來調整控制電壓  $V_{ctrl}$  23，其典型儲存於迴路過濾器電容器上。偏壓電路 24 利用  $V_{ctrl}$  來設定偏壓電壓 26 及 28。

第 2 圖顯示差動延遲元件的一特定範例。可用類比偏壓電壓來控制對於經過延遲元件的數位波形所產生的延遲量。類比偏壓電壓改變延遲元件改變邏輯狀態的跳變點 (trip point)。延遲元件使用差動結構以增加雜訊排斥。輸入裝置 M2 42 及 M3 44 為差動對，其將輸出電流導向兩條分支。電晶體 M1 40 上的類比電壓  $V_{nbias}$  藉由控制經過各分支的總電流來幫助決定通過延遲元件的延遲。裝置 M4 48、M5 50、M6 52 及 M7 54 構成兩個對稱的負載元件 49 及 51，其用來提供線性電阻負載。僅詳述負載元件 49。對稱負載 49 係由平行連接的兩個 PMOS 裝置 48 及 50 所構成。一裝置 M5 50 之閘極繫於  $V_{pbias}$ ，而另一裝置 M4 48 為二極體式連接。 $V_{pbias}$  亦藉由決定信號擺盪而有助於控制延遲。

為了使差動延遲級能恰當地操作，必須設定偏壓電壓  $V_{nbias}$  及  $V_{pbias}$ 。這些電壓係從第 1 圖之另一電壓  $V_{ctrl}$  23 衍生而來。第 3 圖顯示用於從  $V_{ctrl}$  產生偏壓電壓  $V_{nbias}$  及  $V_{pbias}$  之傳統回授電路的一範例。 $V_{ctrl}$  23 係連接至運算放大器 102。運算放大器 102 的輸出係連接至電晶體 104 的閘極以及電晶體 114 的閘極。一對稱負載 108 經由另一電晶體 106 連接至電晶體 104。對稱負載 108 包括第一電晶體 110，其之閘極連接至運算放大器 102 的反向輸入，以

及類似連接之第二電晶體 112。電晶體 114、116、111 及 113 以與電晶體 104、106、110 及 112 相同的方式連接並操作為輸出的緩衝器。偏壓電壓由  $V_{pbias}$  28 及  $V_{nbias}$  26 所表示。

第 3 圖之回授電路產生具有第 4 圖中顯示的 DC 行為之偏壓電壓。第 4 圖顯示  $V_{ctrl}$  之第一曲線 120、 $V_{pbias}$  的第二曲線 122 及  $V_{nbias}$  的第三曲線 124。

不利地，第 3 圖的電路包括明顯的複雜性，尤其包括運算放大器 102，其本身包括未詳示之許多電晶體。

### 【發明內容】

根據一廣泛態樣，本發明提供一種偏壓電路，包含：接收控制電壓 23 的輸入，以及輸出  $V_{nbias}$  電壓的  $V_{nbias}$  輸出 26，包含：無回授電路 200、202 及 204，其從該控制電壓產生該  $V_{nbias}$  電壓，使得在第一控制電壓範圍內該  $V_{nbias}$  電壓接近一  $V_{DD}$ 、在跟隨該第一控制電壓範圍之第二控制電壓範圍內迅速下降以及在跟隨該第二控制電壓範圍之第三控制電壓範圍內以實質上線性方式較緩慢的下降。

在一些實施例中，該無回授電路包含：當該控制電壓為低時將該  $V_{nbias}$  電壓上拉之上拉網路 200、當該控制電壓為高時將該  $V_{nbias}$  電壓下拉之下拉網路 204 以及阻礙該下拉網路下拉該  $V_{nbias}$  之可變電阻元件 202。

在一些實施例中，該第一電壓範圍從約 0.0V 至約 5

0.2V、該第二電壓範圍從約 0.2V 至約 0.4V 以及該第三電壓範圍係約 0.4V 以上的範圍。

在一些實施例中，該些電壓範圍的每一個為 0 及  $V_{DD}$  之間的各自範圍。

在一些實施例中，該無回授電路包含：CMOS 輸出級，具有 P 型電晶體 150 及 N 型電晶體 152，以及在該 P 型電晶體及該 N 型電晶體之間的二極體連接式電晶體 154，該輸出級接收該控制電壓作為輸入，並且在該 P 型電晶體及該二極體連接式電晶體之間產生該  $V_{nbias}$ 。

在一些實施例中，偏壓電路進一步包含：輸出  $V_{pbias}$  電壓的  $V_{pbias}$  輸出 28 以及該輸入及該  $V_{pbias}$  輸出之間的直接連結。

在一些實施例中，一種延遲鎖定迴路包含：包含複數個差動延遲元件 12、14 及 16 的延遲線、偏壓電路連接以提供該  $V_{pbias}$  電壓及該  $V_{nbias}$  電壓作為偏壓輸入給該些差動延遲元件。

根據另一廣泛態樣，本發明提供一種偏壓方法，包含：接收控制電壓以及輸出  $V_{nbias}$  電壓、以無回授方式從該控制電壓產生該  $V_{nbias}$  電壓，使得在第一控制電壓範圍內該  $V_{nbias}$  電壓接近一  $V_{DD}$ 、在跟隨該第一控制電壓範圍之第二控制電壓範圍內迅速下降以及在跟隨該第二控制電壓範圍之第三控制電壓範圍內以實質上線性方式較緩慢的下降。

在一些實施例中，該第一電壓範圍從約 0.0V 至約

0.2V、該第二電壓範圍從約 0.2V 至約 0.4V 以及該第三電壓範圍係約 0.4V 以上的範圍。

在一些實施例中，該些電壓範圍的每一個為 0 及  $V_{DD}$  之間的各自範圍。

在一些實施例中，該方法進一步包含輸出追隨該控制電壓的  $V_{pbias}$  電壓。

此技藝中具通常知識者在閱讀本發明之特定實施例的下列說明並連同附圖可更清楚本發明之其他態樣及特徵。

#### 【圖式簡單說明】

參照附圖僅以舉例方式說明本發明之實施例，圖中：

第 1 圖為延遲鎖定迴路的方塊圖；

第 2 圖為延遲元件之一範例的示意圖；

第 3 圖為偏壓電路之一範例的示意圖；

第 4 圖為顯示第 3 圖的偏壓電路產生之各種電壓的圖；

第 5 圖為本發明之一實施例提供的偏壓電路之示意圖；

第 6 圖為顯示第 5 圖的偏壓電路產生之各種電壓的圖；以及

第 7 圖為本發明之一實施例提供的偏壓電路之另一範例的示意圖。

#### 【實施方式】

第 5 圖為本發明之一實施例所提供的偏壓電路之示意圖。第 5 圖的偏壓電路會以其應用於提供偏壓電壓給第 2 圖之延遲元件的背景來加以說明。然而，應了解到偏壓電路可有提供偏壓電壓給其他延遲元件設計的應用。此電路亦接受輸入  $V_{ctrl}$  23 並產生偏壓電壓  $V_{pbias}$  28 及  $V_{nbias}$  26。該電路直接連接輸入電壓  $V_{ctrl}$  23 至  $V_{pbias}$  28。 $V_{ctrl}$  23 亦連接至電晶體 P1 150 的閘極與電晶體 S1 152 的閘極。電晶體 P1 150 經由二極體式連接的電晶體 M1 154 連接至電晶體 S1 152。電晶體 P1 150 亦連接至一供應電壓  $V_{DD}$ 。於電晶體 M1 的汲極取得  $V_{nbias}$  26。電晶體 S1 可以比 M1 更大的尺寸實施以適應 M1 產生的電流。

此電路的用意在於模仿第 3 圖之偏壓電路的 DC 行為。參照第 4 圖，當  $V_{ctrl}$  介於 0.3V 及 0.9V 之間時，可觀察到  $V_{ctrl}$  及  $V_{pbias}$  大約相等。參照回第 5 圖，藉由  $V_{ctrl}$  23 及  $V_{pbias}$  28 之間的直接連結來再生此行為。針對  $V_{ctrl}$  的其他值，電路的操作會導致與第 4 圖不同的行為。第 5 圖之剩餘的電路係用來產生  $V_{nbias}$ ，其模仿第 3 圖的電路之顯示於第 4 圖中的  $V_{nbias}$  之行為。第 5 圖之電路的行為顯示於第 6 圖中。其中曲線 160 為  $V_{ctrl} = V_{pbias}$ ，以及 162 為  $V_{nbias}$ 。

注意到亦想像得到僅產生  $V_{pbias}$  28 的偏壓電路。控制電壓  $V_{ctrl}$  23 可例如直接連接至差動延遲元件的  $V_{pbias}$  輸入，或可以某些其他方式產生  $V_{pbias}$  輸入。

操作上，當  $V_{ctrl}$  上升時，電晶體 S1，其係因其開關

特性而被選上，開始啓通，並且電晶體 P1 150 開始關閉。這會使電壓  $V_{nbias}$  下拉。當電晶體 S1 152 完全啓通時，電晶體 P1 150 完全關閉並且  $V_{nbias}$  會因而非常接近零電壓（或  $V_{ss}$ ）。從 0.2 伏到 0.4 伏之間，電晶體 S1 從完全關閉轉變成完全啓通。在此時期內，電晶體 P1 150 及開關 S1 152 同時試著將  $V_{nbias}$  拉往不同方向，但超過此範圍，S1 凌駕 P1。此結果為，再次參照第 6 圖， $V_{nbias}$  於 0.2 伏到 0.4 伏之間迅速下降，並在 0.4 伏到 1.0 伏之間平緩至較中等的下降率。

可見到第 6 圖中  $V_{nbias}$  的曲線 162 與第 4 圖中之  $V_{nbias}$  124 的曲線非常類似。此外，第 6 圖中的  $V_{pbias}$  的曲線與第 4 圖中之  $V_{pbias}$  的曲線 122 在 0.3 伏到 0.9 伏的範圍內相同。

偏壓電壓  $V_{pbias}$  及  $V_{nbias}$  一起界定在差動延遲元件之輸出的電壓擺盪。於 0.2 伏到 0.3 伏之間的  $V_{pbias}$  中的不正確會使電壓擺盪較低一些，並且擺盪不對稱。假設為低於 0.3 伏之電路操作並不關鍵。設定  $V_{pbias}$  會設定擺盪。

更一般而言，偏壓電路包括互補 MOS 輸出級（P1 150 及 S1 152）及串聯在兩互補電晶體之間的二極體式連接的電晶體 154。然而，電晶體 154 明顯地使操作與標準的 CMOS 輸出級非常不同，其當控制或輸入電壓改變時會在輸出電壓的高與低狀態之間有非常陡的轉變。

仍一般而言，提供無回授電路，其從控制電壓產生  $V_{nbias}$  電壓，使得在第一控制電壓範圍內  $V_{nbias}$  電壓接近供

應電壓  $V_{DD}$ 、在跟隨第一控制電壓範圍之第二控制電壓範圍內迅速下降以及在跟隨第二控制電壓範圍之第三控制電壓範圍內以實質上線性方式較緩慢的下降。在一些實施例中， $V_{DD}$  約為 1V，並且第一電壓範圍從約 0V 至約 0.2V、第二電壓範圍從約 0.2V 至約 0.4V 以及第三電壓範圍為約 0.4V 以上。這些範圍取決於程序及設計。在一些實施例中，這些範圍為  $V_{DD}$  的函數，例如 0 至  $0.2V_{DD}$ 、 $0.2V_{DD}$  至  $0.4V_{DD}$  以及  $0.4V_{DD}$  以上。另一特定範例為 0 至  $0.3V_{DD}$ 、 $0.3V_{DD}$  至  $0.5V_{DD}$  以及  $0.5V_{DD}$  以上。

茲參照第 7 圖，顯示本發明之一實施例所提供的另一偏壓網路的示意圖。此電路同樣接收  $V_{ctrl}$  23 並產生  $V_{nbias}$  輸出 26。輸入 23 聯皆至上拉網路 200 與下拉網路 204。有一可變電阻元件 202 用來阻礙下拉網路下拉  $V_{nbias}$  26。可見到第 5 圖的電路為第 7 圖實施例的一特定範例。詳言之，針對第 5 圖的實施例，上拉網路 200 為 P 電晶體 150、下拉網路 204 為電晶體 S1 152 以及可變電阻元件 202 為二極體式連接的電晶體 M1 154。然而，應了解到可使用其他的元件。

在上述實施例中，為了方便說明，裝置元件與電路如圖中所示般連接。在本發明對於半導體 IC 與 DRAM 裝置的實際應用中，元件及電路等等可直接互相連接。同樣地，元件及電路等等可間接經由其他元件及電路等等互相連接，視半導體 IC 與 DRAM 裝置操作而定。因此，半導體 IC 與 DRAM 裝置的真實組態中，電路元件及裝置互相

耦合（直接或間接連接）。

本發明之上述的實施例僅意圖作為範例。熟悉該項技藝者可對特定實施例作出修改、變更及變異而不悖離本發明之範疇，其僅由所附之申請專利範圍加以界定。

### 【符號說明】

10：輸入時脈信號

12、14…16：差動延遲元件

18：延遲時脈

20：相位偵測器

22：充電泵

23：控制電壓

26、28：偏壓電壓

40：電晶體

42、44：輸入裝置

48、50、52、54：裝置

49、51：負載元件

102：運算放大器

104、114、106、110、112：電晶體

108：對稱負載

120：第一曲線

122：第二曲線

124：第三曲線

150、152、154：電晶體

160、162：曲線

200：上拉網路

202：可變電阻元件

204：下拉網路

## 申請專利範圍

1. 一種延遲鎖定迴路，包含：

包含複數個具有負輸入及正輸入之差動延遲元件的延遲線；

偏壓電路，包含：

組態成接收控制電壓的輸入，組態成輸出負電壓的負輸出以供輸入至該些差動延遲元件之該些負輸入，以及組態成輸出正電壓的正輸出以供輸入至該些差動延遲元件之該些正輸入；

介於該輸入與該正輸出之間的直接連接，使得該正輸出追隨該控制電壓；

電路，組態成從該控制電壓產生該負電壓，該電路包含：

當該控制電壓為低時將該負電壓上拉之上拉網路；

當該控制電壓為高時將該負電壓下拉之下拉網路。

2. 如申請專利範圍第 1 項之延遲鎖定迴路，進一步包含

組態成阻礙該下拉網路下拉該負電壓之可變電阻元件，

其中該上拉網路包含具有連接以接收該控制電壓之 P 型電晶體；

其中該下拉網路包含具有連接以接收該控制電壓之 n 型電晶體。

3. 如申請專利範圍第 1 項之延遲鎖定迴路，其中

5

各差動延遲元件包含：

接收差動輸入之電晶體的輸入差動對，該輸入差動對之源極係連接至另一電晶體之汲極，該負電壓係連接至該另一電晶體之閘極；

第一對稱負載元件及第二對稱負載元件，該第一及第二對稱負載元件係連接至電晶體之該輸入差動對，且亦連接以接收該正電壓。

4.如申請專利範圍第 2 項之延遲鎖定迴路，其中電晶體之該輸入差動對包含：

第一 n 型電晶體，其具有一連接以承接該差動輸入之第一端的閘極、一連接至該另一電晶體之汲極的源極、及一連接至該第一對稱負載元件之汲極；

第二 n 型電晶體，其具有一連接以承接該差動輸入之第二端的閘極、一連接至該另一電晶體之該汲極的源極、及一連接至該第二對稱負載元件之汲極。

5.如申請專利範圍第 3 項之延遲鎖定迴路，其中該另一電晶體具有連接至第一供應之源極。

6.如申請專利範圍第 4 項之延遲鎖定迴路，其中：

該第一對稱負載元件包含：

連接以形成電晶體之差動對的第一 p 型電晶體及第二 p 型電晶體；

該第一 p 型電晶體具有源極、閘極、和汲極，該第二 p 型電晶體具有源極、閘極、和汲極，該第一和第二 p 型電晶體之該些汲極係連接在一起並連接至該第一 p 型電晶

體之該閘極；

該第一和第二 p 型電晶體之該些源極係連接在一起並連接至第二供應電壓；以及

該第二 p 型電晶體之該閘極係連接以接收該負電壓；  
其中該第二對稱負載元件包含：

連接以形成電晶體之差動對的第一 p 型電晶體及第二 p 型電晶體；

該第一 p 型電晶體具有源極、閘極、和汲極，該第二 p 型電晶體具有源極、閘極、和汲極，該第一和第二 p 型電晶體之該些汲極係連接在一起並連接至該第一 p 型電晶體之該閘極；該第一和第二 p 型電晶體之該些源極係連接在一起並連接至該第二供應電壓；以及

該第二 p 型電晶體之該閘極係連接以接收該負電壓。

7.如申請專利範圍第 1 項之延遲鎖定迴路，其中該可變電阻包含介於該 p 型電晶體與該 n 型電晶體之間的二極體連接電晶體，該負電壓被輸出於該 p 型電晶體之汲極上。

8.如申請專利範圍第 1 項之延遲鎖定迴路，包含：

參考時脈，其係輸入至該些差動延遲元件之第一者，該些差動延遲元件之最後者係輸出延遲時脈；

相位偵測器，其被連接以接收輸入的時脈及該延遲時脈並產生至少一控制信號為所偵測之相位的函數；

充電泵，其被連接以接收該至少一控制信號且被連接以將該控制電壓輸出至該偏壓電路。

9.一種延遲鎖定迴路，包含：

包含複數個具有負輸入及正輸入之差動延遲元件的延遲線；

偏壓電路，包含：

組態成接收控制電壓的輸入，用以輸出負電壓的負輸出以供輸入至該些差動延遲元件之該些負輸入，以及組態成輸出正電壓的正電壓輸出以供輸入至該些差動延遲元件之該些正電壓輸入；

介於該輸入與該正電壓輸出之間的直接連接，使得該正電壓輸出追隨該控制電壓；

電路，其係從該控制電壓產生該負電壓，該電路包含：

當該控制電壓為低時將該負電壓上拉之上拉網路；

當該控制電壓為高時將該負電壓下拉之下拉網路；

及

組態成阻礙該下拉網路下拉該負電壓之可變電阻元件，

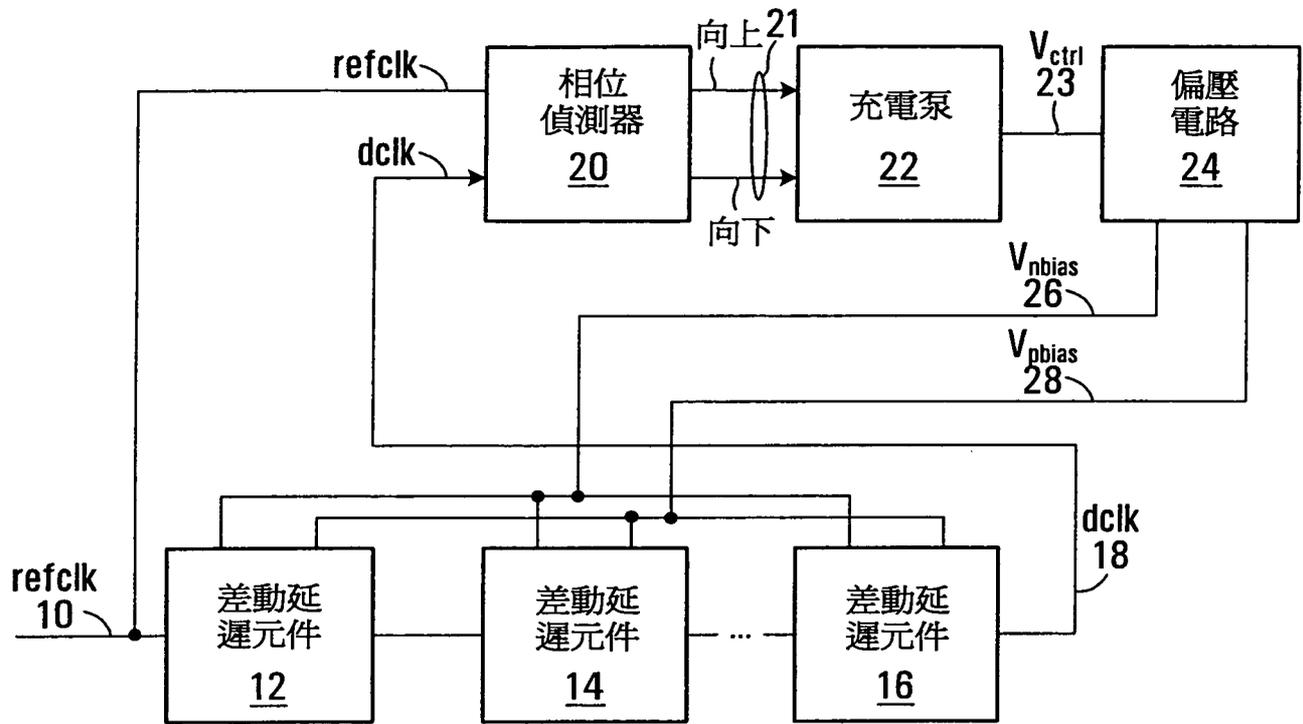
其中從該控制電壓產生該負電壓之該電路係使得在第一控制電壓範圍內該負電壓接近供應電壓  $V_{DD}$ 、在跟隨該第一控制電壓範圍之第二控制電壓範圍內迅速下降、以及在跟隨該第二控制電壓範圍之第三控制電壓範圍內以實質上線性方式較緩慢的下降。

10.如申請專利範圍第 9 項之延遲鎖定迴路，其中該第一電壓範圍從約 0.0V 至約 0.2V、該第二電壓範圍從約

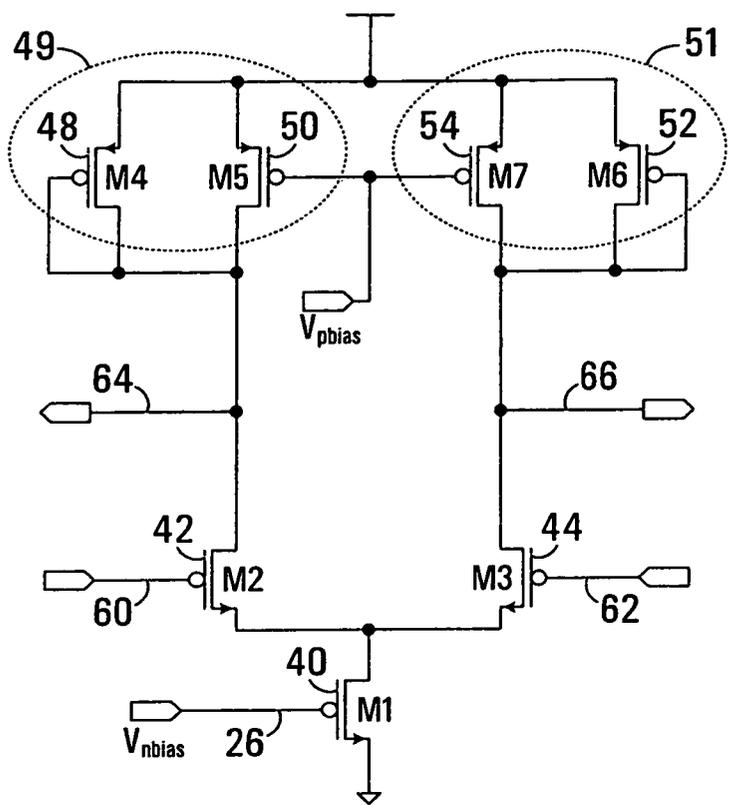
0.2V 至約 0.4V 以及該第三電壓範圍係約 0.4V 以上的範圍。

11.如申請專利範圍第 9 項之延遲鎖定迴路，其中該些電壓範圍的每一個為 0 及  $V_{DD}$  之間的各自範圍。

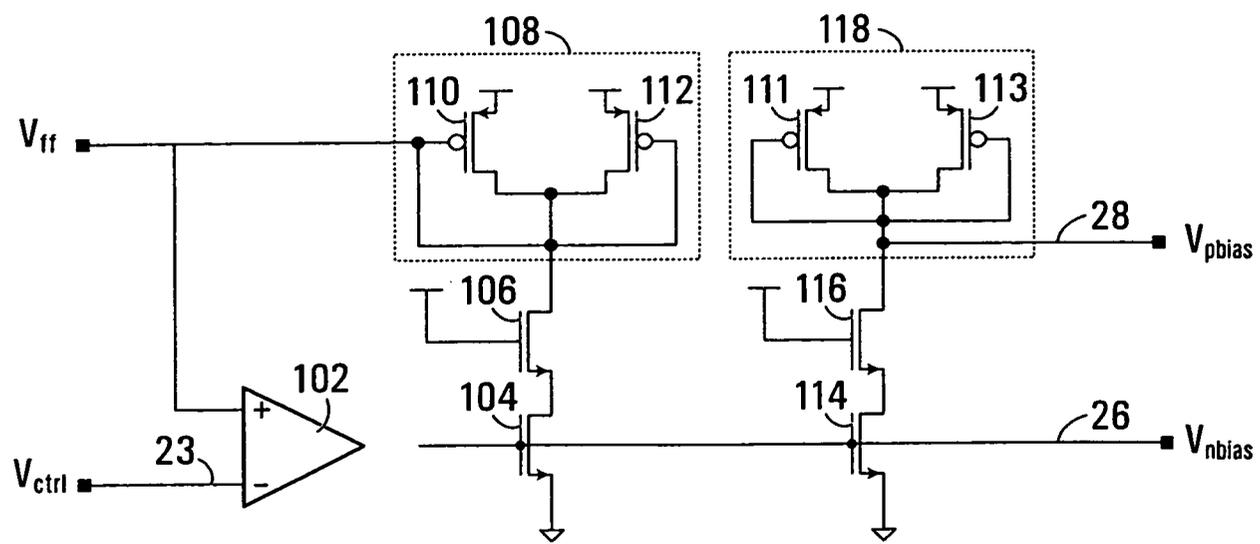
# 圖式



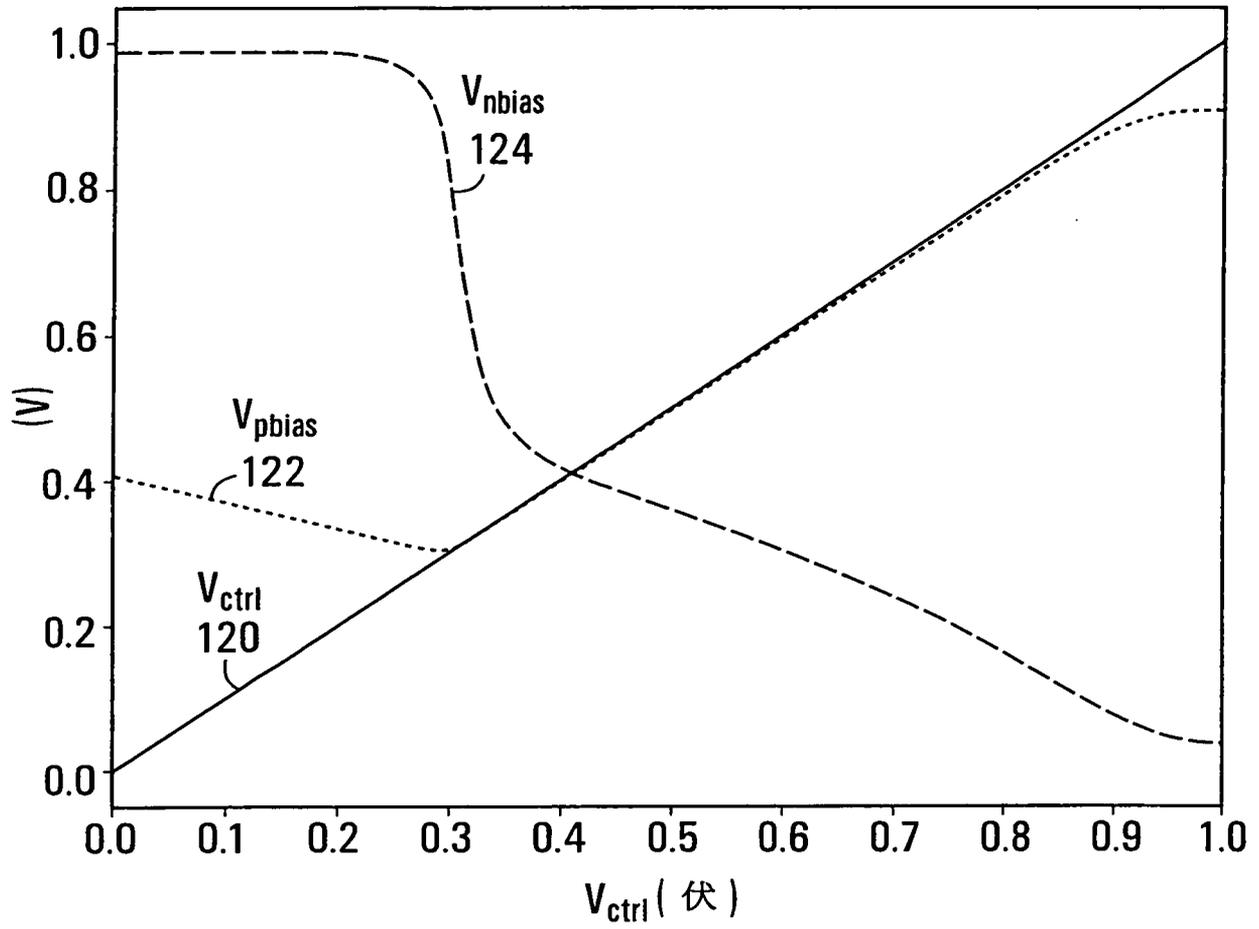
第1圖  
先前技術



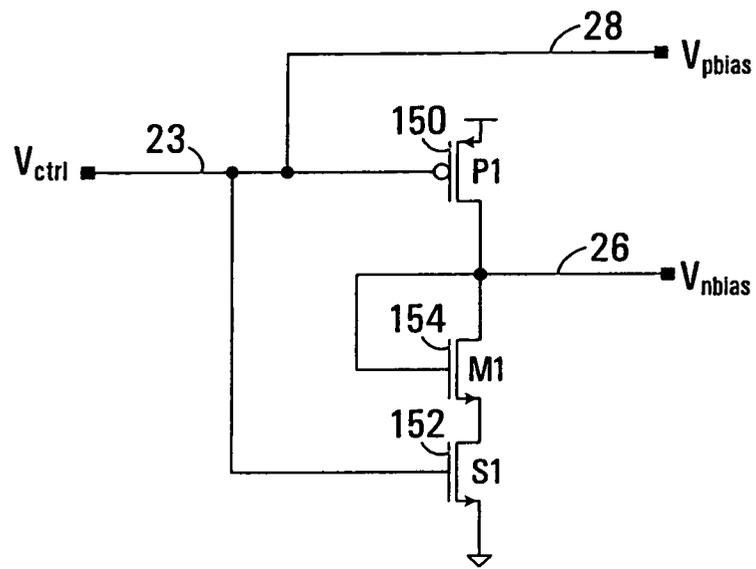
第2圖  
先前技術



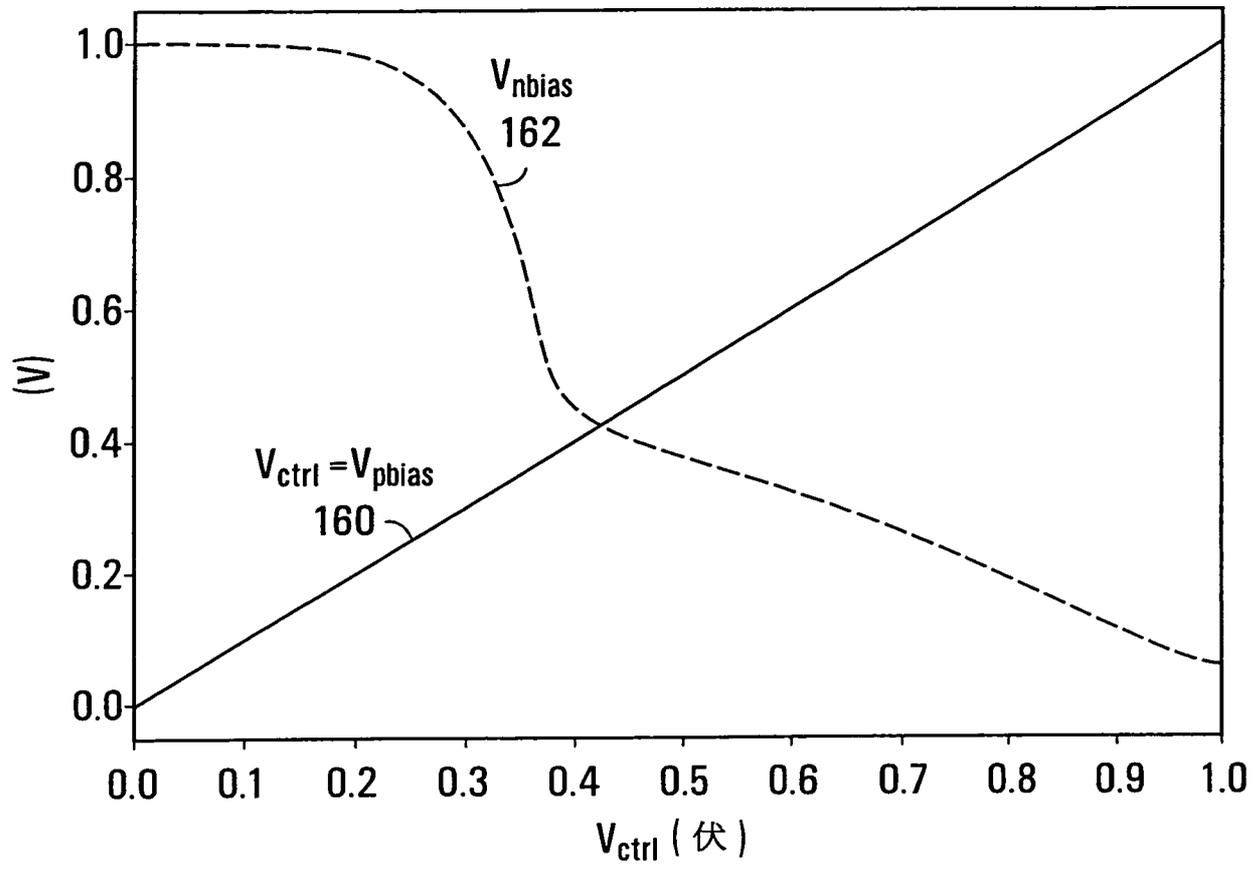
第3圖  
先前技術



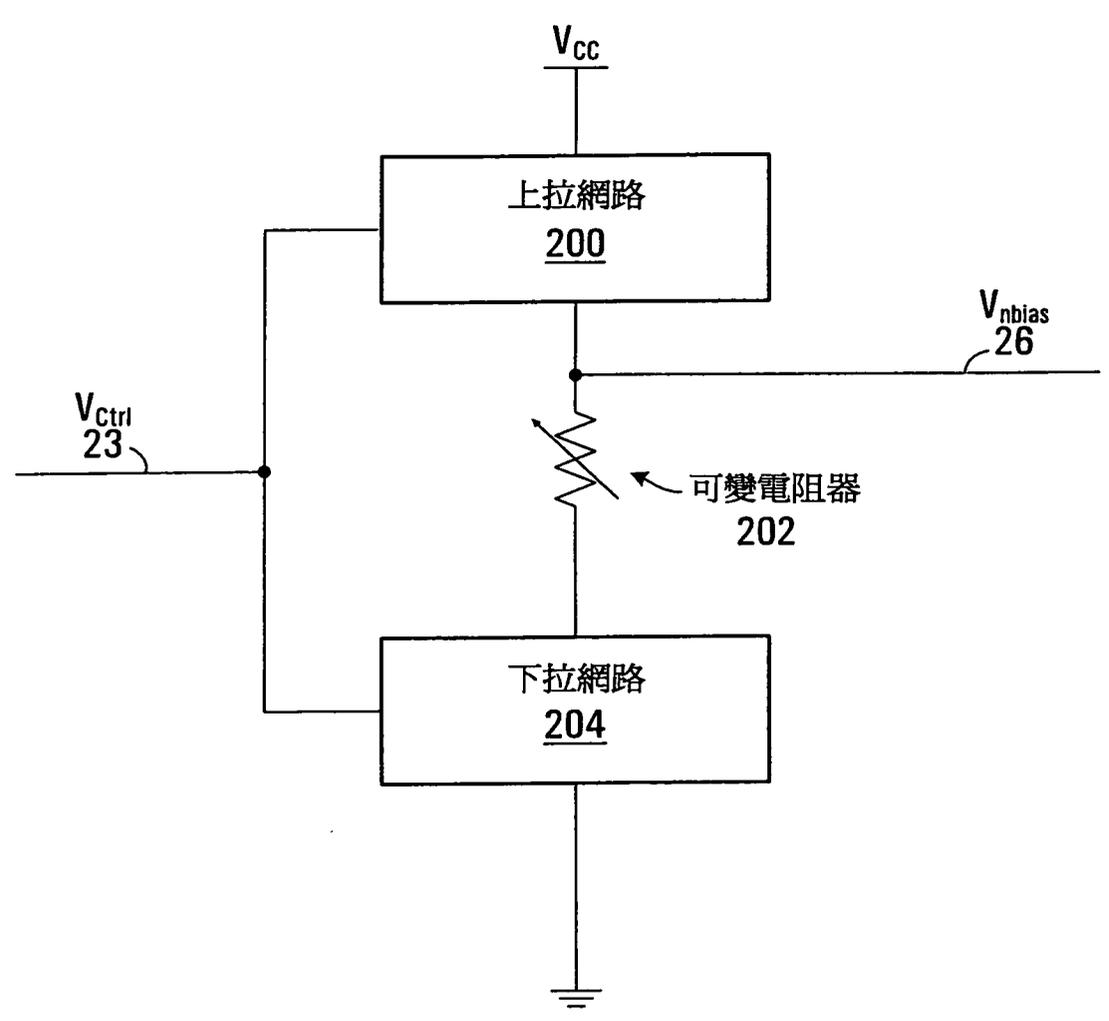
第4圖  
先前技術



第5圖



第6圖



第7圖