

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166325

(P2008-166325A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.

HO1L 21/8247 (2006.01)
 HO1L 27/115 (2006.01)
 HO1L 29/788 (2006.01)
 HO1L 29/792 (2006.01)

F 1

HO1L 27/10 434
 HO1L 29/78 371

テーマコード(参考)

5F083
 5F101

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号

特願2006-350933 (P2006-350933)

(22) 出願日

平成18年12月27日 (2006.12.27)

(71) 出願人

503121103
 株式会社ルネサステクノロジ

東京都千代田区大手町二丁目6番2号

(74) 代理人

100080001

弁理士 筒井 大和

(72) 発明者

森山 卓史

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

F ターム(参考) 5F083 EP18 EP22 EP30 EP48 ER21
 GA21 JA04 JA35 JA37 JA39
 JA53 MA06 MA19 PR07 PR39
 ZA01

5F101 BA45 BB02 BB03 BD21 BE07

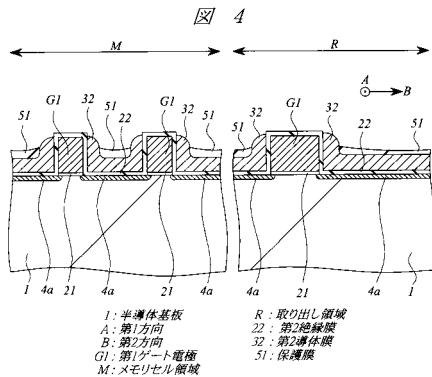
(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】

【課題】不揮発性メモリを有する半導体装置の信頼性を向上させる技術を提供する。

【解決手段】半導体基板1上に、第1方向Aに延在し、それと交差する第2方向Bに並んで配置されるように、第1ゲート電極G1を形成する。続いて、第2絶縁膜22と第2導体膜32とを順に形成し、その上から保護膜51を形成し、保護膜51をエッチバックする。その際、第1ゲート電極G1の上面上に形成された第2導体膜32が露出し、かつ、第1ゲート電極の隣接間に保護膜51が残るよう、エッチングを止める。続いて、残った保護膜51をエッティングマスクとして第2導体膜32にエッティングを施し、第1ゲート電極G1上面上の第2導体膜32を除去する。その後、第2導体膜32をパテーニングすることにより、取り出し領域Rにおいて、取り出し部を備える第2ゲート電極を形成する。

【選択図】図4



【特許請求の範囲】

【請求項 1】

以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板の主面上に、第1絶縁膜および第1導体膜を順に形成する工程、

(b) 前記第1導体膜をパターニングすることにより、前記半導体基板の主面における第1方向に延在し、かつ、前記第1方向に交差する第2方向に並んで配置された複数の第1ゲート電極を形成する工程、

(c) 前記(b)工程後、前記半導体基板の主面上に、前記複数の第1ゲート電極を覆うように、第2絶縁膜および第2導体膜を順に形成する工程、

(d) 前記(c)工程後、前記半導体基板の主面上に、前記第2導体膜を覆うように保護膜を形成した後、前記保護膜に対してエッティング処理を施すことにより、前記複数の第1ゲート電極の隣接間では前記保護膜が残るように、前記保護膜を除去する工程、

(e) 前記(d)工程後、前記保護膜をエッティングマスクとして前記第2導体膜に対してエッティング処理を施すことにより、前記複数の第1ゲート電極の上面の前記第2導体膜を除去する工程、

(f) 前記(e)工程後、前記保護膜を除去した後、前記第2導体膜をパターニングすることにより、

前記複数の第1ゲート電極の側壁に、前記第2絶縁膜を介して第2ゲート電極を形成するとともに、前記複数の第1ゲート電極の端部側に、前記半導体基板の主面上に一部延在する取り出し部を、前記第2ゲート電極と一体的な導体パターンとなるように形成する工程。

【請求項 2】

以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板の主面上に、第1絶縁膜および第1導体膜を順に形成する工程、

(b) 前記第1導体膜をパターニングすることにより、前記半導体基板の主面における第1方向に延在し、かつ、前記第1方向に交差する第2方向に並んで配置された複数の第1ゲート電極を形成する工程、

(c) 前記(b)工程後、前記半導体基板の主面上に、前記複数の第1ゲート電極を覆うように、第2絶縁膜および第2導体膜を順に形成する工程、

(d) 前記(c)工程後、前記第2導体膜をパターニングすることにより、

前記複数の第1ゲート電極の側壁に、前記第2絶縁膜を介して第2ゲート電極を形成するとともに、前記複数の第1ゲート電極の端部側に、前記複数の第1ゲート電極の端部の上面に部分的に乗り上げた状態で、かつ、前記半導体基板の主面上に一部延在する取り出し部を、前記第2ゲート電極と一体的な導体パターンとなるように形成する工程、

(e) 前記(d)工程後、前記半導体基板の主面上に、前記複数の第1ゲート電極および前記第2ゲート電極を覆うように保護膜を形成した後、前記保護膜に対してエッティング処理を施すことにより、前記複数の第1ゲート電極の隣接間に前記保護膜が残るように、前記保護膜を除去する工程、

(f) 前記(e)工程後、前記保護膜をエッティングマスクとして、前記第2ゲート電極取り出し用の導体パターンにおいて、前記複数の第1ゲート電極の端部の上面に部分的に乗り上げている部分を除去する工程。

【請求項 3】

請求項1または2記載の半導体装置の製造方法において、

前記複数の第1ゲート電極は制御ゲート電極であり、

前記第2ゲート電極はメモリゲート電極であり、

前記第2絶縁膜は情報の記憶に寄与する電荷蓄積層であることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項1、2または3記載の半導体装置の製造方法において、

前記第2絶縁膜は酸化膜、窒化膜および酸化膜の積層膜であり、

10

20

30

40

50

前記保護膜は反射防止膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造技術に関し、特に、MONOS (Metal Oxide Nitride Oxide Semiconductor) 型不揮発性メモリを備える半導体装置の製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

電気的にデータの書き換えが可能な不揮発性メモリの一種として、MONOS 積層構造を用いたメモリセル構造が知られている。 10

【0003】

MONOS 型不揮発性メモリは、ONO (Oxide/Nitride/Oxide) 積層構造中の窒化シリコン膜 (Nitride) に電荷を注入することで書き込みを行う。そして、窒化シリコン膜を挟んだ 2 層の酸化シリコン膜 (Oxide) がポテンシャルバリアとなり、注入された電荷が半導体基板 (Semiconductor) や電極 (Metal) へ抜け出すのを防ぐことによって、電荷蓄積状態が保持されるという特徴を持つ。MONOS 型不揮発性メモリはデータ保持の信頼性に優れ、かつ低い書き込み・消去電圧で動作できるといった利点を備えている。

【0004】

更に、上記のような半導体不揮発性メモリセルを、論理用ロジック回路と同一基板上に混載した半導体集積回路は、プログラマブルな組み込み型マイクロコンピュータとして、産業用機器、家電品、自動車搭載装置などに広く利用されている。 20

【0005】

MONOS 型不揮発性メモリの形成技術も含め、このようなメモリ / ロジック混載集積回路の形成技術は、例えば特開 2006-156626 号公報 (特許文献 1) などで公示されている。

【0006】

また、反射防止膜を用いて、不揮発性メモリの浮遊ゲート電極をエッチングする技術として、特開 2005-209931 号公報 (特許文献 2) などで公示されている。 30

【特許文献 1】特開 2006-156626 号公報

【特許文献 2】特開 2005-209931 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明者は、MONOS 型不揮発性メモリを有する半導体装置の製造方法に関し、以下で説明する課題を見出した。

【0008】

本発明者が検討したMONOS 型不揮発性メモリを有する半導体装置は、図 13 に示すように、単結晶シリコンを母材とする半導体基板 1 上に、情報を電荷として蓄積する不揮発性メモリセル領域 M (以下、単にメモリセル領域) と、その蓄積電荷情報を読むためのメモリゲート取り出し領域 R (以下、単に取り出し領域) とを持っている。 40

【0009】

メモリセル領域 M では、注入電荷を蓄積するONO 積層絶縁膜 22、その電荷注入を制御する制御ゲート電極 G1、および、電荷蓄積状態によりメモリ状態を読み出すメモリゲート電極 G2 が形成され、これら二つのゲート電極を一対として一つのメモリセルが構成されている。この制御ゲート電極 G1 は、図 13 における紙面垂直方向 A に延在している。

【0010】

取り出し領域 R では、メモリゲート電極 G2 に直接電気的な接続が取れるように水平な取り出し部 S を設け、そこにコンタクトプラグ 33 を接続している。通常、取り出し部 S 50

は、延在する制御ゲート電極 G 1 の端部におけるメモリゲート電極 G 2 に設けられる。

【0011】

本発明者が見出した課題とは、取り出し部 S を備えたメモリゲート電極 G 2 の製造工程に起因するものである。

【0012】

メモリセル領域 M におけるメモリゲート電極 G 2 のように、コントロールゲートの側壁に電極を設ける場合は、導体膜を形成した後にその全面に対してエッチング処理を施す(以下、エッチバック)ことで形成できる。一方、取り出し領域 R においては、メモリゲート電極 G 2 に水平の取り出し部 S を形成する必要がある。そのため、図 14 に示すように、第 2 導体膜 32 のエッチバックの際に、後に水平な取り出し部 S となる箇所をレジスト膜 63 により保護しておいて、エッチングを施さなければならない。このとき、フォトリソグラフィの位置合わせに余裕を持たせるため、レジスト膜 63 の保護領域は制御ゲート電極 G 1 に重なるように形成される。従って、図 15 に示すように、取り出し領域 R のメモリゲート電極 G 2 は、制御ゲート電極 G 1 に乗り上げる部分 P (以下、乗り上げ部)を持つように加工されるのである。

10

【0013】

このメモリゲート電極 G 2 への乗り上げ部 P のように、他の部分に比して高く突出部した箇所があると、後の工程、特に周辺回路を加工する際のフォトリソグラフィ工程などで、発明者が見出した課題が生じる。

20

【0014】

即ち、図 16 に示すように、周辺回路のフォトリソグラフィ工程などのために、反射防止膜 53 とレジスト膜 64 とを回転塗布すると、メモリゲート電極 G 2 の乗り上げ部 P において被覆性が悪くなり、反射防止膜 53 とレジスト膜 64 の薄い箇所ができてしまう。そして、この状態で周辺回路を加工するためのエッチングを施すと、図 17 に示すように、乗り上げ部 P では、メモリゲート電極 G 2 が露出する。更に、周辺回路の加工対象が、メモリゲート電極 G 2 と同じ材料のゲート電極などである場合、露出したメモリゲート電極 G 2 までもがエッチングされて、削れを起こしてしまうのである。

30

【0015】

このようなメモリゲート電極 G 2 の削れは、隣接する制御ゲート電極 G 1 とのショートの原因となるなど、本発明者が検討した半導体装置の信頼性、歩留まりの低下を引き起こしている。

【0016】

現在、本発明者らは、図 15 の状態にある、制御ゲート電極 G 1 に乗り上げたメモリゲート電極 G 2 を覆うように酸化膜を形成するなどして、周辺回路の加工中は保護しておくことで、上記の課題を回避している。しかし、この手法では、周辺回路の加工に際してメモリ領域を覆っておく酸化膜のパターンを形成するリソグラフィ工程と、周辺回路加工後に、酸化膜を除去するためのリソグラフィ工程との、少なくとも二つのフォトリソグラフィ工程が必要となる。従って、マスクが増え、半導体装置の製造コストの増加をもたらしている。

40

【0017】

本発明の目的は、不揮発性メモリを有する半導体装置の信頼性を向上させる技術を提供することにある。

【0018】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0019】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】

50

即ち、半導体基板の主面上に複数の第1ゲート電極を形成する工程と、前記半導体基板の主面上に、前記複数の第1ゲート電極を覆うように、絶縁膜を介して第2ゲート電極形成用の導体膜を堆積する工程と、前記複数の第1ゲート電極の上面に前記第2ゲート電極形成用の導体膜が残らないように、前記第2ゲート電極形成用の導体膜をエッチングした後、残された前記第2ゲート電極形成用の導体膜をパターニングして、前記第1ゲート電極の端部側に前記第2ゲート電極と一体的に形成された導体パターンを形成する工程とを有するものである。

【0021】

また、半導体基板の主面上に第1ゲート電極を形成する工程と、前記第1ゲート電極の側壁に絶縁膜を介して第2ゲート電極を形成するとともに、前記第1ゲート電極の端部側に、前記第2ゲート電極と一体的に形成され、一部が前記第1ゲート電極の上面に乗り上がる導体パターンを形成する工程と、前記第1ゲート電極の上面に乗り上がる前記導体パターンの一部を除去する工程とを有するものである。

10

【発明の効果】

【0022】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0023】

不揮発性メモリを有する半導体装置の製造方法において、第1ゲート電極上に乗り上げる第2ゲート電極形成用の導体膜部分を除去することにより、不揮発性メモリを有する半導体装置の信頼性を向上させることができる。

20

【発明を実施するための最良の形態】

【0024】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、細く説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

30

【0025】

（実施の形態1）

本発明の実施の形態1では、MONOS型不揮発性メモリの製造工程において、メモリゲート電極用の導体膜のうち、制御ゲート電極上に堆積した部分を、フォトリソグラフィ工程によらずに予め除去する手法を示す。これには図1～図8を用いて説明する。各図では、MONOS型不揮発性メモリ素子を形成する領域M（以下、単にメモリセル領域）と、そのメモリ情報を周辺回路に伝達するために取り出すための部分を形成する領域R（以下、単に取り出し領域）とにおける製造工程を同時に示す。

40

【0026】

まず、図1に示すように、単結晶シリコンを母材とした半導体基板1の主面上に、後にMONOS型不揮発性メモリの制御ゲート電極の性能として要求される膜厚の、第1ゲート絶縁膜21（第1絶縁膜）、および、第1ゲート導体膜31（第1導体膜）を順に形成

50

する。第1ゲート絶縁膜21としては、例えば酸化シリコン膜などを、第1ゲート導体膜31としては、例えば多結晶シリコンなどを用いる。

【0027】

そして、第1ゲート導体膜31をパターニングすることにより、図1において紙面に垂直な第1方向Aに延在し、かつ、図1において紙面に水平な第2方向Bに並んで配置された、複数の制御ゲート電極G1(第1ゲート電極)を形成する。

【0028】

本実施の形態1で製造工程を示す半導体装置においては、特に、この延在する制御ゲート電極G1の第1方向Aにおける端部にメモリゲート取り出し部(詳細は後に記述)を形成する。即ち、各図中における取り出し領域Rとは、この制御ゲート電極G1の第1方向Aにおける端部の断面を示したものである。

【0029】

その後、半導体基板1の正面側から、イオン注入法などによりドナーまたはアクセプタイオンをドープし、制御ゲート電極G1が形成されていない領域の半導体基板1表面に、後にメモリゲートのチャネル領域となる不純物導入領域4aを形成する。従って、MOS型不揮発性メモリの蓄積電荷のキャリアとして、電子を用いる場合にはドナーイオンをドープし、ホールを用いる場合にはアクセプタイオンをドープする。以後、断りがない限り不純物導入領域を形成するためのイオン種に関しては同様とする。その後、不純物導入領域4aの表面上に形成されていた第1ゲート絶縁膜21をエッチングにより除去する。

【0030】

次に、半導体基板1の正面に、制御ゲート電極G1を覆うように、酸化シリコン膜22a、窒化シリコン膜22bおよび酸化シリコン膜22cからなる積層絶縁膜22(第2絶縁膜)を形成する。これは、ONO(Oxide/Nitride/Oxide)構造を持つ積層絶縁膜22であり、MONOS型不揮発性メモリにおいて電荷の蓄積を担う層となる。その後、積層絶縁膜22を覆うように、例えば多結晶シリコンからなる第2ゲート導体膜32(第2導体膜)を形成する。これは後に、MONOS型不揮発性メモリにおいてメモリゲート電極となる。

【0031】

その後、図2に示すように、半導体基板1上において第2ゲート導体膜32を覆うように、例えば反射防止膜(バーカ)51(保護膜)を、制御ゲート電極G1による凹凸が埋まる程度に十分厚く形成する。その後、反射防止膜51の全面に対し異方性のドライエッチング処理を施す(以下、エッチバックと記述)。

【0032】

この反射防止膜51のエッチバックの際、図3に示すように、複数の制御ゲート電極G1の隣接間では反射防止膜51が残る程度でエッチバックを止める。これにより、制御ゲート電極G1の上面に反射防止膜51を除去できる。即ち、この工程により、制御ゲート電極G1の上面に形成された第2ゲート導体膜32が、露出することになる。

【0033】

その後、図4に示すように、残った反射防止膜51をエッチングマスクとして、露出した第2ゲート導体膜32に対してエッチング処理を施すことで、制御ゲート電極G1の上面に第2ゲート導体膜32を除去することができる。その後、反射防止膜51を除去する。

【0034】

ここまでこの工程により、制御ゲート電極G1の上面に第2ゲート導体膜32が除去されることになる。即ち、本実施の形態1によれば、本発明者が課題として見出していた、制御ゲート電極G1上に乗り上げてしまう部分の第2ゲート導体膜32を、予め除去できる。

【0035】

この後は、第2ゲート導体膜32をパターニングすることで、メモリゲートを形成する

10

20

30

40

50

工程となる。

【0036】

メモリセル領域Mでは、制御ゲート電極G1の側壁にメモリゲートを形成すれば良く、図5に示すように、レジスト膜によるマスクを形成せずに第2ゲート導体膜32をエッチバックする。一方、メモリゲートにコンタクトプラグを直接接続する必要があるため、取り出し領域Rにおいて第2ゲート導体膜32には、半導体基板1に対して水平な、幅広の取り出し部分を残さなければならない。従って、半導体基板1上に延在する部分の一部をレジスト膜61によってエッチングから保護しておく。

【0037】

上記図5の状態で、第2ゲート導体膜32にエッチングを施すことによって、図6に示す構造が形成される。即ち、メモリセル領域Mでは、制御ゲート電極G1の側壁に、積層絶縁膜22を介して第2ゲート導体膜32が残り、メモリゲート電極G2(第2ゲート電極)が形成される。それとともに、制御ゲート電極G1の端部側の取り出し領域Rでは、レジスト膜61で保護していた部分として、半導体基板1の主面上に一部水平に延在する取り出し部Sが、メモリゲートG2と一体的な導体パターンとなるように形成される。

【0038】

上記の工程中、取り出し領域Rにおいてメモリゲート電極G2を加工する際に、取り出し部Sを設けるために、エッチングマスクとしてレジスト膜61で保護した。その際、本発明者が検討した前述の方法と同様に、フォトリソグラフィの位置合わせに余裕を持たせるために、制御ゲート電極G1と一部重なるようにレジスト膜61が形成された(図5)。これに対して、本実施の形態1によれば、これ以前の工程で既に制御ゲート電極G1の主面上の第2ゲート導体膜32は除去されているため、制御ゲート電極G1にメモリゲート電極G2が乗り上げ、他の部分よりも高く突出する部分が形成されない。

【0039】

この後、周回路を加工することになる(図示しない)。ここで、本発明者が検討した方法によれば、周回路のゲート電極などを加工する際に塗布する反射防止膜およびフォトレジスト膜が、メモリ領域において制御ゲート電極上に高く突出したメモリゲート電極の箇所で薄くなり、メモリゲート電極までもが削れてしまうという現象が起きていた。更に、このようなメモリゲート電極の削れにより、制御ゲート電極とのショートを引き起こしていた。これに対し、本実施の形態1によれば、上述のように、制御ゲート電極上のメモリゲート電極は周回路加工の前に除去してあるため、周回路の加工時にメモリゲート電極が削れを起こすことは無い。

【0040】

また、現状では、上記のようなメモリゲート電極の削れを防ぐため、周回路を加工している間は、メモリ領域を酸化膜などで保護していた。しかしこれは、半導体基板上に堆積した酸化膜にフォトレジストを塗布し、所望のパターンのマスクを介して露光し、現像するという一連のフォトリソグラフィ工程を、周回路領域の酸化膜を除去する工程と、メモリ領域の酸化膜を除去する工程との、少なくとも二回必要としていた。一方、本実施の形態1によれば、保護膜の堆積とエッチバックとによる単純な手法により上記の課題を解決できる。即ち、本実施の形態1においては、新たなマスクを用いたフォトリソグラフィ工程を導入する必要がない。これは、半導体装置の製造コストの削減に有効である。

【0041】

次の工程では、図7に示すように、周知の製造方法により各素子を完成させる。まず、メモリセル領域Mにおいて、二つの制御ゲート電極G1を一対として、その隣接間で対面して形成されていたメモリゲート電極G2および積層絶縁膜22を、フォトリソグラフィ法により選択的に除去する。その後、制御ゲート電極G1およびメモリゲート電極G2が形成されている領域以外の半導体基板1表面に、イオン注入法により不純物導入領域4bを形成する。ここで不純物導入領域4bは、先に形成した不純物導入領域4aと同じ極性であり、かつ、不純物導入領域4aよりも高濃度にドープするものとする。

【0042】

10

20

30

40

50

続いて、制御ゲート電極 G 1 またはメモリゲート電極 G 2 の側壁に、絶縁体からなるスペーサ 2 3 を形成する。これらは、スペーサ 2 3 用の絶縁膜を基板表面に形成し、エッチバックすることで形成する。スペーサ 2 3 用の絶縁膜としては、例えば酸化シリコン膜 / 窒化シリコン膜 / 酸化シリコン膜の積層構造などを用いる。

【 0 0 4 3 】

その後、メモリセル領域 M において MONOS 型不揮発性メモリと、後に形成する金属配線とのコンタクト領域を形成するために、イオン注入法により不純物導入領域 4 c を形成する。ここで不純物導入領域 4 c は、先に形成した不純物導入領域 4 a , 4 b と同じ極性であり、かつ、不純物導入領域 4 b よりも高濃度にドープするものとする。続いて、不純物導入領域 4 c , 制御ゲート電極 G 1 およびメモリゲート電極 G 2 の取り出し部 S それぞれの表面に、金属配線とのオーミック接続を目的としたシリサイド層 7 の形成を行う。シリサイド層 7 は以下の周知の方法により形成できる。まず、シリサイドの対象となる金属（例えばコバルト）を、スパッタ法により半導体基板 1 の表面に堆積する。続いて熱処理を施することで、絶縁膜を介さずにシリコンと金属が接している不純物導入領域 4 c 表面、制御ゲート電極 G 1 上面およびメモリゲート電極 G 2 の取り出し部 S 表面において、金属とシリコンの合金化が進み、シリサイド層 7 が形成される。

【 0 0 4 4 】

その後、絶縁膜 2 4 として、例えば窒化シリコン膜を半導体基板 1 表面全体に形成する。続いて、各素子の上部に形成される金属配線の層間絶縁膜 2 5 として、例えば酸化シリコン膜を形成する。

【 0 0 4 5 】

この後の工程は、周知の方法による金属配線工程となる。まず、図 8 に示すように、層間絶縁膜 2 5 にコンタクトホール H 1 を形成した後、金属（例えばタンゲステン）膜を堆積し、表面研磨することで、各素子への金属コンタクトプラグ 3 3 を形成する。その後、配線層を形成するための絶縁膜 2 6 を形成し、配線パターン H 2 をフォトリソグラフィ法により形成する。続いて、スパッタ法などにより金属（例えば銅）を堆積し、表面研磨することで、配線パターン H 2 中に金属配線 3 4 を形成する。

【 0 0 4 6 】

この工程により、取り出し領域 R において、メモリゲート電極 G 2 からの取り出し部 S に、金属コンタクトプラグ 3 3 が接続されることになる。

【 0 0 4 7 】

その後同様の工程を繰り返すことで上部金属配線を形成し、本実施の形態 1 による半導体装置が完成する。

【 0 0 4 8 】

本実施の形態 1 によれば、MONOS 型不揮発性メモリを有する半導体装置の製造工程において、メモリゲート電極 G 2 用の第 2 ゲート導体膜 3 2 を形成した直後に、フォトリソグラフィ工程に依らずに、制御ゲート電極 G 1 上の第 2 ゲート導体膜 3 2 を除去できる。これにより、メモリ取り出し領域 R において、制御ゲート電極 G 1 上にメモリゲート電極 G 2 が乗り上げることが無い。従って、後の工程で、メモリゲート電極に局所的な削れが起こり、制御ゲート電極とショートしてしまうなど、信頼性を損ねる要因を排除できる。

【 0 0 4 9 】

（実施の形態 2 ）

上記実施の形態 1 では、MONOS 型不揮発性メモリを有する半導体装置の製造工程において、制御ゲート電極上に堆積したメモリゲート用の導体膜を、メモリゲート電極の加工前に除去する手法を示した。

【 0 0 5 0 】

本実施の形態 2 では、通常の方法でメモリゲート電極を加工した後に、制御ゲート電極に乗り上げたメモリゲート電極を選択的に除去する手法を、図 9 ~ 図 12 を用いて示す。

【 0 0 5 1 】

10

20

30

40

50

まず、上記実施の形態 1 において図 1 を用いて説明した方法と同様にして、図 9 に示すように、半導体基板 1 の主面上に形成した制御ゲート電極 G 1 を、電荷蓄積用の積層絶縁膜 2 2 およびメモリゲート電極用の第 2 ゲート導体膜 3 2 で覆った構造を形成する。

【0052】

その後、本発明者が検討した方法と同様に、メモリゲート電極を加工する工程に入る。即ち、メモリセル領域 M では、第 2 ゲート導体膜 3 2 をそのままエッチバックし、取り出し領域 R では、メモリゲートに半導体基板 1 上の一部に延在する取り出し部を設けるため、水平な部分をレジスト膜 6 2 で覆い、第 2 ゲート導体膜 3 2 にエッチングを施す。

【0053】

このとき、フォトリソグラフィの位置合わせに余裕を持たせるため、レジスト膜 6 2 の保護領域は制御ゲート電極 G 1 に一部重なるように形成する。

【0054】

続いて、図 9 の状態で第 2 導体膜 3 2 に対してエッチングを施すことで、図 10 に示す構造となる。即ち、メモリセル領域 M では、制御ゲート電極 G 1 の側壁に、積層絶縁膜 2 2 を介して第 2 ゲート導体膜 3 2 が残り、メモリゲート電極 G 2 (第 2 ゲート電極) が形成される。それとともに、制御ゲート電極 G 1 の端部側の取り出し領域 R では、レジスト膜 6 2 で保護していた部分として、制御ゲート電極 G 1 の上面に部分的に乗り上げた状態で、かつ、半導体基板 1 の主面上に一部水平に延在する取り出し部 S が、メモリゲート G 2 と一体的な導体パターンとなるように形成される。

【0055】

上記のように、この段階では、本発明者が検討した方法と同様に、フォトリソグラフィの都合上、取り出し領域 R において、制御ゲート電極 G 1 上の一部にメモリゲート電極 G 2 が乗り上げている。

【0056】

続いて、本実施の形態 2 では、これまでの工程で半導体基板 1 上に形成した制御ゲート電極 G 1 およびメモリゲート電極 G 2 を覆うように、例えば反射防止膜 (バーク) 5 2 (保護膜) を、制御ゲート電極 G 1 およびメモリゲート電極 G 2 による凹凸が埋まる程度に十分厚く形成する。その後、反射防止膜 5 2 をエッチバックする。

【0057】

この反射防止膜 5 2 のエッチバックの際、図 11 に示すように、複数の制御ゲート電極 G 1 の隣接間ににおいて反射防止膜 5 2 が残るように、エッチバックを止める。これにより、制御ゲート電極 G 1 の上面に反射防止膜 5 2 を除去できる。即ち、この工程により、取り出し領域 R に形成された第 2 ゲート導体膜 3 2 のうち、取り出し領域 R の制御ゲート電極 G 1 の上面に一部乗り上げて形成された部分が露出することになる。

【0058】

その後、図 12 に示すように、残された反射防止膜 5 2 をエッチングマスクとして、露出した第 2 ゲート導体膜 3 2 に対してエッチング処理を施すことにより、制御ゲート電極 G 1 の上面に一部乗り上げていた第 2 ゲート導体膜 3 2 を除去することができる。

【0059】

このように、本実施の形態 2 の手法によれば、本発明者が課題として見出していた、制御ゲート電極 G 1 上に乗り上げてしまう部分の第 2 ゲート電極 G 2 を、選択的に除去できるのである。更に、本手法は膜形成とエッチバックとによるものであるから、マスクを用いたフォトリソグラフィ工程の追加を必要としない。

【0060】

続いて、エッチングマスクとして残した反射防止膜 5 2 を除去すれば、上記実施の形態 1 において図 6 に示した構造と同じ構造が形成される。即ち、半導体基板 1 上に、メモリセル領域 M においては制御ゲート電極 G 1 と、電荷蓄積のための積層絶縁膜 2 2 を介してメモリゲート電極 G 2 とを形成し、取り出し領域 R においては、制御ゲート電極 G 1 に乗り上げず、かつ取り出し部 S を備えるようなメモリゲート電極 G 2 を形成した。

【0061】

10

20

30

40

50

その後のMONOS型不揮発性メモリ素子を完成するための工程、それらに接続される配線を形成する工程、およびその工程により形成される構造は、上記実施の形態1において図7および図8を用いて説明した工程および構造と同様であり、ここでの説明は省略する。

【0062】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0063】

例えば、上記実施の形態1, 2において、制御ゲート電極G1上の第2ゲート導体膜32またはメモリゲート電極G2を選択的に除去するために形成した保護膜として、反射防止膜51, 52を用いたが、メモリゲート電極G2用の第2ゲート導体膜32のエッチング速度に対して十分な選択比を持つ材料を用いることでも、同様の効果が得られる。

【産業上の利用可能性】

【0064】

本発明は、半導体装置の製造方法に適用して有効であり、特に、MONOS型不揮発性メモリを有する半導体装置の製造に効果的である。

【図面の簡単な説明】

【0065】

【図1】本発明の一実施の形態である半導体装置の製造工程中における要部断面図である。

【図2】図1に続く半導体装置の製造工程中における要部断面図である。

【図3】図2に続く半導体装置の製造工程中における要部断面図である。

【図4】図3に続く半導体装置の製造工程中における要部断面図である。

【図5】図4に続く半導体装置の製造工程中における要部断面図である。

【図6】図5に続く半導体装置の製造工程中における要部断面図である。

【図7】図6に続く半導体装置の製造工程中における要部断面図である。

【図8】図7に続く半導体装置の製造工程中における要部断面図である。

【図9】本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

【図10】図9に続く半導体装置の製造工程中における要部断面図である。

【図11】図10に続く半導体装置の製造工程中における要部断面図である。

【図12】図11に続く半導体装置の製造工程中における要部断面図である。

【図13】本発明者が検討した半導体装置の要部断面図である。

【図14】本発明者が検討した半導体装置の製造工程中における要部断面図である。

【図15】図14に続く半導体装置の製造工程中における要部断面図である。

【図16】図15に続く半導体装置の製造工程中における要部断面図である。

【図17】図16に続く半導体装置の製造工程中における要部断面図である。

【符号の説明】

【0066】

1 半導体基板

2 1 第1ゲート絶縁膜(第1絶縁膜)

2 2 積層絶縁膜(第2絶縁膜)

3 1 第1ゲート導体膜(第1導体膜)

3 2 第2ゲート導体膜(第2導体膜)

5 1 反射防止膜(保護膜)

5 2 反射防止膜(保護膜)

M メモリセル領域

R 取り出し領域

S 取り出し部

10

20

30

40

50

A 第1方向

B 第2方向

G1 制御ゲート電極(第1ゲート電極)

G2 メモリゲート電極(第2ゲート電極)

【図1】

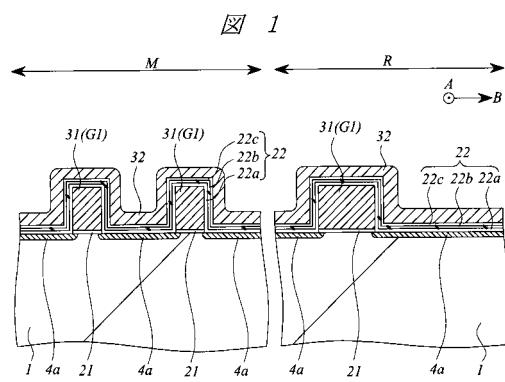


図 1

【図3】

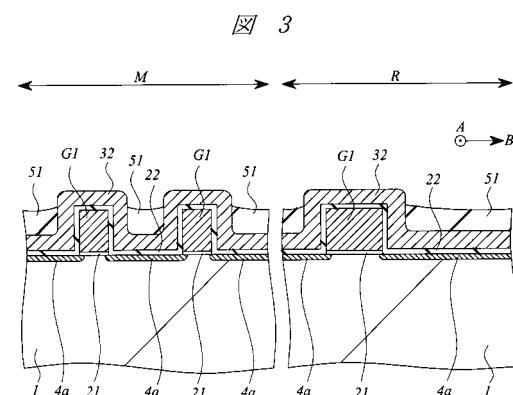


図 3

【図2】

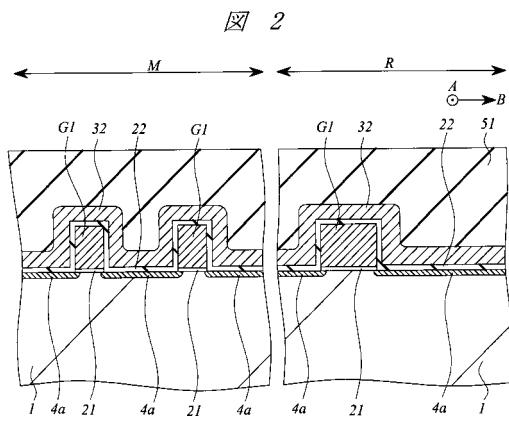


図 2

【図4】

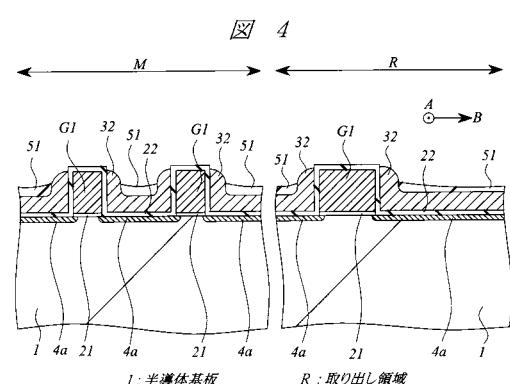
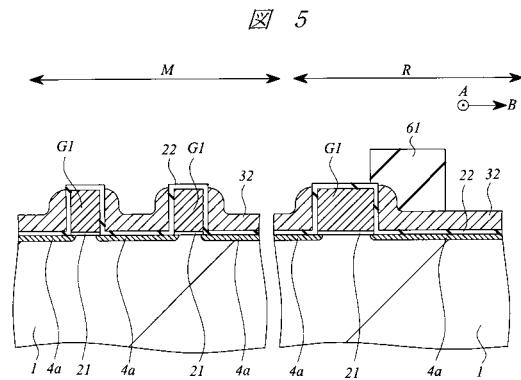


図 4

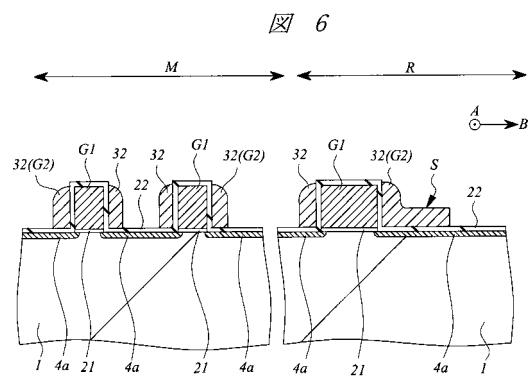
1:半導体基板
 A:第1方向
 B:第2方向
 G1:第1ゲート電極
 M:メモリセル領域

R:取り出し領域
 22:第2絶縁膜
 32:第2導体膜
 51:保護膜

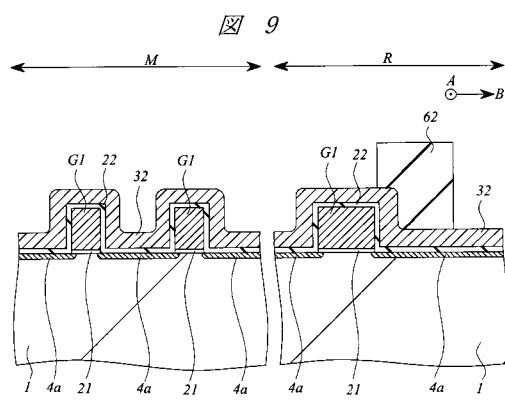
【図5】



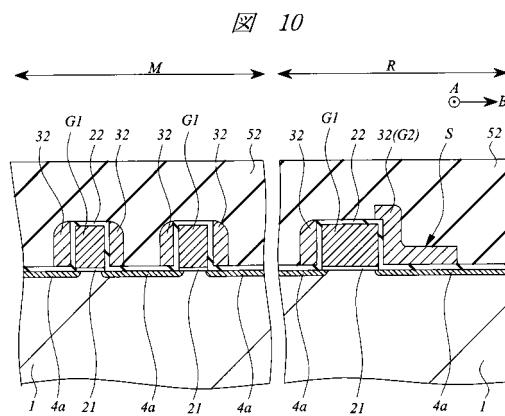
【図6】



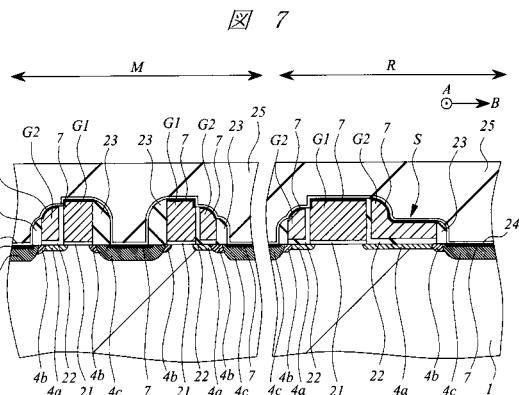
【図9】



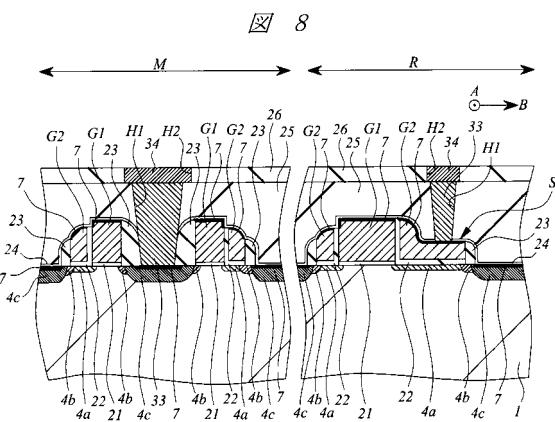
【図10】



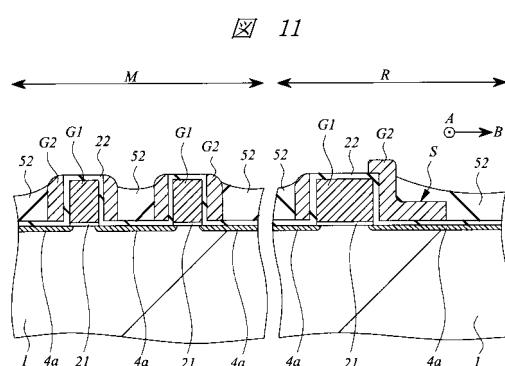
【図7】



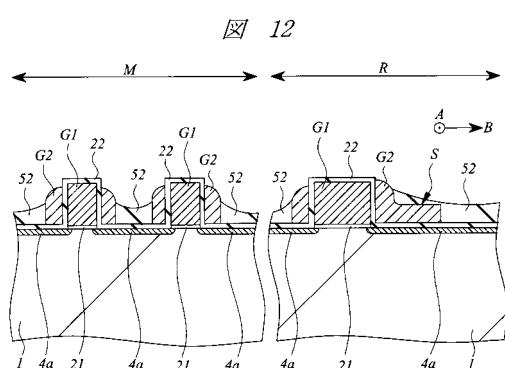
【図8】



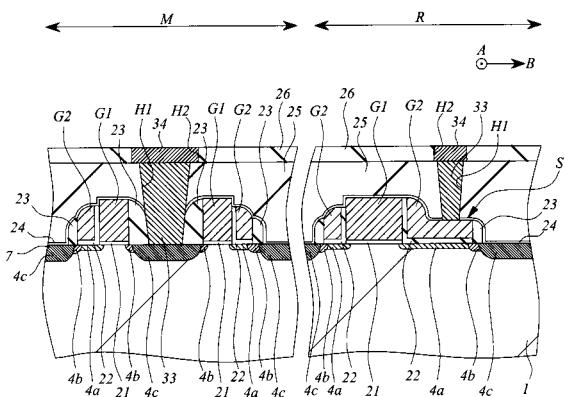
【図11】



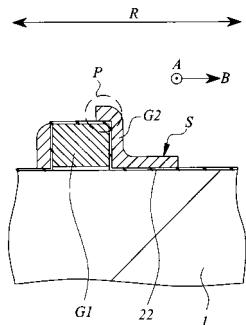
【図12】



【 図 1 3 】



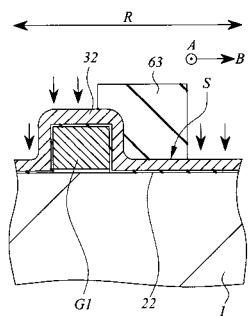
【図15】



【 図 1 6 】



【図 1 4】



【図 17】

