(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4988262号
(P4988262)
(45)発行日　平成24年8月1日(2012.8.1)　(24)登録日　平成24年5月11日(2012.5.11)

(51)Int.Cl.　F I
H01L 27/146 (2006.01)　H01L 27/14 A
H04N 5/359 (2011.01)　H04N 5/335 590

請求項の数 10　(全 18 頁)

(21)出願番号　特願2006-192102(P2006-192102)
(22)出願日　平成18年7月12日(2006.7.12)
(65)公開番号　特開2007-36224(P2007-36224A)
(43)公開日　平成19年2月8日(2007.2.8)
審査請求日　平成21年7月10日(2009.7.10)
(31)優先権主張番号　10-2005-0068043
(32)優先日　平成17年7月26日(2005.7.26)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道水原市霊通区三星路１２９
１２９，Ｓａｍｓｕｎｇ－ｒｏ，Ｙｅｏｎｇｔｏｎｇ－ｇｕ，Ｓｕｗｏｎ－ｓｉ，Ｇｙｅｏｎｇｇｉ－ｄｏ，Ｒｅｐｕｂｌｉｃ　ｏｆ　Ｋｏｒｅａ
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100089037
弁理士　渡邊　隆
(74)代理人　100108453
弁理士　村山　靖彦

最終頁に続く

(54)【発明の名称】ＣＭＯＳイメージセンサ

(57)【特許請求の範囲】
【請求項１】
第１導電型の基板に形成されて第１、第２及び第３活性領域を画定する素子分離膜と、
前記第１活性領域に形成された第２導電型のフォトダイオード領域と、
前記第２活性領域に形成された第２導電型の浮遊拡散領域と、
前記第２活性領域の上部を横切り、前記浮遊拡散領域と電気的に接続されたソースフォロワーゲートと、
前記ソースフォロワーゲート両側の前記第２活性領域に各々形成された第２導電型の第１及び第２ソース／ドレイン領域と、
前記第３活性領域に形成され、電圧印加により過剰電荷が排出される第１ピックアップ領域とを含み、前記第３活性領域は前記第１または第２ソース／ドレイン領域が形成された前記第２活性領域の一側に連結され、前記浮遊拡散領域と、前記第１及び第２ソース／ドレイン領域は互いに離隔され、
前記素子分離膜によって画定され、前記第１または第２ソース／ドレイン領域が形成された前記第２活性領域の他の一側に連結された第４活性領域と、
前記第４活性領域に形成された第２ピックアップ領域とをさらに含み、前記第２ピックアップ領域は第２導電型の不純物でドーピングされ、前記第２ピックアップ領域は前記第１及び第２ソース／ドレイン領域と離隔される
ことを特徴とするＣＭＯＳイメージセンサ。
【請求項２】

前記第１ピックアップ領域は第１導電型の不純物でドーピングされた
ことを特徴とする請求項１に記載のＣＭＯＳイメージセンサ。
【請求項３】
前記第１導電型はｐ型であり、前記第２導電型はｎ型であり、前記第１ピックアップ領域には接地電圧が印加される
ことを特徴とする請求項２に記載のＣＭＯＳイメージセンサ。
【請求項４】
前記第１導電型はｐ型であり、前記第２導電型はｎ型であり、前記第１ピックアップ領域には接地電圧が印加され、前記第２ピックアップ領域には電源電圧が印加される
ことを特徴とする請求項１に記載のＣＭＯＳイメージセンサ。
【請求項５】
前記第１ピックアップ領域は第２導電型の不純物でドーピングされる
ことを特徴とする請求項１に記載のＣＭＯＳイメージセンサ。
【請求項６】
前記第１導電型はｐ型であり、前記第２導電型はｎ型であり、前記第１ピックアップ領域には電源電圧が印加される
ことを特徴とする請求項５に記載のＣＭＯＳイメージセンサ。
【請求項７】
前記フォトダイオード領域と前記浮遊拡散領域との間の前記第２活性領域の上部を横切る伝送ゲートと、
前記浮遊拡散領域と前記第１ソース／ドレイン領域との間の前記第２活性領域の上部を横切るリセットゲートとをさらに含む
ことを特徴とする請求項１乃至６のうちのいずれか１項に記載のＣＭＯＳイメージセンサ。
【請求項８】
前記伝送、リセット及びソースフォロワーゲートと前記基板との間に介在されたゲート絶縁膜をさらに含む
ことを特徴とする請求項７に記載のＣＭＯＳイメージセンサ。
【請求項９】
前記第１ピックアップ領域は前記第１及び第２ソース／ドレイン領域と離隔される
ことを特徴とする請求項１乃至６のうちのいずれか１項に記載のＣＭＯＳイメージセンサ。
【請求項１０】
前記第１ソース／ドレイン領域には電源電圧が印加される
ことを特徴とする請求項１乃至６のうちのいずれか１項に記載のＣＭＯＳイメージセンサ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は半導体素子及びその形成方法に係り、より具体的に、ＣＭＯＳイメージセンサ及びその形成方法に関する。
【背景技術】
【０００２】
半導体素子のうちイメージセンサは光学的イメージを電気的信号に変換させる素子である。イメージセンサとして従来から広く知られていたものはＣＣＤ（ｃｈａｒｇｅ ｃｏｕｐｌｅｄ ｄｅｖｉｃｅ）イメージセンサと言われる。ＣＣＤイメージセンサは許容可能な電荷伝達効率を達成するために、外部制御信号及び大きいクロックスイングが必要なので、高い消費電力が要求される。また、ＣＣＤイメージセンサはイメージ信号の調整または標準ビデオ出力を生成するための付加的なサポート回路が必要である。よって、ＣＣＤイメージセンサは高集積化させることが難しい。このような問題点によって、最近、Ｃ

ＣＤイメージセンサの代案としてＣＭＯＳイメージセンサが提案されている。

【０００３】

ＣＭＯＳイメージセンサは比較的簡単な構造を有し、かつ高度に発達したＣＭＯＳ製造工程が適用されることで、高集積化及び低消費電力を具現することができる。通常的に、ＣＭＯＳイメージセンサの画素は光感知素子であるフォトダイオード、及び前記フォトダイオードに貯蔵された電荷を伝送及び出力するための一つまたは複数個の電界効果トランジスタ（以下、トランジスタという）を含むことができる。

【０００４】

最近、ノイズなどを改善するためにソースフォロワー（ｓｏｕｒｃｅ　ｆｏｌｌｏｗｅｒ）トランジスタを含むＣＭＯＳイメージセンサの画素が提案されたことがある。このようなソースフォロワートランジスタを含むＣＭＯＳイメージセンサを図面を参照して説明する。

【０００５】

図１は従来のＣＭＯＳイメージセンサの画素を説明するための断面図である。

【０００６】

図１を参照すれば、ｐ型の半導体基板１にｎ型のフォトダイオード５が形成され、前記フォトダイオード５の一側の前記半導体基板１上に互いに離隔されて伝送ゲート３ａ、リセットゲート３ｂ及びソースフォロワーゲート３ｃが順次に配置される。前記ゲート３ａ、３ｂ、３ｃと前記半導体基板１との間にゲート酸化膜２が介在される。前記伝送ゲート３ａと前記リセットゲート３ｂとの間の前記半導体基板１に浮遊拡散領域６が形成される。すなわち、前記フォトダイオード５と前記浮遊拡散領域６との間の前記半導体基板１上に前記伝送ゲート３ａが配置される。前記ソースフォロワーゲート３ｃの両側の前記半導体基板１に各々第１不純物ドーピング領域７及び第２不純物ドーピング領域８が形成される。前記リセットゲート３ｂと前記ソースフォロワーゲート３ｃとの間の前記半導体基板１に前記第１不純物ドーピング領域７が配置される。前記浮遊拡散領域６、第１及び第２不純物ドーピング領域７、８はｎ型の不純物でドーピングされる。

【０００７】

前記ソースフォロワーゲート３ｃは上部配線（図示しない）によって前記浮遊拡散領域６と電気的に接続する。前記浮遊拡散領域６は前記伝送ゲート３ａを含む伝送トランジスタのドレイン及び前記リセットゲート３ｂを含むリセットトランジスタのソースに該当する。前記第１不純物ドーピング領域７は前記リセットトランジスタのドレイン及び前記ソースフォロワーゲート３ｃを含むソースフォロワートランジスタのドレインに該当する。前記第１不純物ドーピング領域７には電源電圧が印加される。前記第２不純物ドーピング領域８は前記ソースフォロワートランジスタのソースに該当する。

【０００８】

上述した構造のＣＭＯＳイメージセンサの画素の動作方法を簡略に説明する。まず、前記リセットゲート３ｂに電圧を印加して前記リセットトランジスタをターンオンさせて前記第１不純物ドーピング領域７の電源電圧を前記浮遊拡散領域６に印加する。次に、前記リセットトランジスタをターンオフさせて前記浮遊拡散領域６の電位を電源電圧で維持させる。

【０００９】

外部光が前記フォトダイオード５に入射されれば、電子－正孔対（ＥＨＰ、Ｅｌｅｃｔｒｏｎ－Ｈｏｌｅ　ｐａｉｒｓ）が発生され、発生された信号電子は前記フォトダイオード５内に蓄積される。前記伝送トランジスタをターンオンさせて前記フォトダイオード５内の電子を前記浮遊拡散領域６に伝達する。これによって、前記浮遊拡散領域６の電位が変化されて前記ソースフォロワーゲート３ｃの電位を変える、前記第２不純物ドーピング領域８（すなわち、ソースフォロワートランジスタのソース）の電位を変える。前記第２不純物ドーピング領域８の電位の変化量を出力する。次に、前記リセットトランジスタをターンオンさせて前記浮遊拡散領域６を電源電圧で維持させる。このような過程を繰り返して光学的信号を電気的信号に転換させる。

【００１０】
半導体素子の高集積化の傾向に応じて、上述した画素のトランジスタの大きさが徐々に減少している。これによって、前記トランジスタにホットキャリア現象が発生されてＣＭＯＳイメージセンサの特性を劣化させるおそれがある。例えば、ＣＭＯＳイメージセンサの暗電流などのようなノイズが増加するか、前記トランジスタの特性が劣化されるおそれがある。特に、前記ソースフォロワートランジスタはホットキャリア現象に脆弱でありうる。前記浮遊拡散領域６内の信号電子が蓄積されれば、前記ソースフォロワーゲート３ｃの電位が減少して、かつ前記ソースフォロワートランジスタのソース（すなわち、前記第２不純物ドーピング領域８）の電位も減少する。この時、前記ソースフォロワートランジスタのドレイン（すなわち、前記第１不純物ドーピング領域７）には電源電圧が維持される。これによって、前記ソースフォロワートランジスタのドレイン電位がそれのゲート電位に比べて高くなり、かつ前記ソースフォロワートランジスタのドレイン及びソース間の電位も増加する。その結果、前記ソースフォロワートランジスタはホットキャリア現象にさらに脆弱になりうる。
【００１１】
このようなホットキャリアはドレイン端などに衝突電離（ｉｍｐａｃｔｉｏｎ　ｉｚａｔｉｏｎ）を起こして多量の電子－正孔対を発生させることができる。ホットキャリアによって発生された過剰正孔は前記半導体基板１内に蓄積されて前記半導体基板１の電位を増加させることができる。これによって、前記半導体基板１と前記第２不純物ドーピング領域８間に順方向バイアスが印加されて前記ソースフォロワートランジスタのドレイン及びソース間に流れる電流量は増加することができる。これによって、前記ホットキャリアの量がさらに増加してＣＭＯＳイメージセンサの特性をさらに劣化させるおそれがある。一方、ホットキャリアによって発生された過剰電子は前記浮遊拡散層６または／及びフォトダイオード５などに流入されて暗電流などのようなノイズを増加させるおそれがある。
【発明の開示】
【発明が解決しようとする課題】
【００１２】
本発明は上述した問題点を解決するためのものであり、本発明の課題は、ホットキャリア現象によるＣＭＯＳイメージセンサの特性劣化を最小化することができるＣＭＯＳイメージセンサ及びその形成方法を提供することにある。
【００１３】
本発明の他の課題はホットキャリア現象によって発生される余剰電荷を最小化することができるＣＭＯＳイメージセンサ及びその形成方法を提供することにある。
【課題を解決するための手段】
【００１４】
上述した課題を解決するためのＣＭＯＳイメージセンサを提供する。このセンサは第１導電型の基板に形成されて第１、第２及び第３活性領域を画定する素子分離膜、及び前記第１活性領域に形成された第２導電型のフォトダイオード領域、及び前記第２活性領域に形成された第２導電型の浮遊拡散領域を含む。ソースフォロワーゲートが前記第２活性領域の上部を横切る。前記ソースフォロワーゲートは前記浮遊拡散領域と電気的に接続される。第２導電型の第１及び第２ソース／ドレイン領域が前記ソースフォロワーゲートの両側の前記第２活性領域に各々形成される。第１ピックアップ領域が前記第３活性領域に形成される。前記第３活性領域は前記第１または第２ソース／ドレイン領域が形成された前記第２活性領域の一側に連結され、前記浮遊拡散領域と、前記第１及び第２ソース／ドレイン領域は互いに離隔される。
【００１５】
一実施例によれば、前記第１ピックアップ領域は第１導電型の不純物でドーピングされることができる。この時、前記第１導電型はｐ型であり、前記第２導電型はｎ型の場合、前記第１ピックアップ領域には接地電圧を印加することができる。前記ＣＭＯＳイメージセンサは前記素子分離膜により画定され、前記第１または第２ソース／ドレイン領域が形

成された前記第２活性領域の他の一側に連結された第４活性領域、及び前記第４活性領域に形成された第２ピックアップ領域をさらに含むことができる。前記第２ピックアップ領域は第２導電型の不純物でドーピングされ、前記第２ピックアップ領域は前記第１及び第２ソース／ドレイン領域と離隔される。前記第１導電型がｐ型であり、前記第２導電型がｎ型の場合、前記第１ピックアップ領域には接地電圧が印加され、前記第２ピックアップ領域には電源電圧が印加されることができる。

【００１６】

一実施例によれば、前記第１ピックアップ領域は第２導電型の不純物でドーピングされることができる。前記第１導電型がｐ型であり、前記第２導電型がｎ型の場合、前記第１ピックアップ領域には電源電圧が印加される。

【００１７】

前記ＣＭＯＳイメージセンサは前記フォトダイオード領域と前記浮遊拡散領域との間の前記第２活性領域の上部を横切る伝送ゲート、及び前記浮遊拡散領域と前記第１ソース／ドレイン領域との間の前記第２活性領域の上部を横切るリセットゲートをさらに含むことができる。前記ＣＭＯＳイメージセンサは前記伝送、リセット及びソースフォロワーゲートと前記基板の間に介在されたゲート絶縁膜をさらに含むことができる。前記第１ピックアップ領域は前記第１及び第２ソース／ドレイン領域と離隔されることができる。前記第１ソース／ドレイン領域には電源電圧が印加されることができる。

【００１８】

上述した課題を解決するためのＣＭＯＳイメージセンサの形成方法を提供する。この方法は、次の段階を含む。第１導電型の基板に第１、第２及び第３活性領域を画定する素子分離膜を形成する。前記第１活性領域に隣接した前記第２活性領域の上部を横切る伝送ゲート、前記伝送ゲートの一側の前記第２活性領域を順次に横切るリセットゲート及びソースフォロワーゲートを形成する。前記第１活性領域に第２導電型のフォトダイオード領域を形成する。第２導電型の不純物イオンを選択的に注入して前記伝送ゲートと前記リセットゲートとの間の浮遊拡散領域、前記ソースフォロワーゲートの両側に第１及び第２ソース／ドレイン領域を形成する。前記第３活性領域に不純物イオンを選択的に注入して第１ピックアップ領域を形成する。前記第３活性領域は前記第１または第２ソース／ドレイン領域が形成された前記第２活性領域の一側に連結され、前記ソースフォロワーゲートは前記浮遊拡散領域に電気的に接続する。

【００１９】

一実施例によれば、前記第１ピックアップ領域は第１導電型の不純物イオンを注入して形成することができる。この時、前記第１導電型はｐ型であり、前記第２導電型はｎ型の場合、前記第１ピックアップ領域には接地電圧が印加されることができる。前記素子分離膜は前記第１または第２ソース／ドレイン領域が形成された前記第２活性領域の他の一側に連結された第４活性領域をさらに画定することができる。この場合に、前記方法は前記第４活性領域に第２導電型の不純物イオンを注入して第２ピックアップ領域を形成する段階をさらに含むことができる。前記第２ピックアップ領域は前記第１及び第２ソース／ドレイン領域と離隔されるように形成される。前記第１導電型はｐ型であり、前記第２導電型はｎ型の場合、前記第１ピックアップ領域には接地電圧が印加され、前記第２ピックアップ領域には電源電圧を印加することができる。

【００２０】

一実施例によれば、前記第１ピックアップ領域は第２導電型の不純物イオンを注入して形成することができる。この時、前記第１導電型がｐ型であり、前記第２導電型がｎ型の場合、前記第１ピックアップ領域には電源電圧が印加されることができる。

【発明の効果】

【００２１】

本発明に係るＣＭＯＳイメージセンサはソースフォロワーゲートの両側に位置した第１及び第２ソース／ドレイン領域のうちに選択された一つの近くに形成されたピックアップ領域を含む。前記ピックアップ領域にはピックアップ電圧が印加される。これによって、

ホットキャリア現象などによって発生される過剰電荷を前記ピックアップ領域を通じて迅速に排出することができる。その結果、過剰電荷によって発生するおそれがあるＣＭＯＳイメージセンサの特性劣化を最小化することができる。

【発明を実施するための最良の形態】

【００２２】

以下、添付の図を参照して本発明の望ましい実施例を詳細に説明する。しかし、本発明はここで説明される実施例に限定されず、他の形態に具体化されることもできる。むしろ、ここで紹介される実施例は開示された内容が徹底して完全になれるように、そして当業者に本発明の思想を十分に伝達するために提供されるものである。図において、層（または膜）及び領域の厚さは明確性のために誇張されたものである。また、層（または膜）が他の層（または膜）または基板“上”にあると言及される場合に、それは他の層（または膜）または基板上に直接形成されることができるもの、またはそれらの間に第３の層（または膜）が介在されることもできるものである。明細書の全体にわたって同一の参照番号に表示された部分は同一の構成要素を示す。

【００２３】

本明細書の実施例はＣＭＯＳイメージセンサの画素が４個のトランジスタを持つ場合について説明する。しかし、本発明は４個のトランジスタの画素を持つＣＭＯＳイメージセンサに限定されない。本発明はこの他の個数のトランジスタで構成された画素を持つＣＭＯＳイメージセンサでも適用されることができる。

【００２４】

まず、本発明の実施例に係るＣＭＯＳイメージセンサの画素に対する等価回路図を図２を参照して説明する。

【００２５】

図２は本発明の実施例に係るＣＭＯＳイメージセンサの画素に対する等価回路図である。

【００２６】

図２を参照すれば、本実施例に係るイメージセンサの画素は光感知素子であるフォトダイオードＰＤ及び前記フォトダイオードＰＤに貯蔵された電荷の伝送または／及び出力等を制御するトランジスタＴｔ、Ｔｒ、Ｔｓ、Ｔａを含む。伝送トランジスタＴｔのソースは前記フォトダイオードＰＤに接続され、前記伝送トランジスタＴｔのドレインは浮遊拡散領域FDに接続される。前記伝送トランジスタＴｔのゲートにはターンオンのための電圧が印加されることができる。

【００２７】

ソースフォロワートランジスタ（Ｔｓ；Ｓｏｕｒｃｅ　ｔｒａｎｓｉｓｔｏｒ）のゲートが前記浮遊拡散領域ＦＤに接続される。前記ソースフォロワートランジスタＴｓのドレインには電源電圧Ｖｄｄが印加され、前記ソースフォロワートランジスタＴｓのソースはアクセストランジスタ（Ｔａ；ａｃｃｅｓｓ　Ｔｒａｎｓｉｓｔｏｒ）のドレインに接続する。

【００２８】

リセットトランジスタ（Ｔｒ；ｒｅｓｅｔ　Ｔｒａｎｓｉｓｔｏｒ）のソースが前記浮遊拡散領域ＦＤに接続され、前記リセットトランジスタＴｒのドレインには電源電圧Ｖｄｄが印加される。前記アクセストランジスタＴａのソースは出力ポートＰｏに連結され、前記アクセストランジスタＴａのゲートは入力ポートＰｉに連結される。前記入力ポートＰｉを通じて前記アクセストランジスタＴａをターンオンさせるための電圧が印加されれば、前記出力ポートＰｏを通じて映像に対する情報を持つ電気的データが出力される。前記入力ポートＰｉ、前記伝送トランジスタＴｔのゲート、及びリセットトランジスタＴｒのゲートに印加されるターンオン電圧は前記電源電圧Ｖｄｄと同一であるか、前記電源電圧Ｖｄｄに近接した電圧が印加されることができる。

【００２９】

図示したように、上述した等価回路図で画素を構成するトランジスタはＮＭＯＳトラン

ジスタの場合に対して説明したものである。この場合に、前記電源電圧Ｖｄｄはプラスの電圧である。もし、前記トランジスタがＰＭＯＳトランジスタとして採択される場合、前記画素を動作させるための電圧を変えることができる。例えば、前記トランジスタがＰＭＯＳトランジスタの場合、前記電源電圧Ｖｄｄはマイナスの電圧であることもできる。

【００３０】

上述した等価回路図は画素を構成するトランジスタがＮＭＯＳトランジスタである場合に対して説明したものである。もし、前記トランジスタがＰＭＯＳトランジスタとして採択される場合、前記画素を動作させるための電圧を変えることができる。

【００３１】

次に、本発明の実施例に係るＣＭＯＳイメージセンサを図２と共に具体化した平面図及び断面図を参照して説明する。

【００３２】

図３は本発明の実施例に係るＣＭＯＳイメージセンサを示す平面図であり、図４は図３のＩ－Ｉ'及びＩＩ－ＩＩ'に沿って切断した断面図である。図４の参照符号“５０”及び“５１”は各々図３のＩ－Ｉ'を切断した部分、及び図３のＩＩ－ＩＩ'を切断した部分に該当する。

【００３３】

図２、図３及び図４を参照すれば、第１導電型の半導体基板１００（以下、基板という）に第１、第２及び第３活性領域１０４ａ、１０４ｂ、１０４ｃを画定する素子分離膜１０２が配置される。前記基板１００は第１導電型の不純物でドーピングされている。よって、前記活性領域１０４ａ、１０４ｂ、１０４ｃも第１導電型の不純物でドーピングされている。前記素子分離膜１０２はトレンチ型素子分離でありうる。前記第２活性領域１０４ｂは前記第１活性領域１０４ａの一側に連結され、前記第３活性領域１０４ｃは前記第２活性領域１０４ｂの一側に連結される。

【００３４】

前記第１活性領域１０４ａにフォトダイオード領域１１０が形成される。前記フォトダイオード領域１１０は前記基板１００と異なるタイプである第２導電型の不純物でドーピングされる。前記フォトダイオード領域１１０は前記基板１００とＰＮ接合をなす。この時、前記第２フォトダイオード領域１１０の内部の大部分は空乏領域からなることができる。

【００３５】

伝送ゲート１０８ａが前記フォトダイオード領域１１０に隣接した前記第２活性領域１０４ｂの上部を横切る。前記伝送ゲート１０８ａの一側の前記第２活性領域１０４ｂに浮遊拡散領域１１４が形成される。すなわち、前記フォトダイオード領域１１０と前記浮遊拡散領域１１４との間の前記第２活性領域１０４ｂの上部に前記伝送ゲート１０８ａが配置される。前記伝送ゲート１０８ａは延長されて前記第２活性領域１０４ｂに隣接した前記第１活性領域１０４ａの一部を覆うこともできる。前記伝送ゲート１０８ａは伝送トランジスタＴｔのゲートに該当し、前記浮遊拡散領域１１４は前記伝送トランジスタＴｔのドレインに該当する。前記フォトダイオード領域１１０は光感知素子を構成すると共に前記伝送トランジスタＴｔのソースに該当する。

【００３６】

リセットゲート１０８ｂが前記伝送ゲート１０８ａと所定間隔離隔されて前記第２活性領域１０４ｂの上部を横切る。前記伝送ゲート１０８ａ及び前記リセットゲート１０８ｂの間に前記浮遊拡散領域１１４が配置される。前記リセットゲート１０８ｂはリセットトランジスタＴｒのゲートに該当する。前記浮遊拡散領域１１４は前記伝送トランジスタＴｔのドレインに該当すると共に前記リセットトランジスタＴｒのソースに該当する。

【００３７】

ソースフォロワーゲート１０８ｃが前記リセットゲート１０８ｂと所定間隔離隔されて前記第２活性領域１０４ｂの上部を横切る。前記リセットゲート１０８ｂは前記伝送ゲート１０８ａと前記ソースフォロワーゲート１０８ｃとの間の前記第２活性領域１０４ｂの

上部を横切る。前記ソースフォロワーゲート１０８ｃの両側の前記第２活性領域１０４ｂに第１及び第２ソース／ドレイン領域１１５、１１６が各々配置される。前記第１ソース／ドレイン領域１１５は前記リセットゲート１０８ｂと前記ソースフォロワーゲート１０８ｃとの間の前記第２活性領域１０４ｂに配置される。前記第２ソース／ドレイン領域１１６は前記第１ソース／ドレイン領域１１５の反対側の前記ソースフォロワーゲート１０８ｃの一側に位置した前記第２活性領域１０４ｂに配置される。前記第１及び第２ソース／ドレイン領域１１５、１１６は第２導電型の不純物でドーピングされる。前記ソースフォロワーゲート１０８ｃはソースフォロワートランジスタＴｓのゲートに該当する。前記第１ソース／ドレイン領域１１５は前記ソースフォロワートランジスタＴｓのドレインに該当する。また、前記第１ソース／ドレイン領域１１５は前記リセットトランジスタＴｒのドレインに該当する。前記第２ソース／ドレイン領域１１６は前記ソースフォロワートランジスタＴｓのソースに該当する。

【００３８】

前記ソースフォロワーゲート１０８ｃは前記浮遊拡散領域１１４と電気的に接続する。前記ソースフォロワーゲート１０８ｃは、前記基板１００の全面を覆う層間絶縁膜上に形成される配線と、前記層間絶縁膜を貫通するコンタクトプラグを経由して前記浮遊拡散領域１１４とを電気的に接続することができる。前記第１ソース／ドレイン領域１１５には電源電圧Ｖｄｄが印加される。前記トランジスタＴｔ、Ｔｒ、Ｔｓ、ＴａがＮＭＯＳトランジスタの場合、前記電源電圧Ｖｄｄはプラスの電圧である。これとは異なり、前記トランジスタＴｔ、Ｔｒ、Ｔｓ、ＴａがＰＭＯＳトランジスタの場合、前記電源電圧Ｖｄｄはマイナスの電圧でありうる。

【００３９】

アクセスゲート１０８ｄが前記ソースフォロワーゲート１０８ｃと所定間隔離隔されて前記第２活性領域１０４ｂを横切る。前記ソースフォロワーゲート１０８ｃは前記リセットゲート１０８ｂと前記アクセスゲート１０８ｄとの間の前記第２活性領域１０４ｂの上部を横切る。前記第２ソース／ドレイン領域１１６は前記ソースフォロワーゲート１０８ｃと前記アクセスゲート１０８ｄとの間の前記第２活性領域１０４ｂに配置される。前記アクセスゲート１０８ｄの一側の前記第２活性領域１０４ｂに第３ソース／ドレイン領域１１７が形成される。前記第２及び第３ソース／ドレイン領域１１６、１１７は前記アクセスゲート１０８ｄ両側の前記第２活性領域１０４ｂに各々配置される。前記アクセスゲート１０８ｄはアクセストランジスタＴａのゲートに該当する。前記第２ソース／ドレイン領域１１６は上述したように、前記ソースフォロワートランジスタＴｓのソースに該当するとともに前記アクセストランジスタＴａのドレインに該当する。前記第３ソース／ドレイン領域１１７は前記アクセストランジスタＴａのソースに該当する。前記第３ソース／ドレイン領域１１７には出力ポートＰｏとして用いられる配線が接続されることができる。

【００４０】

前記ゲート１０８ａ、１０８ｂ、１０８ｃ、１０８ｄと前記半導体基板１００との間にゲート絶縁膜１０６が介在される。前記ゲート絶縁膜１０６はシリコン酸化膜、特に、熱酸化膜で形成されることができる。

【００４１】

前記第３活性領域１０４ｃ内にピックアップ領域１２２（ｐｉｃｋｕｐ　ｒｅｇｉｏｎ）が形成される。前記ピックアップ領域１２２は第１導電型の不純物または第２導電型の不純物でドーピングされた領域である。前記第３活性領域１０４ｃは前記第１ソース／ドレイン領域１１５または第２ソース／ドレイン領域１１６が形成された前記第２活性領域１０４ｂの一側に連結されることが望ましい。前記ピックアップ領域１２２は前記第１及び第２ソース／ドレイン領域１１５、１１６と離隔されることが望ましい。

【００４２】

図３において、前記第３活性領域１０４ｃ及びピックアップ領域１２２は前記第１ソース／ドレイン領域１１５の一側に配置された状態を示した（図３の実線参照）。前記第３

活性領域１０４ｃ及びピックアップ領域１２２は前記リセットゲート１０８ｂ及びソースフォロワーゲート１０８ｃの間に位置することができる。これとは異なり、前記ピックアップ領域１２２が形成された前記第３活性領域１０４ｃは図３の点線部分である“Ａ”位置、“Ｂ”位置、または“Ｃ”位置に配置されることもできる。言い替えれば、前記第３活性領域１０４ｃは前記リセットゲート１０８ｂとソースフォロワーゲート１０８ｃとの間に位置した前記第２活性領域１０４ｂの両側のうちの一つに連結されるか、前記ソースフォロワーゲート１０８ｃとアクセスゲート１０８ｄとの間に位置した前記第２活性領域１０４ｂの両側のうちの一つに連結されることができる。

【００４３】

前記ピックアップ領域１２２にはピックアップ電圧（Ｖｐ；ｐｉｃｋｕｐ ｖｏｌｔａｇｅ）が印加される。前記ピックアップ電圧Ｖｐは前記ピックアップ領域１２２に接続された配線を通じて前記ピックアップ領域１２２に印加されることができる。前記ピックアップ電圧Ｖｐによって前記ソースフォロワートランジスタＴｓから発生されるおそれがあるホットキャリア現象による過剰電荷を迅速に排出させることができる。これによって、過剰電荷により惹起されるＣＭＯＳイメージセンサの特性劣化を最小化することができる。

【００４４】

前記ピックアップ領域１２２は上述したように、第１導電型の不純物または第２導電型の不純物でドーピングされることができる。言い替えれば、前記ピックアップ領域１２２は前記基板１００のようなタイプの不純物でドーピングされることができる。一方、前記ピックアップ領域１２２は前記基板１００と異なるタイプの不純物でドーピングされることができる。

【００４５】

まず、前記ピックアップ領域１２２が第１導電型の不純物でドーピングされた場合（すなわち、前記基板１００と同一のタイプの不純物でドーピングされた場合）に対して説明する。この場合に、前記ピックアップ領域１２２を通じて前記基板１００の多数キャリアと同一のタイプの過剰電荷を排出させることができる。これを具体的に説明する。前記第１導電型はｐ型であり、前記第２導電型はｎ型であることが望ましい。すなわち、前記トランジスタＴｔ、Ｔｒ、Ｔｓ、ＴａはＮＭＯＳトランジスタであることが望ましい。よって、前記ピックアップ領域１２２はｐ型不純物でドーピングされる。この時、前記ピックアップ電圧Ｖｐは接地電圧であることが望ましい。この場合に、前記ソースフォロワートランジスタＴｓでホットキャリア現象によって発生されるおそれがある過剰正孔は接地電圧が印加された前記ピックアップ領域１２２を通じて迅速に排出される。過剰正孔は前記基板１００の多数キャリアと同一のタイプである。その結果、過剰正孔で惹起されるおそれがあるＣＭＯＳイメージセンサの特性劣化を最小化することができる。前記ピックアップ領域１２２のｐ型不純物濃度は前記基板１００のｐ型不純物濃度に比べて高いことが望ましい。これで、前記ピックアップ領域１２２に接続されるように形成されるコンタクトプラグと前記ピックアップ領域１２２間の接触抵抗を減少させることができる。前記トランジスタＴｔ、Ｔｒ、Ｔｓ、Ｔａのｐ型ボディー領域が互いに連結されることで、他のトランジスタＴｔ、Ｔｒ、Ｔａでホットキャリア現象が発生されても、画素内に形成された前記ピックアップ領域１２２を通じて過剰正孔を迅速に排出させることができる。

【００４６】

これとは異なり、前記第１導電型がｎ型であり、前記第２導電型がｐ型であってもよい。すなわち、前記トランジスタＴｔ、Ｔｒ、Ｔｓ、ＴａはＰＭＯＳトランジスタであり、前記基板１００及び前記ピックアップ領域１２２はｎ型不純物でドーピングされることができる。この時、前記第１ソース／ドレイン領域１１５にはマイナスの電源電圧Ｖｄｄが印加されることができる。この場合には、前記ピックアップ電圧Ｖｐに接地電圧を印加してホットキャリア現象により発生された過剰電子を排出させることができる。

【００４７】

次に、前記ピックアップ領域１２２が第２導電型の不純物でドーピングされた場合（す

なわち、前記ピックアップ領域１２２と前記基板１００が互いに異なるタイプの不純物でドーピングされた場合）に対して説明する。この場合には、前記ピックアップ領域１２２を通じて前記基板１００の少数キャリアと同一のタイプの過剰電荷を排出させることができる。これを具体的に説明する。前記第１導電型はｐ型であり、前記第２導電型はｎ型であることが望ましい。よって、前記ピックアップ領域１２２はｎ型不純物でドーピングされる。この時、前記ピックアップ電圧Ｖｐはプラスの電源電圧であることが望ましい。これによって、前記ソースフォロワートランジスタＴｓのホットキャリア現象によって発生されるおそれがある過剰電子はプラスの電源電圧が印加された前記ピックアップ領域１２２を通じて迅速に排出されることができる。過剰電子は前記基板１００の少数キャリアと同一のタイプである。前記プラスの電源電圧が印加された前記ピックアップ領域１２２と前記基板１００との間にはＰＮ接合の逆バイアスが印加される。この時、前記基板１００の過剰電子は拡散などによって前記ピックアップ領域１２２と前記基板１００の接合による空乏層に移動され、前記空乏層に到達した前記過剰電子は前記空乏層内の電界によって前記ピックアップ領域１２２に迅速に排出される。その結果、過剰電子により惹起されるおそれがあるＣＭＯＳイメージセンサの特性劣化を最小化することができる。勿論、この場合も、前記トランジスタＴｔ、Ｔｒ、Ｔｓ、Ｔａのボディー領域が互いに連結されているため、他のトランジスタＴｔ、Ｔｒ、Ｔａにホットキャリア現象が発生されても、過剰電子は前記ピックアップ領域１２２を通じて迅速に排出されることができる。

【００４８】

この場合も、前記第１導電型がｎ型であり、前記第２導電型がｐ型でありうる（すなわち、トランジスタがＰＭＯＳトランジスタでありうる）。この場合に、前記ピックアップ領域１２２はｐ型不純物でドーピングされ、前記基板１００はｎ型不純物でドーピングされる。この時、前記ピックアップ電圧Ｖｐはマイナスの電源電圧が印加されることができる。これによって、前記マイナスの電源電圧が印加された前記ピックアップ領域１２２を通じて前記基板１００内に少数キャリアである過剰正孔が前記ピックアップ領域１２２を通じて迅速に排出されることができる。

【００４９】

上述したように、前記ピックアップ領域１２２によって、ホットキャリア現象によって発生される過剰電荷を迅速に排出させることができる。これによって、過剰電荷によって惹起されるおそれがあるＣＭＯＳイメージセンサの特性劣化を最小化することができる。

【００５０】

一方、上述したＣＭＯＳイメージセンサの画素は一つのピックアップ領域１２２を持っている。これとは異なり、ＣＭＯＳイメージセンサの画素は一対のピックアップ領域を持つこともできる。これを図面を参照して説明する。

【００５１】

図５は本発明の実施例に係るＣＭＯＳイメージセンサの変形例を示す平面図であり、図６は図５のＩＩＩ－ＩＩＩ'及びＩＶ－ＩＶ'に沿って切断した断面図である。

【００５２】

図２、図５及び図６を参照すれば、第３活性領域１０４ｃは第１ソース／ドレイン領域１１５または第２ソース／ドレイン領域１１６が形成された第２活性領域１０４ｂの一側に連結される。また、第４活性領域１０４ｄは前記第１及び第２ソース／ドレイン領域１１５、１１６が形成された第２活性領域１０４ｂの他の一側に連結される。図５では、前記第３及び第４活性領域１０４ｃ、１０４ｄが第１ソース／ドレイン領域１１５の両側に各々連結された状態を示した。これとは異なり、前記第３活性領域１０４ｃは図５の“Ｄ”位置または“Ｅ”位置に配置されることができる。また、前記第４活性領域１０４ｄが図５の点線部分である“Ｄ”位置または“Ｅ”位置に配置されることもできる。これとは異なり、前記第３及び第４活性領域１０４ｃ、１０４ｄは位置が互いに変わることもできる。言い替えれば、前記第１及び第２ソース／ドレイン領域１１５、１１６が形成された第２活性領域１０４ｂの側面の中に選択された一つに前記第３活性領域１０４ｃが連結され、選択された他の一つに前記第４活性領域１０４ｄが連結される。

【００５３】
前記第３活性領域１０４ｃ内に第１ピックアップ領域１２２'が形成され、前記第４活性領域１０４ｄ内に第２ピックアップ領域１２４が形成される。前記第１及び第２ピックアップ領域１２２'、１２４は前記第１及び第２ソース／ドレイン領域１１５、１１６と互いに離隔されることが望ましい。前記第１ピックアップ領域１２２'は第１導電型の不純物でドーピングされ、前記第２ピックアップ領域１２４は第２導電型の不純物でドーピングされる。前記第１ピックアップ領域１２２'には第１ピックアップ電圧Ｖｐ１が印加され、前記第２ピックアップ領域１２４には第２ピックアップ電圧Ｖｐ２が印加される。
【００５４】
前記第１ピックアップ領域１２２'は前記基板１００と同一のタイプの不純物でドーピングされることによって、前記第１ピックアップ領域１２２'を通じて前記基板１００の多数キャリアと同一のタイプの過剰電荷が排出される。前記第１ピックアップ領域１２２'の不純物濃度は前記基板１００の不純物濃度に比べて高いことが望ましい。前記第２ピックアップ領域１２４は前記基板１００と異なるタイプの不純物でドーピングされることによって、前記第２ピックアップ領域１２４を通じて前記基板１００の少数キャリアと同一のタイプの過剰電荷が排出される。
【００５５】
前記第１導電型はｐ型であり、前記第２導電型はｎ型であることが望ましい。すなわち、トランジスタＴｔ、Ｔｒ、Ｔｓ、ＴａはそれぞれＮＭＯＳトランジスタであることが望ましい。この場合に、前記第１及び第２ピックアップ領域１２２'、１２４は各々ｐ型及びｎ型不純物でドーピングされる。この時、前記第１ピックアップ電圧Ｖｐ１は接地電圧であり、前記第２ピックアップ電圧Ｖｐ２はプラスの電源電圧であることが望ましい。これによって、ソースフォロワートランジスタＴｓでホットキャリア現象が発生される場合、過剰正孔は前記第１ピックアップ領域１２２'を通じて迅速に排出され、過剰電子は前記第２ピックアップ領域１２４を通じて迅速に排出される。前記トランジスタＴｔ、Ｔｒ、Ｔｓ、Ｔａのボディー領域が互いに連結されることによって、前記ソースフォロワートランジスタＴｓ以外の他のトランジスタＴｔ、Ｔｒ、Ｔａでホットキャリア現象が発生されて過剰電荷が発生されても、前記第１及び第２ピックアップ領域１２２'、１２４によって過剰電荷を迅速に排出させることができる。結果的に、ホットキャリア現象などにより発生される過剰電荷によるＣＭＯＳイメージセンサの特性劣化を防止することができる。
【００５６】
これとは異なり、前記第１導電型がｎ型であり、前記第２導電型がｐ型でありうる。すなわち、前記トランジスタＴｔ、Ｔｒ、Ｔｓ、ＴａがＰＭＯＳトランジスタでありうる。この場合に、前記第１ピックアップ電圧Ｖｐ１は接地電圧であり、前記第２ピックアップ電圧Ｖｐ２はマイナスの電源電圧でありうる。これによって、前記ソースフォロワートランジスタＴｓを含めたトランジスタＴｔ、Ｔｒ、Ｔｓ、Ｔａにホットキャリア現象が発生されて前記基板１００内に過剰電荷が発生される場合、過剰電子は相対的に電位が高い前記第１ピックアップ領域１２２'を通じて排出され、過剰正孔は前記第２ピックアップ領域１２４に排出される。
【００５７】
次に、本発明に係るＣＭＯＳイメージセンサの形成方法を図面を参照して説明する。
【００５８】
図７Ａ乃至図９Ａは本発明の実施例に係るＣＭＯＳイメージセンサの形成方法を説明するための平面図であり、図７Ｂ乃至図９Ｂは各々図７Ａ乃至図９ＡのＶ-Ｖ'及びＶＩ－ＶＩ'に沿って切断した断面図である。
【００５９】
図７Ａ及び図７Ｂを参照すれば、第１導電型の基板１００に素子分離膜１０２を形成して活性領域１０４ａ、１０４ｂ、１０４ｃを画定する。第２活性領域１０４ｂは第１活性領域１０４ａの一側に連結され、第３活性領域１０４ｃは前記第２活性領域１０４ｂの一

側に連結される。

【００６０】

前記基板１００上にゲート絶縁膜１０６及びゲートド絶縁膜を順に形成して、前記ゲート導電膜をパターニングして前記基板１００上に伝送、リセット、ソースフォロワー及びアクセスゲート１０８ａ、１０８ｂ、１０８ｃ、１０８ｄを形成する。前記ゲート絶縁膜１０６はシリコン酸化膜、特に、熱酸化膜で形成することができる。前記ゲート導電膜はドーピングされたポリシリコン膜、金属膜（例えば、タングステン膜またはモリブデン膜など）、導電性金属窒化膜（例えば、チタン窒化膜またはタンタル窒化膜など）及び金属シリサイド膜（例えば、タングステンシリサイド膜、チタンシリサイド膜またはコバルトシリサイド膜など）のうちより選択された一つの単一膜、またはこれらの複合膜で形成することができる。

【００６１】

前記伝送ゲート１０８ａは前記第１活性領域１０４ａに隣接した前記第２活性領域１０４ａを横切る。前記リセット、ソースフォロワー及びアクセスゲート１０８ｂ、１０８ｃ、１０８ｄは前記伝送ゲート１０８ａの一側に横に順次に配置されて前記第２活性領域１０４ｂを横切る。前記ゲート１０８ａ、１０８ｂ、１０８ｃ、１０８ｄは互いに離隔されている。

【００６２】

前記第３活性領域１０４ｃは前記ソースフォロワーゲート１０８ｃと前記リセットゲート１０８ｂとの間の前記第２活性領域１０４ｂの両側及び前記ソースフォロワーゲート１０８ｃと前記アクセスゲート１０８ｄとの間の前記第２活性領域１０４ｂの両側の中に選択された一つの側面に形成されることが望ましい。

【００６３】

図８Ａ及び図８Ｂを参照すれば、前記第１活性領域１０４ａに選択的に不純物を注入してフォトダイオード領域１１０を形成する。前記フォトダイオード領域１１０は第２導電型の不純物イオンを注入して形成する。

【００６４】

前記基板１００上に第１マスクパターン１１２を形成する。前記第１マスクパターン１１２は前記フォトダイオード領域１１０及び前記第３活性領域１０４ｃを覆う。前記第１マスクパターン１１２は前記第３活性領域１０４ｃと接触する前記第２活性領域１０４ｂの一部を覆うことができる。

【００６５】

前記第１マスクパターン１１２は感光膜で形成することができる。前記第１マスクパターン１１２及び前記ゲート１０８ａ、１０８ｂ、１０８ｃ、１０８ｄをマスクとして用いて第２導電型の不純物イオンを注入して浮遊拡散領域１１４、第１、第２及び第３ソース／ドレイン領域１１５、１１６、１１７を形成する。

【００６６】

図９Ａ及び図９Ｂを参照すれば、前記第１マスクパターン１１２を除去して、前記基板１００上に第２マスクパターン１２０を形成する。前記第２マスクパターン１２０は前記フォトダイオード領域１１０、浮遊拡散領域１１４、第１、第２及び第３ソース／ドレイン領域１１５、１１６、１１７を覆う。前記第２マスクパターン１２０は前記第３活性領域１０４を露出させる開口部１１９が形成される。この時、前記第２マスクパターン１２０は前記第２活性領域１０４ｂと接続する前記第３活性領域１０４の一部を覆うことができる。

【００６７】

前記第２マスクパターン１２０をマスクとして用いて不純物イオンを注入して前記第３活性領域１０４にピックアップ領域１２２を形成する。前記ピックアップ領域１２２は前記第１及び第２ソース／ドレイン領域１１５、１１６と離隔されて形成することが望ましい。上述したように、前記第１マスクパターン１１２が前記第３活性領域１０４ｃに接続された前記第２活性領域１０４ｂの一部を覆い、前記第２マスクパターン１２０が前記第

２活性領域１０４ｂに接続された前記第３活性領域１０４ｃの一部を覆うように形成することによって、前記ピックアップ領域１２２と前記第１及び第２ソース／ドレイン領域１１５、１１６と離隔されるように形成することができる。

【００６８】

前記ピックアップ領域１２２に注入される不純物イオンは第１導電型の不純物または第２導電型の不純物でありうる。これと係わる内容は図３及び図４を参照して説明したことと同一である。

【００６９】

上述したように、前記フォトダイオード領域１１０、浮遊拡散領域１１４、第１、第２及び第３ソース／ドレイン領域１１５、１１６、１１７と、ピックアップ領域１２２は選択的に不純物イオンを注入して形成する。よって、これらは順次に形成される。この時、これらの順序は変えることもできる。例えば、浮遊拡散領域１１４、第１、第２及び第３ソース／ドレイン領域１１５、１１６、１１７をまず形成して、前記フォトダイオード領域１１０を形成した後、前記ピックアップ領域１２２を形成することができる。これとは異なり、前記ピックアップ領域１２２をまず形成した後、前記フォトダイオード領域１１０を形成して、前記浮遊拡散領域１１４、第１、第２及び第３ソース／ドレイン領域１１５、１１６、１１７を形成することもできる。このような例以外の手順に形成されることもできる。これらの形成手順が変わることによって、前記マスクパターン１１２、１２０の形態は変えることができる。

【００７０】

一方、図５及び図６に示したＣＭＯＳイメージセンサの形成方法は上述した方法と類似である。図５及び図６に示したＣＭＯＳイメージセンサの形成方法で主な部分を説明する。図５及び図６の第４活性領域１０４ｄは前記第１、第２及び第３活性領域１０４ａ、１０４ｂ、１０４ｃと同時に形成される。図５及び図６の第１ピックアップ領域１２２'は上述したピックアップ領域１２２と同一の方法で形成することができる。図５及び図６に示したＣＭＯＳイメージセンサの形成方法は第２ピックアップ領域１２４を形成するための選択的な不純物イオン注入工程をさらに含む。この時、前記第２ピックアップ領域１２４は前記第１ピックアップ領域１２２'と順次に形成する。勿論、前記第１ピックアップ領域１２２'を形成した後、前記第２ピックアップ領域１２４を形成することができる。これとは反対に、前記第２ピックアップ領域１２４を形成した後、前記第１ピックアップ領域１２２'を形成することもできる。この方法でも、フォトダイオード領域１１０を形成する工程、浮遊拡散領域１１４、第１、第２及び第３ソース／ドレイン領域１１５、１１６、１１７を形成する工程、前記第１ピックアップ領域１２２'を形成する工程、及び前記第２ピックアップ領域１２４を形成する工程は順次に形成され、これらの順序は自由に決めることができる。

【図面の簡単な説明】

【００７１】

【図１】従来のＣＭＯＳイメージセンサの画素を説明するための断面図である。

【図２】本発明の実施例に係るＣＭＯＳイメージセンサの画素に対する等価回路図である。

【図３】本発明の実施例に係るＣＭＯＳイメージセンサを示す平面図である。

【図４】図３のＩ－Ｉ'及びＩＩ－ＩＩ'に沿って切断した断面図である。

【図５】本発明の実施例に係るＣＭＯＳイメージセンサの変形例を示す平面図である。

【図６】図５のＩＩＩ－ＩＩＩ'及びＩＶ－ＩＶ'に沿って切断した断面図である。

【図７Ａ】本発明の実施例に係るＣＭＯＳイメージセンサの形成方法を説明するための平面図である。

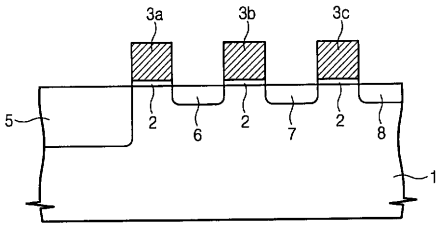
【図７Ｂ】図７ＡのＶ－Ｖ'及びＶＩ－ＶＩ'に沿って切断した断面図である。

【図８Ａ】本発明の実施例に係るＣＭＯＳイメージセンサの形成方法を説明するための平面図である。

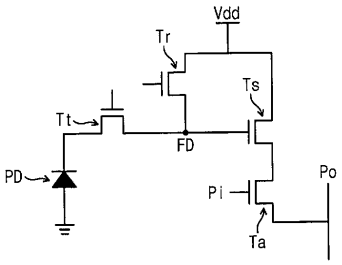
【図８Ｂ】図８ＡのＶ－Ｖ'及びＶＩ－ＶＩ'に沿って切断した断面図である。

【図９Ａ】本発明の実施例に係るＣＭＯＳイメージセンサの形成方法を説明するための平面図である。
【図９Ｂ】図９ＡのＶ－Ｖ'及びＶＩ－ＶＩ'に沿って切断した断面図である。
【符号の説明】
【００７２】
１００　半導体基板
１０４ａ　第１活性領域
１０４ｂ　第２活性領域
１０４ｃ　第３活性領域
１０８ａ　伝送ゲート
１０８ｂ　リセットゲート
１０８ｃ　ソースフォロワーゲート
１０８ｄ　アクセスゲート
１１０　フォトダイオード領域
１１４　浮遊拡散領域
１１５　第１ソース／ドレイン領域
１１６　第２ソース／ドレイン領域
１１７　第３ソース／ドレイン領域
１２２　ピックアップ領域

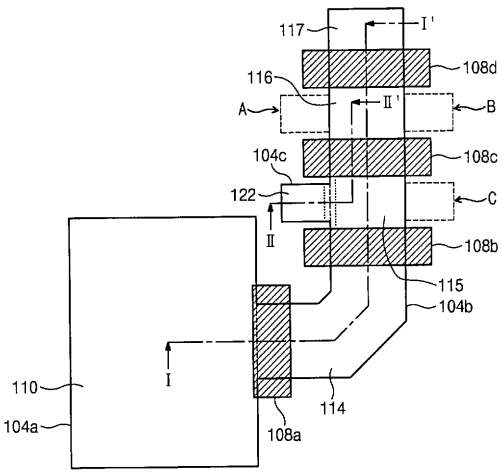
【図１】



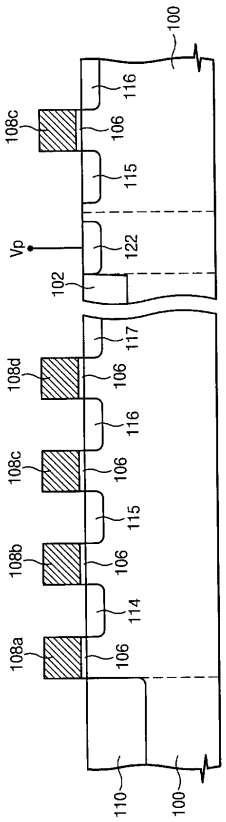
【図２】



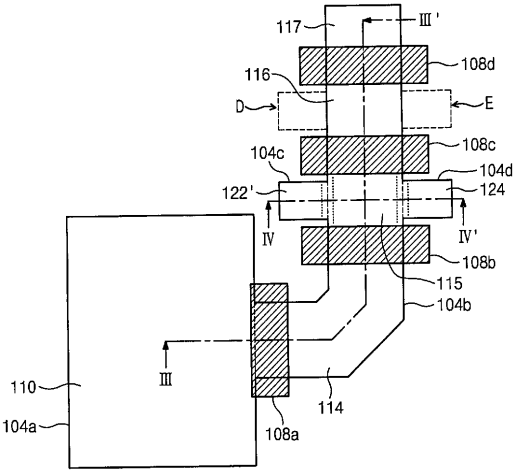
【図３】



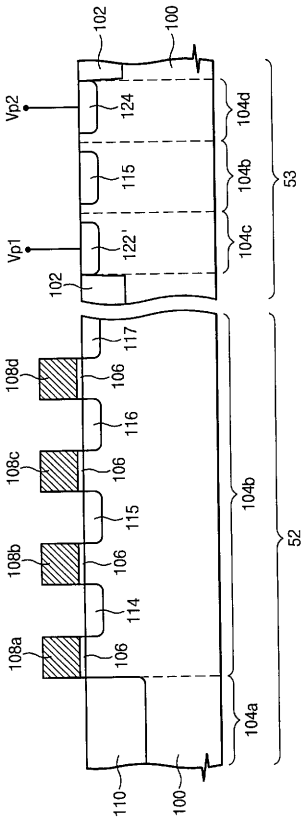
【図４】


100
116
108c
106
115
Vp
122
102
108d
117
106
116
108c
106
115
108b
106
114
108a
106
110
100

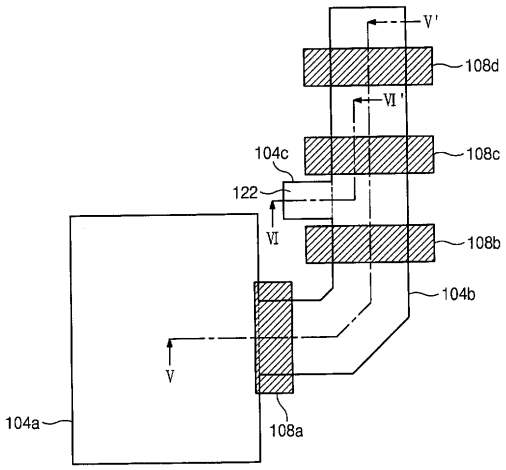
【図５】


117
Ⅲ'
108d
116
D
E
104c
108c
104d
122'
124
Ⅳ
Ⅳ'
108b
115
104b
Ⅲ
110
104a
114
108a

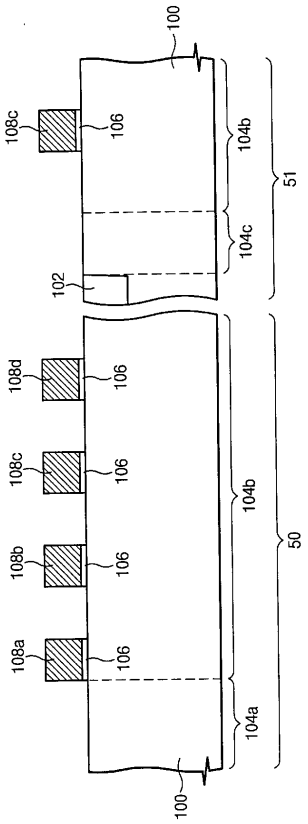
【図６】


102
100
Vp2
124
104d
115
104b
53
Vp1
122'
104c
102
108d
117
106
116
108c
106
115
104b
108b
106
114
52
108a
106
104a
110
100

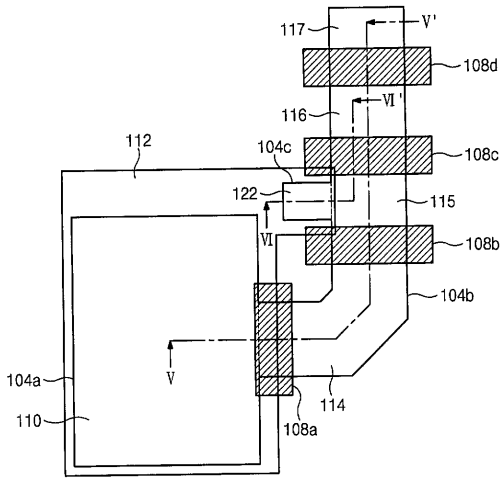
【図７Ａ】


Ⅴ'
108d
Ⅵ'
104c
108c
122
Ⅵ
108b
104b
Ⅴ
104a
108a

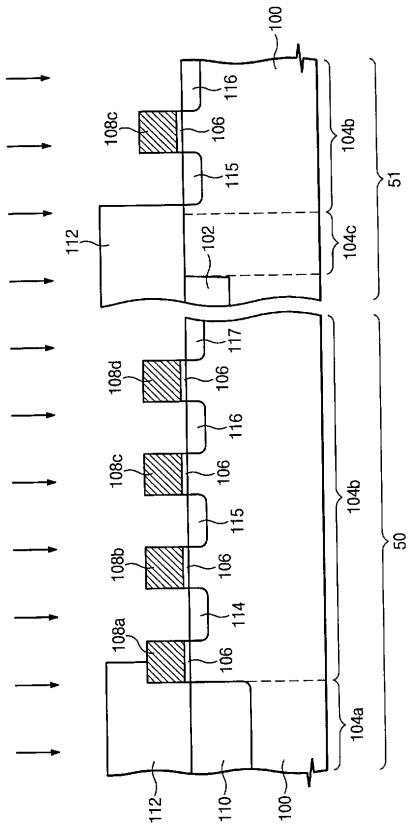
【図７Ｂ】



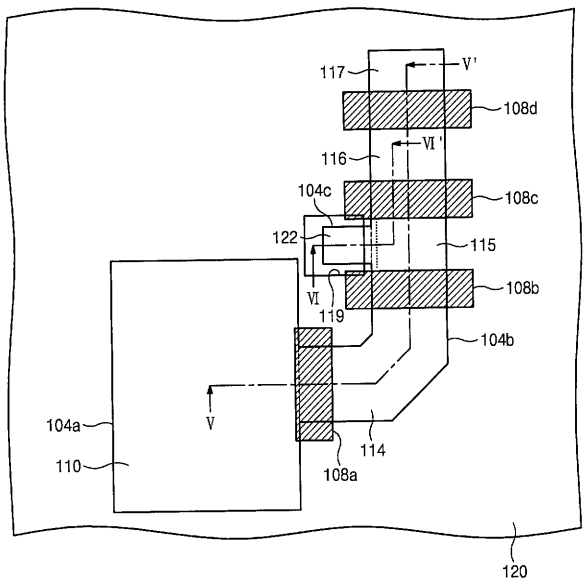
【図８Ａ】



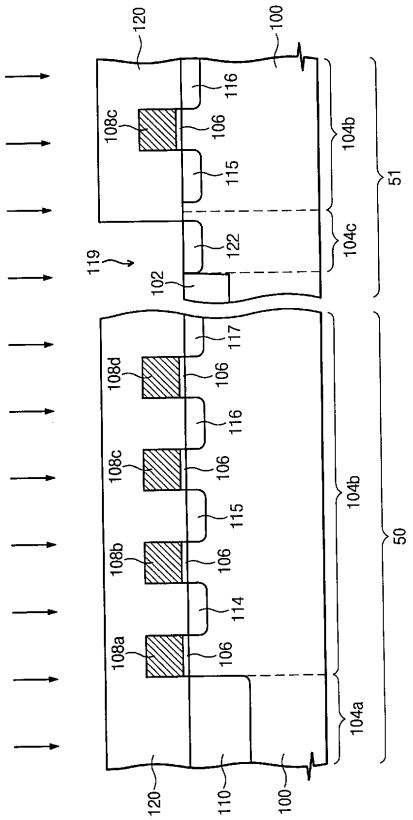
【図８Ｂ】



【図９Ａ】



【図９Ｂ】


120
100
116
108c
106
115
104b
51
104c
122
119
102
117
108d
106
116
108c
106
115
104b
108b
106
114
50
108a
106
104a
120
110
100

フロントページの続き

(74)代理人 100110364
弁理士 実広 信哉
(72)発明者 朴 元帝
大韓民国京畿道水原市靈通区靈通洞（番地なし） ファンゴルサンヨンアパート２４３－８０３

審査官 杢 哲次

(56)参考文献 特開２００１－３３２７１４（ＪＰ，Ａ）
特開２００１－２３０４００（ＪＰ，Ａ）
特開２００２－１７６１６３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２７／１４６
Ｈ０４Ｎ ５／３５９