



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0119894
(43) 공개일자 2015년10월26일

- (51) 국제특허분류(Int. Cl.)
H01L 43/02 (2006.01) **H01L 43/08** (2006.01)
H01L 43/12 (2006.01)
- (52) CPC특허분류
H01L 43/02 (2013.01)
H01L 43/08 (2013.01)
- (21) 출원번호 10-2015-7024668
- (22) 출원일자(국제) 2014년02월11일
 심사청구일자 없음
- (85) 번역문제출일자 2015년09월09일
- (86) 국제출원번호 PCT/US2014/015858
- (87) 국제공개번호 WO 2014/130301
 국제공개일자 2014년08월28일
- (30) 우선권주장
 13/770,306 2013년02월19일 미국(US)
- (71) 출원인
 웰컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
 시아, 윌리엄 에이치.
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
 우, 웬펑
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
 (뒷면에 계속)
- (74) 대리인
 특허법인 남엔드남

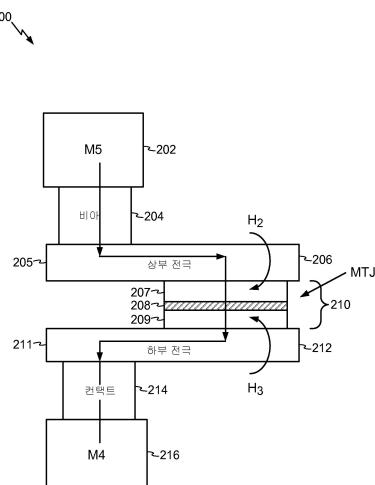
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 스위칭 전류 유도 자기장에 의해 향상된 STT-MRAM 설계

(57) 요 약

메모리 셀(200)은 자기 터널 접합(MTJ) 구조(210)에 결합된 세장형 제 1 전극(206)과 MTJ 구조에 결합된 세장형 제 1 전극과 나란히 정렬되는 세장형 제 2 전극(212)을 포함한다. 세장형 전극들은 스위칭 전류 유도 자기장의 상호 가산적인 부분들을 MTJ를 통해 지향시키도록 구성된다. 상호적으로 부가적인 부분들은 스위칭 전류의 인가에 응답하여 MTJ의 스위칭을 향상시킨다.

대 표 도 - 도2a



(52) CPC특허분류
H01L 43/12 (2013.01)

(72) 발명자

유엔, 켄드릭 에이치.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

바네르지, 아브히害羞

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

리, 시아

미국 92121-1714 캘리포니아주 샌 디에고 모어하우
스 드라이브 5775

장, 승 에이치.

미국 92121-1714 캘리포니아주 샌 디에고 모어하우
스 드라이브 5775

김, 정 필

미국 92121-1714 캘리포니아주 샌 디에고 모어하우
스 드라이브 5775

명세서

청구범위

청구항 1

메모리 셀로서,

복수의 자기 터널 접합(MTJ) 층들 -상기 복수의 MTJ 층들은 고정층, 자유층 및 상기 고정층과 상기 자유층 사이에 있는 배리어층을 포함함-;

상기 복수의 MTJ 층들 중 첫 번째 층에 결합된 제 1 전극 -상기 제 1 전극은 상기 복수의 MTJ 층들로부터 멀어지게 측방으로 연장되는 제 1 세장형 부분을 포함하고, 상기 제 1 세장형 부분은 MTJ 스위칭 전류에 의해 유도된 자기장의 제 1 부분을 상기 복수의 MTJ 층들을 통과하여 지향시키도록 구성됨-; 및

상기 복수의 MTJ 층들 중 두 번째 층에 결합된 제 2 전극을 포함하고,

상기 제 2 전극은 상기 복수의 MTJ 층들로부터 멀어지게 측방으로 연장되는 제 2 세장형 부분을 포함하고, 상기 제 2 세장형 부분은 상기 MTJ 스위칭 전류에 의해 유도된 상기 자기장의 제 2 부분을 상기 복수의 MTJ 층들을 통과하여 지향시키도록 구성되고, 상기 자기장의 상기 제 2 부분이 상기 자기장의 상기 제 1 부분과 가산되어 상기 자기장이 상기 복수의 MTJ 층들을 통과하는 것을 향상시키는, 메모리 셀.

청구항 2

제 1 항에 있어서,

상기 복수의 MTJ 층들로부터 오프셋된 상기 제 1 세장형 부분에 결합된 제 1 전도성 경로; 및

상기 복수의 MTJ 층들로부터 오프셋된 상기 제 2 세장형 부분에 결합된 제 2 전도성 경로를 포함하고,

상기 제 2 전도성 경로는 상기 제 1 전도성 경로와 나란히 정렬되는, 메모리 셀.

청구항 3

제 1 항에 있어서,

상기 복수의 MTJ 층들은 용이축(easy axis)을 정의하고, 상기 제 1 세장형 부분과 상기 제 2 세장형 부분은 상기 복수의 MTJ 층들의 상기 용이축에 평행한 상기 자기장을 유도하도록 구성되는, 메모리 셀.

청구항 4

제 1 항에 있어서,

상기 복수의 MTJ 층들은 용이축을 정의하고, 상기 제 1 세장형 부분과 상기 제 2 세장형 부분은 상기 복수의 MTJ 층들의 상기 용이축에 수직한 상기 자기장을 유도하도록 구성되는, 메모리 셀.

청구항 5

제 1 항에 있어서,

상기 복수의 MTJ 층들은 용이축을 정의하고, 상기 제 1 세장형 부분과 상기 제 2 세장형 부분은 상기 복수의 MTJ 층들의 상기 용이축에 대하여 비스듬하게 상기 자기장을 유도하도록 구성되는, 메모리 셀.

청구항 6

제 1 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극은 실질적으로 동일한 패턴을 갖는, 메모리 셀.

청구항 7

제 1 항에 있어서,

모바일 전화, 셋톱 박스, 음악 재생기, 비디오 재생기, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정식 위치 데이터 유닛에 통합되는, 메모리 셀.

청구항 8

자기 메모리 셀을 구성하는 방법으로서,

제 1 전극을 패터닝하는 단계;

상기 제 1 전극이 자기 터널 접합(MTJ)으로부터 멀어지게 측방으로 연장되는 제 1 세장형 부분을 갖도록 상기 제 1 전극 상에 상기 MTJ를 제조하는 단계;

상기 제 2 전극이 상기 MTJ로부터 멀어지게 측방으로 연장되는 제 2 세장형 부분을 갖도록 상기 MTJ 상에 제 2 전극을 패터닝하는 단계; 및

스위칭 전류 유도 자기장의 상호 가산적 부분들을 상기 MTJ를 통해 지향시키도록 상기 제 1 세장형 부분과 상기 제 2 세장형 부분을 구성하는 단계를 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 9

제 8 항에 있어서,

상기 제 1 전극에 결합된 제 1 전도층을 증착하는 단계; 및

상기 제 2 전극에 결합된 제 2 전도층을 증착하는 단계를 더 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 전도층과 상기 제 1 전극 사이에 제 1 비아를 결합시키는 단계; 및

상기 제 2 전도층과 상기 제 2 전극 사이에 제 2 비아를 결합시키는 단계를 더 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 11

제 8 항에 있어서,

상기 MTJ에 대하여 용이축을 정의하는 단계; 및

상기 스위칭 전류 유도 자기장을 상기 MTJ의 상기 용이축에 대하여 평행하게 유도시키도록 상기 제 1 세장형 부분과 상기 제 2 세장형 부분을 구성하는 단계를 더 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 12

제 8 항에 있어서,

상기 MTJ에 대하여 용이축을 정의하는 단계; 및

상기 스위칭 전류 유도 자기장을 상기 MTJ의 상기 용이축에 대하여 수직하게 유도시키도록 상기 제 1 세장형 부분과 상기 제 2 세장형 부분을 구성하는 단계를 더 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 13

제 8 항에 있어서,

상기 MTJ에 대하여 용이축을 정의하는 단계; 및

상기 스위칭 전류 유도 자기장을 상기 MTJ의 상기 용이축에 대하여 비스듬하게 유도시키도록 상기 제 1 세장형 부분과 상기 제 2 세장형 부분을 구성하는 단계를 더 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 14

제 8 항에 있어서,

상기 제 1 전극과 상기 제 2 전극은 실질적으로 동일한 패턴을 갖는, 자기 메모리 셀을 구성하는 방법.

청구항 15

제 8 항에 있어서,

모바일 전화, 셋톱 박스, 음악 재생기, 비디오 재생기, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정식 위치 데이터 유닛에 상기 자기 메모리 셀을 통합시키는 단계를 더 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 16

장치로서,

복수의 층들을 갖는 전하를 자기적으로 저장하기 위한 수단 -상기 복수의 층들은 고정층, 자유층 및 상기 고정층과 상기 자유층 사이에 있는 배리어층을 포함함-;

상기 전하를 자기적으로 저장하기 위한 수단의 상기 복수의 층들 중 첫 번째 층에 결합된 제 1 전도 수단 -상기 제 1 전도 수단은 상기 전하를 자기적으로 저장하기 위한 수단으로부터 멀어지게 측방으로 연장되는 제 1 자기장을 지향시키기 위한 수단을 포함하고, 상기 제 1 자기장을 지향시키기 위한 수단은 상기 전하를 자기적으로 저장하기 위한 수단을 통해 스위칭 전류에 의해 유도되는 자기장의 제 1 부분을 지향시키도록 구성됨-; 및

상기 전하를 자기적으로 저장하기 위한 수단의 상기 복수의 층들 중 두 번째 층에 결합된 제 2 전도 수단을 포함하고,

상기 제 1 전도 수단은 상기 전하를 자기적으로 저장하기 위한 수단으로부터 멀어지게 측방으로 연장되는 제 2 자기장을 지향시키기 위한 수단을 포함하고, 상기 제 2 자기장을 지향시키기 위한 수단은 상기 전하를 자기적으로 저장하기 위한 수단을 통해 상기 스위칭 전류에 의해 유도되는 상기 자기장의 제 2 부분을 지향시키도록 구성되고, 상기 자기장의 상기 제 2 부분이 상기 자기장의 상기 제 1 부분과 가산되어 상기 자기장이 상기 전하를 자기적으로 저장하기 위한 수단을 통과하는 것을 향상시키는, 장치.

청구항 17

제 16 항에 있어서,

상기 제 1 전도 수단 및 상기 제 2 전도 수단은 실질적으로 동일한 패턴을 갖는, 장치.

청구항 18

제 16 항에 있어서,

상기 자기 메모리 셀은 모바일 전화, 셋톱 박스, 음악 재생기, 비디오 재생기, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정식 위치 데이터 유닛에 통합되는, 장치.

청구항 19

자기 메모리 셀을 구성하는 방법으로서,

제 1 전극을 패터닝하는 단계;

상기 제 1 전극이 자기 터널 접합(MTJ)로부터 멀어지게 측방으로 연장되는 제 1 세장형 부분을 갖도록 상기 제 1 전극 상에 상기 MTJ를 제조하는 단계;

상기 제 2 전극이 상기 MTJ로부터 멀어지게 측방으로 연장되는 제 2 세장형 부분을 갖도록 상기 MTJ 상에 제 2 전극을 패터닝하는 단계;

스위칭 전류 유도 자기장의 상호 가산적 부분들을 상기 MTJ를 통과하여 지향시키도록 상기 제 1 세장형 부분과

상기 제 2 세장형 부분을 구성하는 단계를 포함하는, 자기 메모리 셀을 구성하는 방법.

청구항 20

제 19 항에 있어서,

상기 자기 메모리 셀을, 모바일 전화, 셋톱 박스, 음악 재생기, 비디오 재생기, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정식 위치 데이터 유닛에 통합시키는 단계를 더 포함하는, 자기 메모리 셀을 구성하는 방법.

발명의 설명

기술 분야

[0001]본 발명은 일반적으로 자기 랜덤 액세스 메모리(MRAM) 디바이스들에 관한 것이다. 보다 구체적으로, 본 개시물은, 스핀-전달 토크 스위칭 전류 유도 자기장에 의해 향상되는 스핀 전달 토크(SIT; spin stransfer torque) MRAM 디바이스들에 대한 설계에 관한 것이다.

배경 기술

[0002]종래의 RAM(random access memory) 칩 기술들과는 달리, MRAM(magnetic RAM)에서, 데이터가 전하로서 저장되지는 않지만, 그 대신에 저장 엘리먼트들의 자기 편극(magnetic polarization)에 의해 저장된다. 저장 엘리먼트들은 터널링 층에 의해 분리된 2개의 강자성(ferromagnetic) 층들로 형성된다. 2개의 강자성 층들 중에서 고정층(fixed layer) 또는 펀층(pinned layer)으로 지칭되는 하나의 강자성 층은, 특정한 방향으로 고정된 자화를 갖는다. 자유층으로 지칭되는 다른 강자성 자기 층은, 자유층 자화가 고정층 자화에 역평행(anti-parallel)한 경우에는 "1"로 또는 자유층 자화가 고정층 자화에 평행한 경우에는 "0"으로 표현되도록 또는 그 반대로 표현되도록 변경될 수 있는 자화 방향을 갖는다. 고정층, 터널링 층, 및 자유층을 갖는 하나의 이러한 디바이스는 자기 터널 접합(MTJ;magnetic tunnel junction)이다. MTJ의 전기 저항은, 자유층 자화 및 고정층 자화가 서로 평행한지 또는 역평행한지 여부에 따른다. MRAM과 같은 메모리 디바이스는 독립적으로 어드레싱 가능한 MTJ들의 어레이로부터 구축된다.

[0003]종래의 MRAM에서 데이터를 기입하기 위해, 임계 스위칭 전류를 초과하는 기입 전류(write current)가 MTJ를 통해 인가된다. 임계 스위칭 전류를 초과하는 기입 전류는 자유층의 자화 방향을 변경하기에 충분하다. 기입 전류가 제 1 방향으로 흐르는 경우, MTJ는, 자신의 자유층 자화 방향과 고정층 자화 방향이 평행 배향으로 정렬되는 제 1 상태에 놓이거나 또는 이 제 1 상태를 유지할 수 있다. 기입 전류가 제 1 방향에 반대인 제 2 방향으로 흐르는 경우, MTJ는, 자신의 자유층 자화와 고정층 자화가 역평행 배향에 있는 제 2 상태로 놓이거나 또는 이 제 2 상태를 유지할 수 있다.

[0004]종래의 MRAM에서 데이터를 판독하기 위해, 판독 전류(read current)가 MTJ에 데이터를 기입하는데 이용된 동일한 전류 경로를 통해 MTJ를 통해서 흐를 수 있다. MTJ들의 자유층과 고정층의 자화들이 서로 평행하게 배향되면, MTJ는, 자유층과 고정층의 자화들이 역평행 배향에 있었을 경우 MTJ가 제시했었을 저항과는 상이한 저항을 제시한다. 종래의 MRAM에서, MRAM의 비트셀에서의 MTJ의 2개의 상이한 저항들에 의해 2개의 별개의 상태들이 정의된다. 이 2개의 상이한 저항들은 MTJ에 의해 저장된 로직 0 및 로직 1 값을 나타낸다.

[0005]종래의 MRAM의 데이터가 로직 1을 나타내는지 또는 로직 0을 나타내는지 결정하기 위해서, 비트셀 내 MTJ의 저항은 기준 저항과 비교된다. 종래의 MRAM 회로소자의 기준 저항은 평행 자기 배향을 지닌 MTJ와 역평행(anti-parallel) 자기 저항 배향을 지닌 MTJ의 저항 사이의 중간점 저항이다. 중간점 기준 저항을 생성하는 일 방법은 평행 자기 저항 배향을 지닌 것으로 알려진 MTJ와 역평행 자기 배향을 지닌 것으로 알려진 MTJ를 평행하게 결합시키는 것이다.

[0006]자기 랜덤 액세스 메모리의 비트셀들은 메모리 엘리먼트들(예컨대, MRAM의 경우에는 MTJ들)의 패턴을 포함하는 하나 또는 그 초과의 어레이들로 배열될 수 있다. STT-MRAM(Spin-Transfer-Torque Magnetic Random Access Memory)은, 비-휘발성, eDRAM(Embedded Dynamic Random Access Memory)에 필적할만한 속도, eSRAM(Embedded Static Random Access Memory)과 비교하여 더 작은 칩 크기, 무제한 판독/기입 내구성, 및 낮은 어레이 누설 전류의 이점들을 갖는 신흥(emerging) 비휘발성 메모리이다.

발명의 내용

[0007] 본 개시물의 일 양상에 따르면, 메모리 셀은 자기 터널 접합(MTJ) 층들의 세트를 갖는다. MTJ 층들의 세트는 고정 층, 자유층 및 고정층과 자유층 사이에 있는 배리어층을 포함한다. 메모리 셀은 또한 복수의 MTJ 층들 중 첫 번째 층에 결합된 제 1 전극을 포함한다. 제 1 전극은 MTJ 층들로부터 멀어지게 측방으로 연장되는 제 1 세장형 부분을 포함한다. 메모리 셀은 또한, 복수의 MTJ 층들 중 두 번째 층에 결합된 제 2 전극을 포함한다. 제 2 전극은 MTJ 층들로부터 멀어지게 측방으로 연장되는 제 2 세장형 부분을 포함한다. 제 1 세장형 부분은 MTJ 스위칭 전류에 의해 유도된 자기장의 제 1 부분을 MTJ 층들을 통과하여 지향시키도록 구성된다. 제 2 세장형 부분은 MTJ 스위칭 전류에 의해 유도된 자기장의 제 2 부분을 MTJ 층들을 통과하여 지향시키도록 구성된다. 본 개시물의 양상들에 따르면, 자기장의 제 2 부분이 자기장의 제 1 부분과 가산되어 자기장이 MTJ 층들을 통과하는 것을 향상시킨다.

[0008] 본 개시물의 다른 양상에 따르면, 자기 메모리 셀을 구성하는 방법은 제 1 전극을 패터닝하는 단계를 포함한다. 방법은 또한, 제 1 전극이 MTJ로부터 멀어지게 측방으로 연장되는 제 1 세장형 부분을 갖도록 제 1 전극 상에 MTJ를 제조하는 단계를 포함한다. 방법은, 제 2 전극이 MTJ로부터 멀어지게 측방으로 연장되는 제 2 세장형 부분을 갖도록 MTJ 상에 제 2 전극을 패터닝하는 단계를 더 포함한다. 방법은 또한, 스위칭 전류 유도 자기장의 상호 가산적 부분들을 MTJ를 통해 지향시키도록 제 1 세장형 부분과 제 2 세장형 부분을 구성하는 단계를 포함한다.

[0009] 본 개시물의 다른 양상은, 전하를 자기적으로 저장하기 위한 수단, 제 1 전도 수단, 및 제 2 전도 수단을 포함하는 장치를 포함한다. 전하를 자기적으로 저장하기 위한 수단은 층들의 세트를 구비하며, 층들의 세트는 고정층, 자유층 및 고정층과 자유층 사이에 있는 배리어층을 포함한다. 제 1 전도 수단은, 전하를 자기적으로 저장하기 위한 수단의 복수의 층들 중 첫 번째 층에 결합된다. 제 1 전도 수단은 또한, 전하를 자기적으로 저장하기 위한 수단으로부터 멀어지게 측방으로 연장되는 제 1 자기장을 지향시키기 위한 수단을 포함한다. 제 1 자기장을 지향시키기 위한 수단은, 전하를 자기적으로 저장하기 위한 수단을 통해 스위칭 전류에 의해 유도되는 자기장의 제 1 부분을 지향시키도록 구성된다. 제 2 전도 수단은, 전하를 자기적으로 저장하기 위한 수단의 층들의 세트 중 두 번째 층에 결합된다. 제 2 전도 수단은 또한, 전하를 자기적으로 저장하기 위한 수단으로부터 멀어지게 측방으로 연장되는 제 2 자기장을 지향시키기 위한 수단을 포함한다. 제 2 자기장을 지향시키기 위한 수단은, 전하를 자기적으로 저장하기 위한 수단을 통해 스위칭 전류에 의해 유도되는 자기장의 제 2 부분을 지향시키도록 구성된다. 자기장의 제 2 부분은 또한, 자기장의 제 1 부분과 가산되어 자기장이 전하를 자기적으로 저장하기 위한 수단을 통과하는 것을 향상시킨다.

[0010] 상기 설명은, 후속하는 상세한 설명이 더 양호하게 이해될 수 있도록, 본 개시의 특성들 및 기술적 이점들을 다소 광범위하게 약술하였다. 본 개시의 부가적인 특성들 및 이점들은 후술될 것이다. 본 개시의 동일한 목적들을 수행하기 위해 다른 구조들을 변형 또는 설계하기 위한 기반으로서 본 개시가 용이하게 이용될 수도 있다는 것이 당업자에 의해 인식되어야 한다. 또한, 그러한 등가 구조들이, 첨부된 청구항들에 기재된 바와 같은 본 개시의 교시들을 벗어나지 않는다는 것이 당업자에 의해 인지되어야 한다. 추가적인 목적들 및 이점들과 함께, 본 발명의 구성 및 동작 방법 양자에 대해 본 개시의 특징인 것으로 밀어지는 신규한 특성들은, 첨부한 도면들과 관련하여 고려될 경우 다음의 설명으로부터 더 양호하게 이해될 것이다. 그러나, 도면들의 각각이 단지 예시 및 설명의 목적을 위해 제공되며, 본 개시의 제한들의 의미로서 의도되지 않다는 것이 명백히 이해될 것이다.

[0011] 본 개시의 더욱 완전한 이해를 위해서, 이제, 첨부 도면들과 함께 다음 설명을 참조한다.

도면의 간단한 설명

[0012] 도 1은 종래의 STT-MRAM 설계의 블록도이다.

[0013] 도 2a는 본 개시물의 양상에 따른 STT-MRAM의 블록도이다.

[0014] 도 2b는 본 개시물의 일 양상에 따른 STT-MRAM의 평면도 다이어그램이다.

[0015] 도 3a는 본 개시물의 일 양상에 따른 STT-MRAM의 블록도이다.

[0016] 도 3b는 본 개시물의 일 양상에 따른 STT-MRAM의 평면도 다이어그램이다.

[0017] 도 4a는 본 개시물의 일 양상에 따른 STT-MRAM의 블록도이다.

[0018]도 4b는 본 개시물의 일 양상에 따른 STT-MRAM의 평면도 다이어그램이다.

[0019]도 5는 본 개시물의 일 양상에 따른 STT-MRAM 설계를 위한 스위칭 시간 대 스위칭 전류를 도시하는 성능 그래프이다.

[0020]도 6은 본 개시물의 일 양상에 따른 STT-MRAM을 구성하는 방법을 도시하는 프로세스 흐름도이다.

[0021]도 7은 본 개시물의 구성이 유리하게 활용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록도이다.

[0022]도 8은 일 구성에 따른 반도체 컴포넌트의 회로, 레이아웃, 및 로직 설계를 위해 사용된 설계 워크스테이션을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0013]도 1은 종래의 스픈 전달 토크 자기 랜덤 액세스 메모리(STT-MRAM)(100)의 블록도이다. 종래의 MRAM 구조(100)는 제 1 강자성층(107), 제 2 강자성층(109) 및 제 1 강자성층과(107)과 제 2 강자성층(109) 사이에 결합된 터널 배리어층(108)을 갖는 자기 터널 접합(MTJ)(110)을 포함한다. 상부 전극(106)이 제 1 강자성층(107)에 결합되고 하부 전극(112)이 제 2 강자성층(109)에 결합된다. 상부 전도층(102)이 전도성 비아(104)에 의해 상부 전극(106)에 결합된다. 하부 전도층(116)이 전도성 비아(114)에 의해 하부 전극(112)에 결합된다. 예를 들어, 제 1 강자성층(107)은 고정층일 수 있고 제 2 강자성층(109)은 자유층일 수 있다. 다른 구현에서, 제 1 강자성층(107)은 자유층일 수 있고, 제 2 강자성층(109)은 고정층일 수 있다. 터널 배리어층(108)은, 예를 들어, 산화 마그네슘(MgO)와 같은 절연성 재료로 이루어질 수 있다.

[0014]도 2a는 본 개시물의 일 양상에 따른 STT-MRAM(200)의 블록도이다. STT-MRAM(200)은 상부 강자성층(207), 하부 강자성층(209) 및 상부 강자성층(207)과 하부 강자성층(209) 사이에 결합된 터널 배리어층(208)을 포함하는 MTJ(210)를 포함한다. 일 구현에서, 예를 들어, 상부 강자성층(207)이 자유층일 수 있고 하부 강자성층(209)은 고정층일 수 있다. 다른 구현에서, 상부 강자성층(207)이 고정층일 수 있고 하부 강자성층(209)은 자유층일 수 있다. 터널 배리어층(208)은, 예를 들어, MgO와 같은 절연 재료로 이루어질 수 있다.

[0015]상부 강자성층(207)이 상부 전극(206)에 결합되고 하부 강자성층(209)이 하부 전극(212)에 결합된다. 금 속층(M5)과 같은 상부 전도층(202)이 상부 비아(204)에 의해 상부 전극(206)에 결합되고, 금 속층(M4)과 같은 하부 전도층(216)이, 컨택트로도 또한 지칭되는 하부 비아(214)에 의해 하부 전극(212)에 결합된다.

[0016]본 개시물의 일 양상에 따르면, 상부 전도층(202) 및 하부 전도층(216)이 MTJ(210)로부터 측방으로 오프셋된다. 상부 전극(206)이, MTJ(210)로부터 상부 비아(204)로 측방으로 확장되는 세장형 부분(205)을 포함한다. 하부 전극(212) 또한, MTJ(210)로부터 하부 비아(214)로 측방으로 확장되는 세장형 부분(211)을 포함한다.

[0017]도 2b는 도 2a에 도시된 STT-MRAM 구조(200)의 평면도이며, 점선들은 숨겨진 층들을 나타낸다. 예를 들어, 도 2b에서, MTJ(210)는 상부 전극(206) 아래에 숨겨져 있다. 상부 비아(204) 및 하부 비아(214)가 상부 전도층(202) 아래에 숨겨져 있다.

[0028]도 2a 및 도 2b 둘 모두에서 알 수 있는 바와 같이, 상부 전극(206) 및 하부 전극(212)이 실질적으로 서로 나란히 정렬된다. 상부 전극(206)의 세장형 부분(205)이 또한 하부 전극(212)의 세장형 부분(211)과 실질적으로 나란히 정렬된다. MTJ(210)에 인가된 스위칭 전류가 전류 경로를 따라서 상부 전도층(202)으로부터 상부 전극(206)으로, MTJ(210)를 통과하여 하부 전극(212)으로 흐른 후, 하부 전도층(216)으로 흐른다. 본 개시물의 양상들에 따르면, 상부 전도층(202)과 MTJ(210) 사이의 측방 변위는, 스위칭 전류로 하여금, 상부 전극(206)과 하부 전극(212) 둘 모두에서, 예를 들어, MTJ 층들에 평행한 평면에서 측방으로 흐르게 한다. 스위칭 전류가 MTJ(210)에 인가되는 경우 스위칭 전류에 의해 전류 경로를 중심으로 자기장이 자연스럽게 유도된다. 종래의 MTJ 구성에서와 같이, 상부 강자성층(207)으로부터 MTJ(210)를 통과하여 하부 강자성층(209)으로 이동하는 스위칭 전류는 MTJ 층들(207, 208, 209)의 평면들과 평행한 전류 경로를 중심으로 순환하는 자기장의 제 1 부분(H_1)(도 2b에 도시됨)을 유도한다.

[0029]본 개시물의 양상들에 따르면, 상부 비아(204)로부터 MTJ(210)로 상부 전극(206)에서 이동하는 스위칭 전류는 상부 전극(206)의 스위칭 전류를 중심으로 순환하는 자기장의 제 2 부분(H_2)을 유도한다. 당업자는, 자기장의 제 2 부분(H_2)이 도 2a 및 도 2b에 도시된 방향으로 자기장 벡터(201)에 의해 도시된 바와 같이 MTJ(210)

를 통과하여 지향된다는 것을 이해해야 한다.

[0020]본 개시물의 양상들에 따르면, MTJ(210)로부터 하부 비아(214)로 하부 전극(212)에서 이동하는 스위칭 전류는 하부 전극(212)의 전류를 중심으로 순환하는 자기장의 제 3 부분(H_3)을 유도한다. 당업자는, 자기장의 제 3 부분(H_3)이 도 2a 및 도 2b에 도시된 방향으로 자기장 벡터(203)에 의해 도시된 바와 같이 MTJ(210)를 통과하여 지향된다는 것을 이해해야 한다.

[0021]본 개시물의 양상들에 따르면, 상부 및 하부 전극들의 세장형(205, 211)의 실질적인 상호 정렬(즉, 폐턴)은 자기장의 제 2 부분(H_2)과 자기장의 제 3 부분(H_3)으로 하여금 MTJ(210)를 통과하여 일 방향으로 상호 가산적이 되게 한다.

[0022]당업자는, 가장 에너지적으로 유리한 자화 방향으로 정렬되는 MTJ의 축을 일반적으로 "용이축(easy axis)"이라고 지칭한다는 것을 인식해야 한다. 예를 들어, MTJ는 타원형으로 구성될 수 있고, MTJ(210)의 용이 축은 타원형의 장축에 해당한다. 도 2b에서, MTJ(210)는 직사각형을 갖고, MTJ(210)의 용이축은 직사각형의 장축에 해당한다.

[0023]본 개시물의 일 양상에 따르면, MTJ(210)에 인가된 스위칭 전류에 의해 유도된 자기장의 상호 가산적인 부분들(H_2 및 H_3)이 MTJ의 용이축에 수직인 방향으로 MTJ(210)를 통과하여 지향되도록 상부 전극(206) 및 하부 전극(212)이 배열된다.

[0024]3a 및 도 3b를 참고로 하여 설명된 본 개시물의 다른 양상에 따르면, MTJ에 인가된 스위칭 전류에 의해 유도된 자기장의 상호 가산적인 부분들(H_2 및 H_3)이 MTJ의 용이축에 평행한 방향으로 MTJ(210)를 통과하여 지향될 수 있다. 도 3a는 본 개시물의 일 양상에 다른 STT-MRAM(300)의 블록도이다. STT-MRAM(300)은, 상부 강자성층(307), 하부 강자성층(309) 및 상부 강자성층(307)과 하부 강자성층(309) 사이에 결합되는 터널 배리어층(308)을 갖는 MTJ(310)를 포함한다. 일 구현에서, 예를 들어, 상부 강자성층(307)은 자유층일 수 있고 하부 강자성층(309)은 고정층일 수 있다. 다른 구현에서, 상부 강자성층(307)은 고정층일 수 있고 하부 강자성층(309)은 자유층일 수 있다. 터널 배리어층(308)은, 예를 들어, MgO와 같은 절연 재료로 이루어질 수 있다.

[0025]상부 강자성층(307)이 상부 전극(306)에 결합되고 하부 강자성층(309)이 하부 전극(312)에 결합된다. 금 속층(M5)과 같은 상부 전도층(302)이 상부 비아(304)에 의해 상부 전극(306)에 결합되고, 금 속층(M4)과 같은 하부 전도층(316)이, 컨택트로도 또한 지칭되는 하부 비아(314)에 의해 하부 전극(312)에 결합된다.

[0026]도 3b는 도 3a에 도시된 STT-MRAM 구조(300)의 평면도이며, 점선들은 숨겨진 층들을 나타낸다. 예를 들어, 도 3b에서, MTJ(310)는 상부 전극(306) 아래에 숨겨져 있다. 상부 비아(304) 및 하부 비아(314)가 상부 전도층(302) 아래에 숨겨져 있다.

[0027]도 3b에서 가장 잘 알 수 있는 바와 같이, 상부 전도층(302)과 하부 전도층(316)은 MTJ(310)로부터 측방으로 오프셋되는 부분들을 포함한다. 상부 전극(306)은 MTJ(310)로부터 상부 비아(304)로 측방으로 연장되는 세장형 부분(305)을 포함한다. 하부 전극(312)은 또한, MTJ(310)로부터 하부 비아(314)로 측방으로 연장되는 세장형 부분(311)을 포함한다.

[0028]도 3a 및 도 3b 둘 모두에서 알 수 있는 바와 같이, 상부 전극(306) 및 하부 전극(312)이 실질적으로 서로 나란히 정렬된다. 상부 전극(306)의 세장형 부분(305)이 또한 하부 전극(312)의 세장형 부분(311)과 실질적으로 나란히 정렬된다. MTJ(310)에 인가된 스위칭 전류가 전류 경로를 따라서 상부 전도층(302)으로부터 상부 전극(306)으로, MTJ(310)를 통과하여 하부 전극(312)으로 흐른 후, 하부 전도층(316)으로 흐른다. 본 개시물의 양상들에 따르면, 상부 전도층(302)과 MTJ(310) 사이의 측방 변위는, 스위칭 전류로 하여금, 상부 전극(306)과 하부 전극(312) 둘 모두에서, 예를 들어, MTJ 층들에 평행한 평면에서 측방으로 흐르게 한다.

[0029]스위칭 전류가 MTJ(310)에 인가되는 경우 스위칭 전류에 의해 전류 경로를 중심으로 자기장이 자연스럽게 유도된다. 종래의 MTJ 구성에서와 같이, 상부 강자성층(307)으로부터 MTJ(310)를 통과하여 하부 강자성층(309)으로 이동하는 스위칭 전류는 MTJ 층들(307, 308, 309)의 평면들과 평행한 전류 경로를 중심으로 순환하는 자기장의 제 1 부분(H_1)(도 3b에 도시됨)을 유도한다.

[0040]본 개시물의 양상들에 따르면, 상부 비아(304)로부터 MTJ(310)로 상부 전극(306)에서 이동하는 스위칭 전류는 상부 전극(306)의 스위칭 전류를 중심으로 순환하는 자기장의 제 2 부분(H_2)을 유도한다. 당업자는, 자기

장의 제 2 부분(H_2)이 도 3b에 도시된 방향으로 자기장 벡터(301)에 의해 도시된 바와 같이 MTJ(310)를 통과하여 지향된다는 것을 이해해야 한다.

[0031] [0041]본 개시물의 양상들에 따르면, MTJ(310)로부터 하부 비아(314)로 하부 전극(312)에서 이동하는 스위칭 전류는 하부 전극(312)의 전류를 중심으로 순환하는 자기장의 제 3 부분(H_3)을 유도한다. 당업자는, 자기장의 제 3 부분(H_3)이 도 3b에 도시된 방향으로 자기장 벡터(303)에 의해 도시된 바와 같이 MTJ(310)를 통과하여 지향된다는 것을 이해해야 한다.

[0032] [0042]본 개시물의 양상들에 따르면, 상부 및 하부 전극들(306, 312)의 세장형(305, 311)의 실질적인 상호 정렬(즉, 폐턴)은 자기장의 제 2 부분(H_2)과 자기장의 제 3 부분(H_3)으로 하여금 MTJ(310)를 통과하여 일 방향으로 상호 가산적이 되게 한다.

[0033] [0043]도 3b에서, MTJ(310)는 직사각형을 갖고 MTJ(310)의 용이축은 직사각형의 장축에 해당한다. 본 개시물의 일 양상에 따르면, MTJ(310)에 인가된 스위칭 전류에 의해 유도된 자기장의 상호 가산적인 부분들(H_2 및 H_3)이 MTJ의 용이축에 평행한 방향으로 MTJ(310)를 통과하여 지향되도록 상부 전극(306) 및 하부 전극(312)이 배열된다.

[0034] [0044]전극들(306, 312)은 내부 스위칭 전류에 의해 유도된 자기장을 더욱 효과적으로 제어하도록 설계된다. 전극들(306, 312)의 두께는, STT-MRAM 디바이스 양단에서 전류-저항 또는 IR 강하를 감소시키기 위해서, 더 많은 전극 재료의 추가에 의해서 또는 다른 전도층들(예를 들어, 층들(302, 316) 및 다른층들)과 결합됨으로써 증가될 수 있다. 따라서, 스위칭 시간 및 스위칭 에너지 소모가 저하되고, 효율 및 성능의 개선으로 이어진다.

[0035] [0045]도 4a 및 도 4b를 참고로 하여 설명된 본 개시물의 다른 양상에 따르면, MTJ에 인가된 스위칭 전류에 의해 유도된 자기장의 상호 가산적인 부분들(H_2 및 H_3)이 MTJ의 용이축에 대하여 비스듬히 MTJ를 통과하도록 지향된다. 도 4a는 본 개시물의 일 양상에 따른 STT-MRAM(400)의 블록도이다. STT-MRAM(400)은 상부 강자성층(407), 하부 강자성층(409) 및 상부 강자성층과(407)과 하부 강자성층(409) 사이에 결합된 터널 배리어층(408)을 포함하는 MTJ(410)를 포함한다. 일 구현에서, 예를 들어, 상부 강자성층(407)은 자유층일 수 있고 하부 강자성층(409)은 고정층일 수 있다. 다른 구현에서, 상부 강자성층(407)은 고정층일 수 있고, 하부 강자성층(409)은 자유층일 수 있다. 터널 배리어층(408)은, 예를 들어, MgO와 같은 절연성 재료로 이루어질 수 있다.

[0036] [0046]상부 강자성층(407)이 상부 전극(406)에 결합되고 하부 강자성층(409)이 하부 전극(412)에 결합된다. 금 속층(M5)과 같은 상부 전도층(402)이 상부 비아(404)에 의해 상부 전극(406)에 결합된다. 금속층(M4)과 같은 하부 전도층(416)이, 컨택트로도 또한 지칭되는 하부 비아(414)에 의해 하부 전극(412)에 결합된다.

[0037] [0047]도 4b는 도 4a에 도시된 STT-MRAM 구조(400)의 평면도이며, 점선들은 숨겨진 층들을 나타낸다. 예를 들어, 도 4b에서, MTJ(410)는 상부 전극(406) 아래에 숨겨져 있다. 상부 비아(404) 및 하부 비아(414)가 상부 전도층(402) 아래에 숨겨져 있다.

[0038] [0048]도 4b에서 알 수 있는 바와 같이, 상부 전도층(402)과 하부 전도층(416)이 MTJ(410)로부터 측방으로 오프셋되는 부분들을 포함한다. 상부 전극(406)은 MTJ(410)로부터 상부 비아(404)로 측방으로 연장되는 세장형 부분(405)을 포함한다. 하부 전극(412)은 또한, MTJ(410)로부터 하부 비아(414)로 측방으로 연장되는 세장형 부분(411)을 포함한다.

[0039] [0049]상부 전극(406) 및 하부 전극(412)은 실질적으로 서로 나란히 정렬된다. 상부 전극(406)의 세장형 부분(405)이 또한 하부 전극(412)의 세장형 부분(411)(도 4b에 도시됨)과 실질적으로 나란히 정렬된다. MTJ(410)에 인가된 스위칭 전류가 전류 경로를 따라서 상부 전도층(402)으로부터 상부 전극(406)으로, MTJ(410)를 통과하여 하부 전극(412)으로 흐른 후, 하부 전도층(416)으로 흐른다. 본 개시물의 양상들에 따르면, 상부 전도층(402)과 MTJ(410) 사이의 측방 변위는, 스위칭 전류로 하여금, 상부 전극(406)과 하부 전극(412) 둘 모두에서, 예를 들어, MTJ 층들에 평행한 평면에서 측방으로 흐르게 한다.

[0040] [0050]스위칭 전류가 MTJ(410)에 인가되는 경우 스위칭 전류에 의해 전류 경로를 중심으로 자기장이 자연스럽게 유도된다. 종래의 MTJ 구성에서와 같이, 상부 강자성층(407)으로부터 MTJ를 통과하여 하부 강자성층(409)으로 이동하는 스위칭 전류는 MTJ 층들(407, 408, 409)의 평면들과 평행한 전류 경로를 중심으로 순환하는 자기장의 제 1 부분(H_1)(도 4b에 도시됨)을 유도한다. 본 개시물의 양상들에 따르면, 상부 비아(404)로부터 MTJ(410)로 상부 전극(406)에서 이동하는 스위칭 전류는 상부 전극(406)의 스위칭 전류를 중심으로 순환하는 자기장의 제 2

부분(H_2)을 유도한다. 당업자는, 자기장의 제 2 부분(H_2)이 도 3b 및 도 4b에 도시된 방향으로 자기장 벡터(401)에 의해 도시된 바와 같이 MTJ(410)를 통과하여 지향된다는 것을 이해해야 한다.

[0041] [0051]본 개시물의 양상들에 따르면, MTJ(410)로부터 하부 비아(414)로 하부 전극(412)에서 이동하는 스위칭 전류는 하부 전극(412)의 전류를 중심으로 순환하는 자기장의 제 3 부분(H_3)을 유도한다. 당업자는, 자기장의 제 3 부분(H_3)이 도 4a 및 도 4b에 도시된 방향으로 자기장 벡터(403)에 의해 도시된 바와 같이 MTJ(410)를 통과하여 지향된다는 것을 이해해야 한다.

[0042] [0052]본 개시물의 양상들에 따르면, 상부 및 하부 전극들(406, 412)의 세장형(405, 411)의 실질적인 상호 정렬(즉, 폐턴)은 자기장의 제 2 부분(H_2)과 자기장의 제 3 부분(H_3)으로 하여금 MTJ(410)를 통과하여 일 방향으로 상호 가산적이 되게 한다.

[0043] [0053]도 4b에서, MTJ(410)는 직사각형을 갖고 MTJ(410)의 용이축은 직사각형의 장축에 해당한다. 본 개시물의 일 양상에 따르면, MTJ(410)에 인가된 스위칭 전류에 의해 유도된 자기장의 상호 가산적인 부분들(H_2 및 H_3)이 MTJ의 용이축에 대하여 비스듬히 MTJ(410)를 통과하여 지향되도록 상부 전극(406) 및 하부 전극(412)이 배열된다. 일 구현에서, 예를 들어, 각도는 약 45도 또는 135도일 수 있다.

[0044] [0054]상호 정렬된 세장형 상부 및 하부 전극들로부터 발생되는 MTJ에 인가된 자기 스위칭 전류의 상호 가산적인 부분들(H_2 및 H_3)은, 보다 신속하게 상태들을 스위칭하도록 MTJ를 보조한다. 스위칭은, 상호 가산적 부분들(H_2 및 H_3)의 보조없이도 동일한 스위칭 전류에 응답하여 발생하는 것보다 더 신속하다.

[0045] [0055]도 5는 본 개시물의 일 양상에 따라 구성된 STT-MRAM의 스위칭 시간 대 스위칭 전류의 제 1 플롯(502)과 본원에 개시된 바와 같이 스위칭 전류 유도 자기장의 상호 가산적 부분들에 의해 보조되는 종래의 STT-MRAM의 스위칭 시간 대 스위칭 전류의 제 2 플롯(504)을 도시하는 그래프(500)이다. 마이크로-자기 모델 및 맥스웰식들에 기초하는 제 1 플롯(502) 및 제 2 플롯(504)은, 주어진 스위칭 전류에 대해 본 개시물의 양상들에 따라 구성되는 STT-MRAM에서의 스위칭 시간의 상당한 감소를 나타낸다. 그래프(500)는, 스위칭 시간을 y-축에 나노초(ns) 단위로 나타내고 스위칭 전류를 x-축에 마이크로-암페어(μA) 단위로 나타낸다. 스위칭 전류 유도 자기장의 상호 가산적 부분들(H_2 및 H_3)이 용이축에 대하여 수직인(예를 들어, 도 2a 및 도 2b) 일 구현에서, MTJ의 스위칭이 강하게 보조될 수 있다. 이와 같이, 스위칭 전류 유도 자기장의 상호 가산적 부분들(H_2 및 H_3)이 MTJ의 용이축에 평행한 도 3a 및 도 3b에 도시된 STT-MRAM 구현에서보다 더 신속하게 스위칭이 발생할 수 있다.

[0046] [0056]도 6은 본 개시물의 일 양상에 따라 STT-MRAM을 제조하는 방법(610)을 도시하는 프로세스 흐름도이다. 블록(612)에서, 하부 전도층이 증착된 후, 하부 비아가 아래의 전도층 상에 구성된다. 블록(614)에서, 하부 전극이 하부 비아 상에 증착된다. 블록(616)에서, MTJ가 하부 전극 상에 제조된다. 하부 전극은 MTJ로부터 멀어지게 연장되는 세장형 부분을 포함한다. 블록(618)에서, 상부 전극이 MTJ 상에 증착된다. 상부 전극이 MTJ로부터 멀어지게 연장되는 세장형 부분을 포함한다. 블록(620)에서, 상부 비아가 상부 전극 상에 구성된다. 이 후, 상부 전도층이 상부 비아 상에 증착된다.

[0047] [0057]본 개시물의 양상들에 따르면, STT-MRAM 설계는, 밴드-투-밴드 터널링 동안 스판 로직 스위칭 프로세스를 보조하기 위해서 STT-MRAM 전류 경로 및 자기장 분배를 제어하도록 구성되는, 전극들을 포함하는 로컬 전도성 상호접속부들을 갖는다. STT-MRAM 설계는 스판 로직 스위칭 프로세스를 보조하기 위해서 자기-유도 자기장을 생성하도록 내부 STT-MRAM 스위칭 전류를 사용하므로, 별개의 전원이나 외부 자기장을 사용할 필요가 없다. 이러한 접근법들은 스판-전달 토크 스위칭 시간을 감소시키고, 스위칭 전력 소모를 낮추어, 결과적으로 효율과 성능을 개선한다.

[0048] [0058]본 개시물의 양상들은, 전하를 자기적으로 저장하기 위한 수단, 제 1 전도 수단 및 제 2 전도 수단을 포함하는 장치를 포함한다. 전하를 자기적으로 저장하기 위한 수단은, 예를 들어, MTJ(210), MTJ(310) 및/또는 MTJ(410)일 수 있다. 제 1 전도 수단은, 예를 들어, 상부 전극(206), 상부 전극(306) 및/또는 상부 전극(406)일 수 있다. 제 2 전도 수단은, 예를 들어, 하부 전극(212), 하부 전극(312) 및/또는 하부 전극(412)일 수 있다.

[0049] [0059]제 1 전도 수단은, 전하는 자기적으로 저장하기 위한 수단으로부터 멀어지게 측방으로 연장되는 제 1 자기장을 지향시키기 위한 수단을 포함한다. 제 1 자기장을 지향시키기 위한 수단은, 예를 들어, 세장형 부분

(205), 세장형 부분(305) 및/또는 세장형 부분(405)일 수 있다.

[0050] [0060] 제 2 전도 수단은 전하를 자기적으로 저장하기 위한 수단으로부터 멀어지게 측방으로 연장되는 제 2 자기장을 지향시키기 위한 수단을 포함한다. 제 2 자기장을 지향시키기 위한 수단은, 예를 들어, 세장형 부분(211), 세장형 부분(311) 및/또는 세장형 부분(411)일 수 있다.

[0051] [0061] 다른 구성에서, 상기 언급된 수단은 상기 언급된 수단에 의해 인용된 기능들을 수행하도록 구성되는 임의의 모듈 또는 임의의 장치일 수 있다. 특정 수단이 제시되었지만, 당업자는, 개시된 수단 전부가 개시된 구성들을 실시하기 위해 필요로 되는 것은 아니라는 것을 인식할 것이다. 더욱이, 본 발명에 계속 집중할 수 있도록 특정한 잘 알려진 수단은 설명되지 않았다.

[0052] [0062] 도 7은, 본 개시물의 양상이 유리하게 활용될 수 있는 예시적인 무선 통신 시스템(700)을 도시하는 블록도이다. 예시의 목적들을 위해, 도 7은 3개의 원격 유닛들(720, 730, 및 750) 및 2개의 기지국들(740)을 도시한다. 무선 통신 시스템들이 훨씬 더 많은 원격 유닛들 및 기지국들을 가질 수도 있음을 인식할 것이다. 원격 유닛들(720, 730, 및 750)은, 개시된 MRAM 디바이스들을 포함하는 IC 디바이스들(725A, 725C 및 725B)을 포함한다. 다른 디바이스들은 또한, 기지국들, 스위칭 디바이스들, 및 네트워크 장비와 같은 개시된 STT-MRAM 디바이스들을 포함할 수 있다는 것을 인식할 것이다. 도 7은 기지국들(740)로부터 원격 유닛들(720, 730, 및 750)로의 순방향 링크 신호들(780) 및 원격 유닛들(720, 730, 및 750)로부터 기지국들(740)로의 역방향 링크 신호들(790)을 도시한다.

[0053] [0063] 도 7에서, 원격 유닛(720)은 모바일 전화로서 도시되고, 원격 유닛(730)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(750)은 무선 로컬 루프 시스템에서 고정 위치 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들은 모바일 전화기들, 핸드-헬드 개인용 통신 시스템들(PCS) 유닛들, 개인용 데이터 보조기기와 같은 휴대용 데이터 유닛들, GPS 인에이블드 디바이스들, 내비게이션 디바이스들, 셋탑 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 겸침 장비(meter reading equipment)와 같은 고정 위치 데이터 유닛들, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 또는 리트리브하는 다른 디바이스들, 또는 이들의 조합들일 수 있다. 도 7이 본 개시의 교시들에 따라 원격 유닛들을 도시하지만, 본 개시는 이들 예시적인 도시된 유닛들로 제한되지 않는다. 예를 들어, 본 개시의 양상들은 개시된 STT-MRAM 디바이스들을 포함하는 많은 디바이스들에서 적절히 이용될 수도 있다.

[0054] [0064] 도 8은 위에서 개시된 STT-MRAM 디바이스들과 같은 반도체 컴포넌트의 회로, 레이아웃 및 로직 설계를 위해 이용되는 설계 워크스테이션을 도시하는 블록도이다. 설계 워크스테이션(800)은 운영 시스템 소프트웨어, 지원 파일들, 및 설계 소프트웨어, 이를 테면, Cadence 또는 OrCAD를 포함한다. 설계 워크스테이션(800)은 OTP(one time programming) 장치와 같은 반도체 컴포넌트(812) 또는 회로(810)의 설계를 용이하게 하기 위한 디스플레이(802)를 또한 포함한다. 저장 매체(804)는 회로 설계(810) 또는 반도체 컴포넌트(812)를 유형으로(tangibly) 저장하기 위해 제공된다. 회로 설계(810) 또는 반도체 컴포넌트(812)는 GDSII 또는 GERBER과 같은 파일 포맷으로 저장 매체(804) 상에 저장될 수 있다. 저장 매체(804)는 CD-ROM, DVD, 하드 디스크, 플래시 메모리 또는 다른 적절한 디바이스일 수 있다. 또한 설계 워크스테이션(800)은 저장 매체(804)로부터의 입력을 수락하거나 저장 매체(804)에 출력을 기록하기 위한 드라이브 장치(803)를 포함한다.

[0055] [0065] 저장 매체(804) 상에 레코딩된 데이터는 로직 회로 구성, 포토리소그래피 마스크들에 대한 패턴 데이터 또는 전자 빔 리소그래피와 같은 직렬 기록 툴들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 추가로 로직 시뮬레이션들과 연관되는 타이밍도들 또는 넷(net) 회로들과 같은 로직 겸중 데이터를 포함한다. 저장 매체(804) 상에 데이터를 제공하는 것은 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소시킴으로써 반도체 컴포넌트(812) 또는 회로 설계(810)의 설계를 용이하게 한다.

[0056] [0066] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법들은 여기에 설명된 기능들을 수행하는 모듈들(예를 들어, 절차들, 함수들 등)을 이용하여 구현될 수도 있다. 명령들을 유형으로 구현하는 임의의 머신 또는 컴퓨터 판독 가능 매체가, 여기에 설명된 방법들을 구현할 시에 사용될 수도 있다. 예를 들어, 소프트웨어 코드는 메모리에 저장되고 프로세서 유닛에 의해 실행될 수도 있다. 메모리는 프로세서 유닛 내부에서 또는 프로세서 유닛 외부에서 구현될 수도 있다. 여기에 사용된 바와 같이, 용어 "메모리"는 임의의 타입의 장기, 단기, 휘발성, 비휘발성, 또는 다른 메모리를 지칭하며, 임의의 특정한 타입의 메모리 또는 메모리들의 수, 또는 메모리가 저장되는 매체들의 타입에 제한되지 않는다.

[0057] [0067] 펌웨어 및/또는 소프트웨어로 구현되는 경우, 기능들은 하나 또는 그보다 많은 명령들 또는 코드로서 컴

퓨터-판독가능 매체로서 저장될 수 있다. 예들은, 데이터 구조로 인코딩된 컴퓨터 판독가능 매체 및 컴퓨터 프로그램으로 인코딩된 컴퓨터 판독가능 매체를 포함한다. 컴퓨터 판독가능 매체는 물리적 컴퓨터 저장 매체들을 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있다; 여기에 사용된 바와 같이, 디스크(disk) 및/또는 디스크(disc)는 컴팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서, 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 상기의 결합들이 또한 컴퓨터 판독가능 매체들의 범위 내에 포함되어야 한다.

[0058]

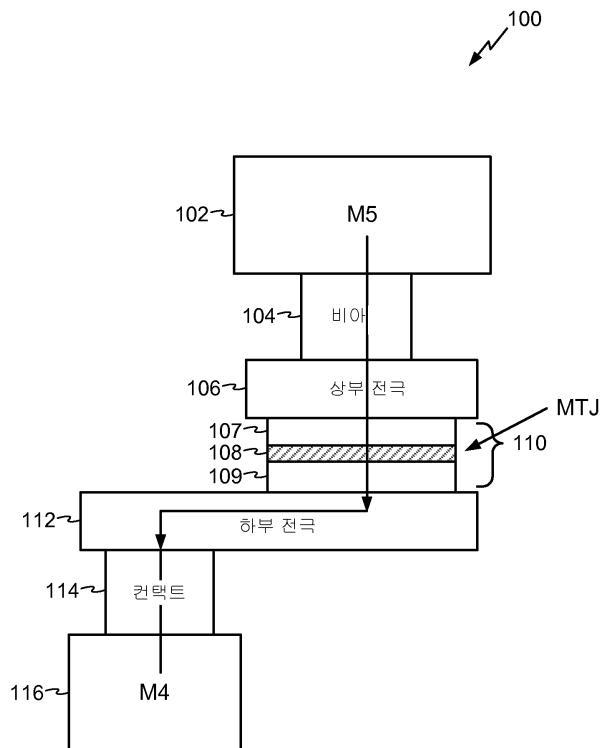
[0068]컴퓨터 판독가능 매체 상의 저장에 부가하여, 명령들 및/또는 데이터가 통신 장치에 포함된 송신 매체들 상의 신호들로서 제공될 수도 있다. 예를 들어, 통신 장치는 명령들 및 데이터를 표시하는 신호들을 갖는 트랜시버를 포함할 수도 있다. 명령들 및 데이터는, 하나 또는 그 초과의 프로세서들로 하여금 청구항들에서 약술된 기능들을 구현하게 하도록 구성된다.

[0059]

[0069]본 발명의 교시들 및 그들의 이점들이 상세히 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같은 본 개시물의 기술을 벗어나지 않으면서 다양한 변화들, 치환들 및 수정들이 여기서 행해질 수 있음을 이해해야 한다. 예를 들어, "상부" 및 "하부"와 같은 상대적인 용어들은 기판 또는 전자 디바이스에 대하여 사용된다. 물론, 기판 또는 전자 디바이스가 반전되는 경우, 상부는 하부가 되고, 그 역의 경우도 성립된다. 추가로, 측면들에 배향되는 경우, 상부 및 하부는 측면들을 지칭할 수 있다. 또한, 본 출원의 범위는, 그 명세서에 설명된 프로세스, 머신, 제조법, 조성물, 수단, 방법들 및 단계들의 특정한 구성들로 제한되도록 의도되지 않는다. 당업자가 본 발명으로부터 용이하게 인식할 바와 같이, 여기에 설명된 대응하는 구성들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는, 현재 존재하거나 추후에 개발될 프로세스들, 머신들, 제조법, 물질의 합성, 수단, 방법들, 또는 단계들이 본 발명의 교시들에 따라 이용될 수도 있다. 따라서, 첨부된 청구항들은 그들의 범위 내에, 그러한 프로세스들, 머신들, 제조법, 조성물, 수단, 방법들, 또는 단계들을 포함하도록 의도된다.

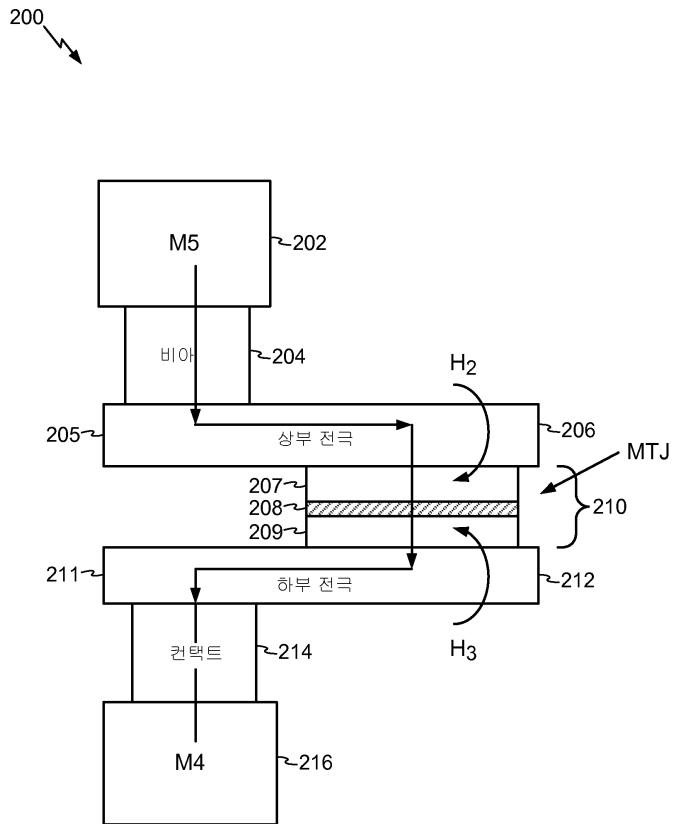
도면

도면1

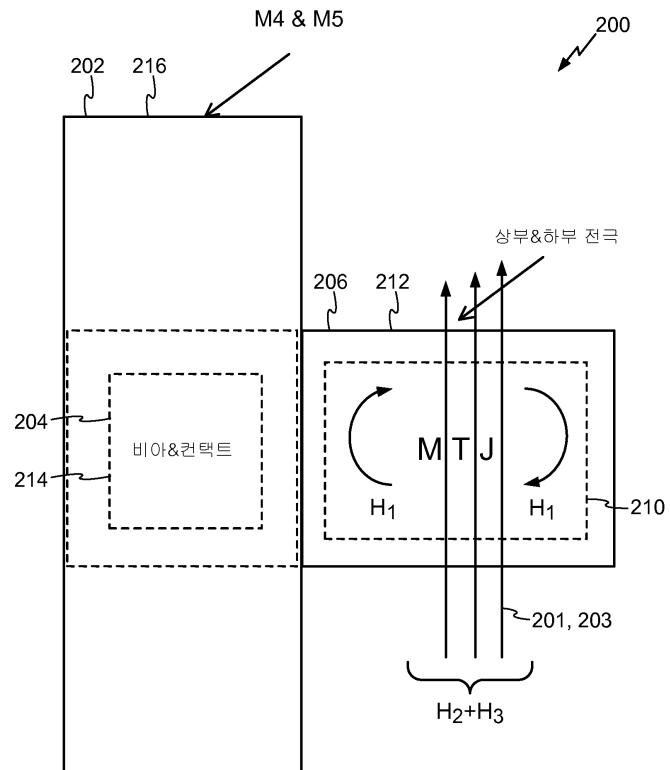


종래기술

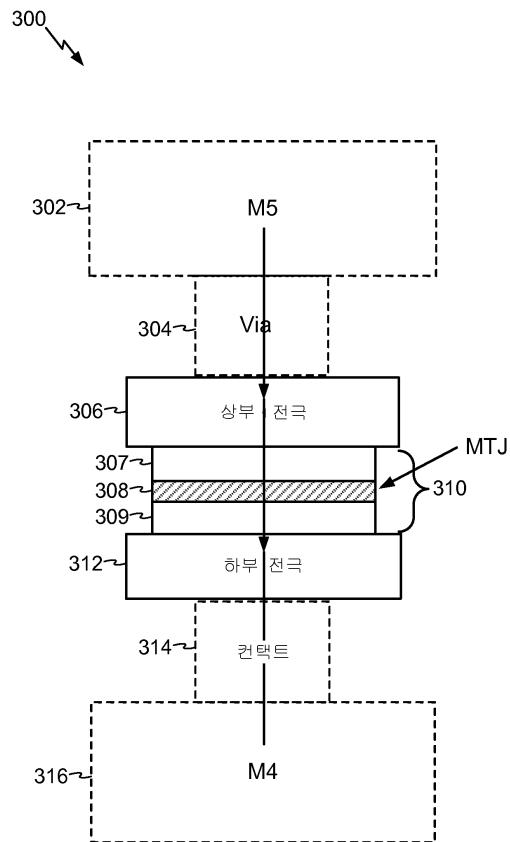
도면2a



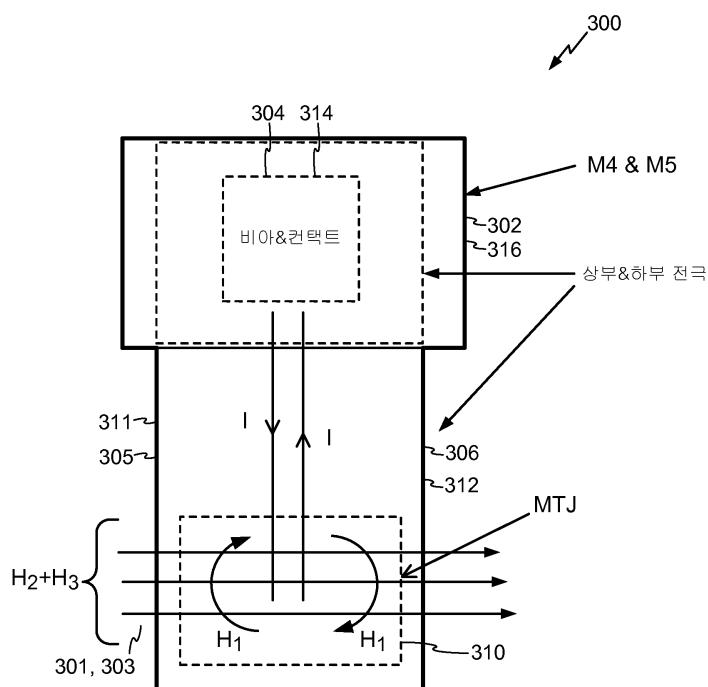
도면2b



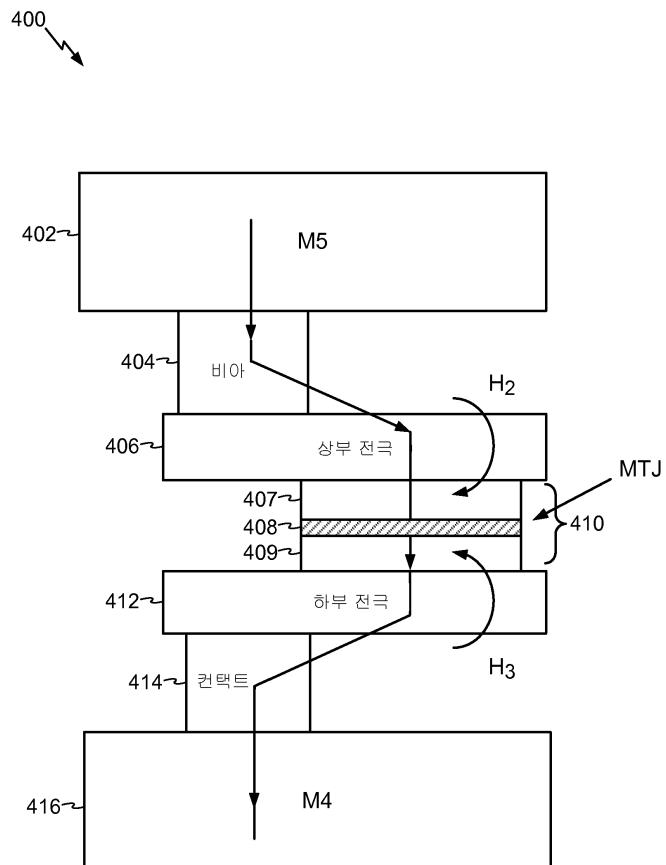
도면3a



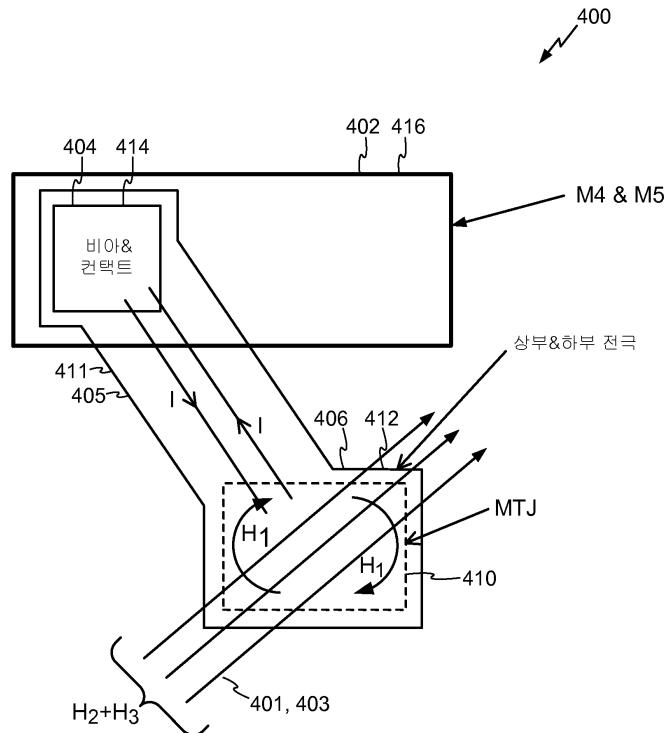
도면3b



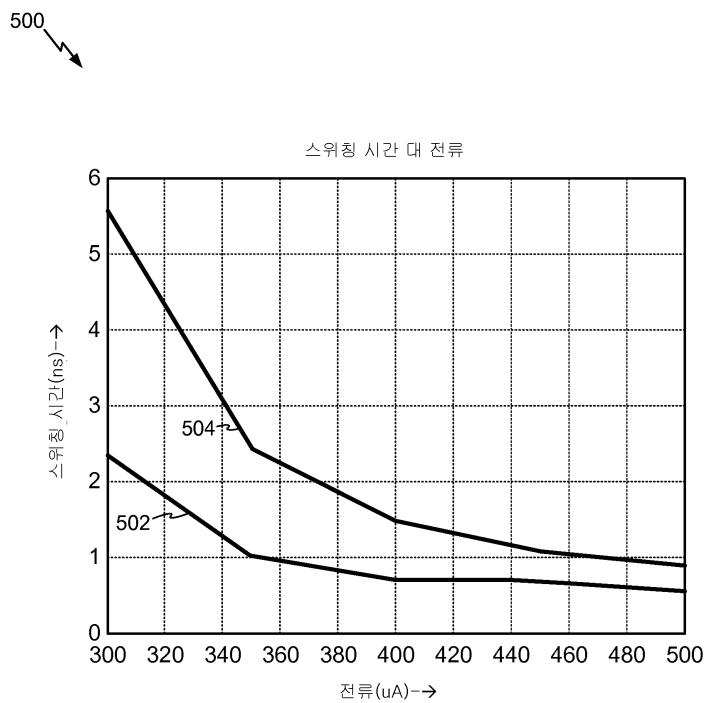
도면4a



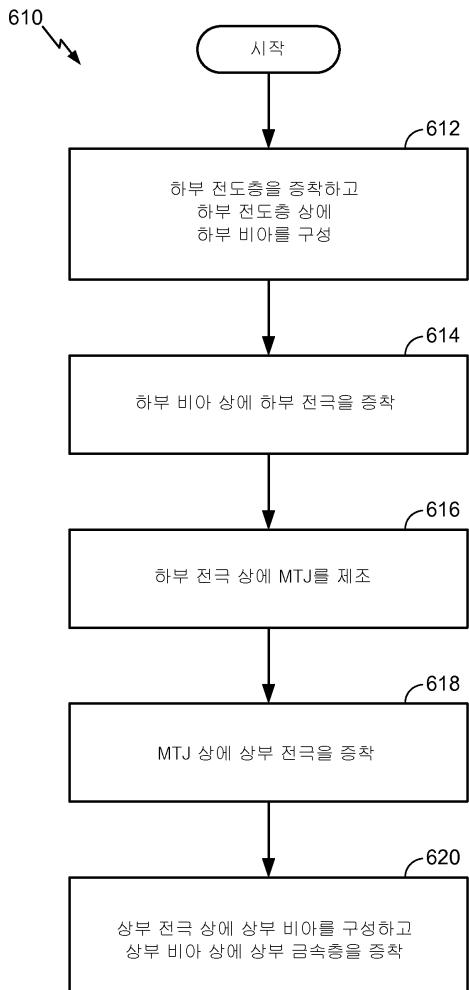
도면4b



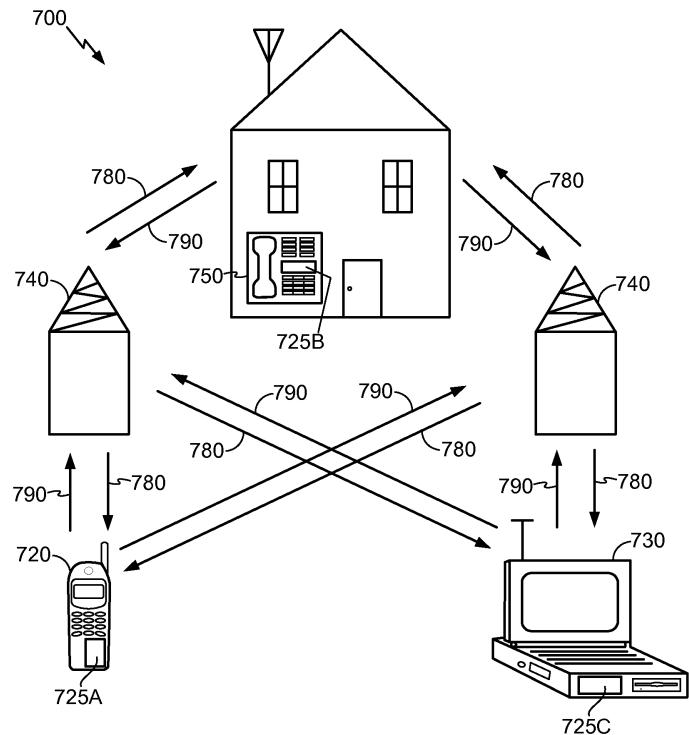
도면5



도면6



도면7



도면8

