



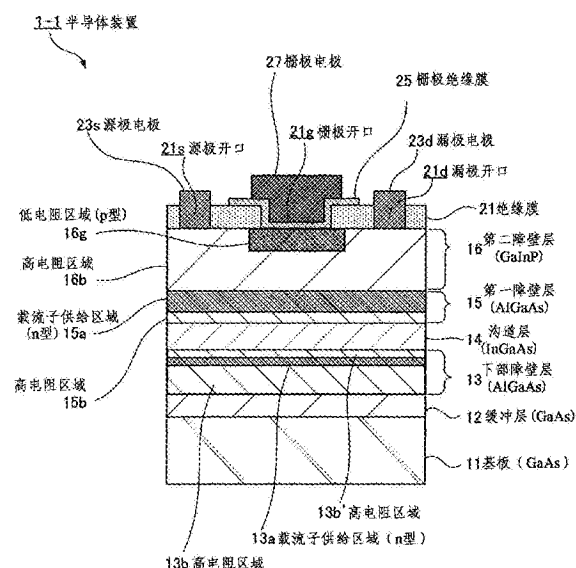
(45)授权公告日 2018.02.09

权利要求书3页 说明书43页 附图51页

位于低电阻区域(16g)的相对两侧并且连接到第二障壁层(16)的源极电极(23s)和漏极电极(23d);隔着栅极绝缘膜(25)设置于低电阻区域(16g)上方的栅极电极(27)。

(57)摘要

半导体装置具有设置于沟道层(14)的上部上的上部障壁层中的第一障壁层(15),第一障壁层(15)构成沟道层(14)侧的界面层并且由这样的化合物半导体构成:在第一障壁层(15)与沟道层(14)的接合部,该化合物半导体的载流子运动侧能带比沟道层(14)的载流子运动侧能带更远离沟道层(14)之内的本征费米能级。半导体装置具有设置于上部障壁层的表面层的第二障壁层(16),第二障壁层(16)由这样的化合物半导体构成:在第二障壁层(16)与第一障壁层(15)形成接合的状态下,在该接合处,该化合物半导体的位于带隙两边的载流子运动侧及其相对侧的能带比第一障壁层(15)的位于带隙两边的载流子运动侧及其相对侧的能带更远离第一障壁层(15)内的本征费米能级。此外,半导体装置包括:低电阻区域(16g),其设置在第二障壁层(16)的至少表面层并且通过含有具有与载流子的导类型相反的导电型的杂质来保持比周边区域低的电阻;



[接上页]

(51) Int. Cl.

H01L 29/812(2006.01)

(56)对比文件

CN 1669131 A, 2005.09.14,

JP 特开2000-100828 A, 2000.04.07,

US 2001/0013604 A1, 2001.08.16,

1. 一种半导体装置,其包括:

沟道层,所述沟道层由化合物半导体构成;

上部障壁层,所述上部障壁层由化合物半导体构成并且设置在所述沟道层上,所述上部障壁层设置有第一障壁层和第二障壁层,其中,

所述第一障壁层构成所述上部障壁层中的所述沟道层侧的边界层,且所述第一障壁层由这样的化合物半导体构成:在所述第一障壁层与所述沟道层的接合部处,构成所述第一障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级,

所述第二障壁层设置在所述上部障壁层的表面层,且所述第二障壁层由这样的化合物半导体构成:在所述第二障壁层与所述第一障壁层形成接合的状态下,在接合部处,构成所述第二障壁层的化合物半导体的隔着带隙与载流子运动侧能带相对的能带比所述第一障壁层的隔着带隙与载流子运动侧能带相对的能带更远离所述第一障壁层内的本征费米能级;

低电阻区域,所述低电阻区域设置在所述第二障壁层的至少表面层中,且所述低电阻区域包含与载流子的导电型相反的导电型的杂质以保持比周边区域更低的电阻;

源极电极和漏极电极,所述源极电极和漏极电极在横跨所述低电阻区域两侧的位置处连接至所述第二障壁层;

栅极绝缘膜,所述栅极绝缘膜设置在所述低电阻区域上;和

栅极电极,所述栅极电极隔着所述栅极绝缘膜设置在所述低电阻区域上方。

2. 根据权利要求1所述的半导体装置,其中,所述低电阻区域具有从所述第二障壁层的表面层延伸到所述第一障壁层的深度。

3. 根据权利要求1所述的半导体装置,还包括:

下部障壁层,所述下部障壁层位于相对于所述上部障壁层在所述沟道层另一侧的位置,且所述下部障壁层由这样的化合物半导体构成:在所述下部障壁层与所述沟道层的接合部,构成所述下部障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级。

4. 根据权利要求1至3中任一项所述的半导体装置,还包括:

位于所述上部障壁层与所述源极电极和漏极电极之间的含有将成为载流子的杂质的层。

5. 根据权利要求1至3中任一项所述的半导体装置,其中,所述第二障壁层的整个区域被图形化地形成在所述第一障壁层上方作为所述低电阻区域。

6. 根据权利要求1至3中任一项所述的半导体装置,其中,所述栅极电极具有完全覆盖所述低电阻区域上方的形状。

7. 根据权利要求1至3中任一项所述的半导体装置,

其中,所述第一障壁层中的导带的最低能量高于所述沟道层的导带的最低能量,并且

其中,在所述第二障壁层与所述第一障壁层的接合部处,所述第二障壁层中的价带的最高能量低于所述第一障壁层中的价带的最高能量。

8. 根据权利要求1至3中任一项所述的半导体装置,

其中,所述沟道层由作为III-V族化合物半导体的InGaAs混晶构成,

其中,所述第一障壁层由作为III-V族化合物半导体的AlGaAs混晶构成,并且
其中,所述第二障壁层由作为III-V族化合物半导体的GaInP混晶构成。

9. 根据权利要求1至3中任一项所述的半导体装置,

其中,所述沟道层由作为III-V族化合物半导体的InGaAs混晶构成,并且

其中,所述第一障壁层或所述第二障壁层由作为III-V族化合物半导体的In (AlGa) AsP混晶构成。

10. 根据权利要求1至3中任一项所述的半导体装置,其中,所述沟道层设置在由GaAs构成的基板的上方。

11. 根据权利要求10所述的半导体装置,其中,所述沟道层是通过在所述基板上变质地生长具有与GaAs的晶格常数不同的晶格常数的化合物半导体而形成的。

12. 一种半导体装置的制造方法,所述制造方法包括以下步骤:

在由化合物半导体构成的沟道层上形成由这样的化合物半导体构成的第一障壁层:在所述第一障壁层与所述沟道层的接合部处,构成所述第一障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级;

在所述第一障壁层上方形成由这样的化合物半导体构成的第二障壁层:在所述第二障壁层与所述第一障壁层形成接合的状态下,在接合部处,构成所述第二障壁层的化合物半导体的隔着带隙与载流子运动侧能带相对的能带比所述第一障壁层的隔着带隙与载流子运动侧能带相对的能带更远离所述第一障壁层内的本征费米能级;并且在所述第二障壁层的至少表面层中设置这样的低电阻区域:所述低电阻区域含有导电型与载流子的导电型相反的杂质以保持比周边区域低的电阻;

在横跨所述低电阻区域两侧的位置形成被连接至上部障壁层的源极电极和漏极电极,所述第二障壁层设置在所述上部障壁层的表面层,所述上部障壁层具有由所述第一障壁层构成的所述沟道层侧的边界层;

在所述低电阻区域上形成栅极绝缘膜;并且

在所述低电阻区域上方隔着所述栅极绝缘膜形成栅极电极。

13. 根据权利要求12所述的半导体装置的制造方法,其中,当形成所述栅极绝缘膜时,通过原子层沉积法来沉积所述栅极绝缘膜。

14. 根据权利要求12所述的半导体装置的制造方法,其中,当形成所述第二障壁层时,沉积由化合物半导体构成的所述第二障壁层,然后将杂质扩散到所述第二障壁层来形成所述低电阻区域。

15. 根据权利要求14所述的半导体装置的制造方法,其中,扩散锌作为所述杂质。

16. 根据权利要求14或15所述的半导体装置的制造方法,

其中,当形成所述低电阻区域时,在所述第二障壁层上形成具有开口的绝缘膜,然后通过所述绝缘膜的所述开口将杂质扩散到所述第二障壁层,

其中,在形成所述栅极绝缘膜之前,通过蚀刻来加宽所述绝缘膜的所述开口,

其中,当形成所述栅极绝缘膜时,将所述栅极绝缘膜形成为处于覆盖通过所述开口露出的所述第二障壁层的状态,并且

其中,当形成所述栅极电极时,将所述栅极电极形成为处于隔着所述栅极绝缘膜完全覆盖所述开口的底部的状态。

17. 根据权利要求16所述的半导体装置的制造方法，

其中，当形成所述第二障壁层时，在表面侧形成对于构成所述第二障壁层的化合物半导体的蚀刻阻挡层，

其中，当形成所述低电阻区域时，将所述低电阻区域形成到超过所述蚀刻阻挡层的深度，

其中，当加宽所述绝缘膜的开口时，进行所述绝缘膜的各向同性蚀刻，然后，在形成所述栅极绝缘膜之前，去除所述蚀刻阻挡层。

18. 根据权利要求14或15所述的半导体装置的制造方法，

其中，当形成所述低电阻区域时，在所述第二障壁层上形成具有开口的绝缘膜，在所述开口的侧壁上设置侧墙，并且使用所述绝缘膜和所述侧墙作为掩模将杂质扩散到所述第二障壁层，

其中，在形成所述栅极绝缘膜之前，去除所述侧墙，

其中，当形成所述栅极绝缘膜时，将所述栅极绝缘膜形成为处于覆盖通过所述开口露出的所述第二障壁层的状态，并且

其中，当形成所述栅极电极时，将所述栅极电极形成为处于隔着所述栅极绝缘膜完全覆盖所述开口的底部的状态。

19. 根据权利要求18所述的半导体装置的制造方法，

其中，当沉积所述第二障壁层时，在表面侧形成对于构成所述第二障壁层的化合物半导体的蚀刻阻挡层，

其中，当形成所述低电阻区域时，将所述低电阻区域形成到超过所述蚀刻阻挡层的深度，并且

其中，在去除所述侧墙之后且在形成所述栅极绝缘膜之前，去除所述蚀刻阻挡层。

20. 根据权利要求12或13所述的半导体装置的制造方法，

其中，关于所述低电阻区域的形成，当通过外延生长在所述沟道层上形成所述上部障壁层时，通过外延生长形成掺杂有杂质的所述第二障壁层，然后将所述第二障壁层的整个区域用作所述低电阻区域。

半导体装置和半导体装置的制造方法

技术领域

[0001] 本发明涉及半导体装置和半导体装置的制造方法,特别是在栅极电极与沟道层之间的障壁层中设置有低电阻区域的半导体装置以及该半导体装置的制造方法。

背景技术

[0002] 近年来,在诸如移动电话等移动通信系统中,强烈需求便携式通信终端的小型化和低能耗化。为了实现这些需求,例如,对于天线开关需要减小导通电阻 R_{on} 等。目前,作为实际用于这样的天线开关的器件,存在有结型赝高电子迁移率晶体管(Junction Pseudo-morphic High Electron Mobility Transistor, JPHEMT)等。

[0003] JPHEMT是利用pn结和异质结进行电流调制的半导体装置。像这样的半导体装置设置有异质结,例如,该异质结是由InGaAs制成的沟道层和由带隙宽于沟道层(InGaAs)的带隙的AlGaAs制成的障壁层(AlGaAs)构成的异质结。在障壁层(AlGaAs)之内,在与沟道层相对的表面层中设置有含有杂质的低电阻区域,且该低电阻区域与栅极电极连接。此外,在障壁层(AlGaAs)之内,在相对于低电阻区域的沟道层侧设置有含有杂质(将成为载流子)的载流子供给区域。此外,源极电极和漏极电极在低电阻区域和栅极电极的两侧与障壁层(AlGaAs)欧姆接触。

[0004] 在如上构造的半导体装置中,在沟道层的障壁层侧的边界面上,形成有这样的二维电子气层:其中,作为载流子的电子以高浓度被束缚。此外,通过将电压施加到栅极电极20从而控制二维电子气层的浓度,来调制经由低电阻区域下方的沟道层部分在源极电极与漏极电极之间流动的电流(关于上面的内容,例如参见下面的专利文献1)。

[0005] 引用列表

[0006] 专利文献

[0007] 专利文献1:JP H11-150264A

发明内容

[0008] 技术问题

[0009] 顺便提及地,在上述的JPHEMT构造的半导体装置中,通过减小沟道层中的杂质浓度,能够增加在源极电极与漏极电极之间流动的载流子(电子)的移动性。然而,即使在JPHEMT构造的半导体装置中,仍期望诸如截止电流值的减小等增强性能。

[0010] 因此,本发明旨在提供能够期望在栅极电极与沟道层之间的障壁层中设置有低电阻区域的构造中的截止电流值的减小的半导体装置,以及该半导体装置的制造方法。

[0011] 解决技术问题的方案

[0012] 为了实现这一目的,本发明的半导体装置设置有由化合物半导体构成的沟道层和所述沟道层上的上部障壁层。所述上部障壁层设置有构成所述上部障壁层中的所述沟道层侧的边界层的第一障壁层和设置在所述上部障壁层的表面层的第二障壁层。这些层中,第一障壁层由这样的化合物半导体构成:在所述第一障壁层与所述沟道层的接合部,构成所

述第一障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级。另一方面,所述第二障壁层由这样的化合物半导体构成:在所述第二障壁层与所述第一障壁层形成接合的状态下,在接合部处,构成所述第二障壁层的化合物半导体的隔着带隙与载流子运动侧能带相对的能带比所述第一障壁层的隔着带隙与载流子运动侧能带相对的能带更远离所述第一障壁层内的本征费米能级。在所述第二障壁层的至少表面层中,设置有这样的低电阻区域:所述低电阻区域含有导电型与载流子的导电型相反的杂质从而保持比周边区域低的电阻。此外,在横跨所述低电阻区域两侧的相应位置处设置有连接到所述第二障壁层的源极电极和漏极电极。此外,在所述低电阻区域的上方隔着栅极绝缘膜设置有栅极电极。

[0013] 在这样的构造的半导体装置中,通过设置由如下化合物半导体构成的第一障壁层,载流子被高浓度地束缚在所述沟道层中:在所述第一障壁层与所述沟道层的接合部,构成所述第一障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级。且通过施加到所述栅极电极的栅极电压,扩大或缩小所述沟道层的与所述栅极电极下方的低电阻层相对应的部分中的载流子耗尽区域,以此调制通过所述沟道层在所述源极电极与所述漏极电极之间流动的电流。在这里,所述栅极电极隔着所述栅极绝缘膜设置在所述低电阻区域的上方,所述低电阻区域形成在包含所述第一障壁层的所述上部障壁层的表面层中。于是,即使当施加相对于所述低电阻区域及其周边区域的正向电压时,仍能够防止栅极泄漏电流在所述栅极电极与所述源极电极/漏极电极之间流动。

[0014] 并且,具体地,在设置有所述低电阻区域的所述上部障壁层的表面层中,设置有由这样的化合物半导体构成的第二障壁层:在所述第二障壁层与所述第一障壁层形成接合的状态下,在接合部,构成所述第二障壁层的化合物半导体的隔着带隙与载流子运动侧能带相对的能带比所述第一障壁层的隔着带隙与载流子运动侧能带相对的能带更远离所述第一障壁层内的本征费米能级。因此,当所述栅极电极位于截止电压时,所述沟道层中的载流子运动侧能带远离费米能级,从而与所述上部障壁层具有仅有所述第一障壁层的单层结构的情况相比,变得难以将载流子供给至所述沟道层。

[0015] 此外,本发明提供了上述构造的半导体装置的制造方法,在所述制造方法中进行下面的工序。首先,在由化合物半导体构成的沟道层上,形成由这样的化合物半导体构成的第一障壁层:在所述第一障壁层与所述沟道层的接合部,构成所述第一障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级。然后,在所述第一障壁层的上方,形成由这样的化合物半导体构成的第二障壁层:在所述第二障壁层与所述第一障壁层形成接合的状态下,在接合部,所述第二障壁层的化合物半导体的隔着带隙与载流子运动侧能带相对的能带比所述第一障壁层的隔着带隙与载流子运动侧能带相对的能带更远离所述第一障壁层内的本征费米能级。该第二障壁层被形成至少为在表面层设置有这样的低电阻区域:所述低电阻区域含有导电型与载流子的导电型相反的杂质以保持比周边区域低的电阻。此外,在横跨所述低电阻区域两侧的位置形成被连接至上部障壁层的源极电极和漏极电极,所述第二障壁层设置在所述上部障壁层的表面层,所述上部障壁层具有由所述第一障壁层构成的所述沟道层侧的边界层。此外,在所述低电阻区域上形成所述栅极绝缘膜,并且在所述低电阻区域的上方隔着所述栅极绝缘

膜形成所述栅极电极。

[0016] 本发明的有益效果

[0017] 根据上面说明的本发明,在具有在栅极电极与沟道层之间的障壁层中设置有低电阻区域的构造的半导体装置中,当栅极电极位于截止电压时,因为变得难以将载流子供给至沟道层,所以能够实现截止漏电流的减小。

附图说明

[0018] [图1]图1是图示了第一实施例的半导体装置的主要构造的横截面图。

[0019] [图2]图2是第一实施例的半导体装置在截止操作时的能带图。

[0020] [图3]图3是第一实施例的半导体装置在导通操作时的能带图。

[0021] [图4]图4是图示了第一实施例的半导体装置在截止操作时的载流子耗尽区域的横截面图。

[0022] [图5]图5A是图示了第一实施例的半导体装置的制造工序的横截面工艺流程图(第1部分)。图5B是图示了第一实施例的半导体装置的制造工序的横截面工艺流程图(第1部分)。

[0023] [图6]图6A是图示了第一实施例的半导体装置的制造工序的横截面工艺流程图(第2部分)。图6B是图示了第一实施例的半导体装置的制造工序的横截面工艺流程图(第2部分)。

[0024] [图7]图7是图示了第一实施例的效果的栅极电压-漏极电流的曲线图。

[0025] [图8]图8是在第一实施例的结构中的高电阻区域的各种杂质浓度的情况下各自的栅极电压-漏极电流的曲线图。

[0026] [图9]图9是第二实施例的半导体装置的横截面图。

[0027] [图10]图10是第二实施例的半导体装置在截止操作时的能带图。

[0028] [图11]图11是图示了第三实施例的半导体装置的主要构造的横截面图。

[0029] [图12]图12是图示了第四实施例的半导体装置的主要构造的横截面图。

[0030] [图13]图13是图示了第五实施例的半导体装置的主要构造的横截面图。

[0031] [图14]图14是图示了第六实施例的半导体装置的主要构造的横截面图。

[0032] [图15]图15A是图示了第六实施例的半导体装置的制造工序的横截面工艺流程图(第1部分)。图15B是图示了第六实施例的半导体装置的制造工序的横截面工艺流程图(第1部分)。

[0033] [图16]图16A是图示了第六实施例的半导体装置的制造工序的横截面工艺流程图(第2部分)。图16B是图示了第六实施例的半导体装置的制造工序的横截面工艺流程图(第2部分)。

[0034] [图17]图17A是图示了当第六实施例与第五实施例组合时的制造工序的横截面工艺流程图(第1部分)。图17B是图示了当第六实施例与第五实施例组合时的制造工序的横截面工艺流程图(第1部分)。

[0035] [图18]图18A是图示了当第六实施例与第五实施例组合时的制造工序的横截面工艺流程图(第2部分)。图18B是图示了当第六实施例与第五实施例组合时的制造工序的横截面工艺流程图(第2部分)。

- [0036] [图19]图19是图示了第七实施例的半导体装置的主要构造的横截面图。
- [0037] [图20]图20是图示了第八实施例的半导体装置的主要构造的横截面图。
- [0038] [图21]图21A是图示了第八实施例的半导体装置的制造工序的横截面工艺流程图。图21B是图示了第八实施例的半导体装置的制造工序的横截面工艺流程图。
- [0039] [图22]图22是图示了第九实施例的半导体装置的主要构造的横截面图。
- [0040] [图23]图23是图示了第十实施例的半导体装置的主要构造的横截面图。
- [0041] [图24]图24A是图示了第十实施例的半导体装置的制造工序的横截面工艺流程图。图24B是图示了第十实施例的半导体装置的制造工序的横截面工艺流程图。
- [0042] [图25]图25是图示了第十一实施例的半导体装置的主要构造的横截面图。
- [0043] [图26]图26A是图示了第一示例的横截面工艺流程图(第1部分)。图26B是图示了第一示例的横截面工艺流程图(第1部分)。
- [0044] [图27]图27A是图示了第一示例的横截面工艺流程图(第2部分)。图27B是图示了第一示例的横截面工艺流程图(第2部分)。
- [0045] [图28]图28A是图示了第一示例的横截面工艺流程图(第3部分)。图28B是图示了第一示例的横截面工艺流程图(第3部分)。
- [0046] [图29]图29是图示了第十二实施例的半导体装置的主要构造的横截面图。
- [0047] [图30]图30A是图示了第二示例的横截面工艺流程图(第1部分)。图30B是图示了第二示例的横截面工艺流程图(第1部分)。
- [0048] [图31]图31A是图示了第二示例的横截面工艺流程图(第2部分)。图31B是图示了第二示例的横截面工艺流程图(第2部分)。
- [0049] [图32]图32A是图示了第二示例的横截面工艺流程图(第3部分)。图32B是图示了第二示例的横截面工艺流程图(第3部分)。
- [0050] [图33]图33是图示了第二示例的横截面工艺流程图(第4部分)。
- [0051] [图34]图34是图示了第十三实施例的半导体装置的主要构造的横截面图。
- [0052] [图35]图35A是图示了第三示例的横截面工艺流程图(第1部分)。图35B是图示了第三示例的横截面工艺流程图(第1部分)。
- [0053] [图36]图36A是图示了第三示例的横截面工艺流程图(第2部分)。图36B是图示了第三示例的横截面工艺流程图(第2部分)。
- [0054] [图37]图37A是图示了第三示例的横截面工艺流程图(第3部分)。图37B是图示了第三示例的横截面工艺流程图(第3部分)。
- [0055] [图38]图38是图示了第三示例的横截面工艺流程图(第4部分)。
- [0056] [图39]图39是图示了第十四实施例的半导体装置的主要构造的横截面图。
- [0057] [图40]图40A是图示了第四示例的横截面工艺流程图(第1部分)。图40B是图示了第四示例的横截面工艺流程图(第1部分)。
- [0058] [图41]图41A是图示了第四示例的横截面工艺流程图(第2部分)。图41B是图示了第四示例的横截面工艺流程图(第2部分)。
- [0059] [图42]图42A是图示了第四示例的横截面工艺流程图(第3部分)。图42B是图示了第四示例的横截面工艺流程图(第3部分)。

具体实施方式

[0060] 在下文中,将以如下所示的顺序说明本发明的实施例:

- [0061] 1. 第一实施例(载流子供给区域设置在第一障壁层的表面层的示例)
- [0062] 2. 第二实施例(载流子供给区域设置在第一障壁层的中央的示例)
- [0063] 3. 第三实施例(载流子供给区域与低电阻区域接合的示例)
- [0064] 4. 第四实施例(围绕低电阻区域的第二障壁层的电阻低的示例)
- [0065] 5. 第五实施例(在第二障壁层与源极电极和漏极电极之间设置有帽盖层的示例)
- [0066] 6. 第六实施例(第二障壁层的整个表面被栅极绝缘膜覆盖的示例)
- [0067] 7. 第七实施例(低电阻区域被栅极电极覆盖的示例)
- [0068] 8. 第八实施例(第二障壁层的表面层作为低电阻区域而被图形化的示例)
- [0069] 9. 第九实施例(第一障壁层上的第二障壁层作为低电阻区域而被图形化的示例)
- [0070] 10. 第十实施例(源极区域和漏极区域的导电型与低电阻区域的导电类型相反的示例)
- [0071] 11. 第十一实施例(覆盖低电阻区域的栅极电极以自对准的方式设置的第一示例)
- [0072] 12. 第十二实施例(覆盖低电阻区域的栅极电极以自对准的方式设置的第二示例)
- [0073] 13. 第十三实施例(覆盖低电阻区域的栅极电极以自对准的方式设置的第三示例)
- [0074] 14. 第十四实施例(覆盖低电阻区域的栅极电极以自对准的方式设置的第四示例)
- [0075] 15. 变型例-1
- [0076] 16. 变型例-2
- [0077] 17. 应用例(无线通信装置)

[0078] 顺便提及地,用相同的附图标记表示各个实施例中的共有的构成元件,并且省略重复的说明。

[0079] <<1. 第一实施例>>

[0080] (载流子供给区域设置在第一障壁层的表面层的示例)

[0081] 在这个第一实施例中,将基于每幅附图按照应用了本发明的第一实施例的半导体装置的构造、第一实施例的半导体装置的操作、第一实施例的半导体装置的制造方法和第一实施例的半导体装置的作用效果的顺序进行说明。

[0082] <第一实施例的半导体装置的构造>

[0083] 图1是图示了应用了本发明的第一实施例的半导体装置的主要构造的横截面图。另外,图2是第一实施例的半导体装置在截止操作时的能带图;图3是第一实施例的半导体装置在导通操作时的能带图。在下文中,将基于这些附图说明第一实施例的半导体装置的详细构造。

[0084] 图1所示的第一实施例的半导体装置1-1是所谓的JPHEMT,即,在栅极电极与沟道层之间设置有障壁层并且还在障壁层内设置有相反导电型的低电阻区域。在这个半导体装置1-1中,由相应的化合物半导体材料制成的缓冲层12、下部障壁层13、沟道层14以及由第一障壁层15与第二障壁层16组成的上部障壁层以这样的顺序层叠在由化合物半导体制成的基板11上。在下部障壁层13中,设置有载流子供给区域13a;在上部障壁层的第一障壁层15中,设置有载流子供给区域15a。此外,在上部障壁层的第二障壁层16之内,设置有低电阻

区域16g。

[0085] 具体地,在这个第一实施例中,如下文中详细所述,第一特征部分为:在第一障壁层15与第二障壁层16的接合部,第二障壁层16中的隔着能带隙与载流子运动侧能带相对的能带比第一障壁层15中的隔着能带隙与载流子运动侧能带相对的能带更远离第一障壁层内的本征费米(Fermi)能级。

[0086] 在这里,载流子运动侧能带是由多数载流子占据的能带。此外,隔着能带隙与载流子运动侧能带相对的能带是由少数载流子占据的能带。作为一个示例,在载流子是电子的n型半导体装置中,载流子运动侧能带是导带(传导带),且隔着能带隙与载流子运动侧能带相对的能带是价带(价电带)。另一方面,在载流子是空穴的p型半导体装置中,载流子运动侧能带是价带(价电带),且隔着能带隙与载流子运动侧能带相对的能带是导带(传导带)。在下文中,可以将隔着能带隙与载流子运动侧能带相对的能带简称为与载流子运动侧能带相对的能带。

[0087] 在诸如上面的由化合物半导体材料制成的各层的层叠体上,设置有绝缘膜21。在这个绝缘膜21中,设置有源极开口21s/漏极开口21d,以及源极开口21s与漏极开口21d之间的栅极开口21g。在像这样的绝缘膜21上,设置有分别通过源极开口21s/漏极开口21d连接至第二障壁层16的源极电极23s/漏极电极23d。

[0088] 此外,具体在这个第一实施例中,第二特征部分是:在栅极开口21g的底部露出的低电阻区域16g的上方,隔着栅极绝缘膜25设置有栅极电极27。

[0089] 在下文中,从基板11侧顺次说明构成半导体装置1-1的上述构成元件中各者的详细构造。

[0090] [基板11]

[0091] 基板11由半绝缘化合物半导体材料构成。像这样的基板11例如由III-V族化合物半导体材料构成。例如,使用半绝缘单晶GaAs基板或InP基板。

[0092] [缓冲层12]

[0093] 缓冲层12由例如在基板11上外延生长的化合物半导体层构成,并且使用与基板11和下部障壁层13良好晶格匹配的化合物半导体构成。例如,当基板11由单晶GaAs基板形成时,作为像这样的缓冲层12的一个示例,使用不掺杂杂质的u-GaAs的外延生长层(u代表不掺杂杂质;以下也是如此)。

[0094] [下部障壁层13]

[0095] 下部障壁层13与缓冲层12以及上方的沟道层14良好地晶格匹配。作为像这样的下部障壁层13的一个示例,使用AlGaAs混晶的外延生长层。在这里,作为一个示例,下部障壁层13由在III族元素中铝(Al)的组成比为0.2的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶构成。

[0096] 像这样的下部障壁层13具有载流子供给区域13a,载流子供给区域13a包含供给载流子的杂质。在这里,使用电子作为载流子,且含有作为电子供给杂质的n型杂质的载流子供给区域13a布置于下部障壁层13的膜厚度方向上的中间部分。使用硅(Si)作为由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶构成的下部障壁层13中的n型杂质。

[0097] 此外,下部障壁层13中除了载流子供给区域13a以外的膜厚度部分可以构成不掺杂杂质或含有低浓度的n型或p型杂质的高电阻区域13b、13b'。优选的是,这些高电阻区域13b、13b'具有 $1 \times 10^{17} \text{cm}^{-3}$ 以下的杂质浓度以及 $1 \times 10^{-2} \Omega$ 以上的比电阻。

[0098] 诸如上面的下部障壁层13的具体构造的一个示例如下。不含有杂质且具有约200nm膜厚度的高电阻区域13b设置在缓冲层12侧。在高电阻区域13b的上方,层叠着含有 $1.6 \times 10^{12} \text{cm}^{-2}$ 的硅(Si)并且具有约4nm膜厚度的载流子供给区域13a。此外,在载流子供给区域13a的上方,层叠着不含有杂质并且具有约2nm膜厚度的高电阻区域13b'。

[0099] 顺便提及地,关于下部障壁层13,所有区域可以不含有高电阻区域13b、13b'而均由载流子供给区域13a构成。

[0100] [沟道层14]

[0101] 沟道层14是源极电极23s与漏极电极23d之间的电流通道并且是这样的层:在该层中累积从下部障壁层13的载流子供给区域13a和后面所述的第一障壁层15的载流子供给区域15a供给的载流子。像这样的沟道层14由与下部障壁层13一起形成异质结的化合物半导体构成,并且良好地晶格匹配于下部障壁层13。此外,应当通过使用这样的化合物半导体来构成沟道层14:该化合物半导体的在与下部障壁层13接合的异质结部的载流子运动侧能带比构成下部障壁层13的边界区域的化合物半导体材料中的载流子运动侧能带更接近沟道层内的本征费米能级。换言之,应当通过使用如下的化合物半导体来构成沟道层14:该化合物半导体的在与下部障壁层13接合的异质结部的多数载流子运动侧能带比构成下部障壁层13的边界区域的化合物半导体中的多数载流子运动侧能带更接近少数载流子运动侧能带。顺便提及地,如图2所示,沟道层内的本征费米能级 E_f14 位于沟道层14的导带的最低能量 E_c (以下,被称为导带能量 E_c)和价带的最高能量 E_v (以下,被称为价带能量 E_v)的中间。

[0102] 当载流子是电子时,载流子运动侧能带是导带(传导带)。因此,通过使用III-V族化合物半导体材料来构成沟道层14,III-V族化合物半导体材料的在与下部障壁层13的接合部的导带能量 E_c 低于构成下部障壁层13的化合物半导体材料的导带能量 E_c 。在接合部处沟道层14的导带能量 E_c 与下部障壁层13的导带能量 E_c 之间的差值变得越大,这样的沟道层14就越好。当载流子是空穴时,载流子运动侧能带是价带(价电带)。因此,通过使用这样的化合物半导体来构成沟道层14:该化合物半导体的在与下部障壁层13的接合部处的价带能量 E_v 高于构成下部障壁层13的化合物半导体材料的价带能量 E_v 。在接合部处沟道层14的价带能量 E_v 与下部障壁层13的价带能量 E_v 之间的差值变得越大,这样的沟道层14就越好。顺便提及地,尽管以载流子是电子的情况作为例子来进行下面的说明,但是当载流子是空穴时,在关于杂质和能带的说明中反转导电型就足够了。

[0103] 当下部障壁层13例如由AlGaAs混晶构成时,诸如上面的沟道层14是由能带隙小于AlGaAs混晶的能带隙的InGaAs混晶构成的。在这种情况下,铟(In)的组成比越高,InGaAs混晶的能带隙就能够越小,从而进一步扩大沟道层14的导带能量 E_c 与由AlGaAs混晶制成的下部障壁层13的导带能量 E_c 之间的差值。因此,构成沟道层14的InGaAs混晶可以具有0.1或以上的铟(In)组成比。

[0104] 作为诸如上面的沟道层14的一个示例,使用在III族元素中铟(In)的组成比是0.2的 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶。于是,关于沟道层14,在确保对于下部障壁层13的晶格匹配的同时,获得了导带能量 E_c 之间的足够的差值。

[0105] 此外,像这样的沟道层14可以是不掺杂杂质的u-InGaAs。这样,在沟道层14中抑制了载流子杂质散射,从而实现高移动性的载流子迁移。

[0106] 顺便提及地,沟道层14可以是被形成具有15nm以下膜厚度的外延生长层,这能

够确保结晶度从而实现载流子移动性能优良的层。

[0107] [第一障壁层15(上部障壁层)]

[0108] 第一障壁层15是这样的层:其构成设置在沟道层14上方的上部障壁层的一部分,构成与沟道层14接触的边界层,并且与沟道层14良好地晶格匹配。通过使用如下的化合物半导体材料来构成这样的第一障壁层15:该化合物半导体材料的在与沟道层14的接合部处的载流子运动侧能带比构成沟道层14的化合物半导体材料的载流子运动侧能带更远离沟道层内的本征费米能级 E_f14 。也即是,通过使用这样的化合物半导体材料来构成第一障壁层15:该化合物半导体材料的多数载流子运动侧能带比构成沟道层14的化合物半导体材料的多数载流子运动侧能带更远离在与沟道层14的接合部处的少数载流子运动侧能带。当载流子是电子时,通过使用导带能量 E_c 比构成沟道层14的化合物半导体材料的导带能量 E_c 高的III-V族化合物半导体材料来构成第一障壁层15。在接合部处沟道层14的导带能量 E_c 与第一障壁层15的导带能量 E_c 之间的差值变得越大,这样的第一障壁层15就越好。

[0109] 当沟道层14由InGaAs混晶构成时,诸如上面的第一障壁层15可以例如由能带隙大于InGaAs混晶的能带隙的AlGaAs混晶构成。在这种情况下,通过保持低的铝(Al)的组成比,能够防止扩大所谓的源极电阻。因此,构成第一障壁层15的AlGaAs混晶可以具有在III族元素中的0.25以下的铝(Al)组成比。

[0110] 作为诸如上面的第一障壁层15的一个示例,使用具有0.2的铝(Al)的组成比的 $Al_{0.2}Ga_{0.8}As$ 混晶。于是,确保了相对于沟道层14的晶格匹配。顺便提及地,这样的第一障壁层15不必具有与下部障壁层13相同的组成,且这些层可以由适合彼此的AlGaAs混晶构成。

[0111] 这样的第一障壁层15具有载流子供给区域15a,载流子供给区域15a含有供给载流子的杂质。在这里,n型的载流子供给区域15a(含有作为供给电子的杂质的硅(Si))布置于第一障壁层15的表面层。

[0112] 此外,第一障壁层15中除了载流子供给区域15a以外的膜厚度部可以被形成成为不掺杂杂质或含有低浓度的杂质的高电阻区域15b。当含有杂质时,这个高电阻区域15b包含n型杂质或p型杂质。在此情况下,优选的是,杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以下,且比电阻为 $1 \times 10^{-2} \Omega \text{cm}$ 以上。

[0113] 诸如上面的第一障壁层15的一个示例如下。第一障壁层15具有约6nm的膜厚度,且通过从沟道层14侧依次层叠高电阻区域15b和载流子供给区域15a制成,高电阻区域15b具有约2 nm的膜厚度且不掺杂杂质,载流子供给区域15a具有约4nm的膜厚度且含有约 $1.6 \times 10^{12} \text{cm}^{-2}$ 的硅(Si)。

[0114] 顺便提及地,当沟道层14由InGaAs混晶构成时,第一障壁层15不限于AlGaAs混晶,而可以由作为III-V族化合物半导体的In(AlGa)AsP混晶构成。这样,能够增加由InGaAs混晶构成的沟道层14中的In的组成比,从而增强沟道层14中的载流子移动性。

[0115] 此外,关于这个第一障壁层15,与下部障壁层13一样,所有区域可以由载流子供给区域构成。

[0116] [第二障壁层16(上部障壁层)]

[0117] 第二障壁层16是这样的层:其构成设置在沟道层14上方的上部障壁层的一部分,并且构成上部障壁层的表面层。像这样的第二障壁层16相对于第一障壁层15良好地晶格匹配,并且与第一障壁层15一起形成异质结。此外,具体地,通过使用这样的化合物半导体来

构成这个第二障壁层16:该化合物半导体的在与第一障壁层15的接合部处的与载流子运动侧能带相对的能带比第一障壁层15的与载流子运动侧能带相对的能带更远离第一障壁层内的本征费米能级。即,应当通过使用如下的化合物半导体来构成第二障壁层16:该化合物半导体的在与第一障壁层15的接合部处的少数载流子运动侧能带比第一障壁层15的少数载流子运动侧能带更远离多数载流子运动侧能带。顺便提及地,如图2所示,第一障壁层内的本征费米能级 E_{f15} 位于第一障壁层15的导带能量 E_c 和价带能量 E_v 的中间。当载流子是电子时,通过使用这样的化合物半导体来构成第二障壁层16:第二障壁层16的与第一障壁层15的接合部处的价带能量 E_v 低于第一障壁层15的与沟道层14的接合部处的价带能量 E_v 。在接合部处第一障壁层15的价带能量 E_v 与第二障壁层16的价带能量 E_v 之间的差值变得越大,这样的第二障壁层16就越好。

[0118] 当第一障壁层15由AlGaAs混晶构成时,诸如上面的第二障壁层16例如由能带隙宽于AlGaAs混晶的能带隙的GaInP混晶构成。在这种情况下,第二障壁层16由具有在III族元素中0.5的镓(Ga)组成比的 $Ga_{0.5}In_{0.5}P$ 混晶构成。这样,确保了相对于第一障壁层15的晶格匹配。

[0119] 顺便提及地,这个第二障壁层16不限于GaInP混晶,而可以例如由作为III-V族化合物半导体的In(AlGa)AsP混晶、AlAs混晶、InAlP或AlGaAs混晶构成。然而,AlGaAs混晶中的Al的组成比应当为0.2以上。此外,构成第二障壁层16的化合物半导体的价带能量 E_v 比构成第一障壁层15的化合物半导体的价带能量 E_v 低,并且导带能量 E_c 可以更高或更低,这就足够了。

[0120] 像这样的第二障壁层16是通过不掺杂杂质或含有低浓度的n型杂质而形成的高电阻区域(高电阻区域16b)。当这个第二障壁层16含有n型杂质时,优选的是,杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以下,且比电阻为 $1 \times 10^{-2} \Omega \text{cm}$ 以上。

[0121] 诸如上面的第二障壁层16的一个示例应当以30nm的膜厚度设置在第一障壁层15上。

[0122] [低电阻区域16g]

[0123] 低电阻区域16g设置在第二障壁层16内并且至少在与沟道层14相反侧的表面层上,且相对于载流子供给区域15a具有一段距离。这个低电阻区域16g含有与载流子相反导电型的杂质,且保持着比周边区域低的电阻。因此,当载流子是电子时,p型杂质在低电阻区域16g中扩散。

[0124] 与第二障壁层16的膜厚度和第二障壁层16的n型杂质浓度相关联地,以半导体装置1-1处于以下状态的方式设定这样的低电阻区域16g的厚度和p型杂质浓度的值。即,关于上述这些值,以这样的方式设定厚度和p型杂质浓度:当负电压被施加至栅极电极27时,沟道层14内的电子被耗尽,且另一方面,当正电压被施加至栅极电极27时,低电阻区域16g被耗尽。顺便提及地,在设置有低电阻区域16g的第二障壁层16中,低电阻区域16g以外的其它区域是与低电阻区域16g相比电阻值更大的高电阻区域16b。

[0125] 在这里,当负电压被施加至栅极电极27时沟道层14内的电子的耗尽是由于低电阻区域16g与第二障壁层16的与低电阻区域16g接触的高电阻区域16b之间的pn结的耗尽层导致的。另一方面,当正电压被施加至栅极电极27时低电阻区域16g的耗尽是由于p型低电阻区域16g、栅极绝缘膜25和栅极电极27的MIS结构造成的耗尽层。并且,p型低电阻区域16g的

耗尽造成低电阻区域16g与高电阻区域16b之间的耗尽层消失,这消解了沟道层14内的电子的耗尽,且因此电子被累积在沟道层14之内。

[0126] 在这样的低电阻区域16g中,作为一个示例,可以含有 $1 \times 10^{18} \text{cm}^{-3}$ 以上的p型杂质,或作为一个示例,可以含有约 $1 \times 10^{19} \text{cm}^{-3}$ 的p型杂质。顺便提及地,为了在由 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶或 $\text{In}(\text{AlGa})\text{AsP}$ 混晶构成的第二障壁层16中形成低电阻区域16g,使用锌(Zn)作为p型杂质。

[0127] [绝缘膜21]

[0128] 绝缘膜21被设置为处于覆盖着第二障壁层16的整个表面的状态。关于这个绝缘膜21,使用这样的材料:该材料对构成第二障壁层16的化合物半导体具有绝缘特性并且有能力保护下方的层(在这种情况下为第二障壁层16)的上表面不受诸如离子等杂质的影响。作为一个示例,绝缘膜21由厚度例如为20nm的氮化硅(Si_3N_4)构成。

[0129] 在这样的绝缘膜21中,在设置于第二障壁层16中的低电阻区域16g的两边并且不与低电阻区域16g重叠的位置处设置有到达第二障壁层16中的高电阻区域16b的源极开口21s/漏极开口21d。此外,在绝缘膜21的源极开口21s与漏极开口21d之间设置有具有使低电阻区域16g露出的形状的栅极开口21g。作为本文中的一个示例,这个栅极开口21g应当具有在底部仅允许低电阻区域16g露出的开口宽度。

[0130] 上面的源极开口21s、漏极开口21d和栅极开口21g作为各个独立的开口部设置在绝缘膜21中。

[0131] [源极电极23s/漏极电极23d]

[0132] 源极电极23s和漏极电极23d在横跨低电阻区域16g两侧的位置处分别通过源极开口21s和漏极开口21d与第二障壁层16的高电阻区域16b欧姆接触。这样的源极电极23s和漏极电极23d由从第二障壁层16侧依次层叠并形成合金的金-锗(AuGe)、镍(Ni)和金(Au)构成。源极电极23s和漏极电极23d的膜厚度例如均是100 nm。

[0133] [栅极绝缘膜25]

[0134] 栅极绝缘膜25设置在形成于绝缘膜21中的栅极开口21g的底部,并且栅极绝缘膜25可以被设置为处于完全覆盖着栅极开口21g的状态,并且栅极绝缘膜25的边缘层叠在绝缘膜21上。这样的栅极绝缘膜25通过使用氧化物或氮化物来构成,且例如由厚度为10 nm的氧化铝(Al_2O_3)构成。

[0135] [栅极电极27]

[0136] 栅极电极27隔着栅极绝缘膜25设置在低电阻区域16g的上方。在本文中,栅极电极27应当被设置为处于被嵌入栅极开口21g中的状态,并且在栅极开口21g的底部的整个区域内被设置在低电阻区域16g的上方。这样的栅极电极27由从基板11侧依次层叠的镍(Ni)和金(Au)形成。

[0137] [能带结构]

[0138] 图2是在施加栅极电压 $V_g=0\text{V}$ 或 0V 左右的截止操作时上述构造的半导体装置1-1的栅极电极27下方的能带图。顺便提及地,这个能带图图示了这样的情况:下部障壁层13由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶构成;沟道层14由 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶构成;第一障壁层15由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶构成;且第二障壁层16由 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶构成。

[0139] 如图2所示,第一实施例的半导体装置1-1具有这样的构造:其中,窄带隙沟道层14位于下部障壁层13与第一障壁层15之间,下部障壁层13与第一障壁层15比沟道层14具有更

宽的带隙和更低的价带能量 E_v 。因此,当分别从下部障壁层13和第一障壁层15的载流子供给区域13a、15a供给作为载流子的电子时,沟道层14变成累积电子的二维电子气层。

[0140] 此外,沟道层14与第一障壁层15的异质结部的导带阶跃 ΔE_c 的程度足够大(在这种情况下,0.31eV)。此外,半导体装置1-1被构成为使得第一障壁层15中的导带能量 E_c 的最小点与沟道层14内的导带能量 E_c 之间的差值也是充分大的(在这种情况下,0.20eV或以上)。因此,第一障壁层15内分布的电子的数量减小到与沟道层14内分布的电子的数量相比可忽略的程度。

[0141] <第一实施例的半导体装置的操作>

[0142] 接着,使用图2、图3的能带图和图4的半导体装置1-1的横截面图来说明使用图1说明的半导体装置1-1的操作。

[0143] 顺便提及地,图3是在以与图2大体上相同的方式构成每个层的情况下关于施加栅极电压 $V_g=3V$ 或 $3V$ 附近的导通操作时的能带图。

[0144] 首先,参照图1和图2,在栅极电压 $V_g=0V$ 或 $0V$ 左右被施加至半导体装置1-1中的栅极电极27的状态下,栅极电极27下方的p型低电阻区域16g内的价带能量 E_v 是恒定的且大体上与费米能级 E_f 一致。顺便提及地,当栅极电压 V_g 是负偏压时,因为在p型低电阻区域16g的上表面发生空穴的累积,所以使上表面附近的导带能量 E_c 和价带能量 E_v 降低。然而,沟道层14附近的能带形状大体上与图2中的能带形状相同。

[0145] 此外,在这种情况下,如图4所示,电子被耗尽的载流子耗尽区域A形成在沟道层14内的位于半导体装置1-1中的低电阻区域16g的正下方的区域中,因而沟道层14变为高电阻。于是,基本上没有漏极电流 I_d 通过沟道层14而在源极电极23s与漏极电极23d之间流动,这导致了截止状态。顺便提及地,载流子供给区域15a的价带能量 E_v 与高电阻区域16b的价带能量 E_v 之间的差值越大,处于截止状态的沟道层14的导带 E_c 就变得越高,由此能够在截止状态下减小漏极电流。

[0146] 另一方面,参照图1和图3,在栅极电压 $V_g=3.0V$ 或 $3.0V$ 左右的正栅极电压 V_g 被施加至半导体装置1-1中的栅极电极27的状态下,通过栅极绝缘膜25使p型低电阻区域16g的导带 E_c 降低。于是,低电阻区域16g内的空穴被耗尽。然后,沟道层14内的载流子耗尽区域A(图4中所示)消失,且沟道层14内的电子的数量增加,从而漏极电流 I_d 通过沟道层14在源极电极23s与漏极电极23d之间流动。该漏极电流 I_d 由栅极电压 V_g 调制。

[0147] <第一实施例的半导体装置的制造方法>

[0148] 接着,基于图5和图6的横截面工艺流程图来说明上述构造的半导体装置1-1的制造方法的一个示例。

[0149] [图5A]

[0150] 首先,如图5A所示,例如,在例如由GaAs构成的基板11上外延生长不掺杂杂质的u-GaAs层,从而形成缓冲层12。然后,例如,在缓冲层12上外延生长AlGaAs ($Al_{0.2}Ga_{0.8}As$ 混晶)层,从而形成下部障壁层13。此时,例如,依次外延生长由不掺杂杂质的u-AlGaAs层制成的高电阻区域13b、由掺杂硅(Si)的n型AlGaAs层制成的载流子供给区域13a和由不掺杂杂质的u-AlGaAs层制成的高电阻区域13b'。于是,获得了在沿着膜厚度方向上的中间位置设置有n型载流子供给区域13a的下部障壁层13。

[0151] 接着,例如,在下部障壁层13上外延生长不掺杂杂质的u-InGaAs层,从而形成沟道

层14。

[0152] 然后,例如,在沟道层14上外延生长AlGaAs ($\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶),从而形成第一障壁层15。此时,例如依次外延生长由不掺杂杂质的u-AlGaAs制成的高电阻区域15b和由掺杂硅(Si)的n型AlGaAs层制成的载流子供给区域15a。于是,获得了设置有高电阻区域15b和高电阻区域15b上方的载流子供给区域15a的第一障壁层15。

[0153] 随后,例如,在载流子供给区域15a上外延生长GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶)层,从而形成由不掺杂杂质的u-GaInP层制成的第二障壁层16。这个第二障壁层16被形成高电阻区域16b。另外,由此获得了由第一障壁层15和第二障壁层16制成的上部障壁层。

[0154] 上述之后,形成本文中省略了图示的器件隔离件。在这种情况下,形成通过例如硼的离子注入而形成高电阻的非活性区域,作为器件隔离件。

[0155] [图5B]

[0156] 接着,如图5B所示,在第二障壁层16上通过例如化学气相沉积(CVD)法沉积由氮化硅(Si_3N_4)制成的绝缘膜21。然后,通过对绝缘膜21进行图形化蚀刻,在绝缘膜21中形成使第二障壁层16能够露出的栅极开口21g。在这种状态下,通过从在栅极开口21g的底部露出的第二障壁层16的表面层导入p型杂质,在第二障壁层16内形成p型低电阻区域16g。在这里,在未到达载流子供给区域15a的位置或仅在第二障壁层16内的表面层中扩散作为p型杂质的锌(Zn),从而形成低电阻区域16g。通过使用例如约600℃的温度的锌化合物气体的气相扩散来进行锌(Zn)的扩散。这样,以自对准的方式在栅极开口21g的底部形成了低电阻区域16g。

[0157] [图6A]

[0158] 接着,如图6A所示,在绝缘膜21上以覆盖栅极开口21g的内壁和低电阻区域16g的状态沉积栅极绝缘膜25。在这里,通过原子层沉积(ALD)法来高精度地沉积由具有约10 nm的膜厚度的氧化铝(Al_2O_3)制成的栅极绝缘膜25。

[0159] 然后,隔着栅极绝缘膜25在低电阻区域16g的上方形成形状为嵌入在栅极开口21g中的栅极电极27。此时,在栅极绝缘膜25上通过使用掩模依次气相沉积镍(Ni)和金(Au),从而图形化形成栅极电极27。

[0160] [图6B]

[0161] 接着,如图6B所示,通过对栅极绝缘膜25和绝缘膜21进行图形化蚀刻,在横跨低电阻区域16g两侧的相应位置中形成使第二障壁层16的高电阻区域16b能够露出的源极开口21s和漏极开口21d。

[0162] [图1]

[0163] 之后,如图1所示,形成分别通过源极开口21s和漏极开口21d与第二障壁层16的高电阻区域16b欧姆接触的源极电极23s和漏极电极23d。此时,依次气相沉积金-锗(AuGe)、镍(Ni)和金(Au),对金-锗(AuGe)、镍(Ni)和金(Au)进行图形化,并且通过例如约400℃的热处理使金-锗(AuGe)、镍(Ni)和金(Au)形成为金基合金,从而形成源极电极23s和漏极电极23d,以此完成半导体装置1-1。

[0164] 通过上面说明的制造方法,能够形成第一实施例的半导体装置1-1。根据这种方法,在通过形成于绝缘膜21中的栅极开口21g扩散p型杂质而形成低电阻区域16g之后,隔着栅极绝缘膜25以被嵌入在栅极开口21g中的状态形成栅极电极27。因此,栅极电极27以相对

于低电阻区域16g自对准的方式形成在低电阻区域16g的上方。因此,能够容易地获得第一实施例的半导体装置1-1。

[0165] 顺便提及地,可以在形成源极开口21s/漏极开口21d以及源极电极23s/漏极电极23d之后形成栅极开口21g、栅极绝缘膜25和栅极电极27。即使在这种情况下,因为隔着栅极绝缘膜25以相对于低电阻区域16g自对准的方式形成栅极电极27,所以能够容易地获得第一实施例的半导体装置1-1。

[0166] <第一实施例的半导体装置的效果>

[0167] 关于上面说明的半导体装置1-1,在p型低电阻区域16g设置在不掺杂杂质或具有低浓度的n型高电阻区域16b内的构造中,栅极电极27隔着栅极绝缘膜25设置在p型低电阻区域16g的上方。因此,即使当把正向电压(在这种情况下,正电压)施加到栅极电极27时,仍能够防止栅极泄漏电流在栅极电极27与源极电极23s/漏极电极23d之间流动。于是,与过去没有设置栅极绝缘膜25的半导体装置(JPHEMT)相比,能够将更高的正栅极电压 V_g 施加至栅极电极27。因此,能够进一步减小沟道层14的导通电阻 R_{on} ,从而寻求最大漏极电流 I_{dmax} 的提高。此外,这样使得更小的元件尺寸成为可能,且能够寻求相对于器件的寄生电容的减小。

[0168] 此外,这个半导体装置1-1具有这样的构造:其中,在下部障壁层13内设置有n型载流子供给区域13a,且此外,在第一障壁层15内设置有n型载流子供给区域15a。因此,由于将电子从这些载流子供给区域13a、15a供给到沟道层14,所以沟道层14内的载流子面密度(sheet carrier density)变大,且能够减小沟道电阻。也由此,能够寻求导通电阻 R_{on} 的减小和最大漏极电流 I_{dmax} 的提高。

[0169] 且具体地,设置有低电阻区域16g的上部障壁层是沟道层14侧的第一障壁层15和第一障壁层15上的第二障壁层16的多层结构。在这个多层结构中,在第二障壁层16与第一障壁层15的接合部,第二障壁层16的价带能量 E_v 被设计为低于第一障壁层15的价带能量 E_v 。于是,如使用图2的能带图所说明地,致使沟道层14的导带能量 E_c 在远离费米能级 E_f 的方向上上升了沟道层14的带隙的程度。顺便提及地,在图2的能带图中,由双点划线示出了作为比较例的情况:其中,被设置为与沟道层14接触的上部障壁层是由AlGaAs制成的单层。

[0170] 即,如图2的能带图所示,当栅极电极27处于截止电压状态时,与栅极绝缘膜25接触的低电阻区域16g的价带能量 E_v 大体上与费米能级 E_f 一致。在这里,在相对于第一障壁层15的接合部,构成低电阻区域16g的第二障壁层16的价带能量 E_v 低于第一障壁层15的价带能量 E_v 。因此,在第二障壁层16与第一障壁层15的异质结部,使得第一障壁层15的价带能量 E_v 处于与第二障壁层16的价带能量 E_v 相比向上至费米能级 E_f 侧的状态。此外,在与第一障壁层15形成异质结的沟道层14中,也使得价带能量 E_v 处于向上至费米能级 E_f 侧的状态。由于这个影响,在维持沟道层14的带隙的同时,使得沟道层14的导带能量 E_c 在远离费米能级 E_f 的方向上上升。

[0171] 于是,沟道层14中的导带能量 E_c 与费米能级 E_f 之间的能量差 ΔE 变得大于由图中的双点划线表示的比较例的能量差 ΔE_0 。

[0172] 如上,在具有这个第一实施例的构造的半导体装置中,与比较例相比,在截止状态中电子变得难以出现在沟道层14的导带中,由此能够减小截止泄漏电流。

[0173] 图7图示了关于具有此第一实施例的构造的半导体装置(InGaP/AlGaAs)和上面说

明的上部障壁层由单层构成的比较例 (AlGaAs) 的栅极电压-漏极电流曲线图。如这个曲线图所示,可以理解的是,在栅极电压为负的截止时期,此第一实施例的半导体装置 (InGaP/AlGaAs) 的漏极电流与比较例 (AlGaAs) 的漏极电流相比减小了差不多两个数量级。

[0174] 此外,在此第一实施例的构造的半导体装置中,因为寻求这样的截止泄漏电流的减小,所以能够在与p型低电阻区域16g接触的区域(高电阻区域16b)中增加n型杂质浓度。

[0175] 图8图示了关于在高电阻区域16b中的各种n型杂质浓度的情况下此第一实施例的半导体装置 (InGaP/AlGaAs) 和上面说明的上部障壁层由单层构成的比较例 (AlGaAs) 的栅极电压-漏极电流曲线图。如这个曲线图所示,可以理解的是,即使当高电阻区域16b的n型杂质浓度增加到约 $1.1 \times 10^{18} \text{ (cm}^{-3}\text{)}$,仍能够将截止电流抑制在与比较例 (AlGaAs) 中的高电阻区域16b的n型杂质浓度是 $5 \times 10^{17} \text{ (cm}^{-3}\text{)}$ 的情况下大体上相同的水平。

[0176] 如上,在此第一实施例的半导体装置中,因为能够增加与低电阻区域16g接触的区域中的相反导电型的杂质浓度,所以能够增加沟道层14的载流子面密度,从而减小沟道电阻和接入电阻。因此,能够减小导通状态下的电阻(导通电阻 R_{on})。由此,还能够期望这样的效果:寻求最大漏极电流 I_{dmax} 的提高、更小的元件尺寸以及相对于该元件的寄生电容的减小。

[0177] 此外,通过使用具有比用作构成沟道层14的化合物半导体层的InGaAs更宽的带隙的化合物半导体(例如,InGaP)作为第二障壁层16的构成材料来实现如上的效果,虽然由于V族元素不同,所以在外延生长时从As到P的切换是必要的。

[0178] 此外,在把负电压施加到栅极电极27的截止操作中,由施加的负电压造成的电场完全施加至栅极绝缘膜25。因此,从包含低电阻区域16g的第二障壁层16起的基板11侧的由化合物半导体构成的各层内的耗尽层没有变化。即,几乎不存在截止时的电容的栅极偏置依赖性,从而寻求更高的谐波失真特性的提高。

[0179] 顺便提及地,虽然在上面的第一实施例中将半导体装置1-1说明为耗尽型,但是即使在增强型的情况下也能够构思出大体上相同的半导体装置,且上面的说明也非常适用。

[0180] <<2. 第二实施例>>

[0181] (载流子供给区域设置在第一障壁层的中间的示例)

[0182] 图9是图示了第二实施例的半导体装置的主要构造的横截面图;图10是说明第二实施例的半导体装置的操作的能带图。在下文中,将基于这些附图以如下顺序进行说明:应用了本发明的第二实施例的半导体装置的构造、第二实施例的半导体装置的操作和第二实施例的半导体装置的作用效果。

[0183] <第二实施例的半导体装置的构造>

[0184] 如图9所示,这个第二实施例的半导体装置1-2与使用图1说明的第一实施例的半导体装置之间的差异在于设置在第一障壁层15中的载流子供给区域15a位于沿着膜厚度方向上的中部,而其它的构造大体上相同。因此,用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0185] [第一障壁层15]

[0186] 即,第一障壁层15与第一实施例中的第一障壁层大体上相同,由与沟道层14良好晶格匹配的并且比构成沟道层14的化合物半导体材料具有更高的导带能量 E_c 的III-V族化合物半导体材料构成,并且与沟道层14形成异质结。

[0187] 在这样的第一障壁层15中,布置于载流子供给区域15a两侧的高电阻区域15b、15b'可以被单独地形成成为不掺杂杂质或含有低浓度的杂质的高电阻区域15b。当含有杂质时,这些高电阻区域15b、15b'含有n型杂质或p型杂质。在这种情况下,优选的是,杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以下且比电阻为 $1 \times 10^{-2} \Omega \text{cm}$ 以上。

[0188] 如上的第一障壁层15的具体构造的一个示例如下。第一障壁层15具有约8 nm的膜厚度,并且由从沟道层14侧依次层叠的具有约2 nm的膜厚度且不包含杂质的高电阻区域15b、具有约4 nm的膜厚度且包含 $1.6 \times 10^{12} \text{cm}^{-2}$ 的硅(Si)的载流子供给区域15a和具有约2 nm的膜厚度且不包含杂质的高电阻区域15b'构成。

[0189] 顺便提及地,这个第一障壁层15可以被构成为使得只有与第二障壁层16接触的这一侧的层是高电阻区域15b'且与沟道层14接触的这一侧的层是载流子供给区域。

[0190] [第二障壁层16]

[0191] 即使在载流子供给区域15a设置在如上的第一障壁层15的中间的构造中,与第一实施例大体上相同的构造也应用于该第一障壁层15上的第二障壁层16。即,第二障壁层16与第一障壁层15良好地晶格匹配且与第一障壁层15形成异质结。此外,具体地,特征在于:此第二障壁层16由价带能量 E_v 比构成第一障壁层15的化合物半导体材料的价带能量 E_v 低的III-V族化合物半导体材料构成。第二障壁层16与第一障壁层15的价带能量 E_v 之间的差值变得越大,这样的第二障壁层16就越好。

[0192] [低电阻区域16g]

[0193] 此外,应用了与第一实施例大体上相同构造的低电阻区域16g被设置以具有相对于载流子供给区域15a的间隔。因此,在此第二实施例中,低电阻区域16g可以布置在从第二障壁层16延伸通过第一障壁层15的高电阻区域15b'的深度,或可以到达第一障壁层15的载流子供给区域15a。

[0194] [能带结构]

[0195] 图10是在施加栅极电压 $V_g = 0\text{V}$ 或 0V 左右的截止操作时,上述构造的半导体装置1-2的能带图。顺便提及地,这个能带图图示了这样的情况:下部障壁层13和第一障壁层15均由 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶构成;第二上部障壁层由 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶构成;且沟道层14由 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶构成。

[0196] 如图10所示,如同第一实施例的半导体装置的情况一样,上述构造的半导体装置1-2具有这样的构造:其中,窄带隙沟道层14设置在下部障壁层13与第一障壁层15之间,下部障壁层13和第一障壁层15比沟道层14具有更宽的带隙和更低的价带能量 E_v 。因此,当分别从下部障壁层13和第一障壁层15的载流子供给区域13a、15a供给载流子时,沟道层14变成累积电子的二维电子气层。

[0197] 此外,沟道层14与第一障壁层15的异质结部的导带阶跃 ΔE_c 的程度足够大(在这种情况下,0.31eV)。此外,半导体装置1-2被构成为使得第一障壁层15中的导带能量 E_c 的最小点与沟道层14内的导带能量 E_c 之间的差值也足够大(在这种情况下,0.20eV或以上)。因此,第一障壁层15内分布的电子的数量减小到与沟道层14内分布的电子的数量相比可忽略的程度。

[0198] <第二实施例的半导体装置的操作>

[0199] 具有像这样的构造的半导体装置1-2以与第一实施例的半导体装置大体上相同的

方式操作。

[0200] <第二实施例的半导体装置的制造方法>

[0201] 在具有这样的构造的半导体装置1-2的制造过程中,仅仅是在以第一实施例的半导体装置的制造工序形成第一障壁层15时,依次外延生长高电阻区域15b、载流子供给区域15a和高电阻区域15b'的处理是不同的。此外,虽然通过将作为p型杂质的锌(Zn)扩散到例如由GaInP混晶制成的第二障壁层来形成低电阻区域16g,但是可以扩散p型杂质以使p型杂质达到由AlGaAs混晶制成的第一障壁层15的载流子供给区域15a。

[0202] <第二实施例的半导体装置的效果>

[0203] 上面说明的半导体装置1-2具有这样的构造:其中,如同第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且栅极电极27隔着栅极绝缘膜25设置在设置于第二障壁层16的表面层中的p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0204] <<3. 第三实施例>>

[0205] (载流子供给区域与低电阻区域接合的示例)

[0206] 图11是图示了第三实施例的半导体装置的主要构造的横截面图。在下文中,基于附图说明应用了本发明的第三实施例的半导体装置的构造。

[0207] <第三实施例的半导体装置的构造>

[0208] 图11所示的这个第三实施例的半导体装置1-3与使用图1说明的第一实施例的半导体装置之间的差异在于:设置在第二障壁层16中的p型低电阻区域16g被布置为与第一障壁层15的载流子供给区域15a接触。其它的构造与第一实施例大体上相同。因此,用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0209] 即,设置在第二障壁层16中的p型低电阻区域16g的深度与第二障壁层16的膜厚度一致。且p型低电阻区域16g设置为与设置在第一障壁层15中且含有n型杂质的n型载流子供给区域15a接触。

[0210] <第三实施例的半导体装置的操作和制造方法>

[0211] 具有这样的构造的半导体装置1-3以与第一实施例的半导体装置大体上相同的方式操作。另外,在此半导体装置1-3的制造中,当以第一实施例的半导体装置的制造工序沉积第二障壁层16时,以与稍后形成的p型低电阻区域16g的深度一致的膜厚度形成第二障壁层16。此外,当形成p型低电阻区域16g时,将p型杂质导入到第二障壁层16中以使p型杂质到达第一障壁层15的载流子供给区域15a。

[0212] <第三实施例的半导体装置的效果>

[0213] 上面说明的半导体装置1-3具有这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且栅极电极27隔着栅极绝缘膜25设置在设置于第二障壁层16的表面层中的p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0214] 除此以外,关于第三实施例的半导体装置1-3,能够获得通过将p型低电阻区域16g设置为与载流子供给区域15a接触而导致的效果。即,因为半导体装置1-3具有p型低电阻区域16g被设置为与载流子供给区域15a接触的构造,所以能够缩短p型低电阻区域16g与沟道层14之间的距离。于是,能够增强栅极电压对沟道层14内的电位的可控性。由此,还期望的

是,寻求最大漏极电流 I_{dmax} 的提高、更小的元件尺寸和相对于该元件的寄生电容的减小。此外,因为能够使从低电阻区域16g到沟道层14的间隔变窄,所以能够以相对高的值来设定阈值电压。

[0215] 此外,在载流子供给区域15a中的杂质浓度相对高于p型低电阻区域16g中的杂质浓度的条件下,载流子供给区域15a内的杂质能够中和扩散到载流子供给区域15a中的锌。因此,通过扩散诸如锌(Zn)等p型杂质而形成的p型低电阻区域16g的深度与第二障壁层16的膜厚度能够相同。于是,p型低电阻区域16g的深度由第二障壁层16的膜厚度高精度地控制,以此能够高精度地形成薄的低电阻区域16g。此外,这也使得能够缩短p型低电阻区域16g与沟道层14之间的距离,从而增强栅极电压对沟道层14内的电位的可控性。

[0216] 顺便提及地,在此第三实施例中,已经说明了这样的构造:其中,在第一实施例的使用图1说明的构造中,p型低电阻区域16g被布置为与载流子供给区域15a接触。然而,该第三实施例不限于应用于第一实施例,而可以与第二实施例结合。在这种情况下,在使用图9说明的第二实施例的构造中,设置在第二障壁层16中的p型低电阻区域16g被设置为与第一障壁层15内的载流子供给区域15a接触。即使在这样的构造中,p型低电阻区域16g的深度仍受到第二障壁层16和第一障壁层15中的高电阻区域15b'的膜厚度的高精度地控制,且因此能够高精度地形成薄的低电阻区域16g。

[0217] <<4. 第四实施例>>

[0218] (围绕低电阻区域的第二障壁层是低电阻的示例)

[0219] 图12是图示了第四实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第四实施例的半导体装置的构造。

[0220] <第四实施例的半导体装置的构造>

[0221] 图12所示的此第四实施例的半导体装置1-4与使用图1说明的第一实施例的半导体装置之间的差异在于第二障壁层16中的p型低电阻区域16g的围绕部由代替高电阻区域的低电阻区域16a构成,并且其它的构造大体上与第一实施例的构造相同。因此,用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0222] 即,设置在第二障壁层16的表面层的p型低电阻区域16g被包含n型杂质的n型低电阻区域16a围绕。换言之,p型低电阻区域16g设置在完全构成n型低电阻区域16a的第二障壁层16的表面层。这样的n型低电阻区域16a可以是与第一障壁层15中的n型载流子供给区域15a连续的。

[0223] <第四实施例的半导体装置的操作和制造方法>

[0224] 具有这样的构造的半导体装置1-4以与第一实施例的半导体装置大体上相同的方式操作。此外,在这个半导体装置1-4的制造中,以第一实施例的半导体装置的制造工序使作为第二障壁层16的包含n型杂质的低电阻区域16a外延生长,并将p型杂质导入到表面层中,从而形成低电阻区域16g,这就足够了。

[0225] <第四实施例的半导体装置的效果>

[0226] 上面说明的半导体装置1-4具有这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且栅极电极27隔着栅极绝缘膜25设置在设置于第二障壁层16的表面层的p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0227] 除上述以外,具体地,因为这个第四实施例的半导体装置1-4具有p型低电阻区域16g设置在n型低电阻区域16a内的构造,所以能够增加沟道层14的载流子面密度,从而减小沟道电阻和接入电阻。因此,也如使用图8的第一实施例说明地,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0228] 顺便提及地,在这个第四实施例中,将第一实施例中的使用图1说明的构造中的围绕p型低电阻区域16g的第二障壁层16的高电阻区域改为n型低电阻区域16a。然而,这个第四实施例不限于应用到第一实施例,而可以与第二至第三实施例结合。在这些情况下,在第二至第三实施例中,使围绕p型低电阻区域16g的区域成为相反导电型(n型)的低电阻区域,这就足够了。于是,在结合了第二至第三实施例的效果的情况下,还可以获得与第四实施例大体上相同的效果。

[0229] <<5. 第五实施例>>

[0230] (在第二障壁层与源极电极和漏极电极之间设置有帽盖层的示例)

[0231] 图13是图示了第五实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第五实施例的半导体装置的构造。

[0232] <第五实施例的半导体装置的构造>

[0233] 图13所示的这个第五实施例的半导体装置1-5与使用图1说明的第一实施例的半导体装置之间的差异在于:在第二障壁层16与源极电极23s/漏极电极23d之间设置有帽盖层31。帽盖层31被设置为包含与低电阻区域16g相反的导电型杂质的层。其它的构造与第一实施例大体上相同。因此,使用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0234] 在源极电极23s/漏极电极23d与构成上部障壁层的第二障壁层16之间设置有帽盖层31作为含有与低电阻区域16g中的导电型相反的导电型杂质(在这种情况下,n型杂质)的层。这样的帽盖层31由与第二障壁层16晶格匹配的化合物半导体材料构成就足够了,并且带隙不一定与第二障壁层16的带隙一致。然而,当带隙极不相同,因为在接合部造成势垒,所以可能增大欧姆接触的电阻。因此,帽盖层31的带隙应当在不影响半导体装置1-5的特性的范围内与作为下层的第二障壁层16的带隙一致。

[0235] 当第二障壁层16由GaInP混晶制成时,如上的帽盖层31应当由含有例如n型杂质的GaAs构成。

[0236] <第五实施例的半导体装置的操作和制造方法>

[0237] 具有这样的构造的半导体装置1-5以与第一实施例的半导体装置大体上相同的方式操作。此外,在这个半导体装置1-5的制造中,在第一实施例的半导体装置的制造工序中的第二障壁层16的膜沉积之后,进行将成为帽盖层31的n型GaAs层外延生长的处理。此外,只需要进行:在为了器件隔离而形成通过硼的离子注入而成为高电阻的非活性区域之后,对n型GaAs层进行图形化蚀刻,从而形成帽盖层31,接着进行绝缘膜21的膜沉积和随后的工序。

[0238] <第五实施例的半导体装置的效果>

[0239] 上面说明的半导体装置1-5具有这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且栅极电极27隔着栅极绝缘膜25设置在设置于第二障壁层16的表面层的p型

低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0240] 除上述以外,具体地,第五实施例的半导体装置1-5具有这样的构造:其中,由化合物半导体制成的帽盖层31设置在源极电极23s/漏极电极23d与第二障壁层16之间。因此,能够增加位于帽盖层31正下方的沟道层14中的载流子面密度,从而减小沟道电阻和接入电阻。因此,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0241] 顺便提及地,在此第五实施例中,已经说明了这样的构造:其中,在第一实施例的使用图1说明的构造中,在源极电极23s/漏极电极23d与第二障壁层16之间设置有帽盖层31作为含有与低电阻区域16g中的导电型相反的导电型杂质的层。然而,这个第五实施例不限于应用到第一实施例,而可以与第二至第四实施例结合。在这些情况下,在第二至第四实施例中的第二障壁层与源极电极23s/漏极电极23d之间设置帽盖层31作为含有与p型低电阻区域16g中的导电型相反的导电型的n型杂质的层,这就足够了。于是,在结合了第二至第四实施例的效果的情况下,还可以获得与第五实施例大体上相同的效果。

[0242] <<6. 第六实施例>>

[0243] (第二障壁层的整个表面被栅极绝缘膜覆盖的示例)

[0244] 图14是图示了第六实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第六实施例的半导体装置的构造。

[0245] <第六实施例的半导体装置的构造>

[0246] 图14所示的这个第六实施例的半导体装置1-6与使用图1说明的第一实施例的半导体装置之间的差异在于:第二障壁层16的整个上表面被栅极绝缘膜25覆盖,并且下面的绝缘膜21被去除;并且其它的构造大体上与第一实施例的构造相同。因此,使用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0247] 即,第二障壁层16的整个上表面被栅极绝缘膜25覆盖。关于这个栅极绝缘膜25,到达第二障壁层16的高电阻区域16b的源极开口25s/漏极开口25d设置在横跨设置于第二障壁层16中的低电阻区域16g两侧的且不与低电阻区域16g重叠的相应位置处。在第二障壁层16的上部,设置有源极电极23s和漏极电极23d,源极电极23s和漏极电极23d分别通过源极开口25s和漏极开口25d连接至第二障壁层16的高电阻区域16b。

[0248] <第六实施例的半导体装置的操作>

[0249] 具有像这样的构造的半导体装置1-6以与第一实施例的半导体装置大体上相同的方式操作。

[0250] <第六实施例的半导体装置的制造方法>

[0251] 接着,基于图15和图16的横截面工艺流程图说明上述构造的半导体装置1-6的制造方法的一个示例。

[0252] [图15A]

[0253] 首先,如图15A所示,通过与第一实施例的使用图5A说明的工序大体上相同的工序,在基板11上依次外延生长缓冲层12、下部障壁层13、沟道层14和由第一障壁层15和第二障壁层16构成的上部障壁层。接着,进行这里省略了图示的器件隔离。

[0254] 然后,在第二障壁层16上外延生长由GaAs制成的帽盖层33。

[0255] [图15B]

[0256] 接着,如图15B所示,在帽盖层33上沉积绝缘膜35,且对绝缘膜35进行图形化蚀刻,

从而在绝缘膜35中形成使帽盖层33的上表面露出的栅极开口35g。

[0257] [图16A]

[0258] 接着,如图16A所示,通过从在栅极开口35g的底部露出的帽盖层33的上表面导入p型杂质,形成从帽盖层33达到第二障壁层16的高电阻区域16b的表面层的低电阻区域16g。在这里,扩散作为p型杂质的锌(Zn)直至不达到第一障壁层15内的载流子供给区域15a的位置或仅在第二障壁层16内的表面层,从而形成低电阻区域16g。通过使用例如约600℃的温度的锌化合物气体的气相扩散来进行锌(Zn)的扩散。

[0259] [图16B]

[0260] 然后,如图16B所示,蚀刻掉绝缘膜35和帽盖层33,留下形成有具有被导入的p型杂质的低电阻区域16g的第二障壁层16。

[0261] 上述之后,如图14所示,在形成有低电阻区域16g的第二障壁层16上沉积栅极绝缘膜25。接着,在栅极绝缘膜25中的横跨低电阻区域16g两侧的相应位置处形成源极开口25s/漏极开口25d,且此外,形成分别通过源极开口25s/漏极开口25d连接到第二障壁层16的高电阻区域16b的源极电极23s/漏极电极23d。此外,在栅极绝缘膜25上,在低电阻区域16g上方的重叠的位置处形成栅极电极27。

[0262] <第六实施例的半导体装置的效果>

[0263] 上面说明的半导体装置1-6具有这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且栅极电极27隔着栅极绝缘膜25设置在被设置于第二障壁层16的表面层的p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0264] 此外,具体地,在这个第六实施例的制造方法中,如使用图16A说明地,当在第二障壁层16中形成低电阻区域16g时,通过帽盖层33将作为p型杂质的锌(Zn)扩散到第二障壁层16中。因此,能够减小第二障壁层16中的p型杂质的扩散深度,且因此容易通过扩散p型杂质而形成浅的低电阻区域16g。即,能够通过上面的方法形成极浅的低电阻区域16g,而在不通过帽盖层33的情况下在第二障壁层16上进行直接扩散的低电阻区域16g形成方法难以形成约20 nm或更小的极浅杂质区域。

[0265] 顺便提及地,在这个第六实施例中,已经说明了这样的构造:其中,在第一实施例的使用图1说明的构造中,下面的绝缘膜(21)被去除且第二障壁层16的整个上表面被栅极绝缘膜25覆盖。然而,这个第六实施例具有这样的构造:在第二至第五实施例说明的构造中,下面的绝缘膜(21)被去除且第二障壁层16的整个上表面被栅极绝缘膜25覆盖。

[0266] 另外,这个第六实施例说明的制造方法能够应用于如第一至第五实施例说明的除栅极绝缘膜25外设置有绝缘膜21的构造的半导体装置的制造。

[0267] 在当应用于第一至第四实施例时的制造方法中,如图16B所示,形成低电阻区域16g且去除帽盖层33。然后,进行以与使用图5B说明的方式大体上相同方式形成设置有栅极开口21g的绝缘膜21以及形成处于覆盖绝缘膜21的状态的栅极绝缘膜25的工序,据此,能够获得大体上相同的效果。

[0268] 此外,当应用于第五实施例时,在如图16A所示地形成低电阻区域16g之后,如图17A所示,使用绝缘膜35作为掩模对帽盖层33进行各向同性蚀刻。由此,完全去除形成在帽盖层33中的低电阻区域16g,此外使形成在第二障壁层16中的低电阻区域16g露出。接着,如

图17B所示,去除帽盖层33上的绝缘膜35。然后,如图18A所示,形成处于覆盖帽盖层33和第二障壁层16状态的栅极绝缘膜25,且此外,在低电阻区域16g的上方隔着栅极绝缘膜25形成栅极电极27。然后,如图18B所示,在栅极绝缘膜25中形成源极开口25s/漏极开口25d,且在栅极电极27的旁边形成分别通过源极开口25s/漏极开口25d连接到帽盖层33的源极电极23s/漏极电极23d。由此,能够获得与第六实施例的制造方法的效果大体上相同的效果。顺便提及地,帽盖层33具有与第五实施例说明的帽盖层31(参见图13)大体上相同的构造。

[0269] <<7. 第七实施例>>

[0270] (低电阻区域被栅极电极覆盖的示例)

[0271] 图19是图示了第七实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第七实施例的半导体装置的构造。

[0272] <第七实施例的半导体装置的构造>

[0273] 图19所示的这个第七实施例的半导体装置1-7与使用图1说明的第一实施例的半导体装置之间的差异在于:第二障壁层16的整个上表面被栅极绝缘膜25覆盖且下面的绝缘膜(21)被去除,以及栅极电极27的栅极长度 L_g 。其它的构造与第一实施例大体上相同。因此,使用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0274] 即,第二障壁层16的整个上表面被栅极绝缘膜25覆盖。相对于这个栅极绝缘膜25,达到第二障壁层16中的高电阻区域16b的源极开口25s/漏极开口25d设置在横跨被设置于第二障壁层16中的低电阻区域16g两侧的且不与低电阻区域16g重叠的相应位置。在第二障壁层16上设置有源极电极23s和漏极电极23d,源极电极23s和漏极电极23d分别通过源极开口25s和漏极开口25d连接到高电阻区域16b。直至这里的构造与第六实施例大体上相同。

[0275] 第七实施例的特征在于栅极电极27具有完全覆盖低电阻区域16g的上部的形状。在这个栅极电极27中,将在源极电极23s-漏极电极23d方向上的长度,即,栅极长度 L_g 设置为长于低电阻区域16g的长度 L 。于是,栅极电极27具有完全覆盖低电阻区域16g的上部的形状。在这里,栅极电极27的栅极长度 L_g 具体是仅隔着栅极绝缘膜25被布置在第二障壁层16上方的部分长度,并且是有效的栅极长度。

[0276] <第七实施例的半导体装置的操作>

[0277] 具有像这样的构造的半导体装置1-7以与第一实施例的半导体装置大体上相同的方式操作。

[0278] <第七实施例的半导体装置的制造方法>

[0279] 接着,通过与使用图15和图16的横截面工艺流程图说明的工序大体上相同的工序来进行上述构造的半导体装置1-7的制造方法,且仅栅极电极27的形状(栅极长度 L_g)是不同的。

[0280] <第七实施例的半导体装置的效果>

[0281] 上面说明的半导体装置1-7是这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且栅极电极27隔着栅极绝缘膜25设置在被设置于第二障壁层16的表面层的p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0282] 除上述以外,具体地,这个第七实施例的半导体装置1-7具有栅极电极27完全覆盖

低电阻区域16g的上部的形状。因此,当把栅极电压(正电压)施加到栅极电极27时,容易使p型低电阻区域16g完全耗尽。即,防止导通操作时在沟道层14内的栅极边缘部存在载流子耗尽区域,且能够防止寄生电阻增大。因此,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0283] 顺便提及地,这个第七实施例的半导体装置的构造能够与如第一至第五实施例说明的除了栅极绝缘膜25以外还设置有绝缘膜21的构造的半导体装置结合。在第十一及其后的实施例中说明当该第七实施例的半导体装置的构造应用于第一至第五实施例时的制造方法。

[0284] <<8. 第八实施例>>

[0285] (第二障壁层的表面层被图形化成为低电阻区域的示例)

[0286] 图20是图示了第八实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第八实施例的半导体装置的构造。

[0287] <第八实施例的半导体装置的构造>

[0288] 图20所示的这个第八实施例的半导体装置1-8与使用图1说明的第一实施例的半导体装置之间的差异在于:第二障壁层16的表面层被图形化成为p型低电阻区域16g。额外的差异存在于:具有设置于表面层上的图形化的低电阻区域16g的第二障壁层16的整个表面层被栅极绝缘膜25覆盖且下面的绝缘膜(21)被去除,并且其它的构造大体上相同。因此,使用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0289] [第一障壁层15、第二障壁层16]

[0290] 以与第一实施例大体上相同的方式构造第一障壁层15和第二障壁层16,但是不同之处在于:第二障壁层16的表面层被图形化成为低电阻区域16g。在第二障壁层16中,除了图形化的低电阻区域16g以外的其它部分应当被构成为不掺杂杂质或含有n型杂质的高电阻区域16b。顺便提及地,关于第二障壁层16中的除了低电阻区域16g以外的其它部分,该部分的整个区域可以被构成为n型低电阻区域且可以是与第一障壁层15中的n型载流子供给区域15a连续的。

[0291] [低电阻区域16g]

[0292] 低电阻区域16g是第二障壁层16的表面层被图形化的部分,并且低电阻区域16g的被图形化的整个区域被构成为含有p型杂质的p型低电阻区域16g。

[0293] 因为通过对第二障壁层16的表面层进行图形化而形成这样的低电阻区域16g,所以通过使用价带能量 E_v 低于构成第一障壁层15的化合物半导体材料的价带能量 E_v 的III-V族化合物半导体材料来构成低电阻区域16g。

[0294] 与其它实施例的情况一样,如上的低电阻区域16g含有作为p型杂质的铍(Be)、碳(C)、镁(Mg)和锌(Zn)中的至少一种,这种p型杂质已经被包含于由GaInP混晶制成的第二障壁层16中。

[0295] 此外,第二障壁层16(它的表面层设置有这样的图形化的低电阻区域16g)的整个表面(包括低电阻区域16g的侧壁)覆盖有栅极绝缘膜25。相对于这个栅极绝缘膜25,达到第二障壁层16的源极开口25s/漏极开口25d设置在低电阻区域16g两侧的相应位置。在第二障壁层16的上设置有源极电极23s和漏极电极23d,源极电极23s和漏极电极23d分别通过源极

开口25s和漏极开口25d连接到第二障壁层16的高电阻区域16b。

[0296] 此外,栅极电极27被形成为长于低电阻区域16g的长度并且处于隔着栅极绝缘膜25完全覆盖低电阻区域16g的上表面和侧面的状态。顺便提及地,栅极电极27可以被设置为仅层叠在低电阻区域16g的上部。

[0297] <第八实施例的半导体装置的操作>

[0298] 具有像这样的构造的半导体装置1-8以与第一实施例的半导体装置大体上相同的方式操作。

[0299] <第八实施例的半导体装置的制造方法>

[0300] 接着,基于图21的横截面工艺流程图说明上述的半导体装置1-8的制造方法的一个示例。

[0301] [图21A]

[0302] 首先,如图21A所示,在基板11上依次外延生长缓冲层12、下部障壁层13、沟道层14和第一障壁层15,且此外,形成由不掺杂杂质的u-GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$) 混晶制成的第二障壁层16。通过与第一实施例中的使用图5A说明的工序大体上相同的工序进行至此的工序。

[0303] 随后,在高电阻的第二障壁层16(即,高电阻区域16b)的上部,外延生长掺杂有作为p型杂质的铍、碳、镁和锌中的至少一种杂质的GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶)层作为第二障壁层16的低电阻区域16g,从而形成第二障壁层16。接着,进行硼的离子注入,从而形成成为高电阻的非活性区域,其作为这里省略了图示的器件隔离。

[0304] [图21B]

[0305] 接着,如图21B所示,通过应用光刻法在计划成为第二障壁层16上的p型低电阻区域的区域上形成光致抗蚀剂图案39。接着,通过使用光致抗蚀剂图案39作为掩模的各向异性蚀刻对第二障壁层16的低电阻区域16g进行图形化。在完成图形化之后,去除光致抗蚀剂图案39。

[0306] 上述之后,如图20所示,以覆盖被图形化的低电阻区域16g的状态 在第二障壁层16上沉积由氧化铝制成的栅极绝缘膜25。接着,在第二障壁层16的上方隔着栅极绝缘膜25图形化地形成栅极电极27,且此外,在将源极开口25s/漏极开口25d形成在栅极绝缘膜25中之后,形成源极电极23s/漏极电极23d,从而完成半导体装置1-8。

[0307] <第八实施例的半导体装置的效果>

[0308] 上面说明的半导体装置1-8具有这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且栅极电极27隔着栅极绝缘膜25设置在被设置于第二障壁层16的表面层的p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0309] 除上述以外,具体地,此第八实施例的半导体装置1-8使用外延生长以含有p型杂质的第二障壁层16被图形化形成的部分作为p型低电阻区域16g。于是,低电阻区域16g的厚度被高精度地控制。因此,与设置有通过杂质扩散而形成的低电阻区域的构造相比,能够寻求阈值电压、导通电阻 R_{on} 和最大漏极电流 I_{dmax} 的稳定化。

[0310] 此外,半导体装置1-8具有栅极电极27完全覆盖低电阻区域16g的上部的形状。因此,当把栅极电压(正电压)施加到栅极电极27时,容易使p型低电阻区域16g被完全耗尽。即,防止导通操作时在沟道层14内的栅极边缘部存在载流子耗尽区域,且能够防止寄生电

阻增大。因此,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0311] 顺便提及地,这个第八实施例的半导体装置的构造能够与如第一至第五实施例中说明的除了栅极绝缘膜25还设置有绝缘膜21的构造的半导体装置结合。

[0312] 在当应用于第一至第四实施例时的制造方法中,在如图21B所示地图形化形成低电阻区域16g之后,以与使用图5B说明的方式大体上相同的方式形成绝缘膜21并在绝缘膜21中形成栅极开口21g。此后,形成栅极绝缘膜25,且此后,形成源极电极23s/漏极电极23d和栅极电极27。

[0313] <<9.第九实施例>>

[0314] (第一障壁层上的第二障壁层被图形化成为低电阻区域的示例)

[0315] 图22是图示了第九实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第九实施例的半导体装置的构造。

[0316] <第九实施例的半导体装置的构造>

[0317] 图22所示的这个第九实施例的半导体装置1-9与使用图1说明的第一实施例的半导体装置之间的差异在于:被图形化成为低电阻区域16g的第二障壁层16设置在第一障壁层15上。此外,其它的差异存在于:载流子供给区域15a设置在沿着第一障壁层15的膜厚度方向的中部;以及第二障壁层16整个表面(该表面处形成有成为低电阻区域16g的第二障壁层16)被栅极绝缘膜25覆盖且下面的绝缘膜(21)被去除,并且其它的构造大体上相同。因此,使用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0318] [第一障壁层15]

[0319] 即,第一障壁层15与第一实施例中的第一障壁层大体上相同,第一障壁层15由与沟道层14良好晶格匹配的且具有比构成沟道层14的化合物半导体材料更高的导带能量 E_c 的III-V族化合物半导体材料构成,并且与沟道层14形成异质结。沟道层14和第一障壁层15的带隙(导带 E_c)之间的差值变得越大,这样的第一障壁层15就越好。

[0320] 在这样的第一障壁层15中,与第二实施例的情况一样,在载流子供给区域15a两侧布置的高电阻区域15b、15b'可以被单独地形成成为不掺杂杂质或含有低浓度的杂质的高电阻区域15b。此外,关于这样的第一障壁层15,其整个区域可以由载流子供给区域15a构成,或仅与沟道层14接触的这一侧的层可以是高电阻区域15b,或仅第二障壁层16侧的层可以是高电阻区域15b'。

[0321] [第二障壁层16和低电阻区域16g]

[0322] 第二障壁层16是隔着第一障壁层15位于沟道层14上方的被图形化的层,且第二障壁层16的整个区域被构成作为含有p型杂质的低电阻区域16g。

[0323] 这样的第二障壁层16由与第一障壁层15晶格匹配的化合物半导体材料构成,且由价带能量 E_v 低于构成第一障壁层15的化合物半导体材料的价带能量 E_v 的III-V族化合物半导体材料构成。

[0324] 如上的第二障壁层16可以例如由GaInP混晶制成,并且包含作为p型杂质的铍(Be)、碳(C)、镁(Mg)和锌(Zn)中的至少一种杂质。

[0325] 此外,第一障壁层15和这样的第二障壁层16的整个表面被栅极绝缘膜25覆盖。相对于这个栅极绝缘膜25,在横跨构成低电阻区域16g的第二障壁层16两侧的相应位置处设

置有达到第一障壁层15的源极开口25s/漏极开口25d。在第一障壁层15上设置有源极电极23s和漏极电极23d,源极电极23s和漏极电极23d分别通过源极开口25s和漏极开口25d连接至第一障壁层15。

[0326] 此外,栅极电极27被形成为长于作为低电阻区域16g的第二障壁层16的长度,并且处于隔着栅极绝缘膜25完全覆盖低电阻区域16g的上表面和侧面的状态。顺便提及地,栅极电极27可以被设置为仅层叠在作为低电阻区域16g的第二障壁层16的上部。

[0327] <第九实施例的半导体装置的操作>

[0328] 具有这样的构造的半导体装置1-9以与第一实施例的半导体装置大体上相同的方式操作。

[0329] <第九实施例的半导体装置的制造方法>

[0330] 接下来,在上述的半导体装置1-9的制造方法中,在基板11上依次外延生长缓冲层12、下部障壁层13、沟道层14和三层结构的第一障壁层15。然后,外延生长掺杂有p型杂质的GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶)层作为第二障壁层16的低电阻区域16g,从而形成第二障壁层16。接着,进行硼的离子注入,从而形成成为高电阻的非活性区域,作为这里省略了图示的器件隔离。

[0331] 然后,以与第八实施例中的使用图21B的横截面工艺流程图说明的方式大体上相同的方式对第二障壁层16(低电阻区域16g)进行图形化。此后,如图22所示,以覆盖被图形化的低电阻区域16g的状态,在第二障壁层16上沉积由氧化铝制成的栅极绝缘膜25。接着,在第二障壁层16和第一障壁层15的上方隔着栅极绝缘膜25图形化地形成栅极电极27。此外,在将源极开口25s/漏极开口25d形成在栅极绝缘膜25中之后,形成源极电极23s/漏极电极23d,从而完成半导体装置1-9。

[0332] <第九实施例的半导体装置的效果>

[0333] 上面说明的半导体装置1-9具有这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,并且在具有作为p型低电阻区域16g的第二障壁层16的情况下,栅极电极27隔着栅极绝缘膜25设置在p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0334] 除上述以外,这个第九实施例的半导体装置1-9使用外延生长以含有p型杂质的第二障壁层16被图形化而形成的部分作为p型低电阻区域16g。于是,低电阻区域16g的厚度被高精度地控制。因此,与设置有通过杂质扩散而形成的低电阻区域的构造相比,能够实现阈值电压、导通电阻 R_{on} 和最大漏极电流 I_{dmax} 的稳定。

[0335] 此外,在器件加工时,当第二障壁层16被图形化成p型低电阻区域16g时,因为第一障壁层15中的半导体材料与第二障壁层16中的半导体材料是不同的,所以能够进行选择性的蚀刻。即,能够仅高精度地蚀刻低电阻区域16g,从而防止减小第一障壁层15的膜厚度。因此,能够防止导通电阻 R_{on} 增大,且此外,能够防止最大漏极电流 I_{dmax} 减小。

[0336] 顺便提及地,这个第九实施例的半导体装置1-9的构造能够按照与第八实施例说明的方式大体上相同的方式与第一至第五实施例结合。

[0337] <<10.第十实施例>>

[0338] (导电型与低电阻区域的导电型相反的源极区域和漏极区域的示例)

[0339] 图23是图示了第十实施例的半导体装置的主要构造的横截面图。在下文中,基于该图说明应用了本发明的第十实施例的半导体装置的构造。

[0340] <第十实施例的半导体装置的构造>

[0341] 图23所示的这个第十实施例的半导体装置1-9与使用图1说明的第一实施例的半导体装置之间的差异在于在第二障壁层16中设置有n型源极区域16s/漏极区域16d。且额外的差异存在于:第二障壁层16的整个上表面被栅极绝缘膜25覆盖且下面的绝缘膜(21)被去除,并且其它的构造大体上相同。因此,使用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0342] 即,在横跨栅极电极27两侧的相应位置或在横跨p型低电阻区域16g两侧的相应位置,源极区域16s/漏极区域16d被设置为含有n型杂质的低电阻区域。源极区域16s/漏极区域16d可以被设置为与p型低电阻区域16g接触。此外,源极区域16s/漏极区域16d延伸到设置在第一障壁层15内的n型载流子供给区域15a。

[0343] 第二障壁层16的整个表面被栅极绝缘膜25覆盖。相对于这个栅极绝缘膜25,延伸到源极区域16s/漏极区域16d的源极开口25s/漏极开口25d分别被布置在横跨低电阻区域16g的两侧的相应位置。在第二障壁层16上设置有源极电极23s和漏极电极23d,源极电极23s和漏极电极23d分别通过源极开口25s和漏极开口25d连接到源极区域16s和漏极区域16d。

[0344] 此外,栅极电极27隔着栅极绝缘膜25设置在第二障壁层16中的低电阻区域16g的上方。

[0345] <第十实施例的半导体装置的操作>

[0346] 具有像这样的构造的半导体装置1-10以与第一实施例的半导体装置大体上相同的方式操作。

[0347] <第十实施例的半导体装置的制造方法>

[0348] 接着,基于图24的横截面工艺流程图说明上述的半导体装置1-10 的制造方法的一个示例。

[0349] [图24A]

[0350] 首先,如图24A所示,在基板11上依次外延生长缓冲层12、下部障壁层13、沟道层14和第一障壁层15,且此外,形成由不掺杂杂质的u-GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶)层制成的第二障壁层16。通过与第一实施例的使用图5A说明的工序大体上相同的工序来进行至此的处理。

[0351] 随后,在高电阻的第二障壁层16(即,高电阻区域16b)上,外延生长掺杂有p型杂质的铍、碳、镁和锌中的至少一种杂质的GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶)层作为第二障壁层16的低电阻区域16g,从而形成第二障壁层16。接着,进行硼的离子注入,从而形成成为高电阻的非活性区域,作为这里省略了图示的器件隔离。

[0352] [图24B]

[0353] 接着,如图24B所示,通过应用光刻法将光致抗蚀剂图案41形成在第二障壁层16中将留下p型低电阻区域16g的区域上。然后,通过使用光致抗蚀剂图案41作为掩模的杂质扩散,将n型杂质引入到第二障壁层16。于是,在p型低电阻区域16g的两侧将n型源极区域16s/漏极区域16d形成至延伸到n型载流子供给区域15a的深度。通过例如离子注入进行这样的杂质扩散。在杂质扩散之后,去除光致抗蚀剂图案41。

[0354] 上述之后,如图23所示,在形成有p型低电阻区域16g和n型源极区域16s/漏极区域16d的第二障壁层16上,沉积由氧化铝制成的栅极绝缘膜25。接着,在p型低电阻区域16g的上方隔着栅极绝缘膜25图形化形成栅极电极27。此外,在栅极绝缘膜25中,形成分别延伸至n型源极区域16s/漏极区域16d的源极开口25s/漏极开口25d。此后,形成源极电极23s/漏极电极23d,源极电极23s/漏极电极23d分别通过开口连接到源极区域16s/漏极区域16d,从而完成半导体装置1-10。

[0355] <第十实施例的半导体装置的效果>

[0356] 上面说明的半导体装置1-10具有这样的构造:其中,与第一实施例的情况一样,价带能量 E_v 低于第一障壁层15的价带能量 E_v 的第二障壁层16隔着第一障壁层15设置在沟道层14的上方,且在具有作为p型低电阻区域16g的这个第二障壁层16的情况下,栅极电极27隔着栅极绝缘膜25设置在p型低电阻区域16g的上方。因此,能够获得与第一实施例大体上相同的效果。

[0357] 除上述以外,具体地,因为第十实施例的半导体装置1-10设置有处于横跨p型低电阻区域16g的两侧的状态的n型源极区域16s/漏极区域16d,所以能够增加位于n型源极区域16s/漏极区域16d正下方的沟道层14之内的载流子面密度,从而减小沟道电阻和接入电阻。即,能够减小导通电阻 R_{on} ,且此外,能够增加最大漏极电流 I_{dmax} 。

[0358] 此外,通过外延生长而形成的第二障壁层16被用作p型低电阻区域16g。于是,低电阻区域16g的厚度受到高精度地控制。因此,与设置有通过杂质扩散而形成的低电阻区域的构造相比,能够实现阈值电压、导通电阻 R_{on} 和最大漏极电流 I_{dmax} 的稳定化。

[0359] 顺便提及地,这个第十实施例的半导体装置的构造能够与如第一至第五实施例说明的除了栅极绝缘膜25之外设置有绝缘膜21的构造的半导体装置结合。此外,这个第十实施例的半导体装置的构造能够与如第八至第九实施例中说明的设置有图形化的p型低电阻区域16g的半导体装置结合。

[0360] <<11. 第十一实施例>>

[0361] (覆盖低电阻区域的栅极电极以自对准的方式设置的第一示例)

[0362] 图25是图示了第十一实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第十一实施例的半导体装置的构造。

[0363] <第十一实施例的半导体装置的构造>

[0364] 图25所示的这个第十一实施例的半导体装置1-11与使用图1说明的第一实施例的半导体装置之间的差异在于:栅极电极27覆盖低电阻区域16g,且这个栅极电极27是以相对于低电阻区域16g自对准的方式形成的。其它的构造与第一实施例大体上相同。因此,使用相同的附图标记表示与第一实施例相同的构成元件,并且在这个实施例中省略详细的说明。

[0365] 即,在这个第十一实施例的半导体装置1-11中,整个低电阻区域16g在设置于绝缘膜21中的栅极开口21g的底部露出,且整个低电阻区域16g的上部被栅极绝缘膜25覆盖。更加具体地,在距离被栅极绝缘膜25覆盖的栅极开口21g的圆周边缘均匀地具有预定间距 L_d 的状态下,低电阻区域16g处于在栅极开口21g的底部的中央露出的状态。间距 L_d 沿着圆周边缘是均匀的,并且以相对于低电阻区域16g自对准的方式设置。间距 L_d 大于0 nm且具有将制造工艺裕量考虑在内的尺寸就足够了。

[0366] 此外,由于稍后说明的制造方法,相对于栅极开口21g的底部,半导体装置1-11具有因蚀刻第二障壁层16的上表面而造成的高度差。

[0367] 此外,重要的是,栅极电极27被设置为处于隔着栅极绝缘膜25完全覆盖栅极开口21g的底部的状态。这样的栅极电极27的有效栅极长度 L_g 是栅极开口21g的底部的宽度,或更加具体地是被栅极绝缘膜25覆盖的栅极开口21g的开口宽度。即,栅极电极27中的起到有效栅极长度 L_g 作用的部分具有沿着圆周方向在低电阻区域16g的长度 L 之外延伸了间距 L_d 的程度的尺寸,并且完全覆盖低电阻区域16g的上方。

[0368] <第十一实施例的半导体装置的操作>

[0369] 具有像这样的构造的半导体装置1-11以与第一实施例的半导体装置大体上相同的方式操作。

[0370] <<第十一实施例的半导体装置的制造方法>

[0371] 接着,基于图26至图28的横截面工艺流程图说明上述构造的半导体装置1-11的制造方法的一个示例。

[0372] [图26A]

[0373] 首先,如图26A所示,在基板11上依次外延生长缓冲层12、三层结构的下部障壁层13、沟道层14、两层结构的第一障壁层15以及第二障壁层16(高电阻区域16b)。此时,可以通过与各个实施例说明的工序大体上相同的工序来进行每个层的膜沉积就足够了,且此外,在上述各层的膜沉积之后,形成器件隔离。

[0374] [图26B]

[0375] 接着,如图26B所示,在第二障壁层16上形成设置有栅极开口21g的绝缘膜21,且此外,通过从栅极开口21g扩散杂质来形成低电阻区域16g。通过与第一实施例的使用图5B说明的工序大体上相同的工序来进行该工艺就足够了。

[0376] 即,在这里,在由不掺杂杂质的u-GaInP层制成的第二障壁层16(高电阻区域16b)上,例如通过化学气相沉积(CVD)法来沉积由氮化硅(Si_3N_4)制成的绝缘膜21。然后,通过对绝缘膜21进行图形化蚀刻,形成允许使第二障壁层16的上表面露出的栅极开口21g。

[0377] 在这种状态下,通过从栅极开口21g的底部露出的第二障壁层16的上表面导入p型杂质,在第二障壁层16内形成p型低电阻区域16g。在这里,如图所示,扩散作为p型杂质的锌(Zn)直至不达到载流子供给区域15a的位置或仅在第二障壁层16内的表面层,从而形成低电阻区域16g。通过使用例如约600℃的温度的锌化合物气体的气相扩散来进行锌(Zn)的扩散。于是,以自对准的方式将低电阻区域16g形成在栅极开口21g的底部。

[0378] [图27A]

[0379] 然后,图27A所示的处理是作为这个第十一实施例的制造方法的特征处理。

[0380] 即,在这里,通过进行绝缘膜21的各向同性蚀刻,使绝缘膜21在横向上后退,从而将栅极开口21g的宽度扩展到能够使低电阻区域16g完全露出的尺寸。作为上述各向同性蚀刻,进行使用例如氢氟酸(HF)基的化学溶液的湿法刻蚀,或干法蚀刻情况下的等离子体蚀刻。

[0381] 然而,当进行使用化学溶液的湿法蚀刻时,绝缘膜21下面的GaInP层的第二障壁层16也被蚀刻。因此,优选的是,通过使用具有低蚀刻率的氢氟酸基的化学溶液将第二障壁层16的蚀刻抑制到较小程度。

[0382] [图27B]

[0383] 接着,如图27B所示,以覆盖通过栅极开口21g而露出的第二障壁层16和已经被扩展了宽度的栅极开口21g的内壁的状态,将栅极绝缘膜25沉积在绝缘膜21上。在这里,例如通过原子层沉积(ALD)法来高精度地沉积由具有约10 nm的膜厚度的氧化铝(Al_2O_3)制成的栅极绝缘膜26。顺便提及地,在这种状态下,内壁被栅极绝缘膜25覆盖的栅极开口21g的开口宽度就是后来形成的栅极电极的有效栅极长度 L_g 。这个栅极长度 L_g 大于低电阻区域16g的宽度。存在这样的构造:被栅极绝缘膜25覆盖的栅极开口21g的侧壁位于与低电阻区域16g的整个圆周相距均匀的间距 L_d 的位置处。

[0384] [图28A]

[0385] 接着,如图28A所示,以隔着栅极绝缘膜25完全覆盖栅极开口21g的底部的状态形成栅极电极27。此时,使用掩模将镍(Ni)和金(Au)依次气相沉积到栅极绝缘膜25上,从而图形化形成栅极电极27。由此,获得了具有完全覆盖低电阻区域16g的上方这样形状的栅极电极27。

[0386] [图28B]

[0387] 上述之后,如图28B所示,通过图形化地蚀刻绝缘膜21和栅极绝缘膜25,在横跨低电阻区域16g两侧的相应位置处形成能够使第二障壁层16的高电阻区域16b露出的源极开口21s和漏极开口21d。

[0388] [图25]

[0389] 然后,如图25所示,形成源极电极23s和漏极电极23d,源极电极23s和漏极电极23d分别通过源极开口21s和漏极开口21d与第二障壁层16的高电阻区域16b欧姆接触。此时,顺次气相沉积金-锗(AuGe)、镍(Ni)和金(Au),对金-锗(AuGe)、镍(Ni)和金(Au)进行图形化并且通过例如以约400℃的热处理使它们形成为金基合金,从而形成源极电极23s和漏极电极23d,以完成半导体装置1-11。

[0390] 通过上面说明的制造方法,能够形成第十一实施例的半导体装置1-11。根据这种方法,通过从形成于绝缘膜21中的栅极开口21g的p型杂质扩散来形成低电阻区域16g,并且在通过湿法蚀刻使绝缘膜21在横向上后退之后,隔着栅极电极25形成栅极电极27。因此,在低电阻区域16g的上方以相对于低电阻区域16g自对准的方式形成具有完全覆盖低电阻区域16g的上方这样形状的栅极电极27。因此,能够容易地获得第十一实施例的半导体装置1-11。

[0391] 顺便提及地,可以在源极开口21s/漏极开口21d以及源极电极23s/漏极电极23d形成之后形成栅极开口21g、栅极绝缘膜25和栅极电极27。即使在这种情况下,隔着栅极绝缘膜25以相对于低电阻区域16g自对准的方式将栅极电极27形成为具有比低电阻区域16g的宽度更宽的宽度。因此,能够容易地获得第十一实施例的半导体装置1-11。

[0392] <第十一实施例的半导体装置的效果>

[0393] 上面说明的半导体装置1-11具有栅极电极27完全覆盖低电阻区域16g的上方的形状。因此,当把栅极电压(正电压)施加到栅极电极27时,容易使p型低电阻区域16g被完全耗尽。即,防止导通操作时在沟道层14内的栅极边缘部存在载流子耗尽区域,且能够防止寄生电阻增加。因此,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0394] 并且,具体地,因为栅极电极27以相对于低电阻区域16g自对准的方式形成,所以能够减小用于确保栅极电极27与源极电极23s/漏极电极23d之间的耐受电压的间距的裕量。因此,能够实现更小的元件结构。

[0395] 顺便提及地,当这个第十一实施例与使用图9说明的第二实施例的半导体装置结合时,只需要将载流子供给区域15a设置在图25所示的第一障壁层15的厚度方向上的中部就足够了,且能够结合获得与第二实施例大体上相同的效果。

[0396] 此外,当这个第十一实施例与使用图11说明的第三实施例的半导体装置结合时,只需要将图25所示的低电阻区域16g延伸到达到载流子供给区域15a的深度就足够了,且能够结合获得与第三实施例大体上相同的效果。

[0397] 此外,当这个第十一实施例与使用图12说明的第四实施例的半导体装置结合时,只需要将图25所示的围绕第二障壁层16中的p型低电阻区域16g的部分构成为低电阻区域就足够了,且能够结合获得与第四实施例大体上相同的效果。

[0398] 此外,作为这个第十一实施例与使用图9至图12说明的第二至第四实施例的半导体装置中的各者结合的情况的其它示例,第十一实施例能够被应用于例如这样的构造:在不设置第二障壁层16的情况下,低电阻区域或高电阻区域被设置为第一障壁层15内的载流子供给区域15a的上层。在这种情况下,通过扩散将低电阻区域形成为由例如AlGaAs层制成的第一障壁层15内的载流子供给区域15a的上层,且对低电阻区域上方的由氮化硅(Si₃N₄)制成的绝缘膜21进行各向同性蚀刻。以与第十一实施例的使用图27A说明的蚀刻的工艺大体上相同的工艺进行该蚀刻。即使在像这样的情况下,也能够获得第十一实施例中增添的效果。

[0399] <<12.第十二实施例>>

[0400] (覆盖低电阻区域的栅极电极以自对准的方式设置的第二示例)

[0401] 图29是图示了第十二实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第十二实施例的半导体装置的构造。

[0402] <第十二实施例的半导体装置的构造>

[0403] 图29所示的这个第十二实施例的半导体装置1-12与使用图1说明的第一实施例的半导体装置之间的差异除了先前的第十一实施例(参见图25)的差异以外还存在于:第二障壁层16设置有蚀刻阻挡层16e。因此,在这里,以与第十一实施例的差异为中心来说明第十二实施例的构造。

[0404] 即,在这个第十二实施例的半导体装置1-12中,在第二障壁层16中的上表面侧设置有蚀刻阻挡层16e。因此,第二障壁层16采用了这样的三层结构:高电阻区域16b、蚀刻阻挡层16e和高电阻区域16b以这样的顺序层叠。

[0405] 蚀刻阻挡层16e由这样的材料构成:其比构成第二障壁层16的其它部分(即,高电阻区域16b)具有更小的蚀刻率且与构成第二障壁层16的其它部分(即,高电阻区域16b)晶格匹配。此外,蚀刻阻挡层16e应当是薄到不影响第二障壁层16的电特性的程度的膜,且例如,约3 nm的厚度。在这里,因为第二障壁层16由GaInP混晶构成,所以蚀刻阻挡层16e由GaAs或AlGaAs构成。

[0406] 如上的蚀刻阻挡层16e例如是位于第二障壁层16中的上表面侧的中间层,且设置于这样的深度:该深度处于在接下来说明的制造工艺期间内的绝缘膜21的各向同性蚀刻中

使得蚀刻阻挡层16e不被露出的程度。

[0407] 在具有这样的蚀刻阻挡层16e的第二障壁层16的上部,设置有具有栅极开口21g的绝缘膜21。整个低电阻区域16g在栅极开口21g的底部露出,且整个低电阻区域16g的上部被栅极绝缘膜25覆盖,这与第十一实施例大体上相同。此外,位于栅极开口21g的底部的低电阻区域16g的布置与第十一实施例的布置大体上相同。即,在距被栅极绝缘膜25覆盖的栅极电极21g的圆周边缘均匀地留出预定间距 L_d ($L_d > 0$) 的情况下,低电阻区域16g处于在栅极开口21g的底部的中央被露出的状态。

[0408] 具体地,在这个第十二实施例的半导体装置1-12中,栅极开口21g的深度被切刻至超过绝缘膜21的膜厚度的第二障壁层16的表面层,且此外,达到比蚀刻阻挡层16e更深的位置。于是,在栅极开口21g的底部,作为蚀刻阻挡层16e的下层的一部分第二障壁层16露出,且设置在第二障壁层16中的低电阻区域16g通过栅极开口21g被完全露出。

[0409] 此外,重要的是,栅极电极27隔着栅极绝缘膜25被设置为处于完全覆盖栅极开口21g的底部的状态。这样的栅极电极27的有效栅极长度 L_g 是栅极开口21g的底部的宽度,或更加具体地是被栅极绝缘膜25覆盖的栅极开口21g的开口宽度。即,栅极电极27中起到有效栅极长度 L_g 作用的部分具有沿着圆周方向在低电阻区域16g的长度 L 之外延伸了间距 L_d 的程度的尺寸,并且完全覆盖低电阻区域16g的上方。

[0410] <第十二实施例的半导体装置的操作>

[0411] 具有像这样的构造的半导体装置1-12以与第一实施例的半导体装置大体上相同的方式操作。

[0412] <第十二实施例的半导体装置的制造方法>

[0413] 接着,基于图30至图33的横截面工艺流程图说明上述构造的半导体装置1-12的制造方法的一个示例。

[0414] [图30A]

[0415] 首先,如图30A所示,在基板11上依次沉积缓冲层12、三层结构的下部障壁层13、沟道层14、两层结构的第一障壁层15、第二障壁层16的高电阻区域16b、第二障壁层16的蚀刻阻挡层16e和第二障壁层16的高电阻区域16b。满足条件的是:可以通过与各个实施例说明的方式大体上相同的方式的从下层侧依次进行的外延生长来进行包括蚀刻阻挡层16e在内的每个层的膜沉积,且在每个层的膜沉积之后,形成器件隔离。顺便提及地,根据蚀刻阻挡层16e形成的位置,能够任意设定沟道层14与之后形成的栅极电极之间的距离。

[0416] [图30B]

[0417] 然后,如图30B所示,在第二障壁层16上形成设置有栅极开口21g的绝缘膜21。此时,与第十一实施例的情况一样,例如通过化学气相沉积(CVD)法来沉积由氮化硅(Si_3N_4)制成的绝缘膜21,然后对绝缘膜21进行图形化蚀刻,从而使第二障壁层16的上表面露出,以此在绝缘膜21中形成栅极开口21g。

[0418] 在这种状态下,通过从栅极开口21g的底部露出的第二障壁层16的上表面导入p型杂质,在第二障壁层16内形成p型低电阻区域16g。此时,重要的是,通过将作为p型杂质的锌(Zn)扩散到比蚀刻阻挡层16e深的位置来形成低电阻区域16g以使低电阻区域16g扩展到比蚀刻阻挡层16e更深的位置。与其它实施例的情况一样,通过使用例如约600℃的温度的锌化合物气体的气相扩散来进行锌(Zn)的扩散。于是,以自对准的方式将低电阻区域16g形成

在栅极开口21g的底部。

[0419] [图31A]

[0420] 接着,如图31A所示,通过进行绝缘膜21的各向同性蚀刻,使绝缘膜21在横向上后退,从而扩展栅极开口21g的宽度。作为上述各向同性蚀刻,进行使用氢氟酸(HF)基或磷酸基的化学溶液的湿法蚀刻,或干法蚀刻情况下的等离子体蚀刻。

[0421] 然而,当在此蚀刻中对绝缘膜21下面的GaInP层的第二障壁层16进行蚀刻时,在蚀刻阻挡层16e上应当保留有高电阻区域16b。在这种情况下,优选的是,选择相对于第二障壁层16具有低蚀刻率的化学溶液来进行蚀刻。

[0422] 另一方面,当在此蚀刻中不对绝缘膜21下面的GaInP层的第二障壁层16进行蚀刻时,可以增加这样的蚀刻处理:其中,通过使用盐酸基或磷酸基的化学溶液将第二障壁层16蚀刻至在蚀刻阻挡层16e上极薄地留有第二障壁层16的程度。

[0423] [图31B]

[0424] 上述之后,如图31B所示,通过湿法蚀刻法,去除蚀刻阻挡层16e上的高电阻区域16b,且此外,去除蚀刻阻挡层16e。在这里,为了以更高的精确度控制蚀刻阻挡层16e的蚀刻,首先,通过使用相对于含有GaAs的蚀刻阻挡层16e具有低蚀刻率的化学溶液来进行高电阻区域16b的湿法蚀刻。作为这样的化学溶液,例如,使用盐酸基或磷酸基的化学溶液。然后,在含有GaAs的蚀刻阻挡层16e的去除中,使用柠檬酸基的化学溶液来进行湿法蚀刻。

[0425] 顺便提及地,在使用盐酸基或磷酸基的化学溶液或柠檬酸基化学溶液的第二障壁层16和蚀刻阻挡层16e的湿法蚀刻中,不进行绝缘膜21的蚀刻。因此,绝缘膜21下面的第二障壁层16和蚀刻阻挡层16e被各向同性地蚀刻,从而绝缘膜21成为像顶窗一样略微悬出的形状。

[0426] [图32A]

[0427] 关于图32A及其以后的附图中的后续工序,进行与第十一实施例的使用图27B及其以后的附图说明的工序大体上相同的工序就足够了。

[0428] 即,首先,以覆盖通过栅极开口21g而露出的第二障壁层16和扩展了宽度的栅极开口21g的内壁的状态,在绝缘膜21上沉积栅极绝缘膜25。

[0429] [图32B]

[0430] 接着,如图32B所示,将栅极电极27形成为隔着栅极绝缘膜25完全覆盖栅极开口21g的底部的状态。

[0431] [图33]

[0432] 上述之后,如图33所示,通过图形化蚀刻绝缘膜21和栅极绝缘膜25,在横跨低电阻区域16g两侧的相应位置处形成能够使第二障壁层16的高电阻区域16b露出的源极开口21s和漏极开口21d。

[0433] [图29]

[0434] 然后,如图29所示,形成源极电极23s和漏极电极23d以完成半导体装置1-12,源极电极23s和漏极电极23d分别通过源极开口21s和漏极开口21d与第二障壁层16的高电阻区域16b欧姆接触。

[0435] 通过上面说明的制造方法,能够形成第十二实施例的半导体装置1-12。根据这种方法,通过形成于绝缘膜21中的栅极开口21g进行p型杂质扩散来形成低电阻区域16g,且在

使绝缘膜21在横向上后退之后,隔着栅极电极25形成栅极电极27。因此,以相对于低电阻区域16g自对准的方式在低电阻区域16g的上方形成具有完全覆盖低电阻区域16g的形状的栅极电极27。因此,能够容易地获得第十二实施例的半导体装置1-12。

[0436] <第十二实施例的半导体装置的效果>

[0437] 上面说明的半导体装置1-12具有栅极电极27完全覆盖低电阻区域16g的上方的形状。因此,与第十一实施例的情况一样,当把栅极电压(正电压)施加到栅极电极27时,使p型低电阻区域16g被完全耗尽变得容易。即,防止导通操作时在沟道层14内的栅极边缘部存在载流子耗尽区域,且能够防止寄生电阻增大。因此,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0438] 此外,因为以相对于低电阻区域16g自对准的方式形成栅极电极27,所以能够减小用于确保栅极电极27与源极电极23s/漏极电极23d之间的耐受电压的间距的裕量。因此,能够实现更小的元件结构。

[0439] 并且,具体地,当在第二障壁层16的上表面侧的中间层设置蚀刻阻挡层16e且绝缘膜21的栅极开口21g的宽度被扩宽时,采用这样的工序:其中,蚀刻一旦在蚀刻阻挡层16e的上部停止之后,通过湿法蚀刻去除蚀刻阻挡层16e。因此,低电阻区域16g的上表面(蚀刻的底面)或与栅极绝缘膜25的边界面能够是去除了在形成低电阻区域16g时的损害和图形化蚀刻绝缘膜21时的损害的表面,从而形成了将损害抑制到最小程度的上表面。由于良好的界面特性,能够避免漏极电流 I_d 等的减小。此外,因为能够通过蚀刻阻挡层16e的膜沉积设计来控制蚀刻深度,所以栅极绝缘膜25与沟道层14之间的距离的可控性是很好的,且器件特性一致性也是很好的。

[0440] 顺便提及地,在这个第十二实施例中,说明了将蚀刻阻挡层16e设置为第二障壁层16的上表面侧的中间层的构造。然而,蚀刻阻挡层16e可以被设置为构成第二障壁层16的表面层的层。在这种情况下,满足条件的是:在形成低电阻区域16g和加宽绝缘膜21的栅极开口21g之后,通过使用柠檬酸基的化学溶液的湿法蚀刻来去除由GaAs制成的蚀刻阻挡层16e。

[0441] 此外,当这个第十二实施例与使用图9说明的第二实施例的半导体装置结合时,只需要将载流子供给区域15a设置在图29所示的第一障壁层15的厚度方向上的中部就足够了,且能够获得与第二实施例大体上相同的效果。

[0442] 此外,当这个第十二实施例与使用图11说明的第三实施例的半导体装置结合时,只需要将图29所示的低电阻区域16g延伸到达载流子供给区域15a的深度就足够了,且能够获得与第三实施例大体上相同的效果。

[0443] 此外,当这个第十二实施例与使用图12说明的第四实施例的半导体装置结合时,只需要将图29所示的围绕第二障壁层16中的p型低电阻区域16g的部分构成为低电阻区域16就足够了,且能够获得与第四实施例大体上相同的效果。

[0444] 此外,作为这个第十二实施例与使用图9至图12说明的第二至第四实施例的半导体装置中的各者结合的情况的其它示例,第十二实施例能够被应用于这样的构造:在例如不设置第二障壁层16的情况下,低电阻区域或高电阻区域被设置作为第一障壁层15内的载流子供给区域15a的上层。在这种情况下,满足条件的是:由AlAs层构成的蚀刻阻挡层被设置为由例如AlGaAs层构成的第一障壁层15内的载流子供给区域15a的上层侧的表面层或中

间层,且通过扩散将低电阻区域形成至超过这个蚀刻阻挡层的深度。即使在这种情况下,也以与第十二实施例的使用图31A和图31B说明的工序大体上相同的工序进行由氮化硅(Si_3N_4)制成的绝缘膜21的各向同性蚀刻。即使在这样的情况下,也能够获得第十二实施例中增加的效果。

[0445] <<13.第十三实施例>>

[0446] (覆盖低电阻区域的栅极电极以自对准的方式设置的第三示例)

[0447] 图34是图示了第十三实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第十三实施例的半导体装置的构造。

[0448] <第十三实施例的半导体装置的构造>

[0449] 图34所示的这个第十三实施例的半导体装置1-13与使用图1说明的第一实施例的半导体装置之间的差异除了先前的第十一实施例(参见图25)的差异以外还在于:在第二障壁层16与源极电极23s/漏极电极23d之间设置有帽盖层31。即,这个第十三实施例具有第十一实施例与第五实施例(参见图13)结合的构造。

[0450] 即,在这个第十三实施例的半导体装置1-13中,在第二障壁层16与源极电极23s/漏极电极23d之间设置有含有导电型与低电阻区域16g的导电型相反的杂质的帽盖层31。这样的帽盖层31由与第二障壁层16晶格匹配的化合物半导体材料构成就足够了,并且不必与第二障壁层16在带隙方面一致。然而,当带隙极不同时,在接合部造成势垒,这可能导致欧姆接触的电阻的增加。因此,帽盖层31的带隙应该在不影响半导体装置1-13的特性的范围内与作为下层的第二障壁层16的带隙一致。

[0451] 当第二障壁层16由GaInP混晶制成时,如上的帽盖层31应当由含有例如n型杂质的GaAs构成。

[0452] 此外,在第二障壁层16上,绝缘膜21被设置为处于覆盖帽盖层31的状态。整个低电阻区域16g在设置于绝缘膜21中的栅极开口21g的底部露出,并且整个低电阻区域16g的上部被栅极绝缘膜25覆盖,这与第十一实施例大体上相同。此外,位于栅极开口21g的底部的低电阻区域16g的布置与第十一实施例的布置大体上相同。即,在距被栅极绝缘膜25覆盖的栅极电极21g的圆周边缘均匀地留有预定间距 L_d ($L_d > 0$) 的情况下,低电阻区域16g处于在栅极开口21g的底部的中央露出的状态。

[0453] <第十三实施例的半导体装置的操作>

[0454] 具有像这样的构造的半导体装置1-13以与第一实施例的半导体装置大体上相同的方式操作。

[0455] <第十三实施例的半导体装置的制造方法>

[0456] 接着,基于图35至图38的横截面工艺流程图说明上述构造的半导体装置1-13的制造方法的一个示例。

[0457] [图35A]

[0458] 首先,如图35A所示,在基板11上依次沉积缓冲层12、三层结构的下部障壁层13、沟道层14、两层结构的第一障壁层15、第二障壁层16(低电阻区域16b)以及将成为帽盖层31的n型GaAs层。满足条件的是:可以通过与各个实施例说明的方式大体上相同的方式从下层侧依次进行的外延生长来进行每个层的膜沉积,且在每个层的膜沉积之后,形成器件隔离。然后,对n型GaAs层进行图形化蚀刻,从而形成帽盖层31。

[0459] [图35B]

[0460] 接着,如图35B所示,将绝缘膜21形成处于覆盖帽盖层31的状态并在绝缘膜21中形成栅极开口21g。只需要通过以与第一实施例的使用图5B说明的工序大体上相同的工序来进行该处理就足够了。即,在这里,例如通过化学气相沉积(CVD)法将由氮化硅(Si_3N_4)制成的绝缘膜21沉积为处于覆盖第二障壁层16上的帽盖层31的状态。然后,通过对绝缘膜21进行图形化蚀刻,在绝缘膜21中形成使第二障壁层16的上表面露出的栅极开口21g。将栅极开口21g形成在使帽盖层31无法露出的位置。

[0461] [图36A]

[0462] 接着,如图36A所示,通过从栅极开口21g的底部露出的第二障壁层16的表面层导入p型杂质,在第二障壁层16内形成p型低电阻区域16g。在这里,如图所示,扩散作为p型杂质的锌(Zn)直至不达到载流子供给区域15a的位置,或者仅在第二障壁层16内的表面层扩散作为p型杂质的锌(Zn),从而形成低电阻区域16g。通过使用例如约600℃的温度的锌化合物气体的气相扩散来进行锌(Zn)的扩散。于是,以自对准的方式将低电阻区域16g形成在栅极开口21g的底部。

[0463] [图36B]

[0464] 接着,关于图36B及其以后的附图中的后续工序,只需要进行与第十一实施例的使用图27A及其以后的附图说明的工序大体上相同的工序就足够了。

[0465] 即,首先,通过进行绝缘膜21的各向同性蚀刻,使绝缘膜21在横向上后退,以此扩展栅极开口21g的宽度。在这里,绝缘膜21下面的由GaInP层构成的第二障壁层16也被蚀刻。

[0466] [图37A]

[0467] 接着,如图37A所示,以如下状态沉积栅极绝缘膜25:其处于覆盖通过栅极开口21g露出的第二障壁层16以及已经被扩宽了宽度的栅极开口21g的内壁的状态。

[0468] [图37B]

[0469] 接着,如图37B所示,将栅极电极27形成处于隔着栅极绝缘膜25完全覆盖栅极开口21g的底部的状态。

[0470] [图38]

[0471] 上述之后,如图38所示,通过图形化地蚀刻栅极绝缘膜25和绝缘膜21,在横跨低电阻区域16g两侧的相应位置中形成能够使帽盖层31露出的源极开口21s和漏极开口21d。

[0472] [图34]

[0473] 然后,如图34所示,形成源极电极23s和漏极电极23d以完成半导体装置1-13,源极电极23s和漏极电极23d分别通过源极开口21s和漏极开口21d与帽盖层31欧姆接触。

[0474] 通过上面说明的制造方法,能够形成第十三实施例的半导体装置1-13。根据这种方法,通过形成于绝缘膜21中的栅极开口21g进行p型杂质扩散来形成低电阻区域16g,且在使绝缘膜21在横向上后退之后,隔着栅极电极25形成栅极电极27。因此,在低电阻区域16g的上方以相对于低电阻区域16g自对准的方式形成了具有完全覆盖低电阻区域16g的形状的栅极电极27。因此,能够容易地获得第十三实施例的半导体装置1-13。

[0475] <第十三实施例的半导体装置的效果>

[0476] 上面说明的半导体装置1-13具有栅极电极27完全覆盖低电阻区域16g的上方的形状。因此,与第十一实施例的情况一样,当把栅极电压(正电压)施加到栅极电极27时,使p型

低电阻区域16g被完全耗尽变得容易。即,防止导通操作时在沟道层14内的栅极边缘部存在载流子耗尽区域,且能够防止寄生电阻增加。因此,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0477] 除上述以外,由于在第二障壁层16与源极电极23s/漏极电极23d之间设置有由化合物半导体制成的帽盖层31这样的构造,能够增加位于帽盖层31正下方的沟道层14中的载流子面密度。由此,还能够期望这样的效果:减小沟道电阻和接入电阻,从而减小导通电阻 R_{on} ,且此外,增加最大漏极电流 I_{dmax} 。

[0478] 此外,因为以相对于低电阻区域16g自对准的方式形成栅极电极27,所以能够减小用于确保栅极电极27与源极电极23s/漏极电极23d之间的耐受电压的间距的裕量。因此,能够实现更小的元件结构。

[0479] 顺便提及地,当这个第十三实施例与使用图9说明的第二实施例的半导体装置结合时,只需要将载流子供给区域15a设置在图34所示的第一障壁层15的厚度方向上的中部就足够了,且能够结合获得与第二实施例大体上相同的效果。

[0480] 此外,当这个第十三实施例与使用图11说明的第三实施例的半导体装置结合时,只需要将图34所示的低电阻区域16g延伸到达到载流子供给区域15a的深度就足够了,且能够结合获得与第三实施例大体上相同的效果。

[0481] 此外,当这个第十三实施例与使用图12说明的第四实施例的半导体装置结合时,只需要将图34所示的围绕第二障壁层16中的p型低电阻区域16g的部分构成为低电阻区域16a就足够了,且能够结合获得与第四实施例大体上相同的效果。

[0482] 此外,作为此第十三实施例与使用图9至图12说明的第二至第四实施例的半导体装置中的各者结合的情况的其它示例,第十三实施例能够被应用于这样的构造:在例如不设置第二障壁层16的情况下,低电阻区域或高电阻区域被设置为第一障壁层15内的载流子供给区域15a的上层。在这种情况下,通过在由例如AlGaAs层构成的第一障壁层15的载流子供给区域15a的上层中的扩散来形成低电阻区域,且在上方,进行由氮化硅(Si_3N_4)制成的绝缘膜21的各向同性蚀刻。通过与第十一实施例的使用图27A说明的工序大体上相同的工序进行该蚀刻。即使在这样的情况下,也能够获得第十三实施例中增加的效果。

[0483] <<14. 第十四实施例>>

[0484] (覆盖低电阻区域的栅极电极以自对准的方式设置的第四示例)

[0485] 图39是图示了第十四实施例的半导体装置的主要构造的横截面图。在下文中,基于该附图说明应用了本发明的第十四实施例的半导体装置的构造。

[0486] <第十四实施例的半导体装置的构造>

[0487] 图39所示的这个第十四实施例的半导体装置1-14与使用图1说明的第一实施例的半导体装置之间的差异在于:栅极电极27覆盖低电阻区域16g,且栅极电极27以相对于低电阻区域16g自对准的方式形成。其它的构造与第一实施例大体上相同。因此,在这里,以相对于第十一实施例的差异为中心来说明第十四实施例的构造。

[0488] 即,在这个第十四实施例的半导体装置1-14中,在第二障壁层16上设置有具有栅极开口21g的绝缘膜21;整个低电阻区域16g在栅极开口21g的底部露出;且整个低电阻区域16g的上部被栅极绝缘膜25覆盖,这与第十一实施例大体上相同。此外,位于栅极开口21g的底部的低电阻区域16g的配置状态与第十一实施例的配置状态大体上相同,并且,在距被栅

极绝缘膜25覆盖的栅极电极21g的圆周边缘均匀地留有预定间距 L_d ($L_d > 0$) 的情况下,低电阻区域16g处于在栅极开口21g的底部的中央被露出的状态。

[0489] 此外,重要的是,栅极电极27被设置成处于隔着栅极绝缘膜25完全覆盖栅极开口21g的底部的状态。这样的栅极电极27的有效栅极长度 L_g 是栅极开口21g的底部的宽度,或更加具体地是被栅极绝缘膜25覆盖的栅极开口21g的开口宽度。即,栅极电极27中的起到有效栅极长度 L_g 作用的部分具有这样的尺寸:其宽度在低电阻区域16g的长度 L 以外径向延伸超出间距 L_d 的程度。并且栅极电极27被设置为完全覆盖低电阻区域16g的上方。

[0490] <第十四实施例的半导体装置的操作>

[0491] 具有像这样的构造的半导体装置1-14以与第一实施例的半导体装置大体上相同的方式操作。

[0492] <第十四实施例的半导体装置的制造方法>

[0493] 接着,基于图40至图42说明上述的半导体装置1-14的制造方法的一个示例。

[0494] [图40A]

[0495] 首先,如图40A所示,在基板11上依次沉积缓冲层12、三层结构的下部障壁层13、沟道层14、两层结构的第一障壁层15和第二障壁层16 (低电阻区域16b)。只需要以与各个实施例说明的方式大体上相同的方式从下层侧依次进行的外延生长来进行每个层的膜沉积就足够了,且在上述各层的膜沉积之后形成器件隔离。

[0496] [图40B]

[0497] 然后,如图40B所示,在第二障壁层16上形成设置有栅极开口21g的绝缘膜21。此时,与第十一实施例的情况一样,例如通过化学气相沉积 (CVD) 法来沉积由氮化硅 (Si_3N_4) 制成的绝缘膜21,然后对绝缘膜21进行图形化蚀刻,在绝缘膜21中形成能够使第二障壁层16的上表面露出的栅极开口21g。

[0498] 接着,在绝缘膜21的侧壁上形成侧墙45,以此使栅极开口21g的宽度变窄了侧墙45的宽度的程度。在这里,首先,将形成侧墙45的材料膜沉积为处于覆盖绝缘膜21的状态。通过使用相对于绝缘膜21和第二障壁层16的蚀刻率变高的材料来构成这样的材料膜。在这里,例如通过沉积法来形成蚀刻率受到控制的由氮化硅、氧化铝或氮化铝构成的材料膜。然而,当通过使用与绝缘膜21相同材料的氮化硅来形成侧墙45时,通过调整用作沉积气体的氮气 (N_2) 和氨气 (NH_3) 的流率来沉积由氮化硅 (Si_3N_4) 制成的绝缘膜,该绝缘膜的蚀刻率在后续进行的各向同性蚀刻中被控制。

[0499] 接着,通过干法蚀刻对沉积的材料膜进行各向异性蚀刻,并将沉积的材料膜仅留在绝缘膜21的侧壁上。于是,在绝缘膜21的侧壁上,形成由先前的材料膜构成的侧墙45,从而使栅极开口21g的宽度变窄。

[0500] [图41A]

[0501] 接着,如图41A所示,通过从被侧墙45变窄的栅极开口21g的底部导入p型杂质,形成p型低电阻区域16g。在这里,如图所示,扩散作为p型杂质的锌 (Zn) 直至不达到载流子供给区域15a的位置,或者仅在第二障壁层16内的表面层扩散作为p型杂质的锌 (Zn),从而形成低电阻区域16g。通过使用例如约600℃的温度的锌化合物气体的气相扩散来进行锌 (Zn) 的扩散。于是,以自对准的方式将低电阻区域16g形成在栅极开口21g的底部。

[0502] [图41B]

[0503] 然后,如图41B所示,相对于由氮化硅(Si_3N_4)构成的绝缘膜21和由GaInP混晶构成的第二障壁层16,选择性地蚀刻并由此去除由氮化硅(Si_3N_4)构成的侧墙45。作为这样的蚀刻,进行使用例如氢氟酸(HF)基的化学溶液的湿法蚀刻和干法蚀刻情况下的等离子体蚀刻。由此,加宽了栅极开口21g的开口宽度。

[0504] [图42A]

[0505] 然后,关于图42A及其后续附图中的工艺,只需要进行与第十一实施例的使用图27B及后续附图说明的工序大体上相同的工序就足够了。

[0506] 即,首先,以覆盖通过栅极开口21g露出的第二障壁层16和已经被扩展了宽度的栅极开口21g的内壁的状态,在绝缘膜21上沉积栅极绝缘膜25。接着,将栅极电极27形成为处于隔着栅极绝缘膜25完全覆盖栅极开口21g的底部的状态。

[0507] [图42B]

[0508] 上述之后,如图42B所示,通过图形化蚀刻栅极绝缘膜25和绝缘膜21,在横跨低电阻区域16g两侧的相应位置中形成能够使第二障壁层16的高电阻区域16b露出的源极开口21s和漏极开口21d。

[0509] [图39]

[0510] 然后,如图39所示,形成源极电极23s和漏极电极23d从而完成半导体装置1-14,源极电极23s和漏极电极23d分别通过源极开口21s和漏极开口21d与第二障壁层16的高电阻区域16b欧姆接触。

[0511] 通过上面说明的制造方法,能够形成第十四实施例的半导体装置1-14。根据这种方法,通过从设置有侧墙45的栅极开口21g扩散p型杂质来形成低电阻区域16g,且在通过湿法蚀刻去除侧墙45以扩宽栅极开口21g的宽度之后,隔着栅极绝缘膜25形成栅极电极27。因此,在低电阻区域16g的上方以自对准的方式形成了具有完全覆盖低电阻区域16g的形状的栅极电极27。因此,能够容易地获得第十四实施例的半导体装置1-14。

[0512] <第十四实施例的半导体装置的效果>

[0513] 上面说明的半导体装置1-14具有栅极电极27完全覆盖低电阻区域16g的上方的形状。因此,与第十一实施例的情况一样,当把栅极电压(正电压)施加到栅极电极27时,使p型低电阻区域16g被完全耗尽变得容易。即,防止导通操作时在沟道层14内的栅极边缘部存在载流子耗尽区域,且能够防止寄生电阻增加。因此,能够期望这样的效果:减小导通电阻 R_{on} ,且此外,增大最大漏极电流 I_{dmax} 。

[0514] 此外,因为以相对于低电阻区域16g自对准的方式形成栅极电极27,所以能够减小用于确保栅极电极27与源极电极23s/漏极电极23d之间的耐受电压的间距的裕量。除此以外,因为借助通过开口宽度变窄的栅极开口21g的杂质扩散来形成低电阻区域16g,所以能够寻求低电阻区域16g的减小。因此,与第十一至第十三实施例相比,能够实现更加微小的元件结构。

[0515] 顺便提及地,当这个第十四实施例与使用图9说明的第二实施例的半导体装置结合时,只需要将载流子供给区域15a设置在图39所示的第一障壁层15的在厚度方向上的中部就足够了,且能够结合获得与第二实施例大体上相同的效果。

[0516] 此外,当这个第十四实施例与使用图11说明的第三实施例的半导体装置结合时,只需要将图39所示的低电阻区域16g扩宽至达到载流子供给区域15a的深度就足够了,且能

够结合获得与第三实施例大体上相同的效果。

[0517] 此外,当这个第十四实施例与使用图12说明的第四实施例的半导体装置结合时,只需要将图39所示的围绕第二障壁层16中的p型低电阻区域16g的部分构成为低电阻区域16a就足够了,且能够获得与第四实施例大体上相同的效果。

[0518] 此外,作为这个第十四实施例与使用图9至图12说明的第二至第四实施例的半导体装置中的各者结合的情况的其它示例,第十四实施例能够被应用于这样的构造:在例如不设置第二障壁层16的情况下,低电阻区域或高电阻区域被设置为第一障壁层15内的载流子供给区域15a的上层。在这种情况下,通过在由例如AlGaAs层制成的第一障壁层15内的载流子供给区域15a的上层中的扩散来形成低电阻区域,且在上方,进行由氮化硅(Si₃N₄)制成的绝缘膜21的各向同性蚀刻。通过与第十一实施例的使用图27A说明的工序大体上相同的工序进行该蚀刻。即使在像这样的情况下,也能够获得第十四实施例中增添的效果。

[0519] 此外,这个第十四实施例可以与使用图29说明的第十二实施例的半导体装置结合。在这种情况下,只需要使第二障壁层16设置有蚀刻阻挡层就足够了,且在使用图42说明的栅极绝缘膜25的形成工序之前,只需要增加使用绝缘膜21作为掩模的直至蚀刻阻挡层的湿法蚀刻的工序就足够了。由此,能够结合获得与第十二实施例大体上相同的效果。

[0520] 此外,这个第十四实施例可以与使用图32说明的第十三实施例的半导体装置结合。在这种情况下,只需要在使用图40B说明的绝缘膜21的形成工艺之前进行帽盖层的设置工序并形成绝缘膜21以覆盖帽盖层就足够了。由此,能够结合获得与第十三实施例大体上相同的效果。

[0521] <<15.变型例-1>>

[0522] 在上面说明的第一至第十四实施例中,使用在基板11上形成的化合物半导体的各层彼此晶格匹配。然而,本发明不限于这样的构造,作为使用形成在基板11上的化合物半导体的各层,可以使用通过赝配技术生长的化合物半导体层或通过变质技术生长的具有不同晶格常数的化合物半导体层。例如,在由GaAs制成的基板上,可以生长由具有与GaAs不同晶格常数的相应化合物半导体制成的各层。

[0523] 例如,应用了变质技术的构造的一个示例如下:

[0524] 基板11和缓冲层12---GaAs

[0525] 下部障壁层13---InAlAs (In_{0.52}Al_{0.48}As)

[0526] 沟道层14---InGaAs (In_{0.53}Ga_{0.47}As)

[0527] 第一障壁层15---InAlAs (In_{0.52}Al_{0.48}As)

[0528] 第二障壁层16---InAlP或InAlAs或AlGaAsSb

[0529] 然而,当使用InAlP或InAlAs作为第二障壁层16时,通过增加Al的组成比来寻求相对于第一障壁层的晶格匹配。

[0530] <<16.变型例-2>>

[0531] 此外,在上面说明的第一至第十四实施例中,沟道层14上方的上部障壁层是由第一障壁层15和第二障壁层16构成的。然而,上部障壁层不限于两层结构,而是可以在第一障壁层15与第二障壁层16之间设置由不同的化合物半导体材料制成的额外的障壁层。即使在这样的情况下,在第一障壁层15与第二障壁层16直接接合的状态下,只需要保持这样的关系就足够了:在接合部处第二障壁层16中的与载流子运动侧能带相对的能带比第一障壁层

15中的与载流子运动侧能带相对的能带更远离第一障壁层内的本征费米能级。此外,只需要使用与第一障壁层15和第二障壁层16晶格匹配的半导体材料来构成额外的障壁层就足够了。在这个额外的障壁层中可以设置有载流子供给区域。此外,低电阻区域16g可以被设置为从第二障壁层16的表面层扩展。

[0532] <<17.应用例>>

[0533] (无线通信装置)

[0534] 如上的各个实施例中说明的半导体装置被用在例如移动通信系统中的无线通信装置中,特别是用作移动通信系统的天线开关。作为这样的无线通信装置,尤其是在超高频(UHF)频带以上的通信频率中产生效果。

[0535] 即,通过将第一至第十四实施例中已经说明的截止电流更小的、最大漏极电流 I_{dmax} 更大的且谐波失真特性极好的半导体装置用于无线通信系统的天线开关中,能够寻求无线通信装置的小型化和低耗能化。具体地,在移动通信终端中,由于通过装置的低耗能化和小型化带来的延长的操作时间,能够寻求便携性的提高。

[0536] 此外,本发明也可以被如下地构造。

[0537] (1)

[0538] 一种半导体装置,其包括:

[0539] 沟道层,所述沟道层由化合物半导体构成;

[0540] 上部障壁层,所述上部障壁层由化合物半导体构成并且设置在所述沟道层上;

[0541] 第一障壁层,所述第一障壁层构成所述上部障壁层中的所述沟道层侧的边界层,且所述第一障壁层由这样的化合物半导体构成:在所述第一障壁层与所述沟道层的接合部处,构成所述第一障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级;

[0542] 第二障壁层,所述第二障壁层设置在所述上部障壁层的表面层,且所述第二障壁层由这样的化合物半导体构成:在所述第二障壁层与所述第一障壁层形成接合的状态下,在接合部处,构成所述第二障壁层的化合物半导体的隔着带隙与载流子运动侧能带相对的能带比所述第一障壁层的隔着带隙与载流子运动侧能带相对的能带更远离所述第一障壁层内的本征费米能级;

[0543] 低电阻区域,所述低电阻区域设置在所述第二障壁层的至少表面层中,且所述低电阻区域包含与载流子的导电型相反的导电型的杂质以保持比周边区域更低的电阻;

[0544] 源极电极和漏极电极,所述源极电极和漏极电极在横跨所述低电阻区域两侧的位置处连接至所述第二障壁层;

[0545] 栅极绝缘膜,所述栅极绝缘膜设置在所述低电阻区域上;和

[0546] 栅极电极,所述栅极电极隔着所述栅极绝缘膜设置在所述低电阻区域上方。

[0547] (2)

[0548] 根据(1)所述的半导体装置,其中,所述低电阻区域具有从所述第二障壁层的表面层延伸到所述第一障壁层的深度。

[0549] (3)

[0550] 根据(1)或(2)所述的半导体装置,还包括:

[0551] 下部障壁层,所述下部障壁层位于相对于所述上部障壁层在所述沟道层另一侧的

位置,且所述下部障壁层由这样的化合物半导体构成:在所述下部障壁层与所述沟道层的接合部,构成所述下部障壁层的化合物半导体的载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级。

[0552] (4)

[0553] 根据(1)至(3)中任一项所述的半导体装置,还包括:

[0554] 位于所述上部障壁层与所述源极电极和漏极电极之间的含有将成为载流子的杂质的层。

[0555] (5)

[0556] 根据(1)至(4)中任一项所述的半导体装置,其中,所述第二障壁层被图形化地形成在所述第一障壁层上方作为所述低电阻区域。

[0557] (6)

[0558] 根据(1)至(5)中任一项所述的半导体装置,其中,所述栅极电极具有完全覆盖所述低电阻区域上方的形状。

[0559] (7)

[0560] 根据(1)至(6)中任一项所述的半导体装置,

[0561] 其中,所述第一障壁层中的导带的最低能量高于所述沟道层的导带的最低能量,并且

[0562] 其中,所述第二障壁层中的价带的最高能量低于所述第一障壁层中的价带的最高能量。

[0563] (8)

[0564] 根据(1)至(7)中任一项所述的半导体装置,

[0565] 其中,所述沟道层由作为III-V族化合物半导体的InGaAs混晶构成,

[0566] 其中,所述第一障壁层由作为III-V族化合物半导体的AlGaAs混晶构成,并且

[0567] 其中,所述第二障壁层由作为III-V族化合物半导体的GaInP混晶构成。

[0568] (9)

[0569] 根据(1)至(8)中任一项所述的半导体装置,

[0570] 其中,所述沟道层由作为III-V族化合物半导体的InGaAs混晶构成,并且

[0571] 其中,所述第一障壁层或所述第二障壁层由作为III-V族化合物半导体的In(AlGa)AsP混晶构成。

[0572] (10)

[0573] 根据(1)至(9)中任一项所述的半导体装置,其中,所述沟道层设置在由GaAs构成的基板的上方。

[0574] (11)

[0575] 根据(10)所述的半导体装置,其中,所述沟道层是通过在所述基板上变质地生长具有与GaAs的晶格常数不同的晶格常数的化合物半导体而形成的。

[0576] (12)

[0577] 一种半导体装置的制造方法,所述制造方法包括以下步骤:

[0578] 在由化合物半导体构成的沟道层上形成由这样的化合物半导体构成的第一障壁层:在所述第一障壁层与所述沟道层的接合部处,构成所述第一障壁层的化合物半导体的

载流子运动侧能带比所述沟道层的载流子运动侧能带更远离所述沟道层内的本征费米能级；

[0579] 在所述第一障壁层上方形成由这样的化合物半导体构成的第二障壁层：在所述第二障壁层与所述第一障壁层形成接合的状态下，在接合部处，构成所述第二障壁层的化合物半导体的隔着带隙与载流子运动侧能带相对的能带比所述第一障壁层的隔着带隙与载流子运动侧能带相对的能带更远离所述第一障壁层内的本征费米能级；并且在所述第二障壁层的至少表面层中设置这样的低电阻区域：所述低电阻区域含有导电型与载流子的导电型相反的杂质以保持比周边区域低的电阻；

[0580] 在横跨所述低电阻区域两侧的位置形成被连接至上部障壁层的源极电极和漏极电极，所述第二障壁层设置在所述上部障壁层的表面层，所述上部障壁层具有由所述第一障壁层构成的所述沟道层侧的边界层；

[0581] 在所述低电阻区域上形成栅极绝缘膜；并且

[0582] 在所述低电阻区域上方隔着所述栅极绝缘膜形成栅极电极。

[0583] (13)

[0584] 根据(12)所述的半导体装置的制造方法，其中，当形成所述栅极绝缘膜时，通过原子层沉积法来沉积所述栅极绝缘膜。

[0585] (14)

[0586] 根据(12)或(13)所述的半导体装置的制造方法，其中，当形成所述第二障壁层时，沉积由化合物半导体构成的所述第二障壁层，然后通过将杂质扩散到所述第二障壁层来形成所述低电阻区域。

[0587] (15)

[0588] 根据(14)所述的半导体装置的制造方法，其中，扩散锌作为所述杂质。

[0589] (16)

[0590] 根据(14)或(15)所述的半导体装置的制造方法，

[0591] 其中，当形成所述低电阻区域时，在所述第二障壁层上形成具有开口的绝缘膜，然后通过所述绝缘膜的所述开口将杂质扩散到所述第二障壁层，

[0592] 其中，在形成所述栅极绝缘膜之前，通过蚀刻来加宽所述绝缘膜的所述开口，

[0593] 其中，当形成所述栅极绝缘膜时，将所述栅极绝缘膜形成为处于覆盖通过所述开口露出的所述第二障壁层的状态，并且

[0594] 其中，当形成所述栅极电极时，将所述栅极电极形成为处于隔着所述栅极绝缘膜完全覆盖所述开口的底部的状态。

[0595] (17) 根据(16)所述的半导体装置的制造方法，

[0596] 其中，当形成所述第二障壁层时，在表面侧形成对于构成所述第二障壁层的化合物半导体的蚀刻阻挡层，

[0597] 其中，当形成所述低电阻区域时，将所述低电阻区域形成到超过所述蚀刻阻挡层的深度，

[0598] 其中，当加宽所述绝缘膜的开口时，进行所述绝缘膜的各向同性蚀刻，然后，在形成所述栅极绝缘膜之前，去除所述蚀刻阻挡层。

[0599] (18)

- [0600] 根据(14)或(15)所述的半导体装置的制造方法，
- [0601] 其中，当形成所述低电阻区域时，在所述第二障壁层上形成具有开口的绝缘膜，在所述开口的侧壁上设置侧墙，并且使用所述绝缘膜和所述侧墙作为掩模将杂质扩散到所述第二障壁层，
- [0602] 其中，在形成所述栅极绝缘膜之前，去除所述侧墙，
- [0603] 其中，当形成所述栅极绝缘膜时，将所述栅极绝缘膜形成处于覆盖通过所述开口露出的所述第二障壁层的状态，并且
- [0604] 其中，当形成所述栅极电极时，将所述栅极电极形成处于隔着所述栅极绝缘膜完全覆盖所述开口的底部的状态。
- [0605] (19) 根据(18)所述的半导体装置的制造方法，
- [0606] 其中，当沉积所述第二障壁层时，在表面侧形成对于构成所述第二障壁层的化合物半导体的蚀刻阻挡层，
- [0607] 其中，当形成所述低电阻区域时，将所述低电阻区域形成到超过所述蚀刻阻挡层的深度，并且
- [0608] 其中，在去除所述侧墙之后且在形成所述栅极绝缘膜之前，去除所述蚀刻阻挡层。
- [0609] (20) 根据(12)或(13)所述的半导体装置的制造方法，
- [0610] 其中，关于所述低电阻区域的形成，当通过外延生长在所述沟道层上形成所述上部障壁层时，通过外延生长形成掺杂有杂质的所述第二障壁层，然后将所述第二障壁层用作所述低电阻区域。
- [0611] 附图标记列表
- [0612] 1-1至1-14 半导体装置
- [0613] 13 下部障壁层
- [0614] 14 沟道层
- [0615] 15 第一障壁层(上部障壁层)
- [0616] 16 第二障壁层(上部障壁层)
- [0617] 16e 蚀刻阻挡层
- [0618] 16g 低电阻区域
- [0619] 21 绝缘膜
- [0620] 21g 栅极开口
- [0621] 25 栅极绝缘膜
- [0622] 27 栅极电极
- [0623] 23s 源极电极
- [0624] 23d 漏极电极
- [0625] 31 帽盖层
- [0626] 45 侧墙

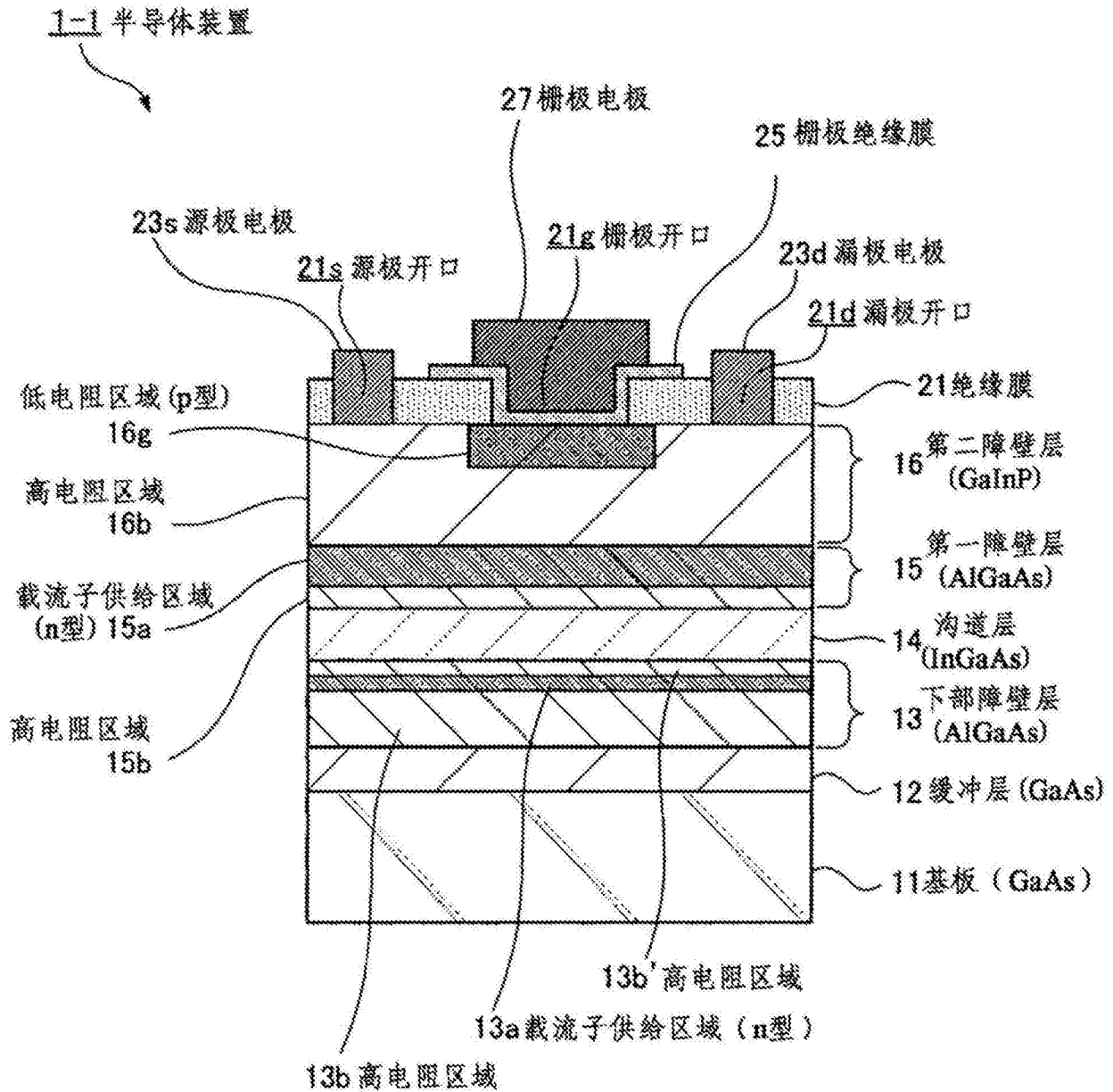


图1

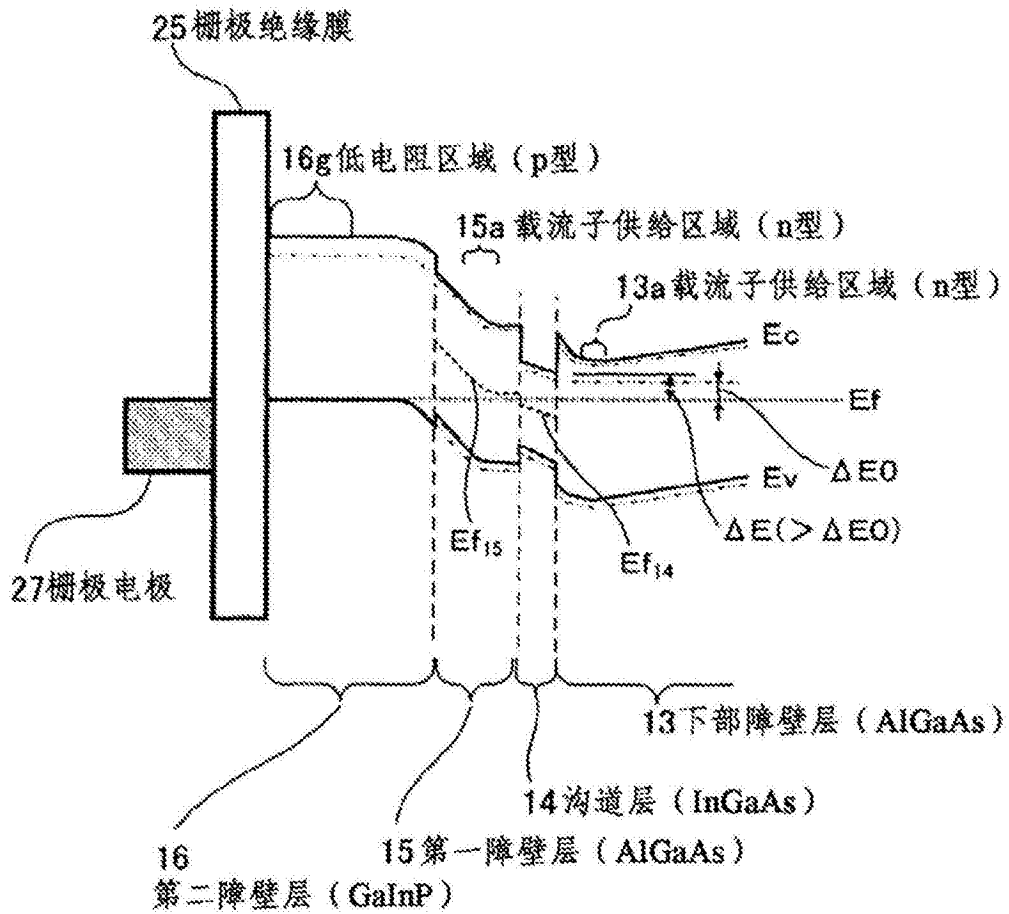


图2

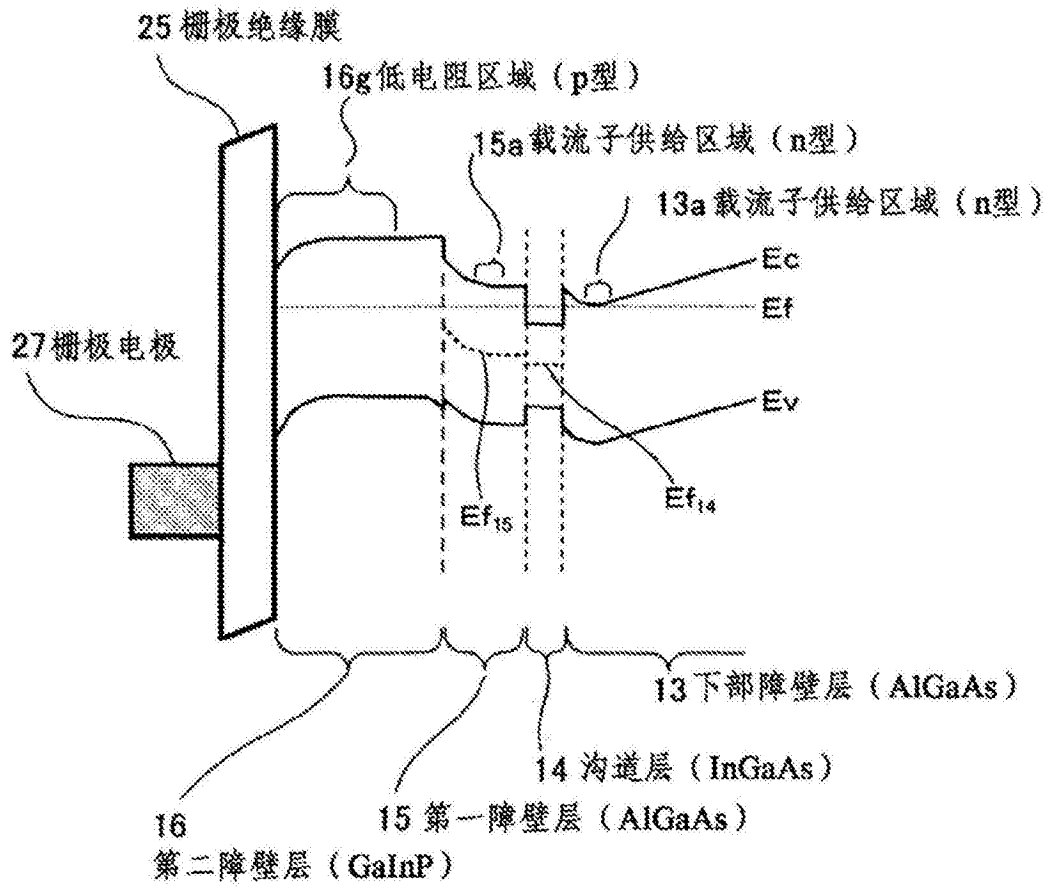


图3

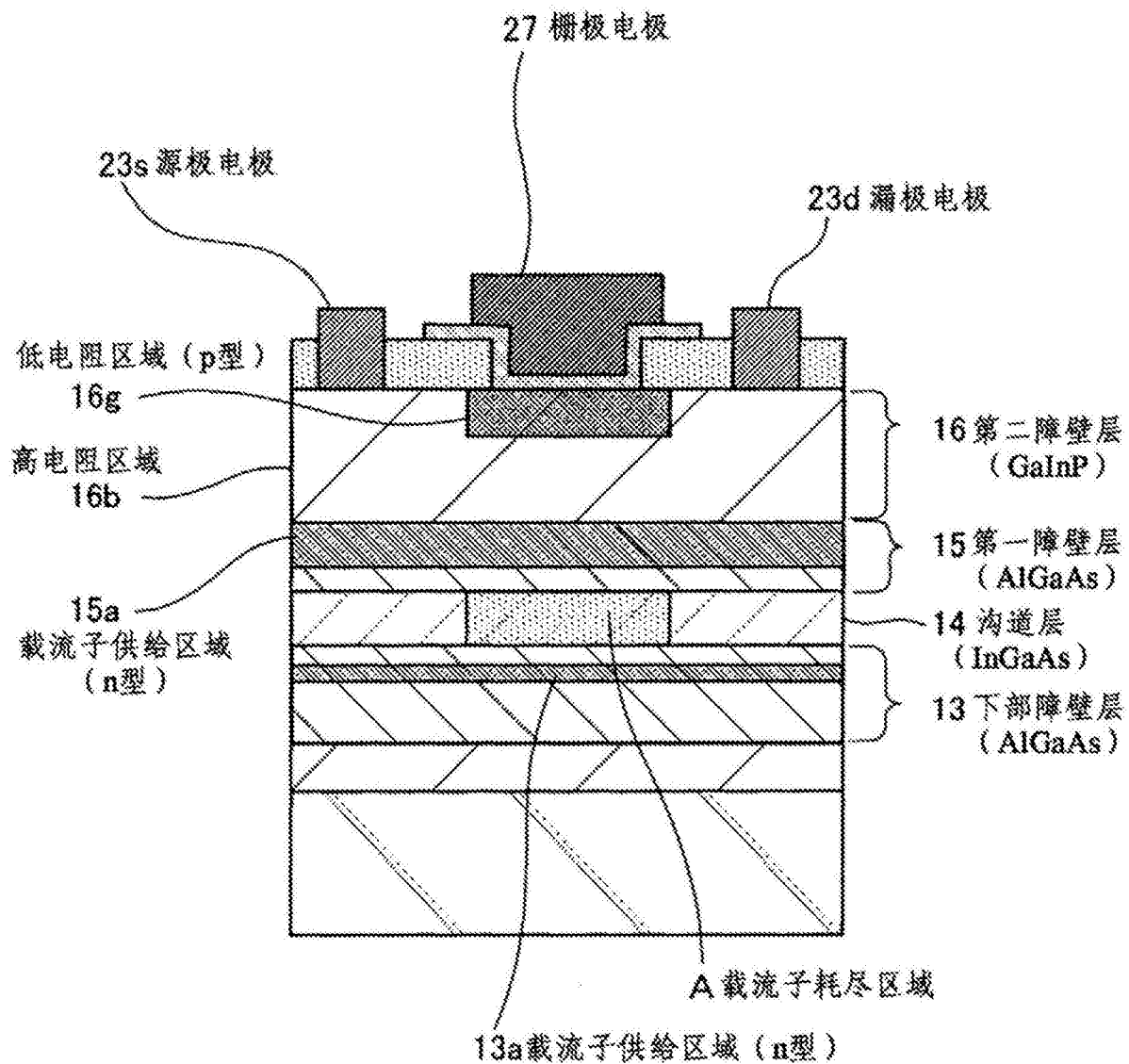


图4

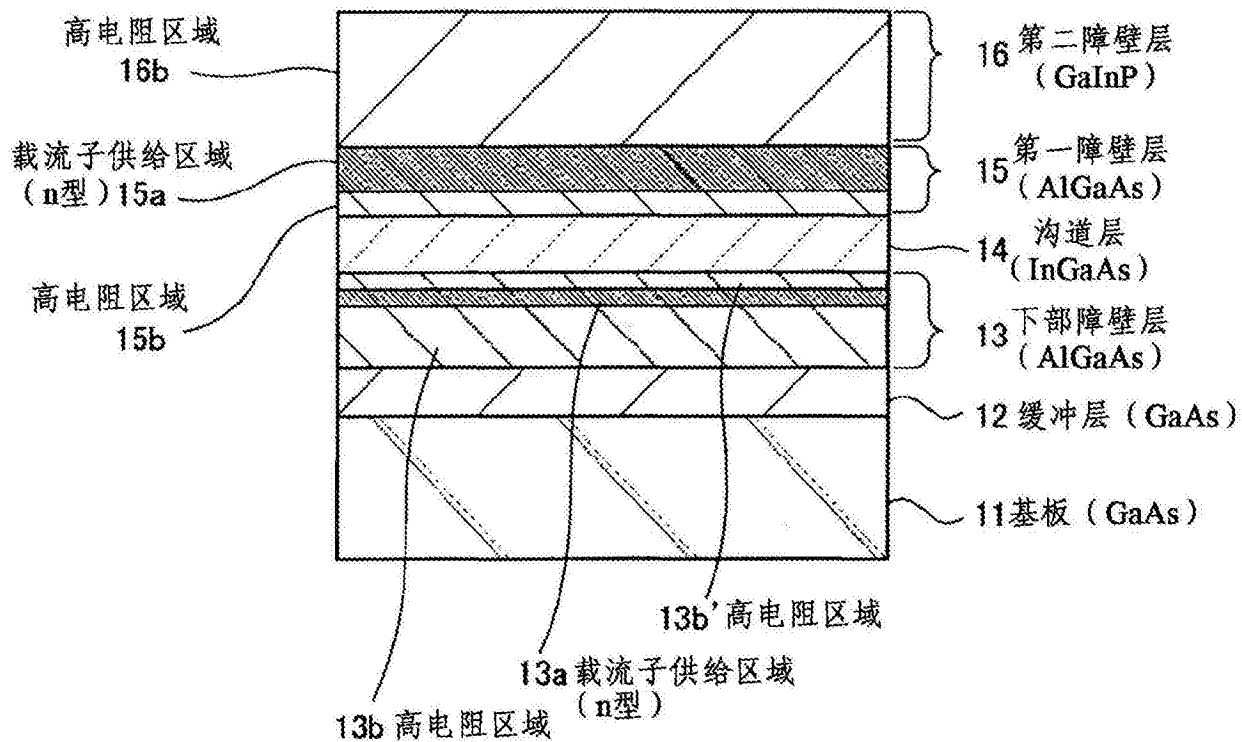


图5A

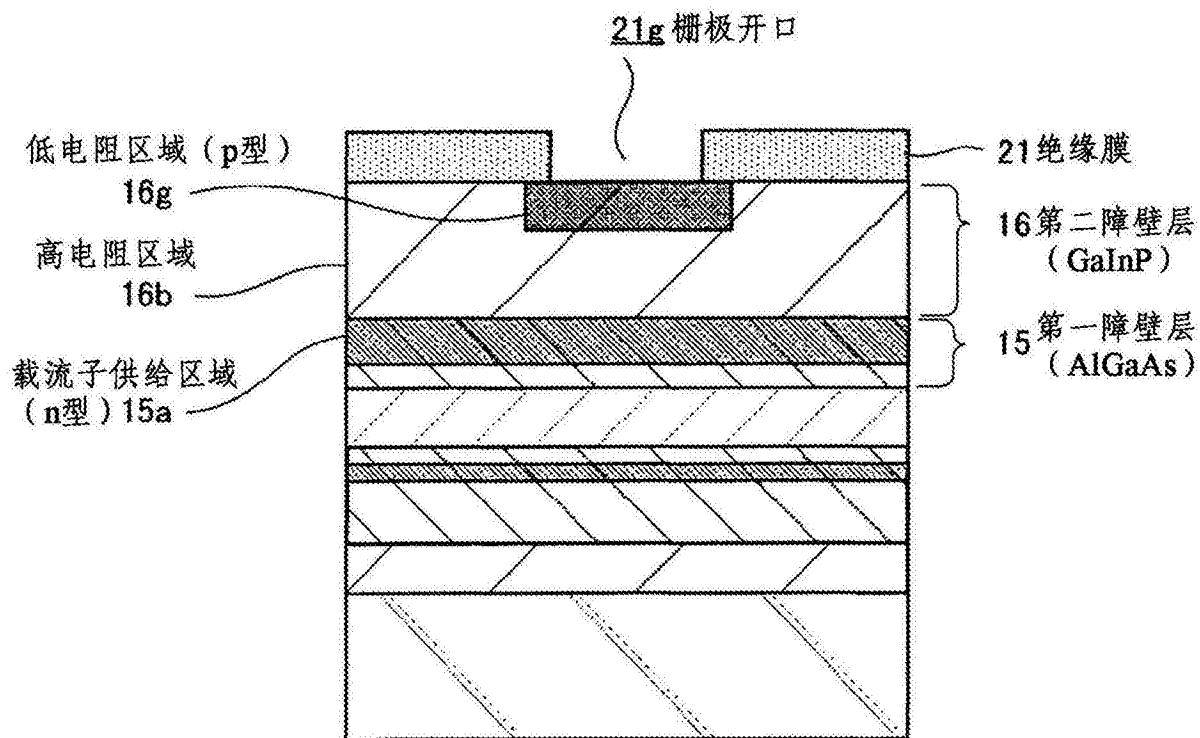


图5B

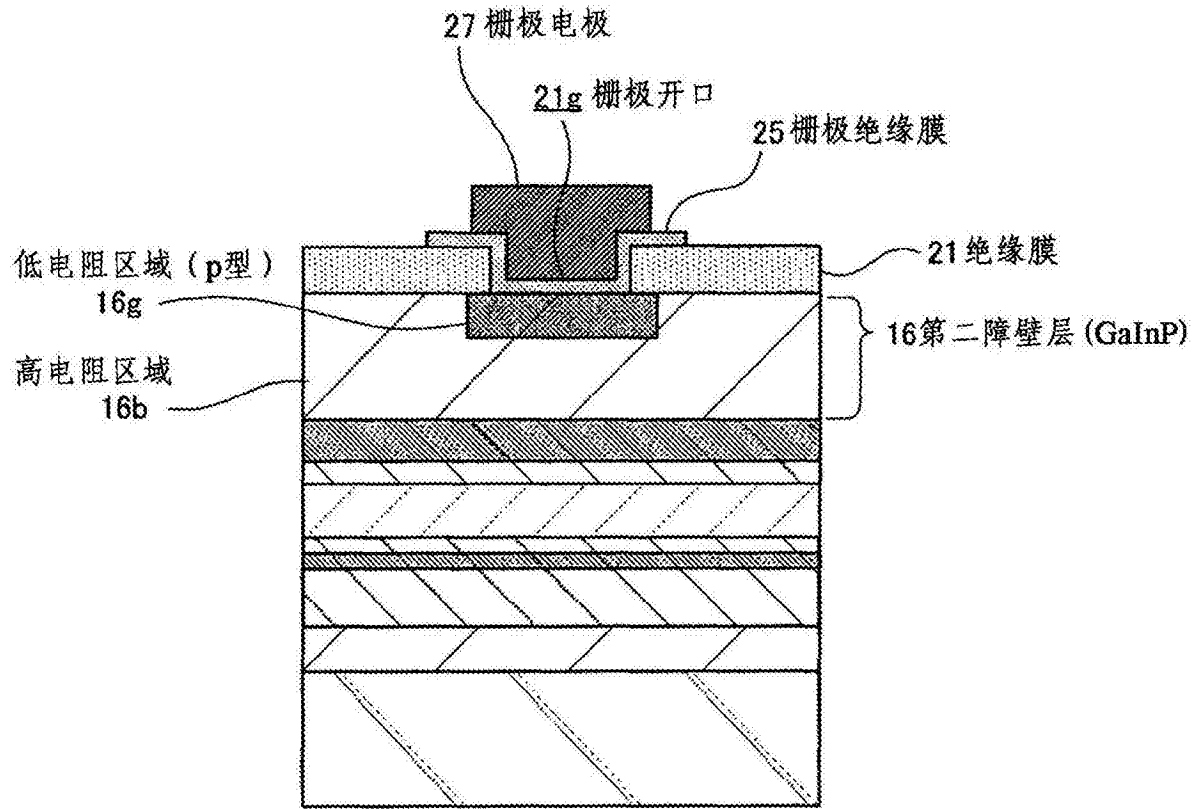


图6A

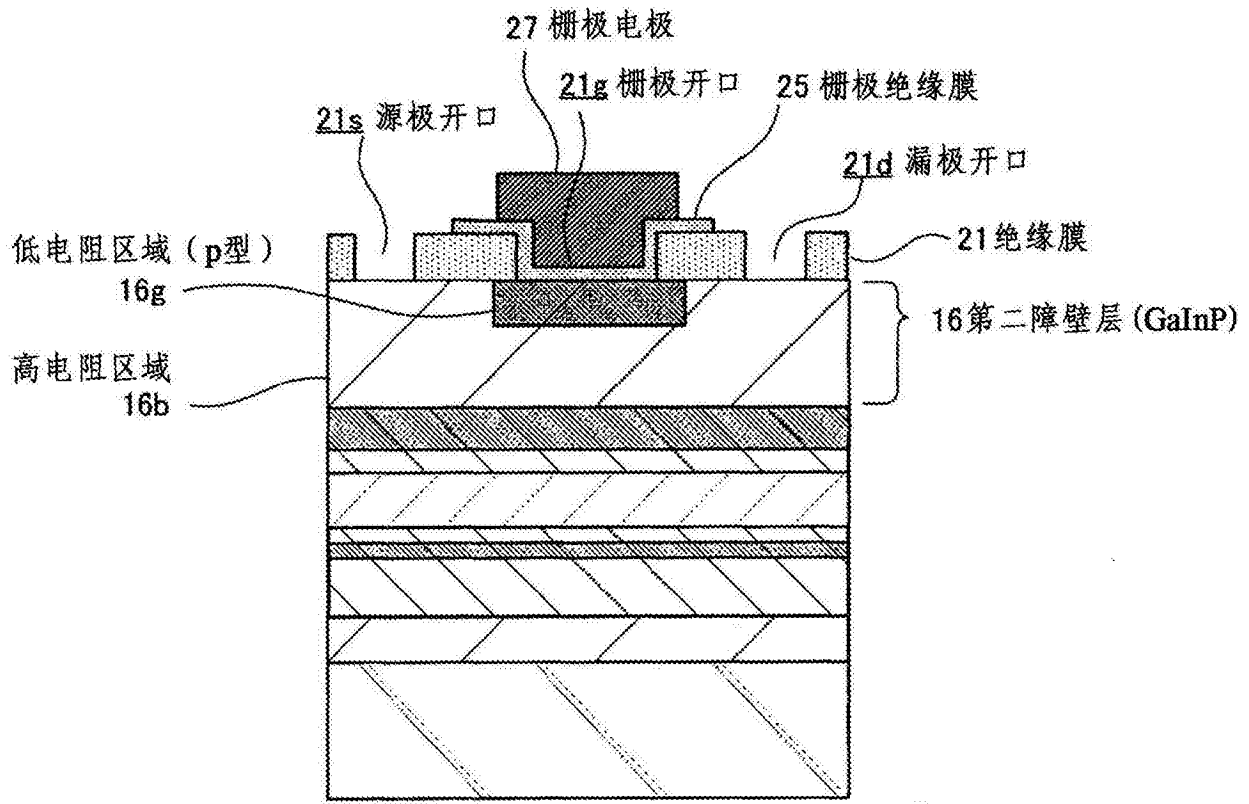


图6B

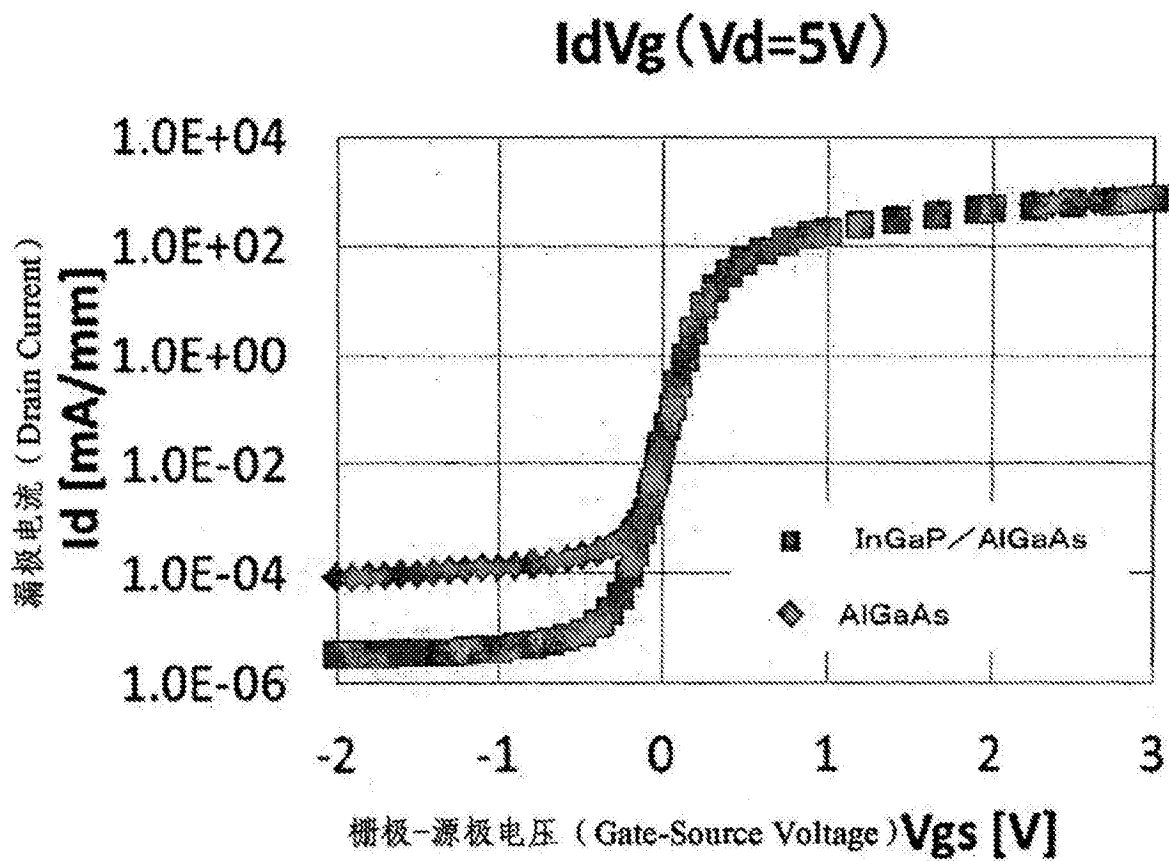


图7

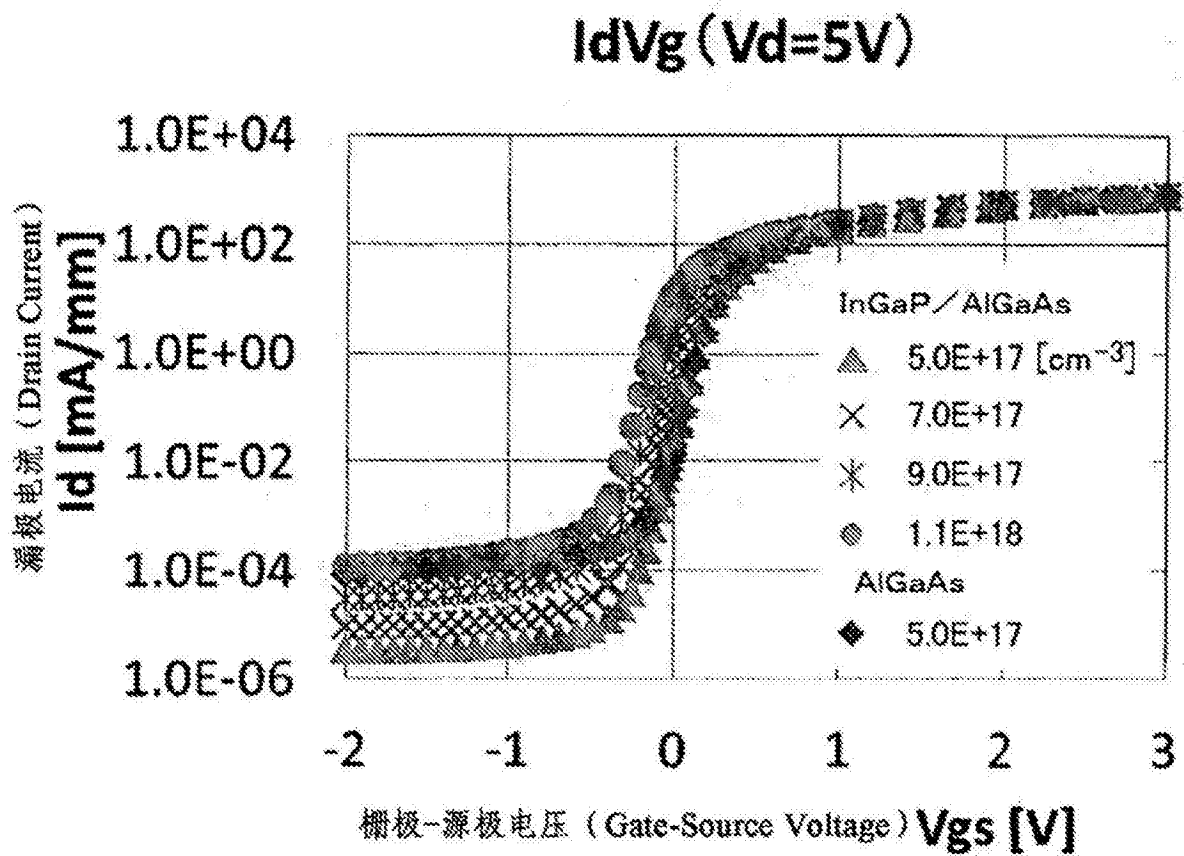


图8

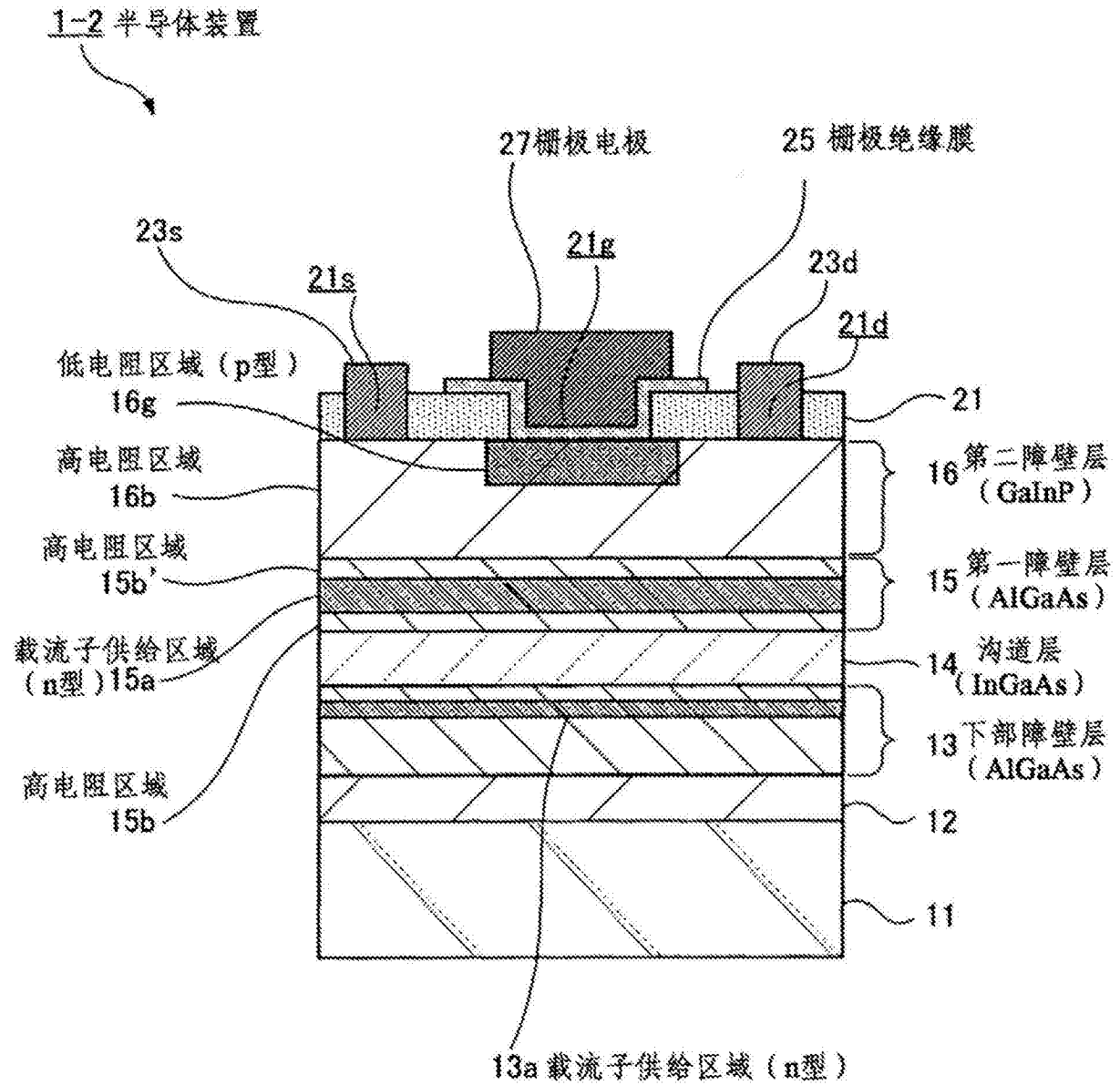


图9

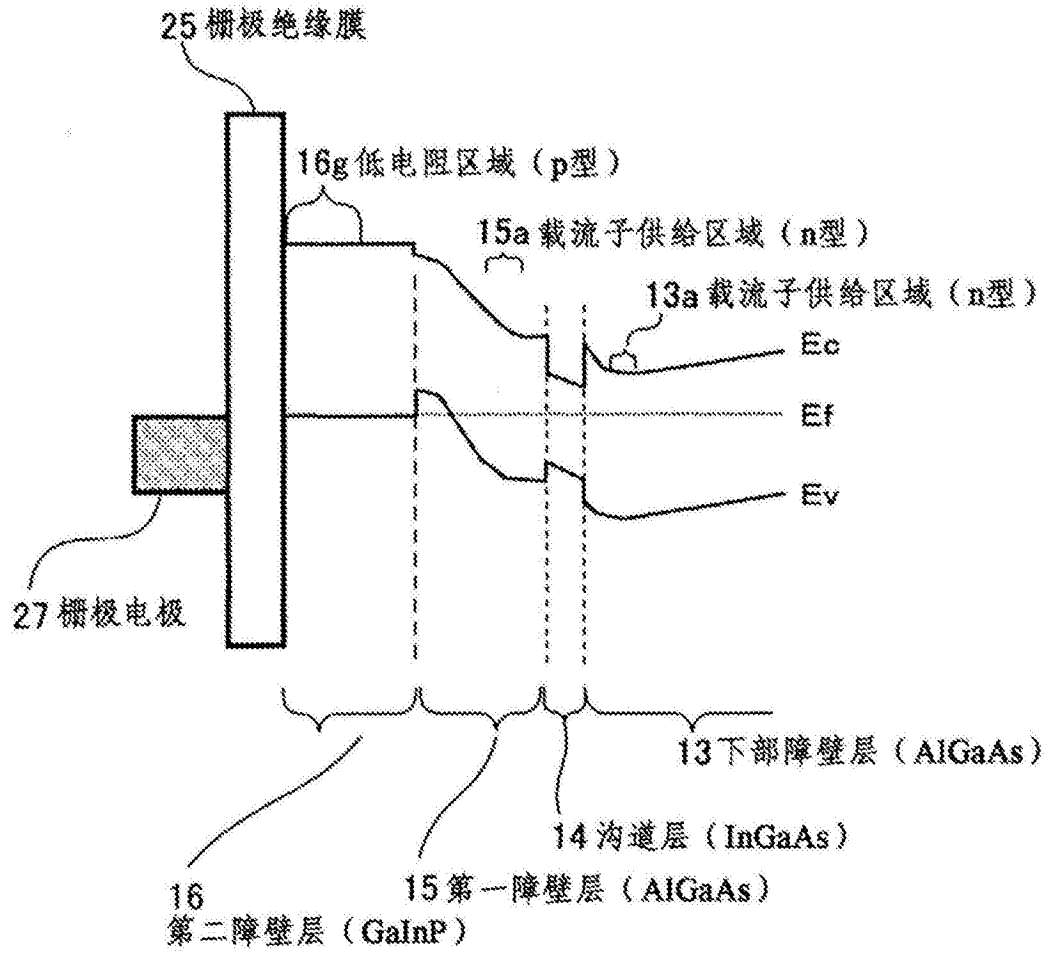


图10

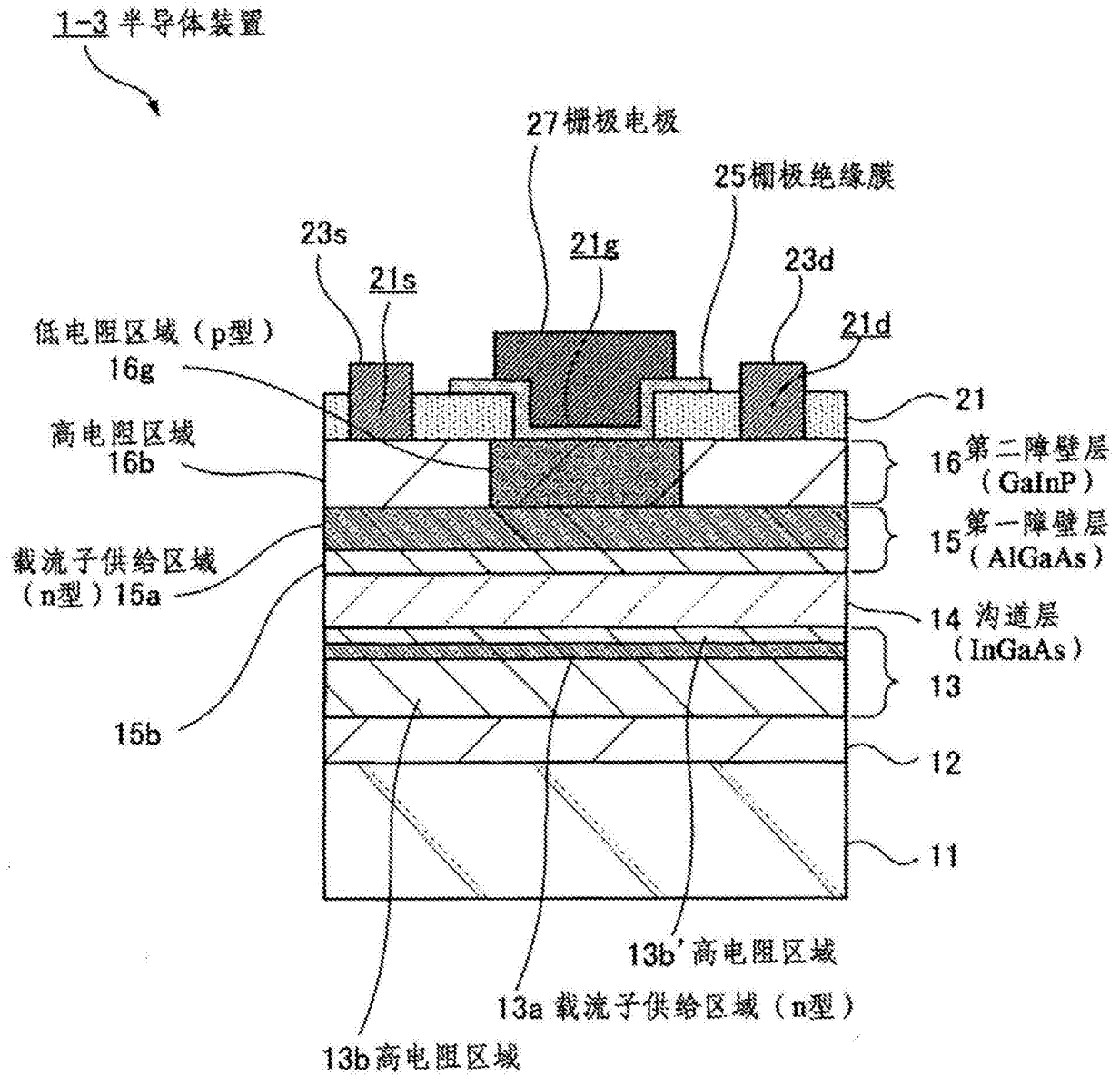


图11

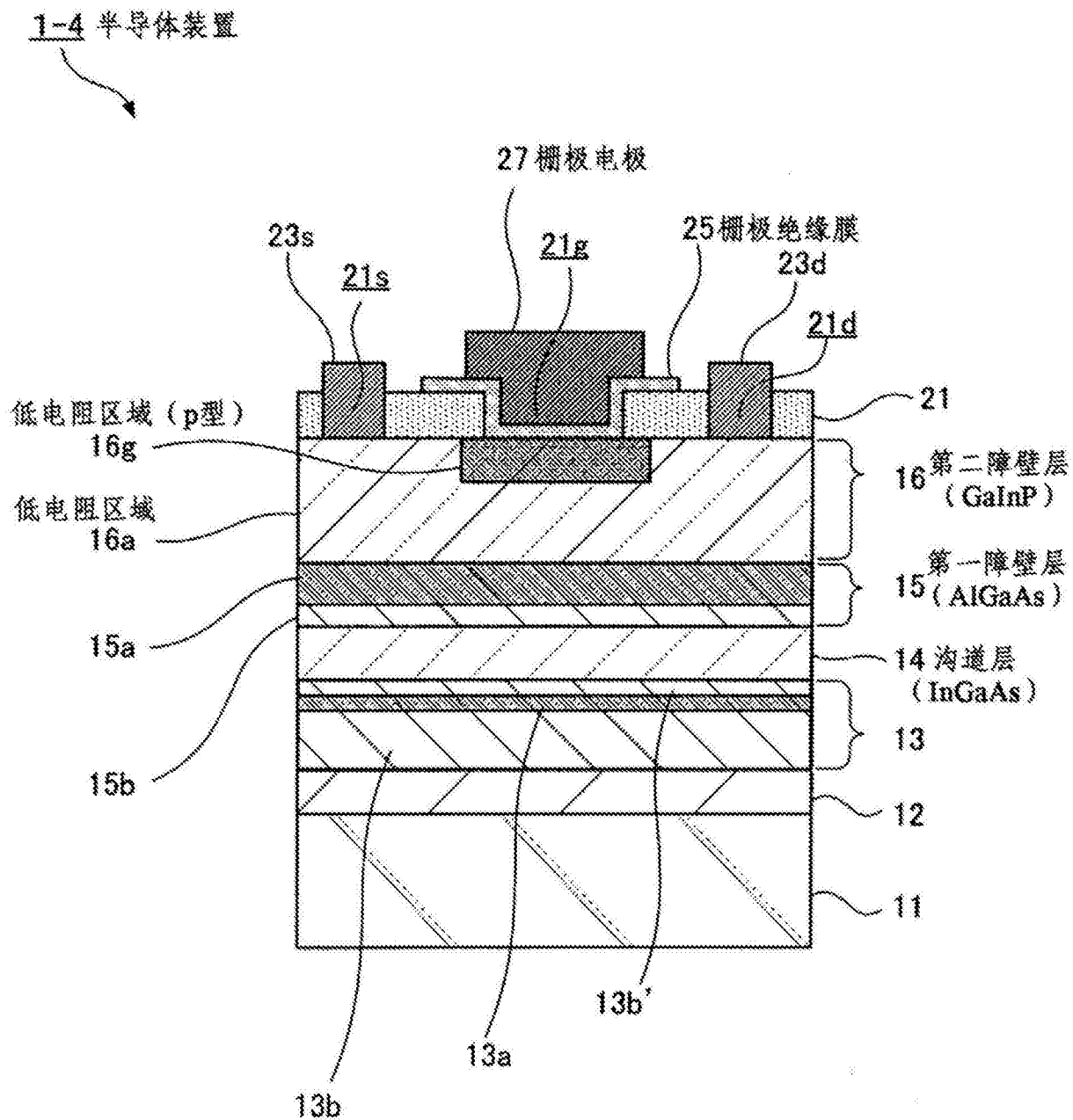


图12

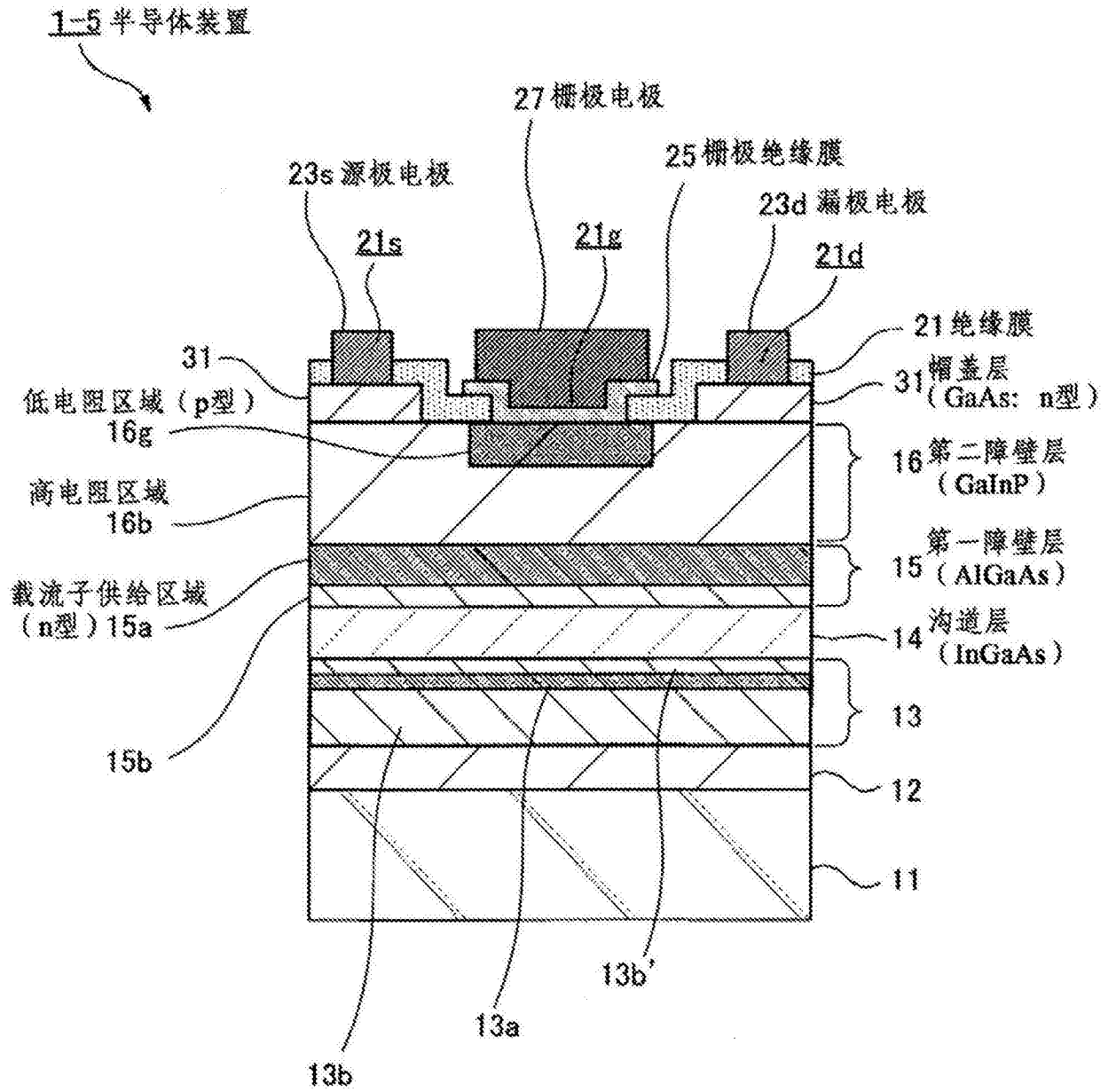


图13

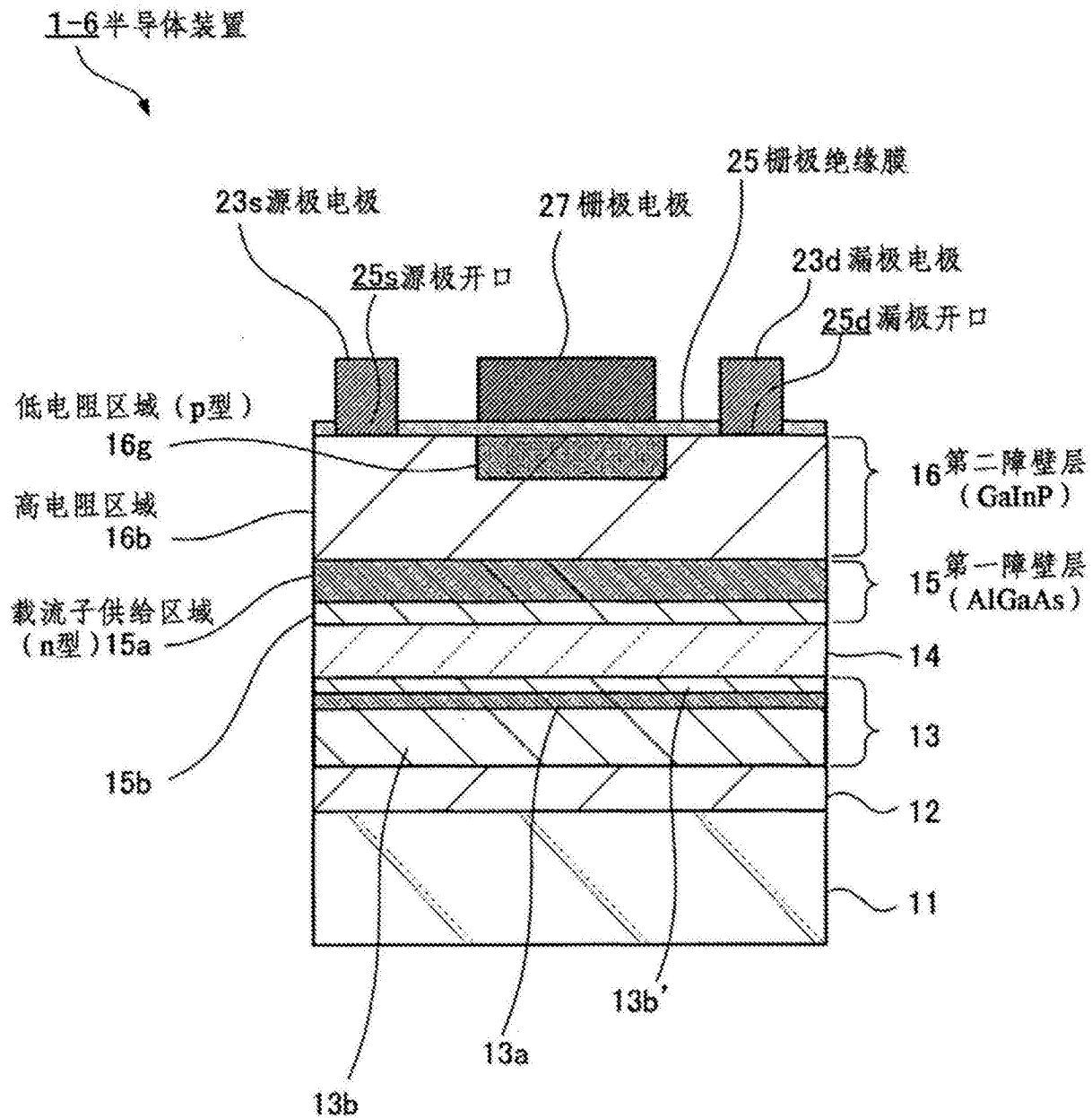


图14

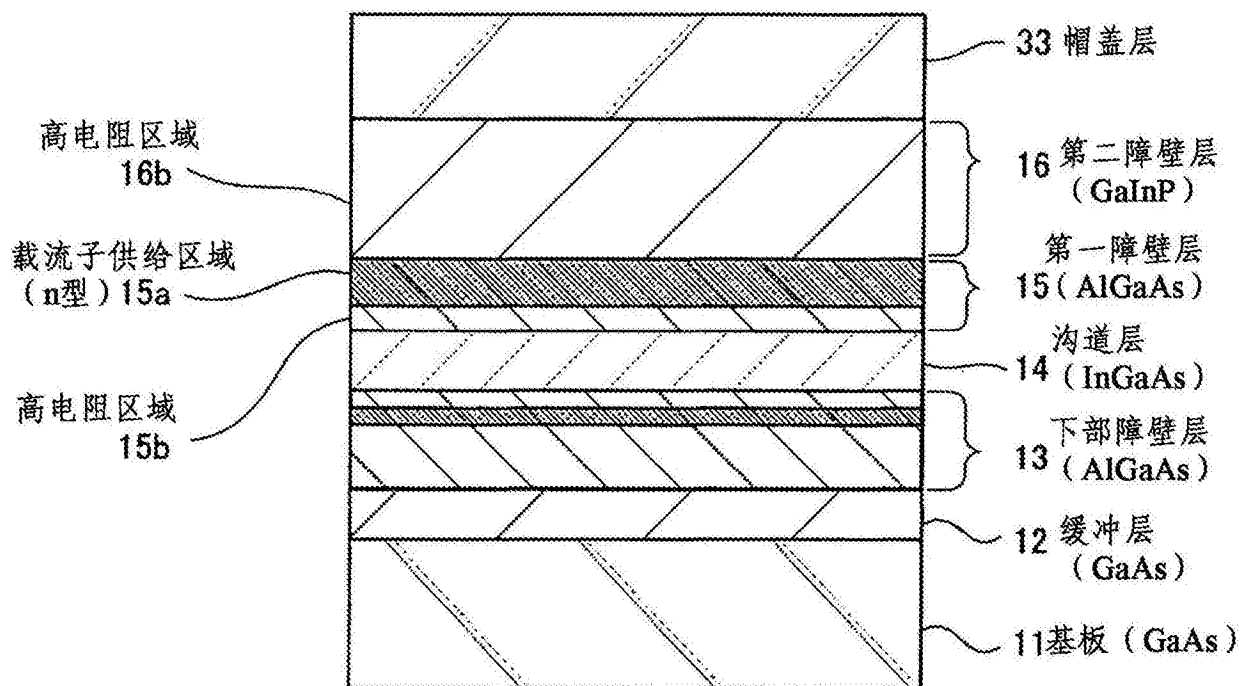


图15A

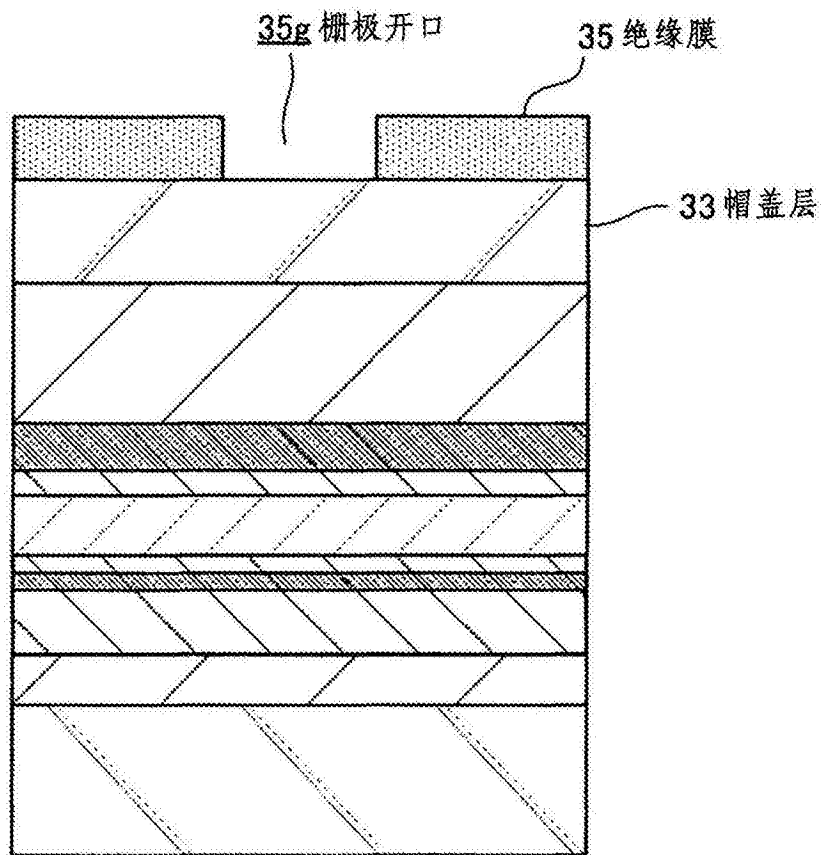


图15B

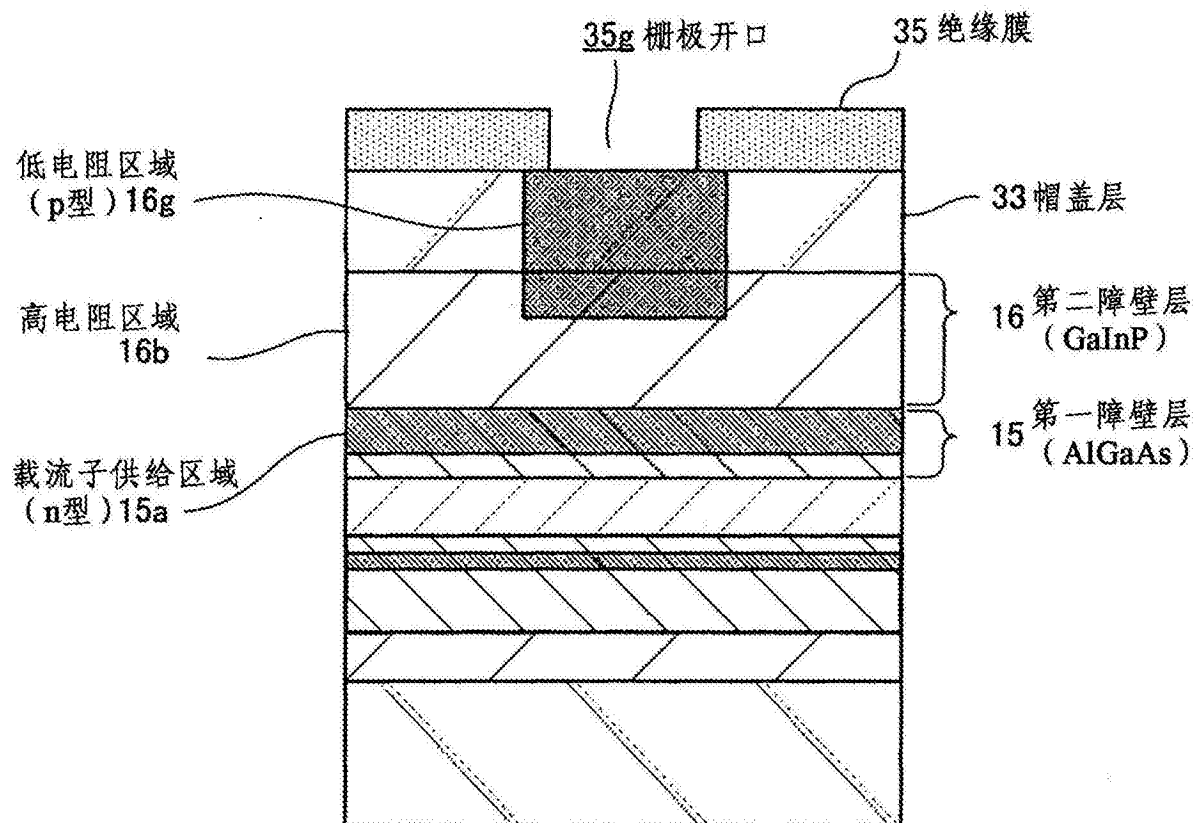


图16A

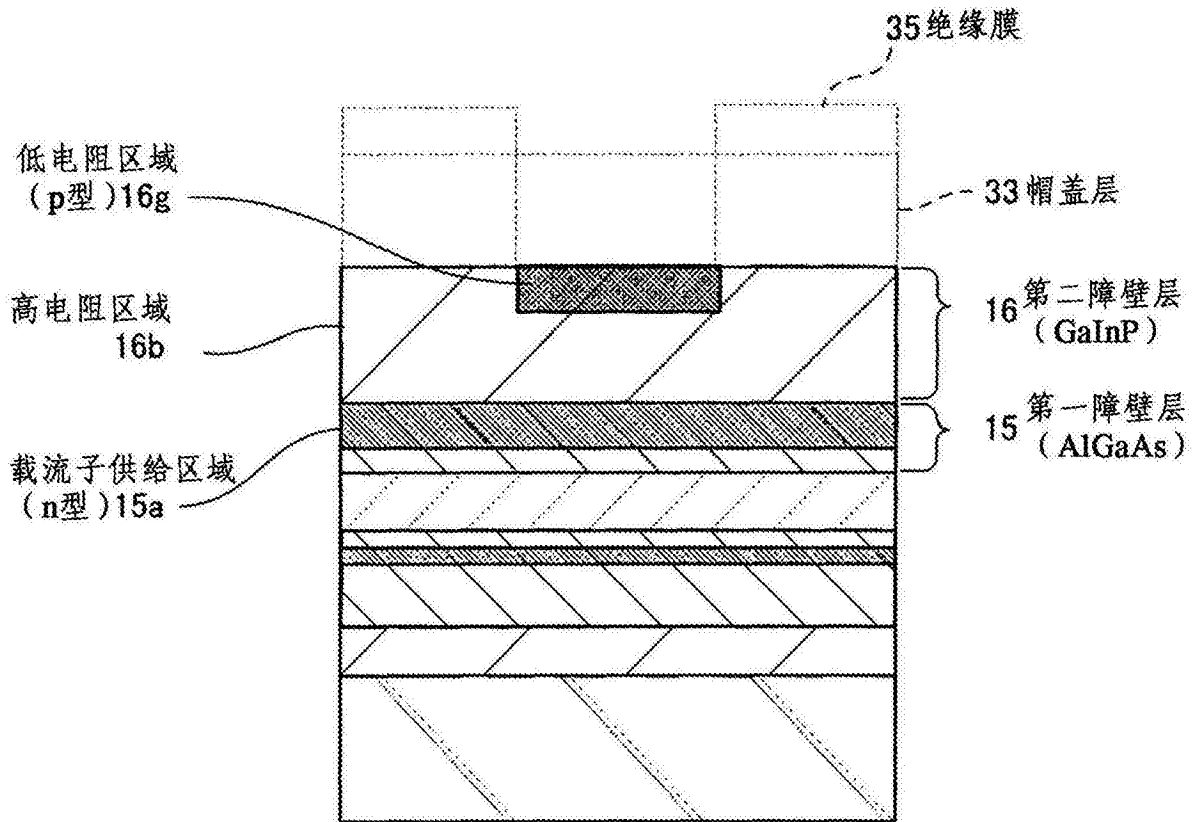


图16B

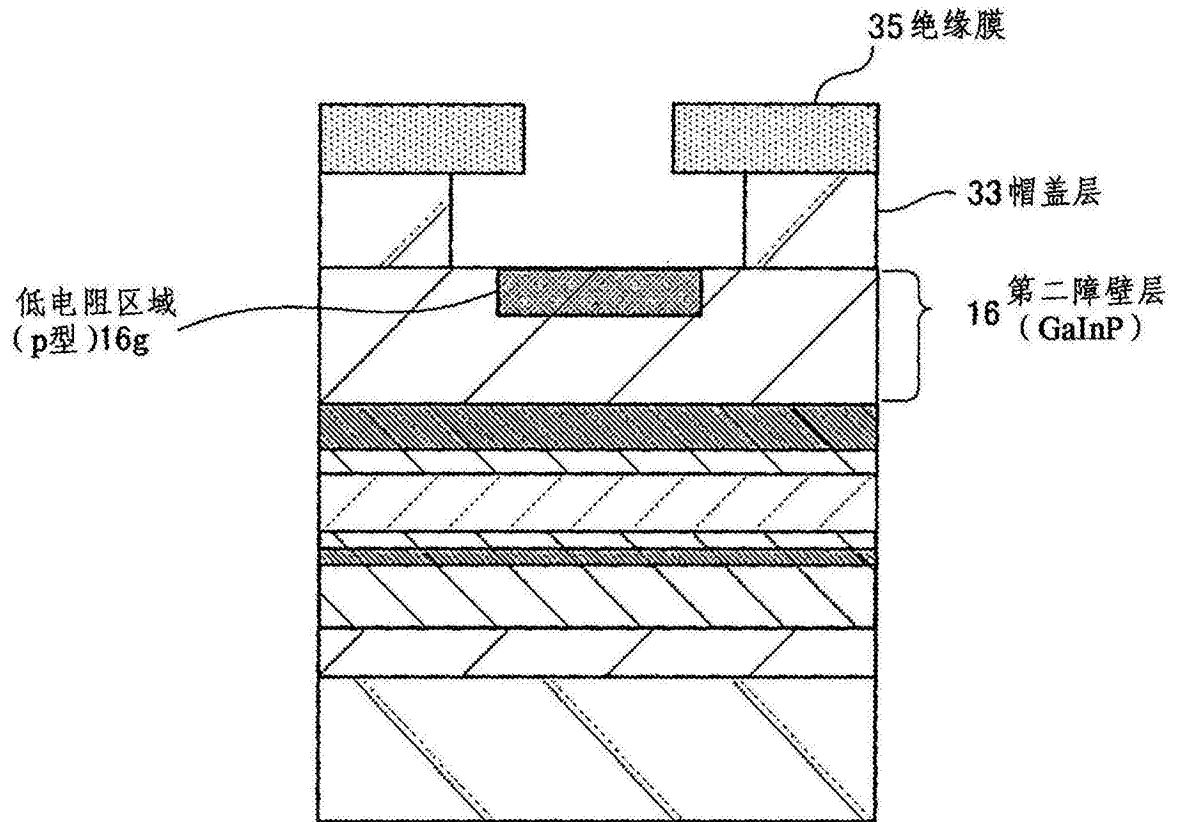


图17A

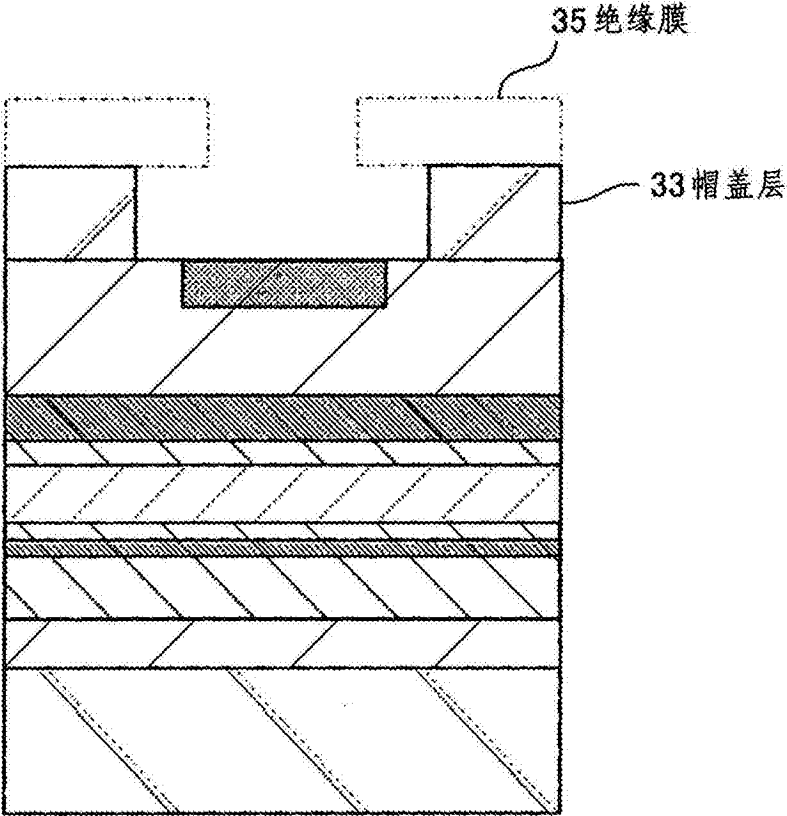


图17B

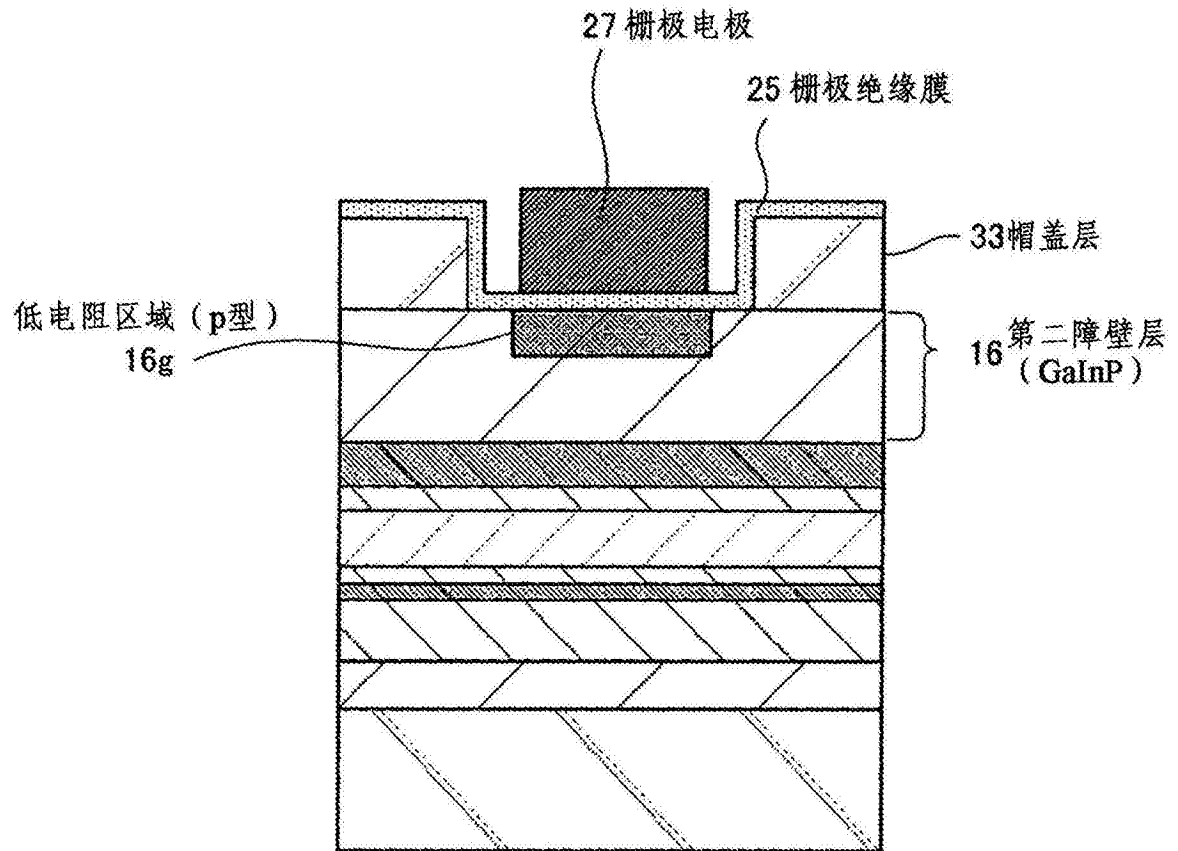


图18A

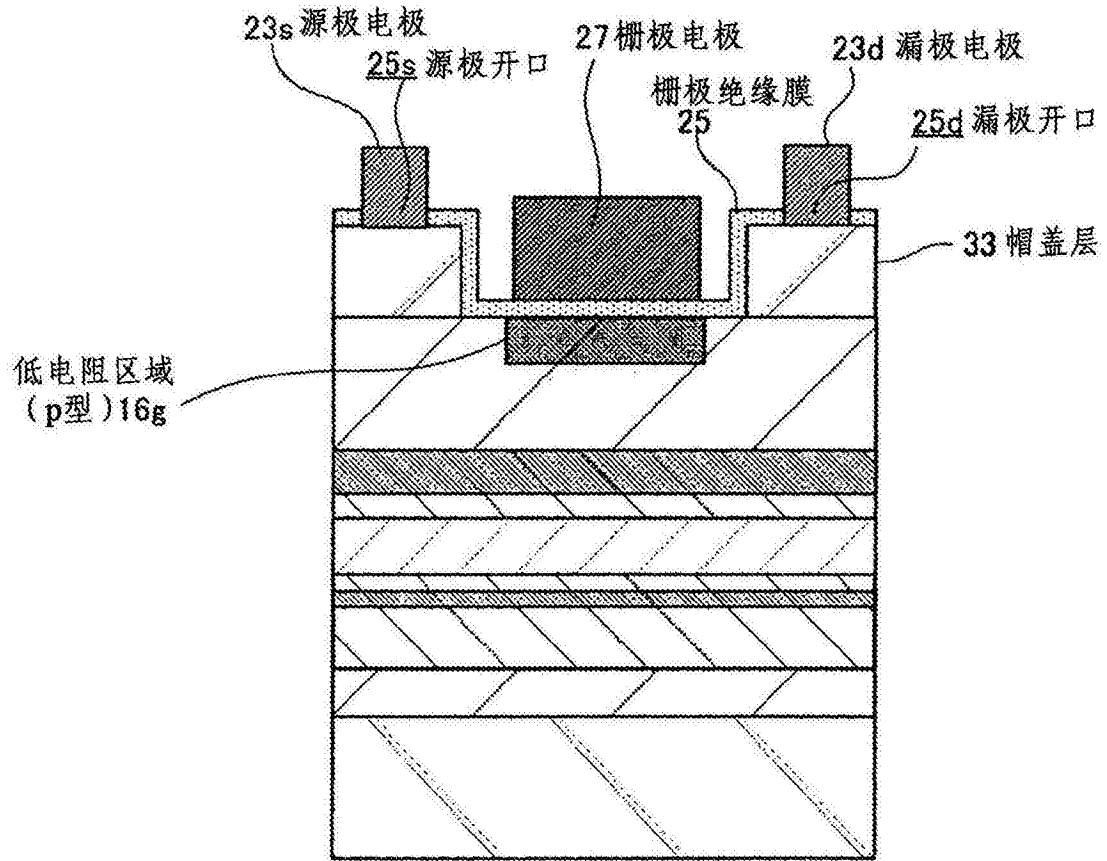


图18B

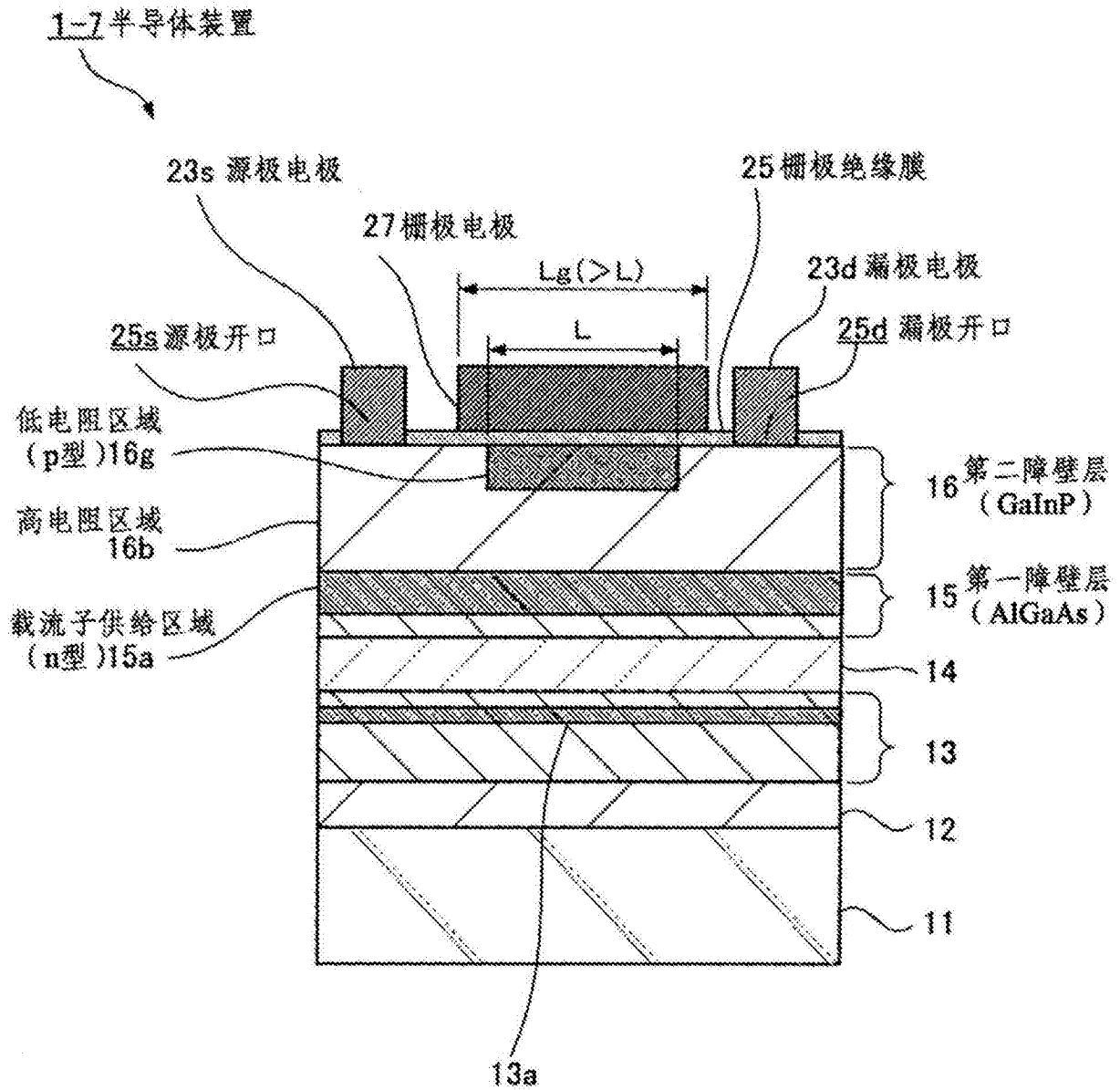


图19

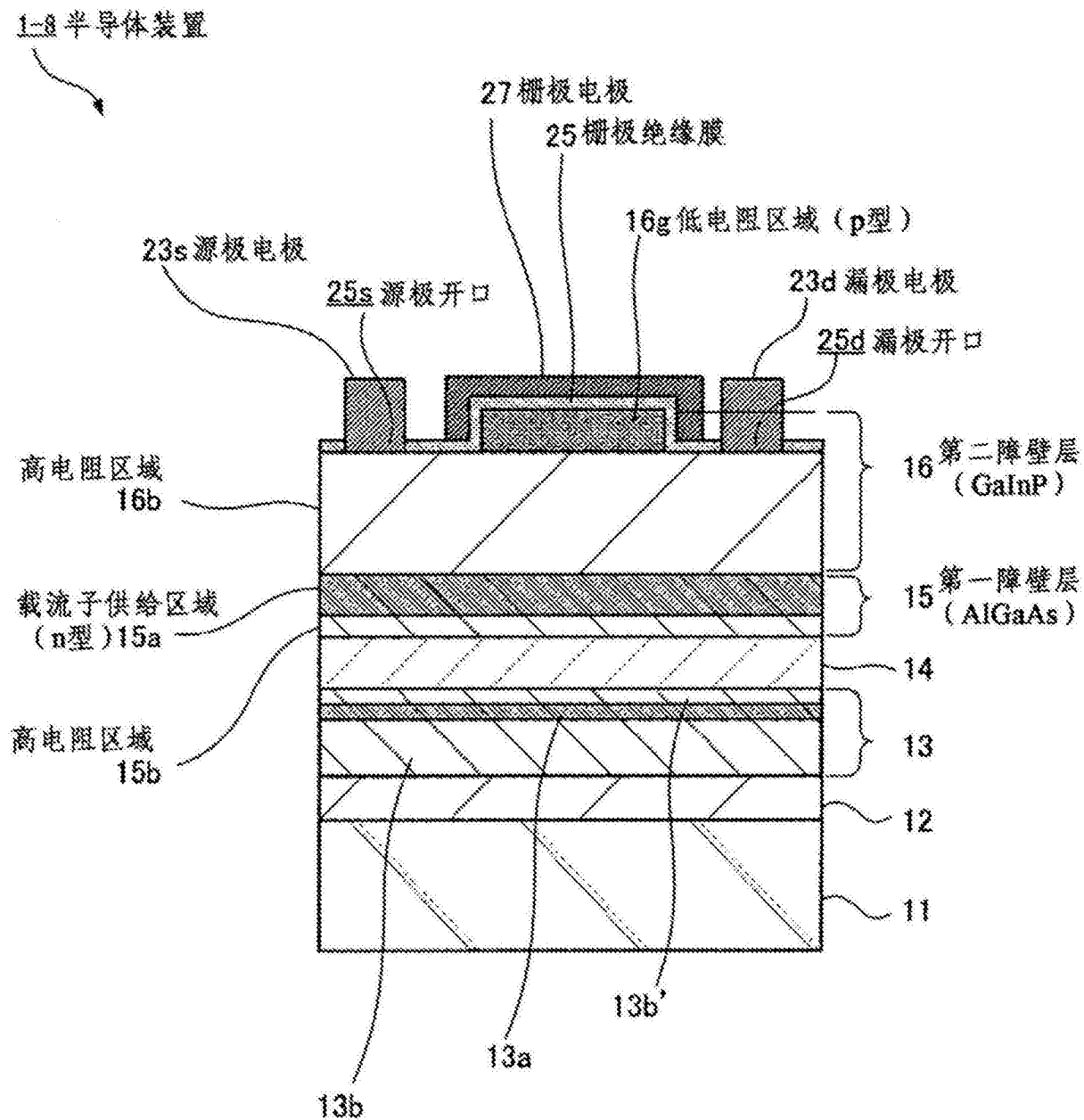


图20

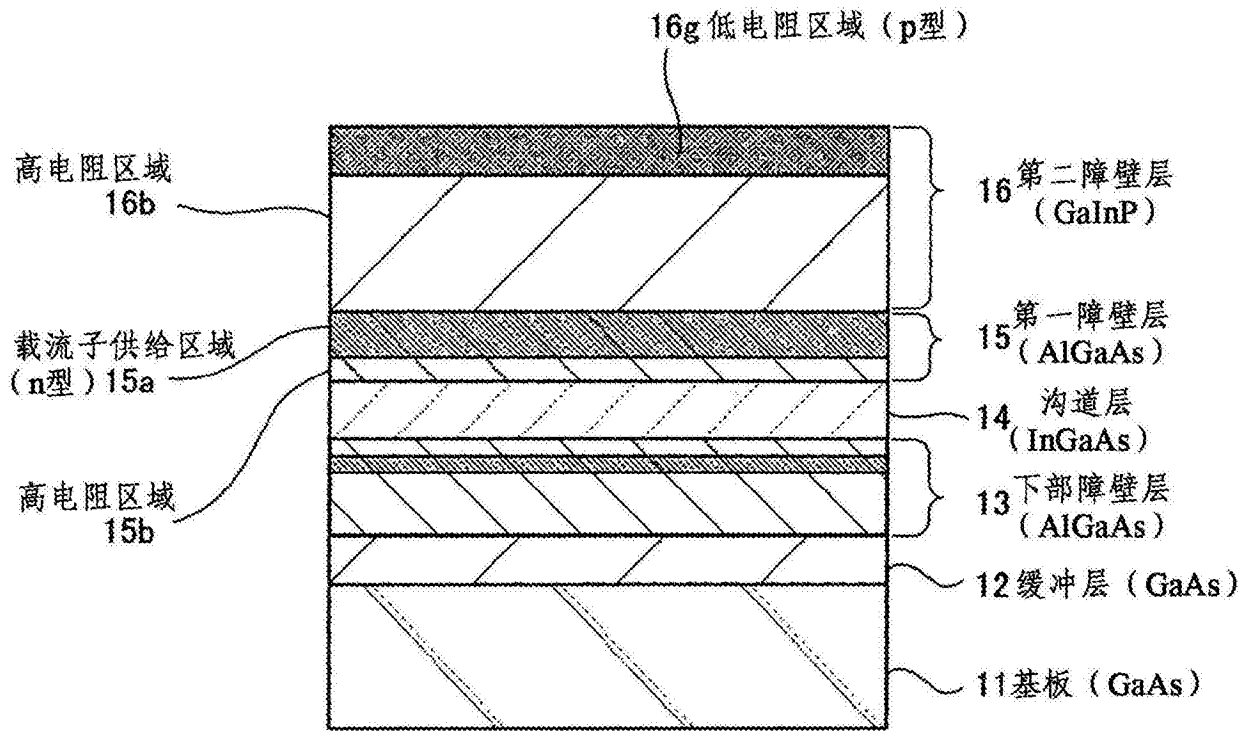


图21A

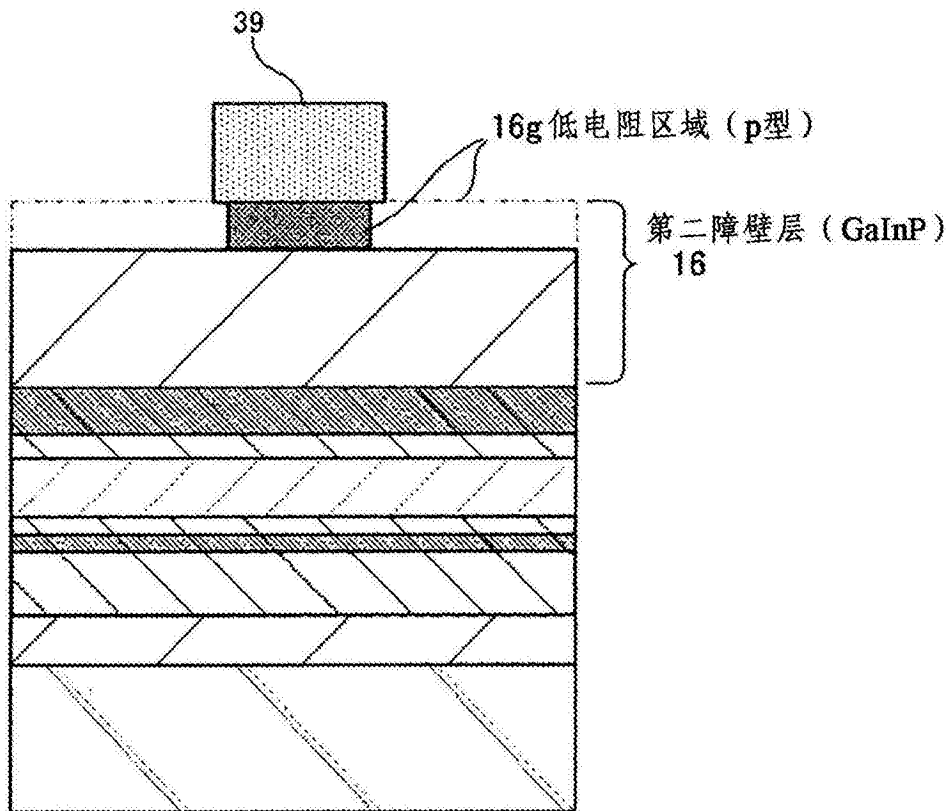


图21B

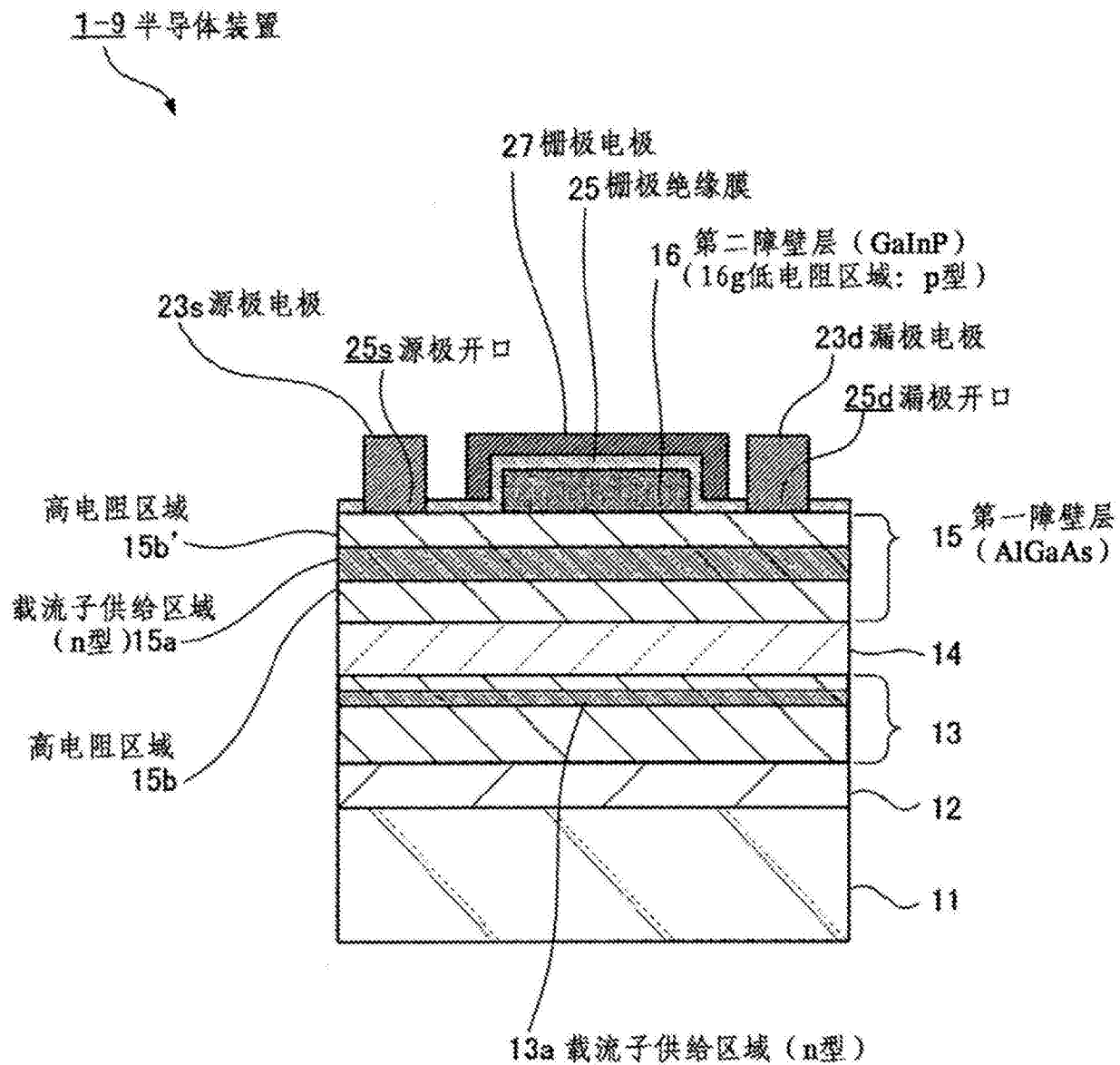


图22

1-10 半导体装置

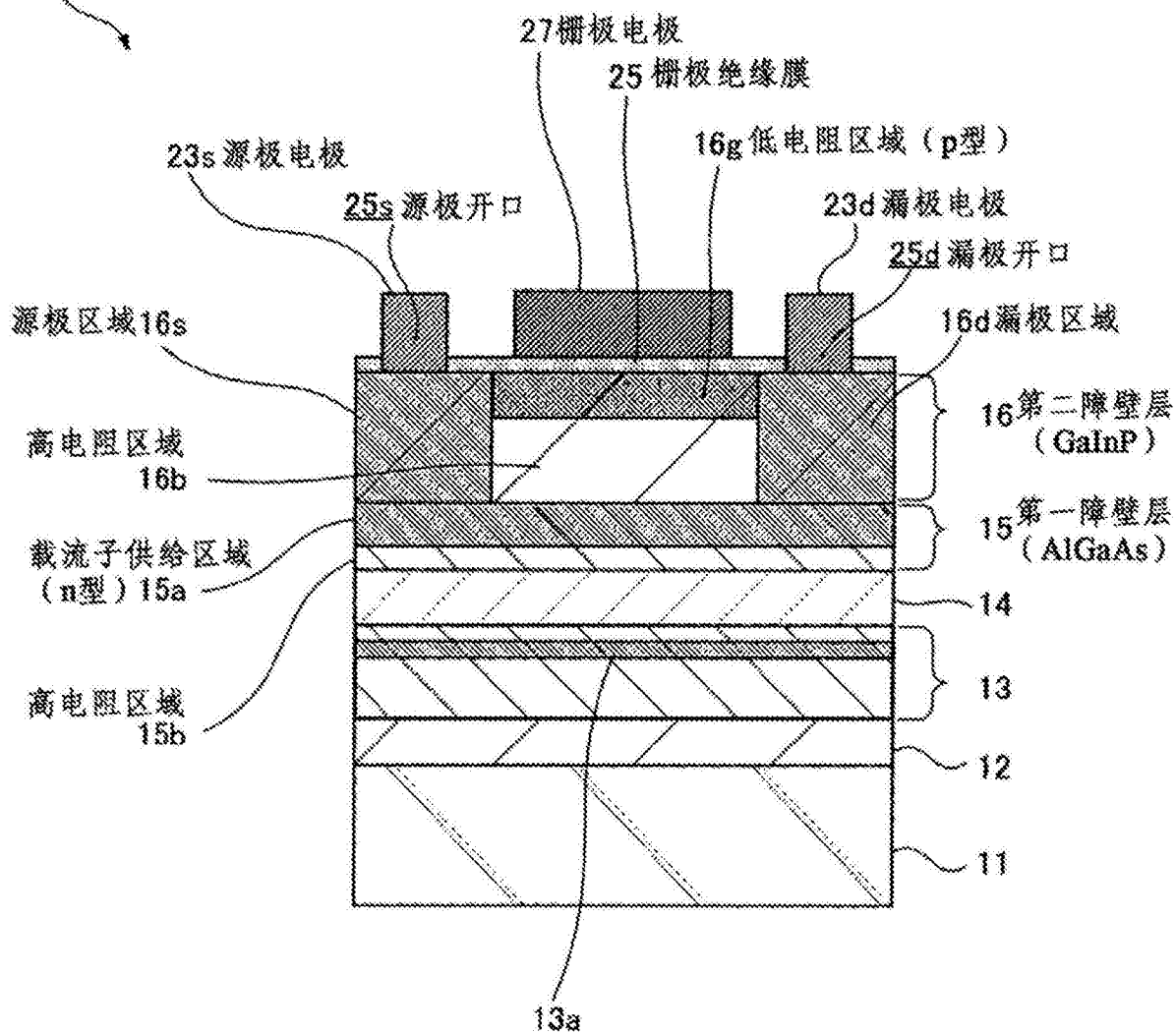


图23

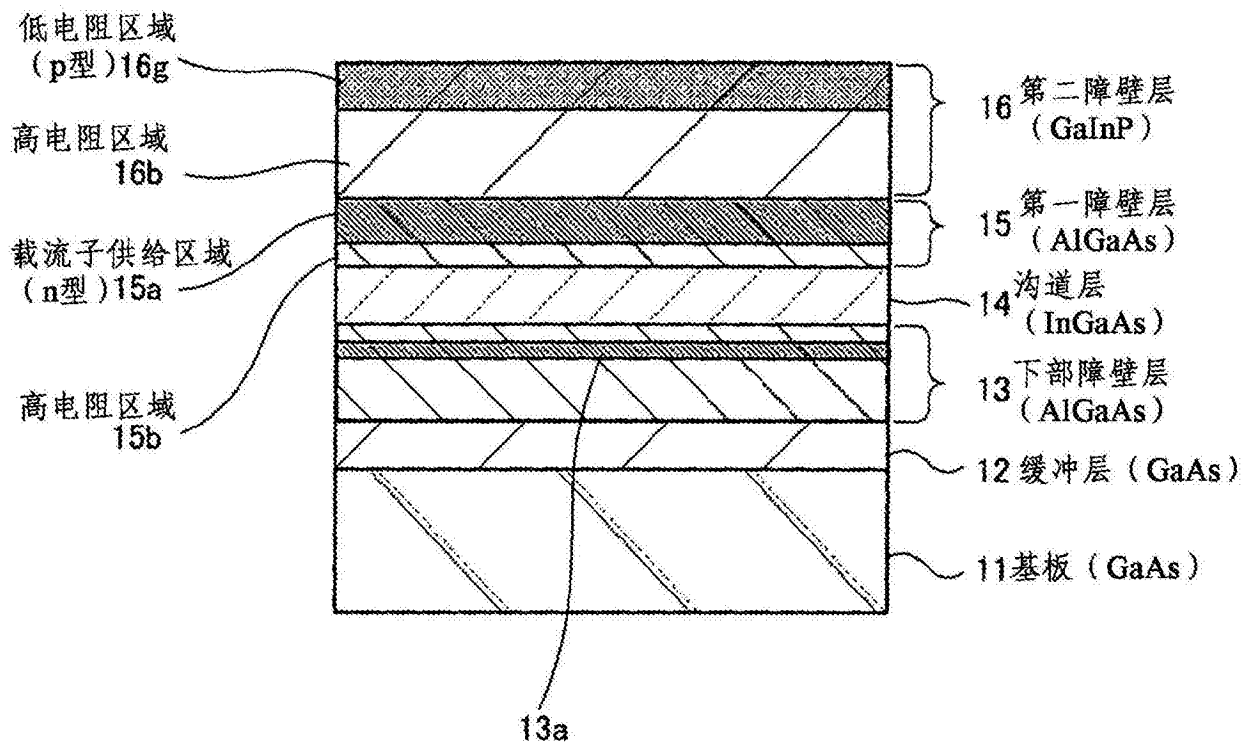


图24A

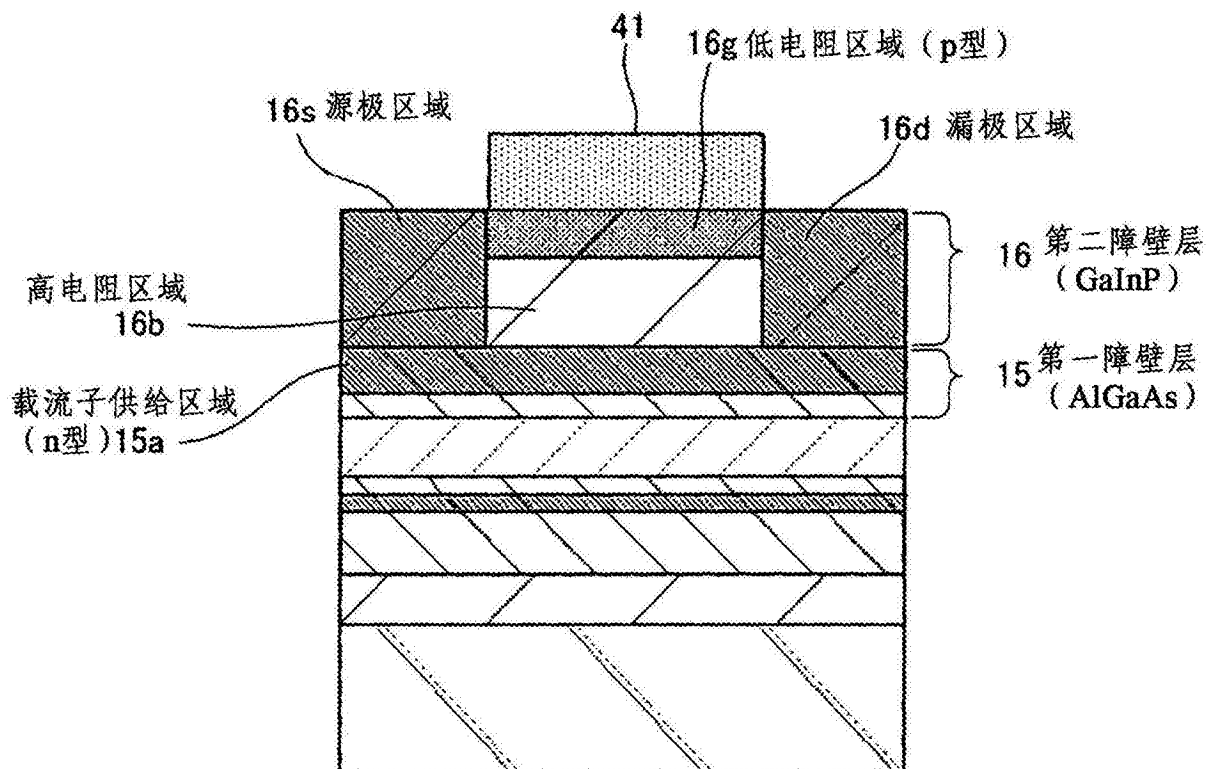


图24B

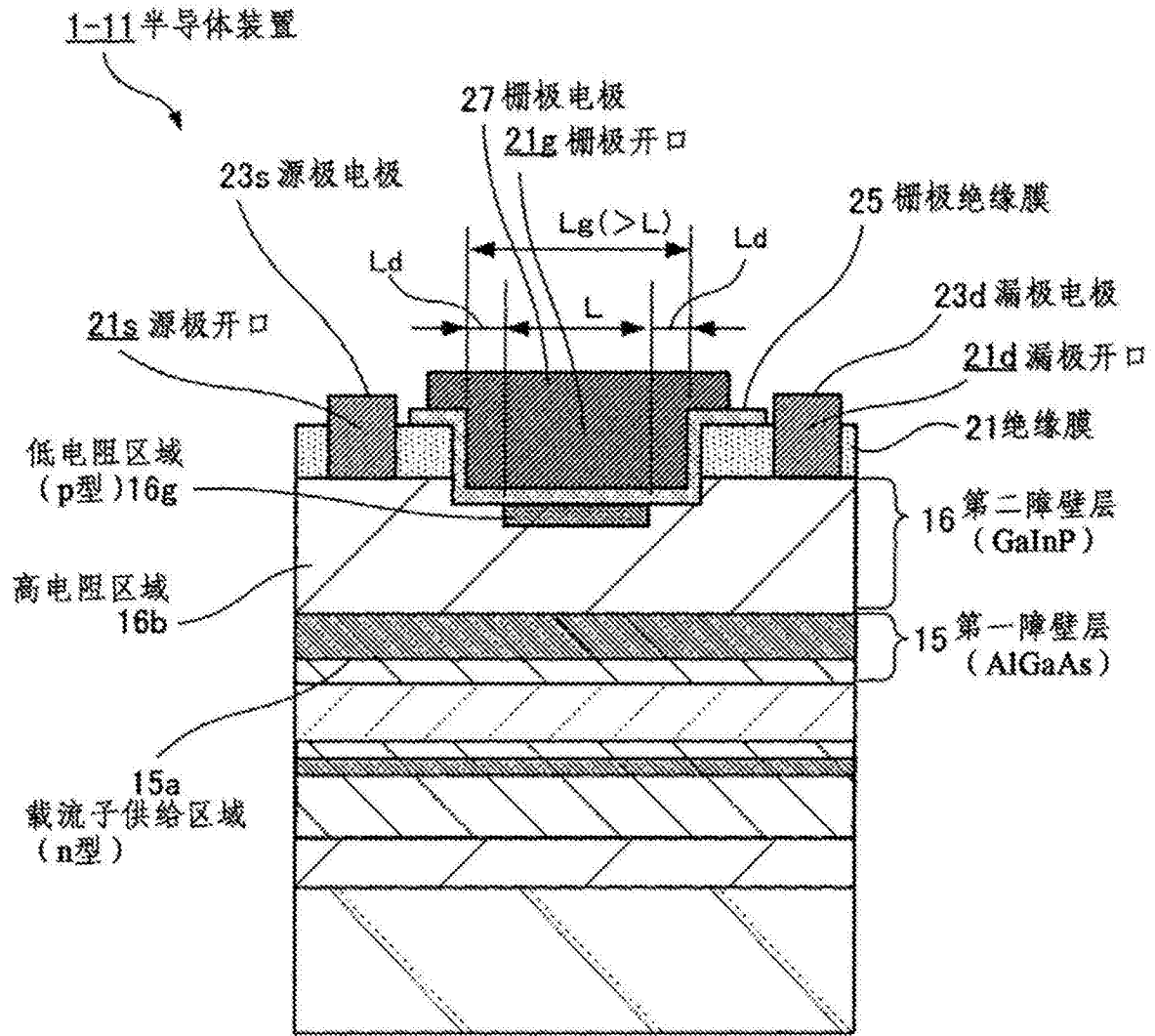


图25

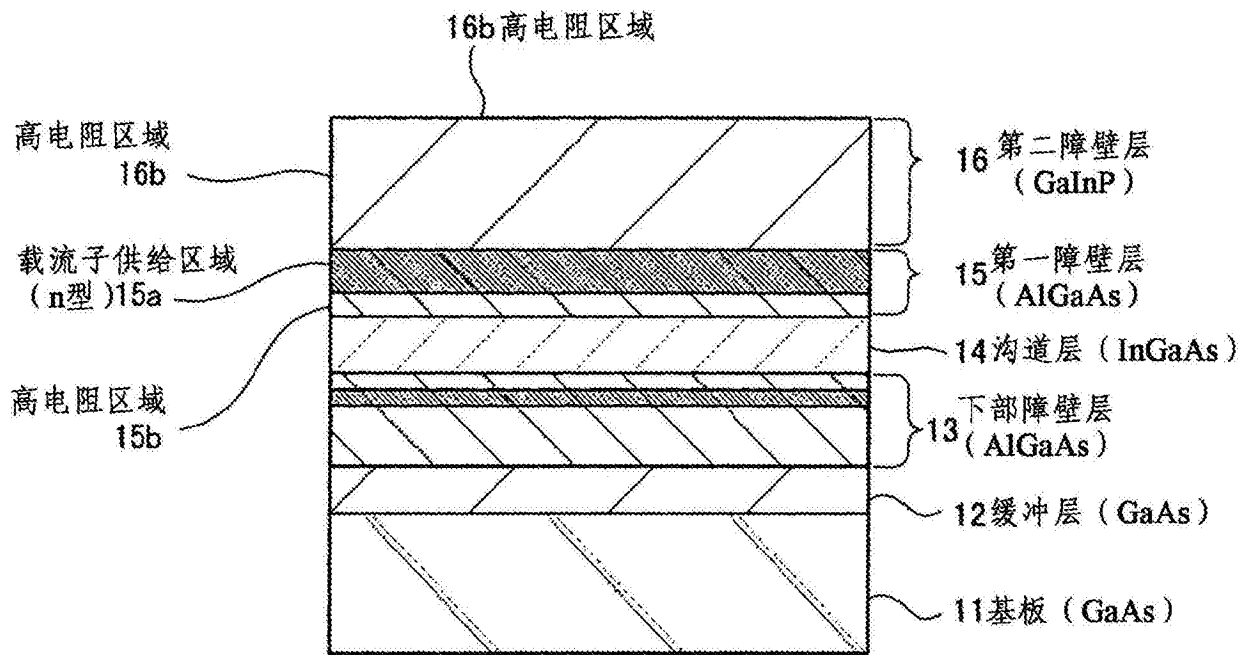


图 26A

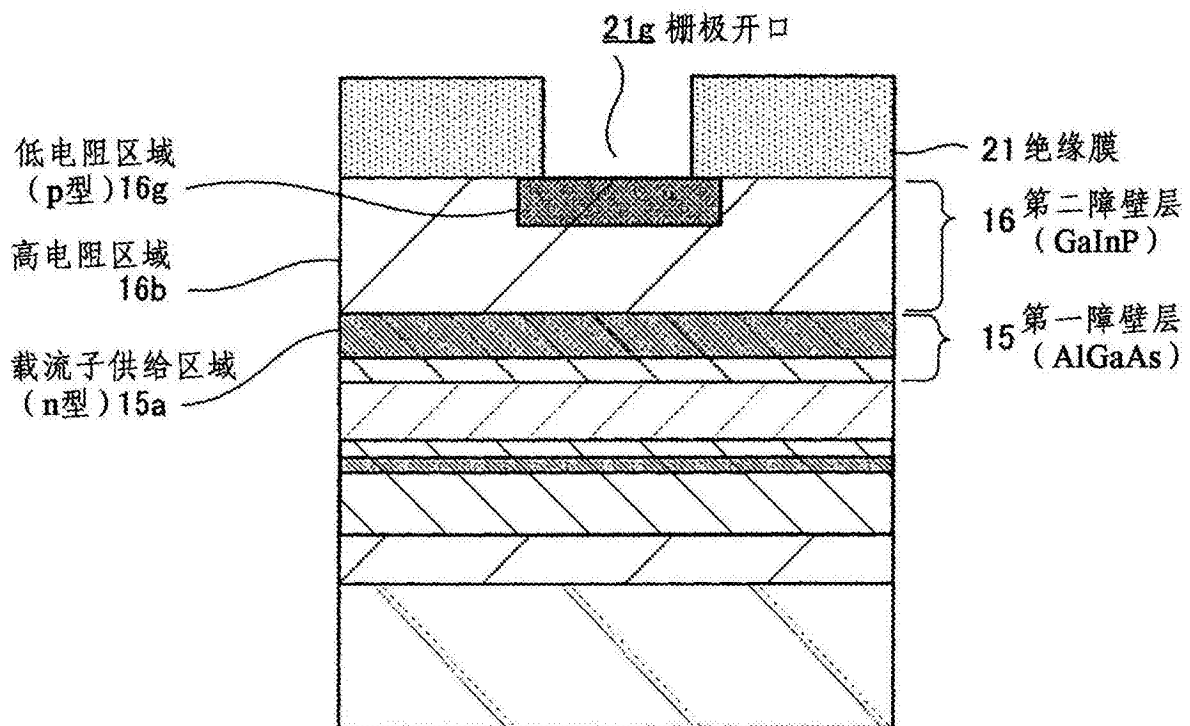


图 26B

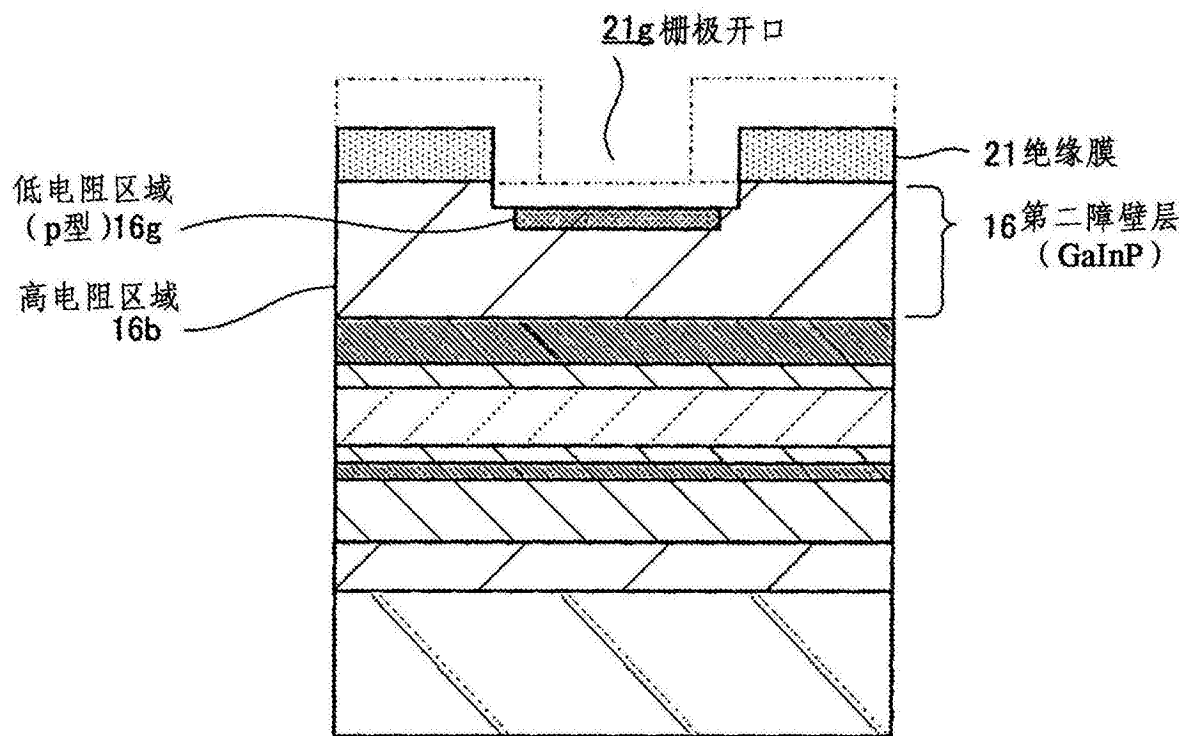


图27A

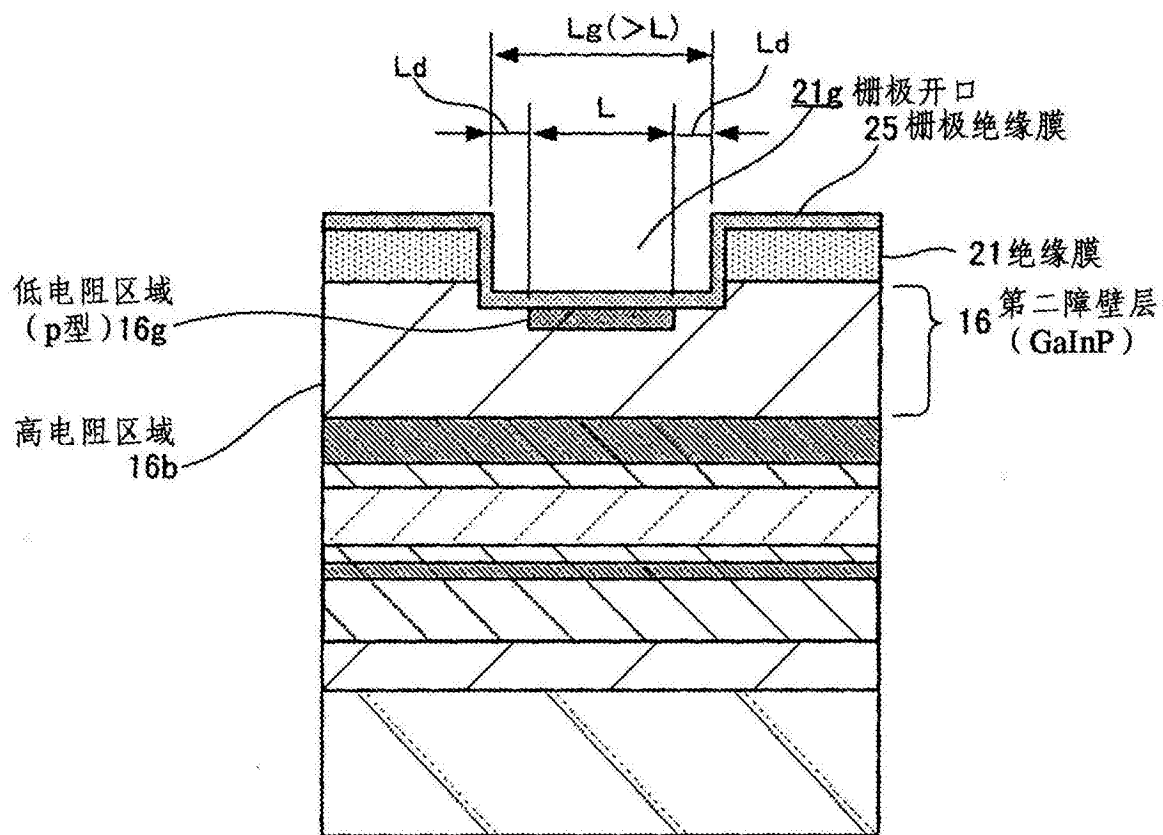


图27B

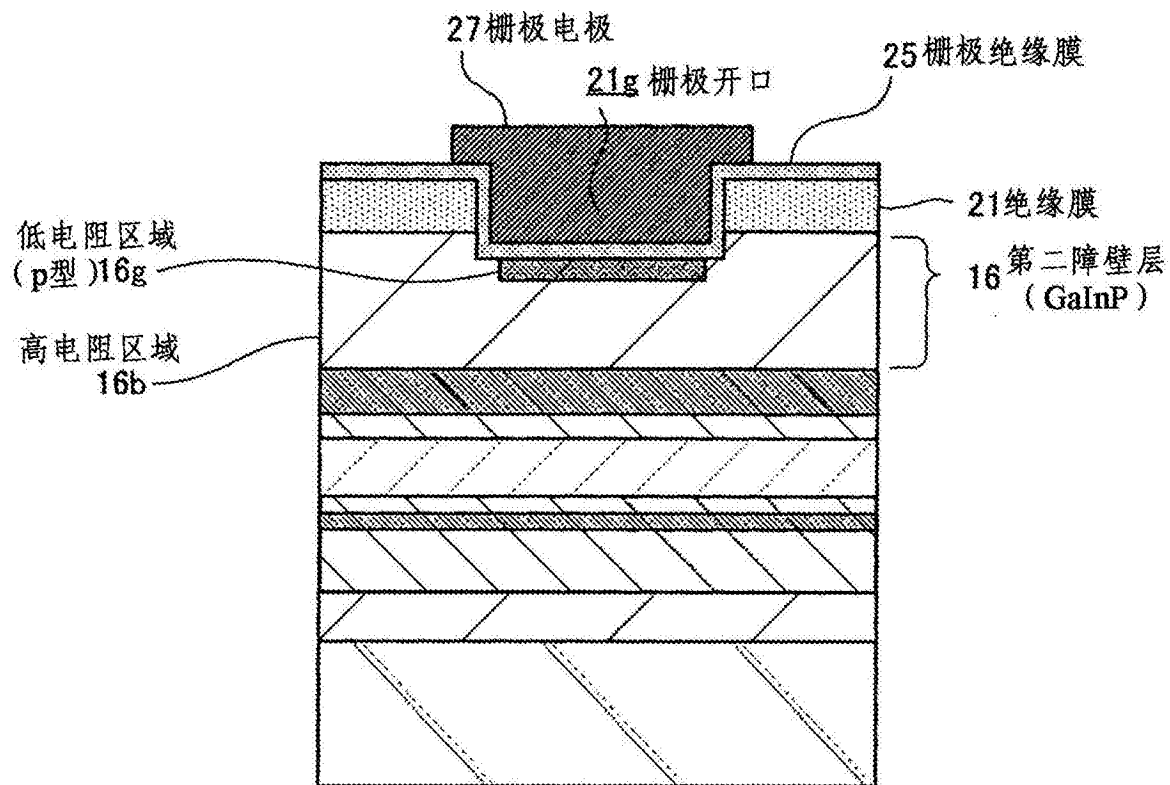


图28A

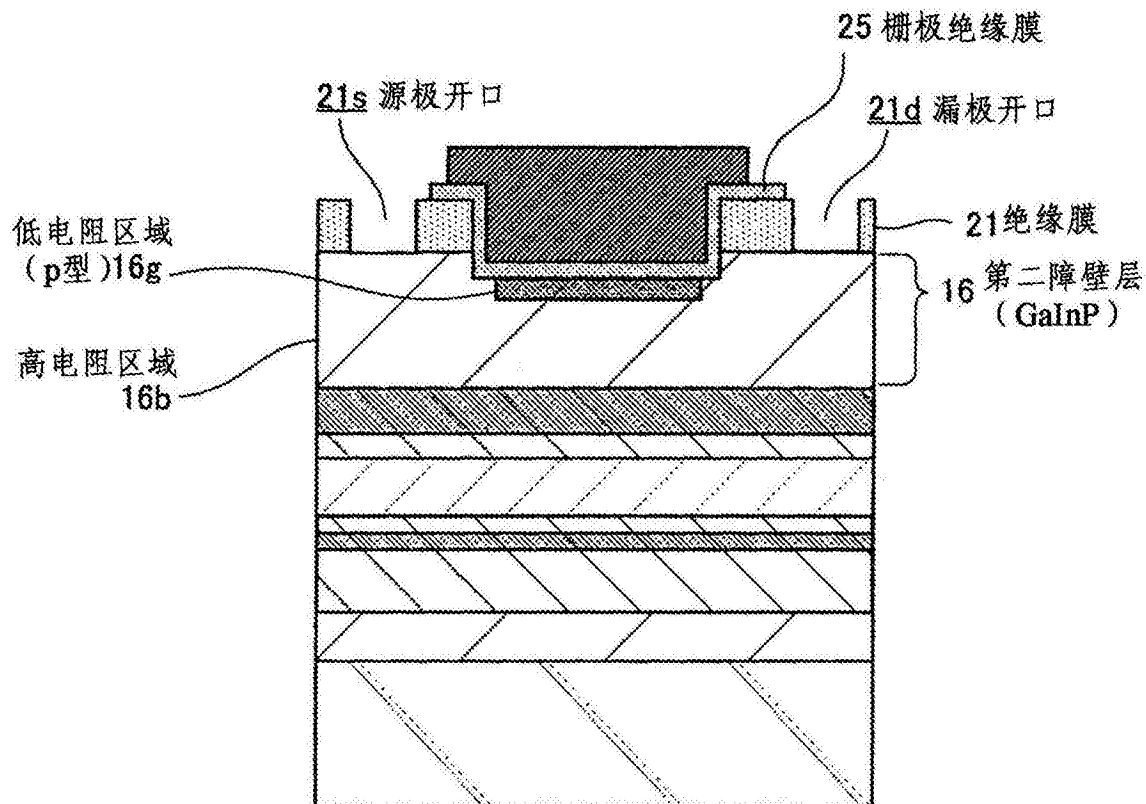


图28B

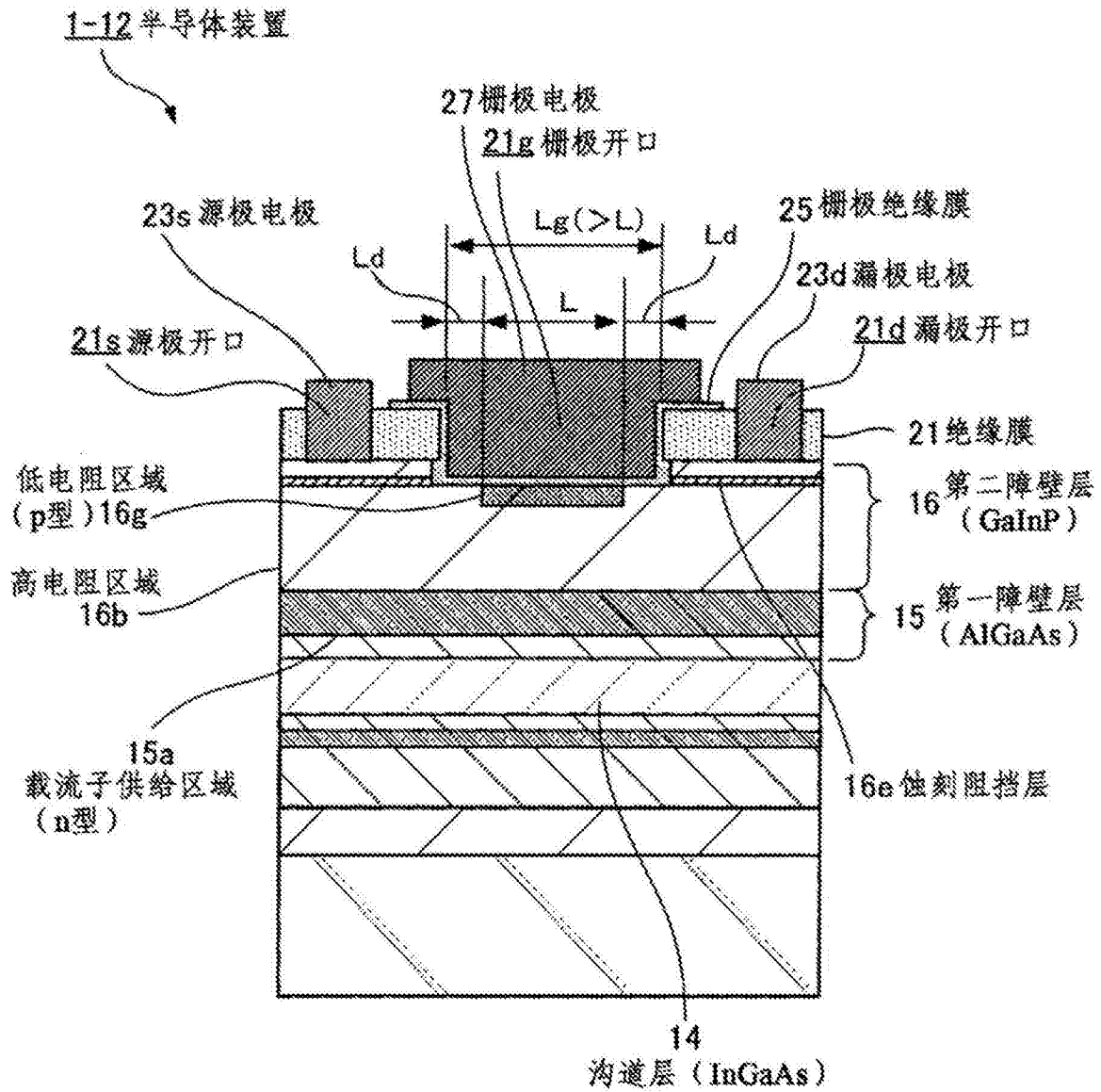


图29

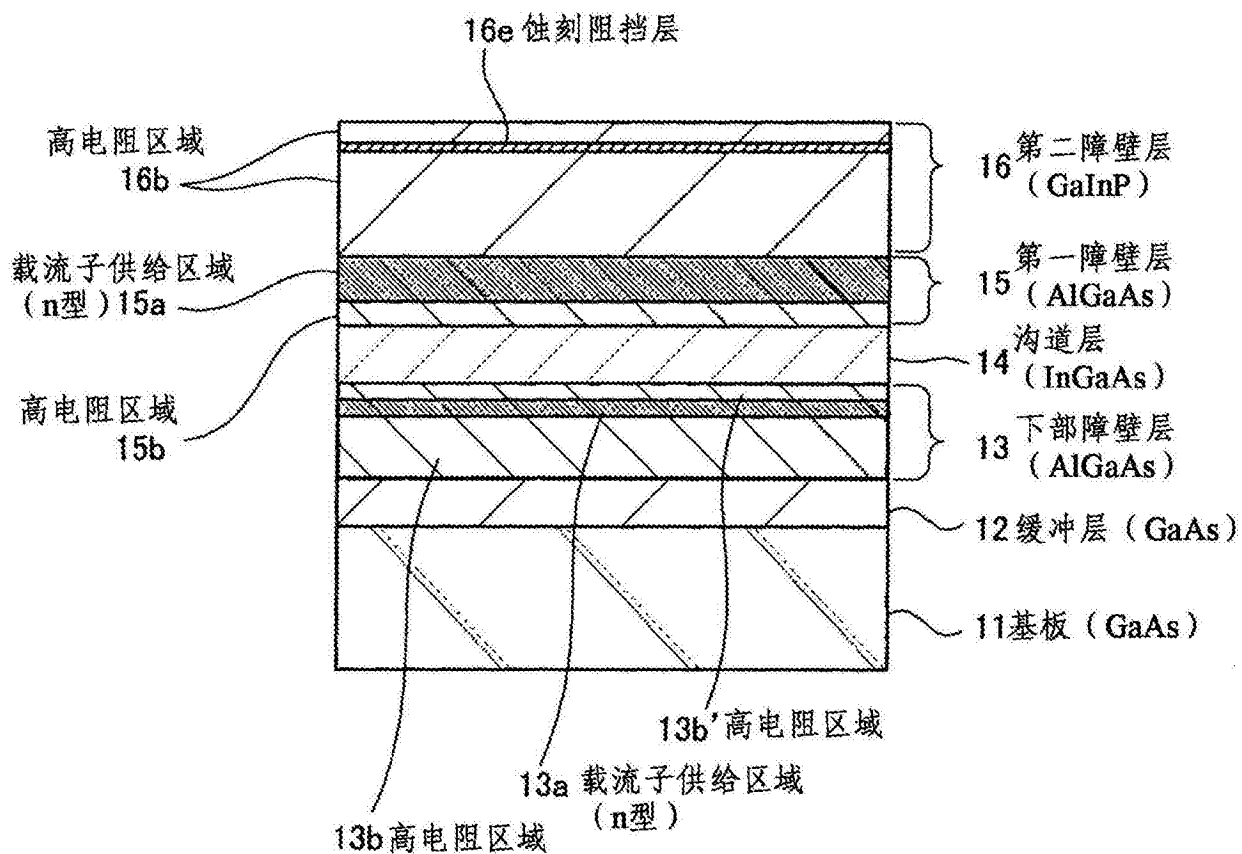


图30A

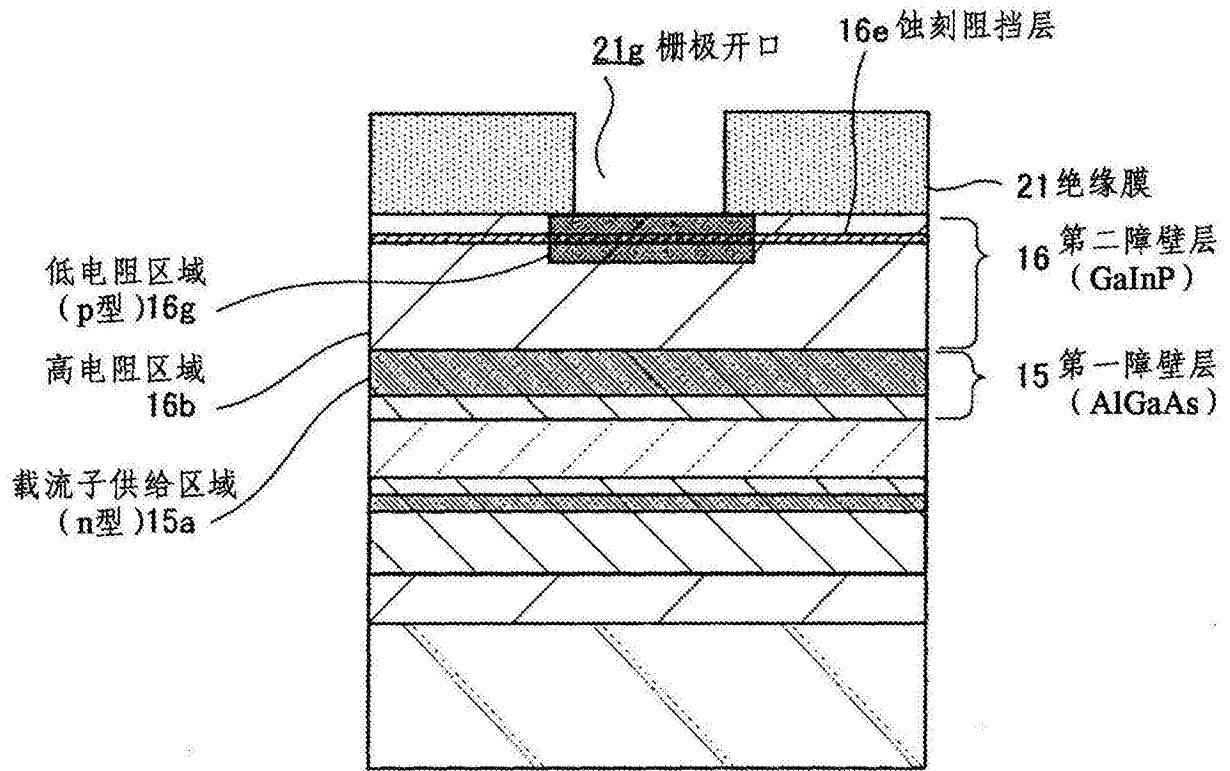


图30B

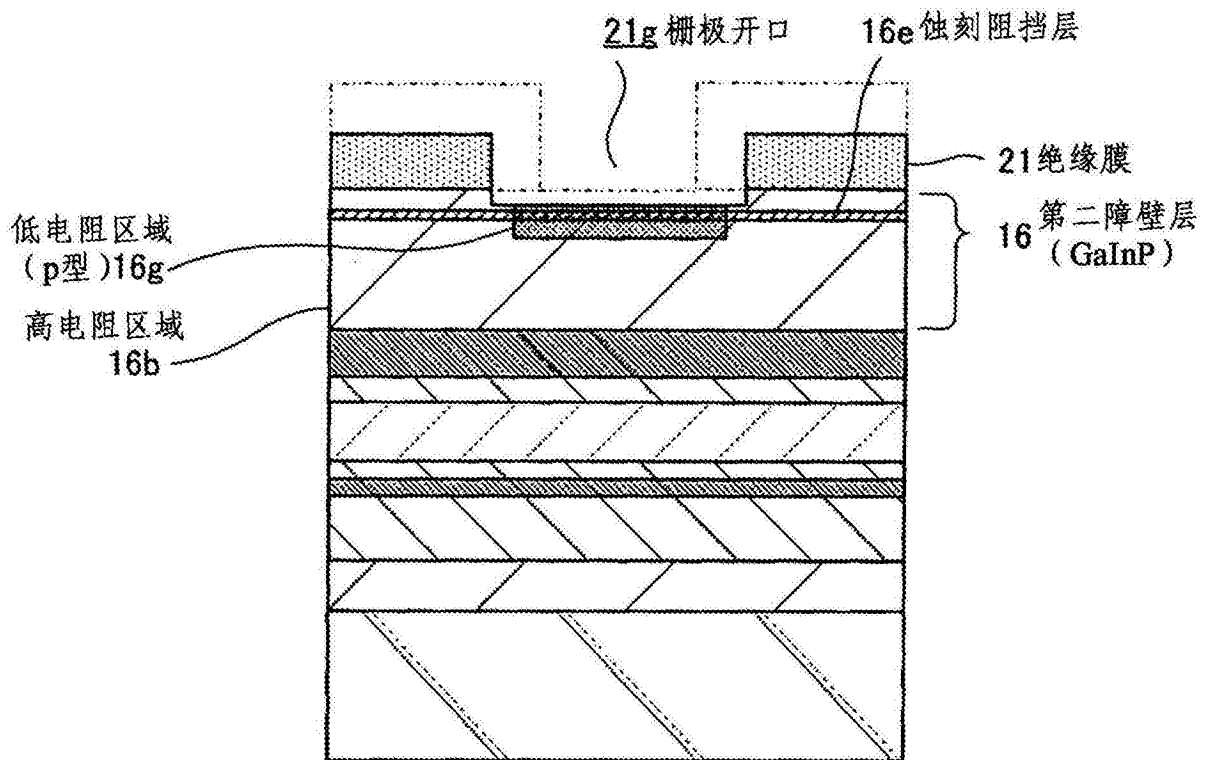


图31A

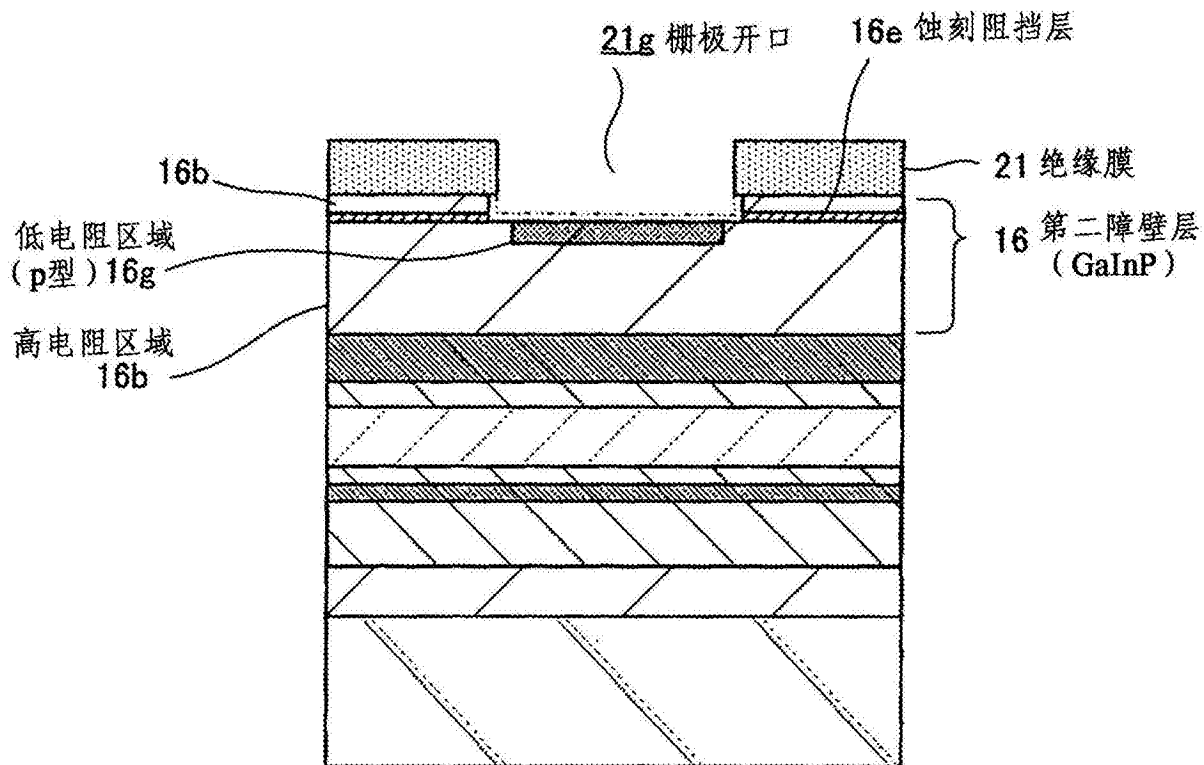


图31B

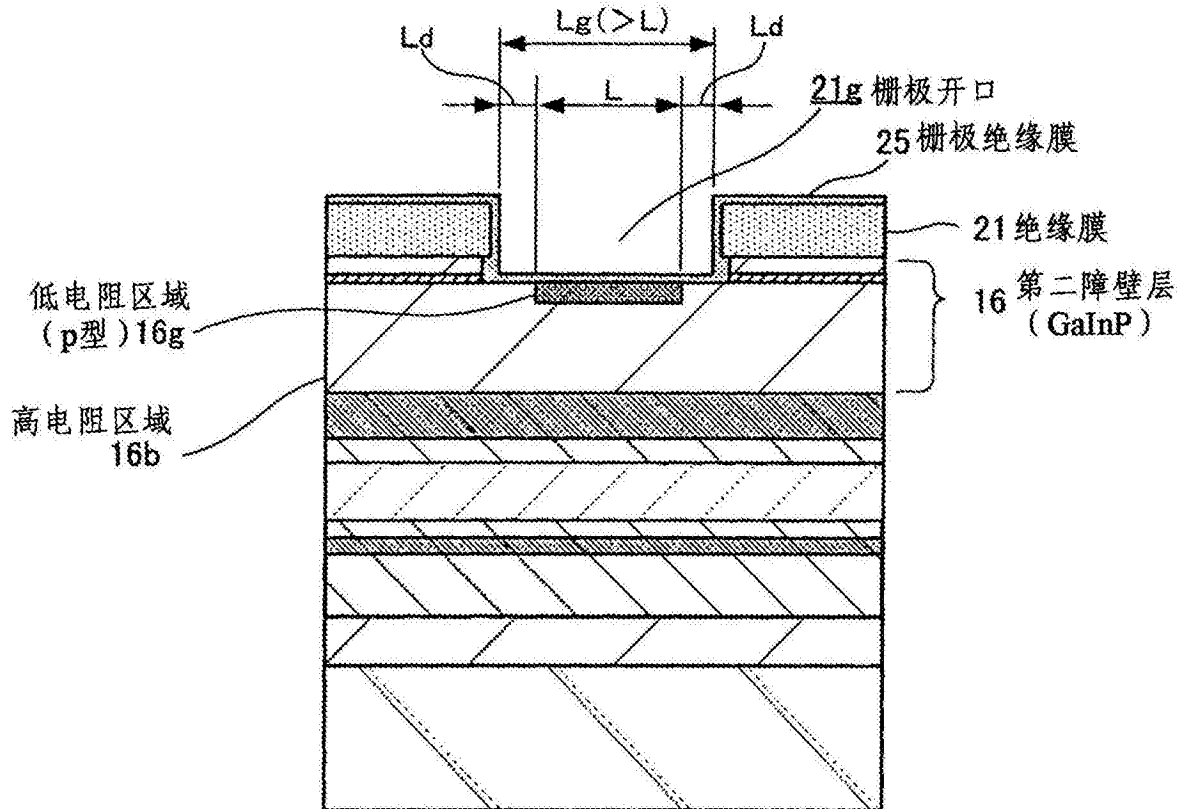


图32A

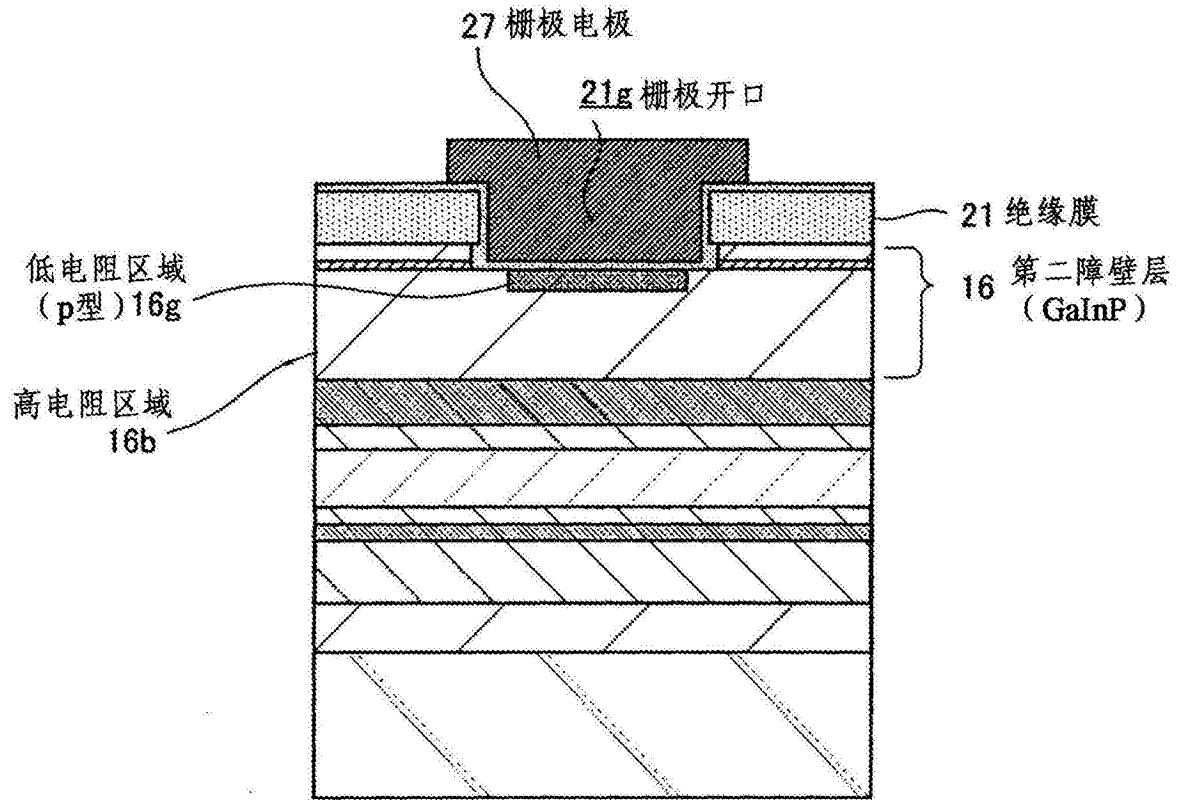


图32B

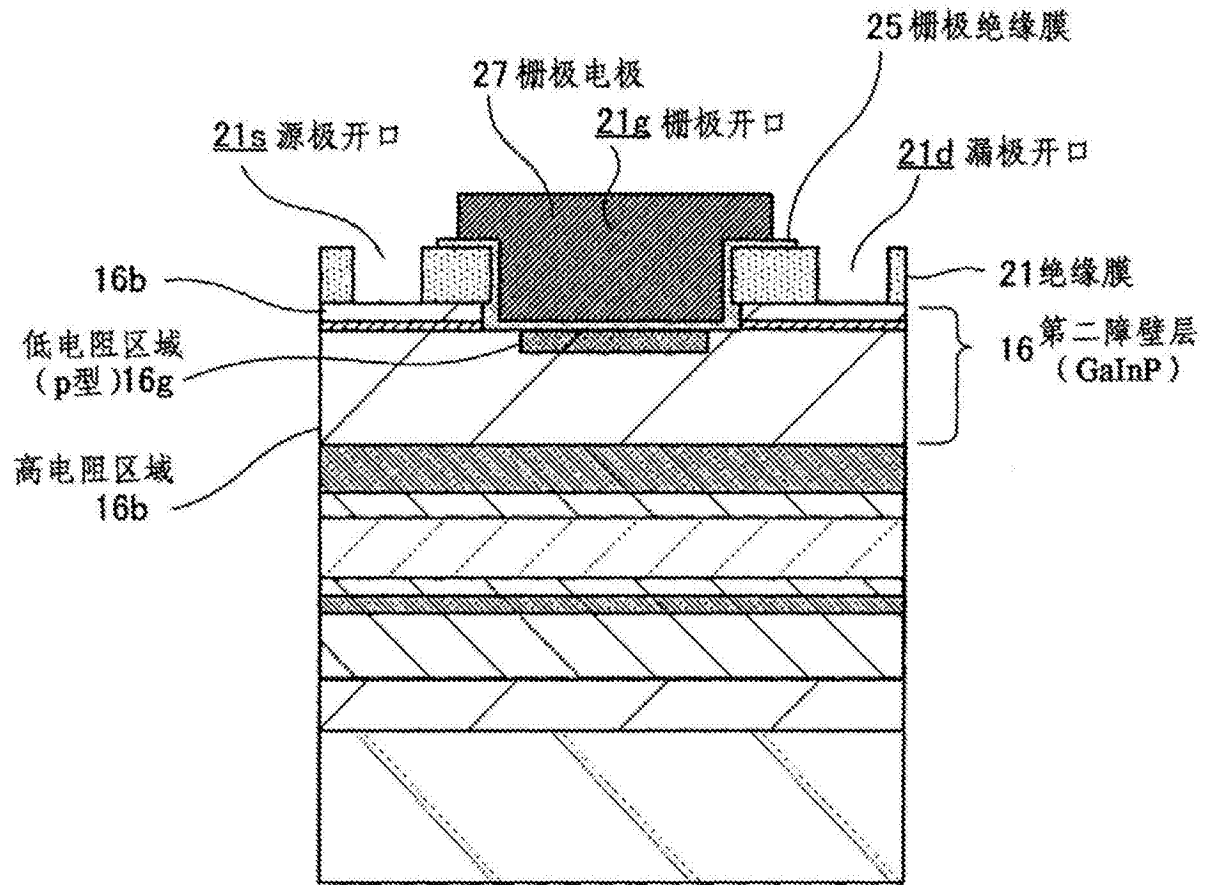


图33

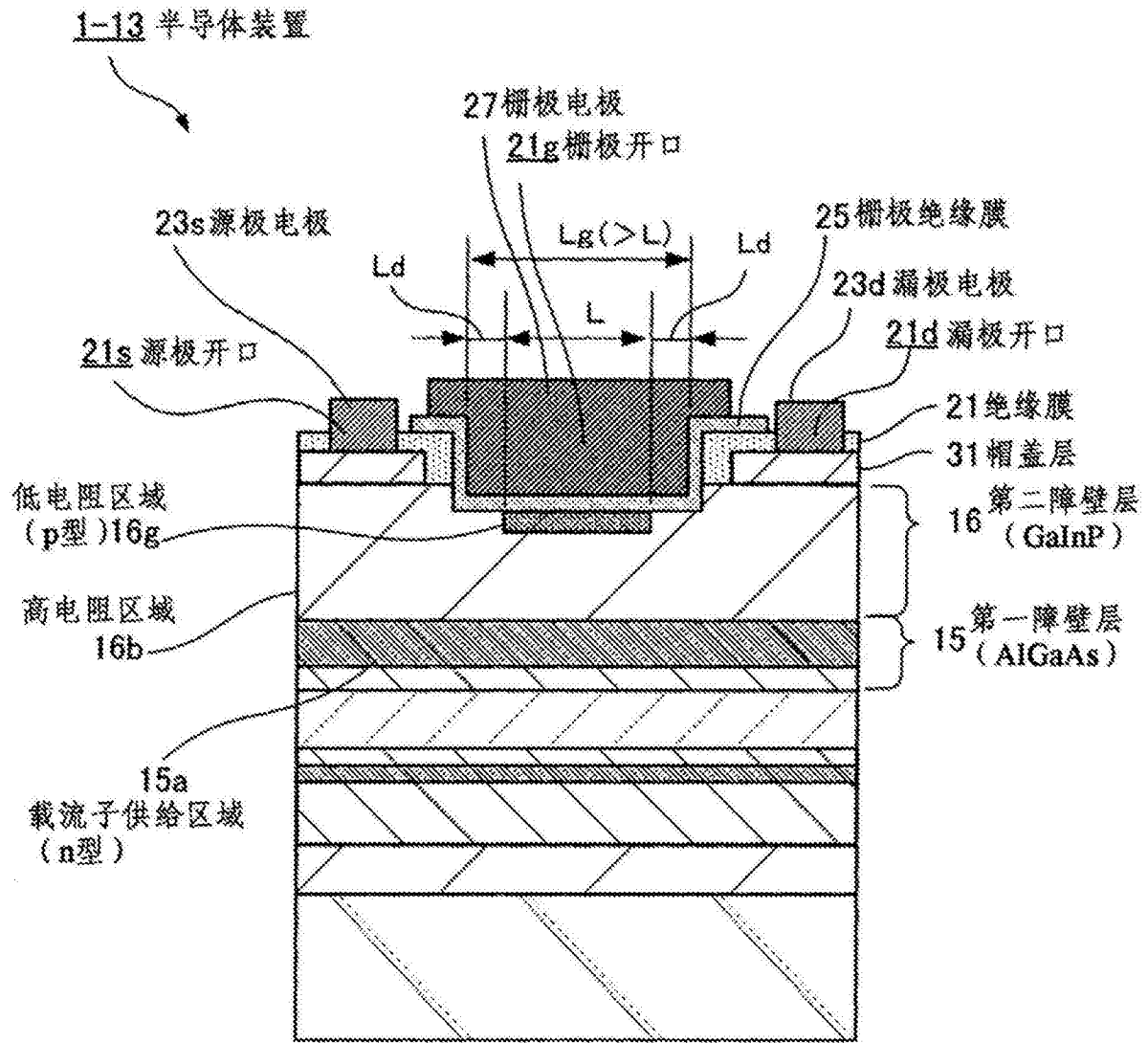


图34

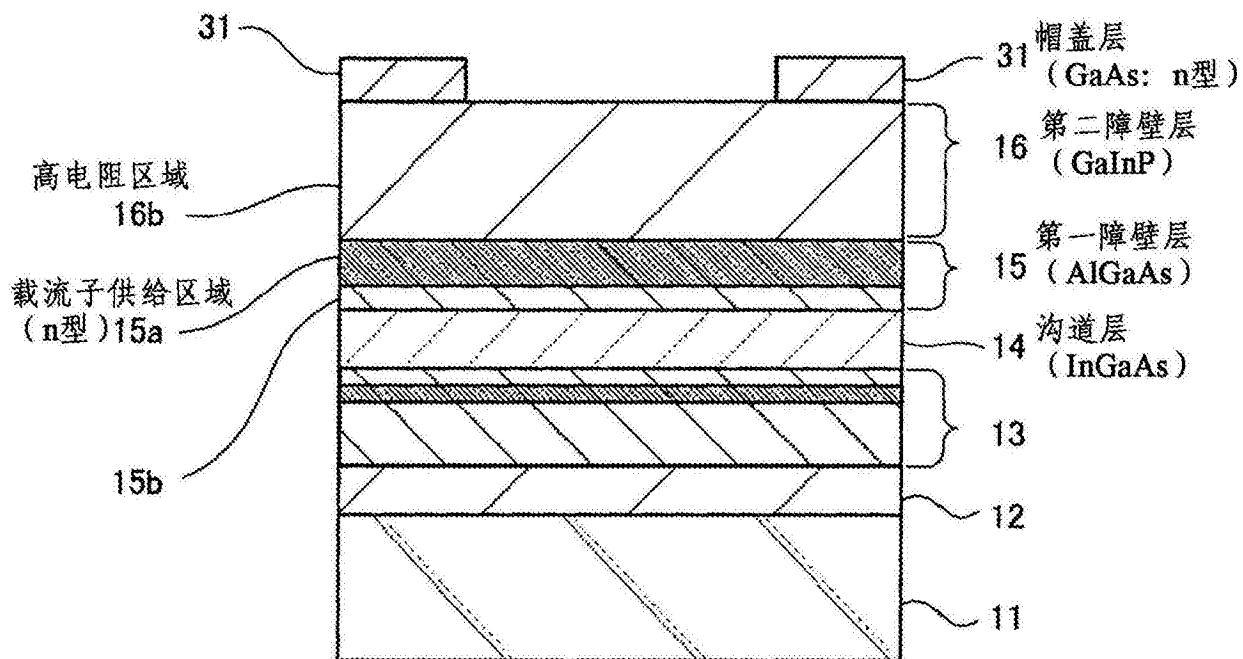


图35A

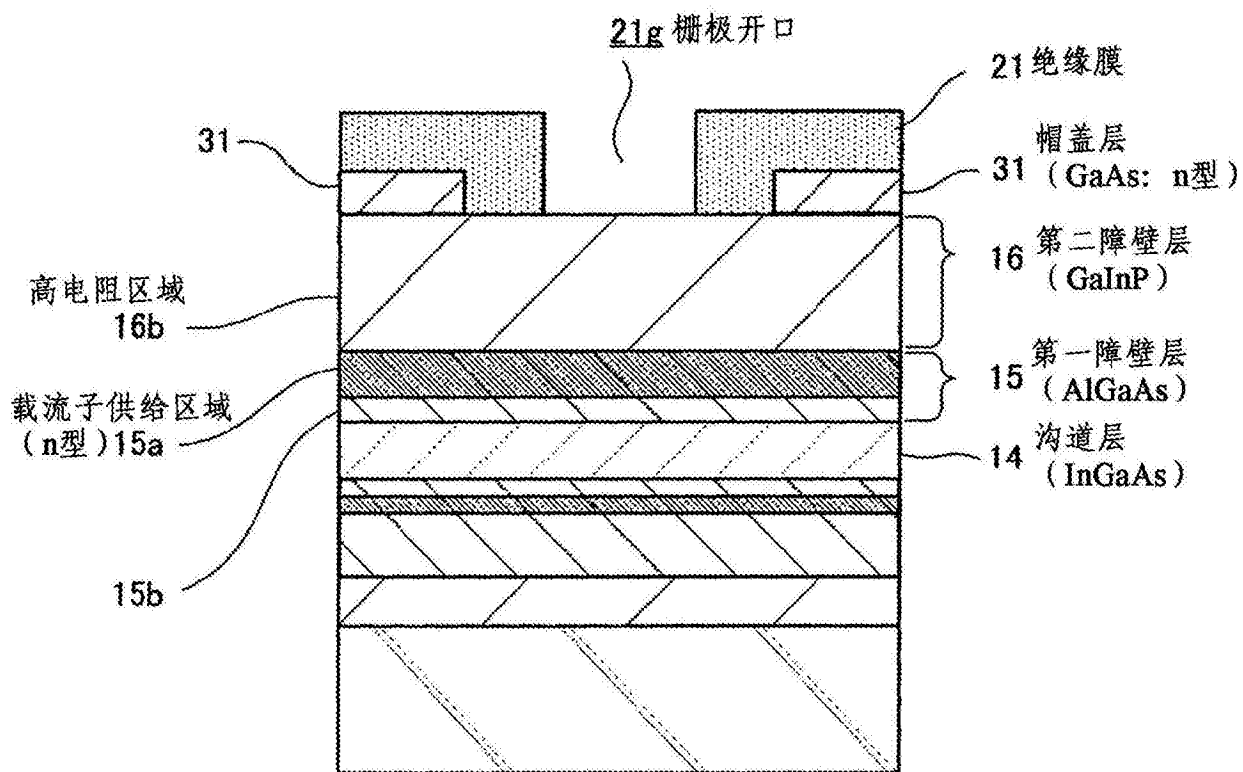


图35B

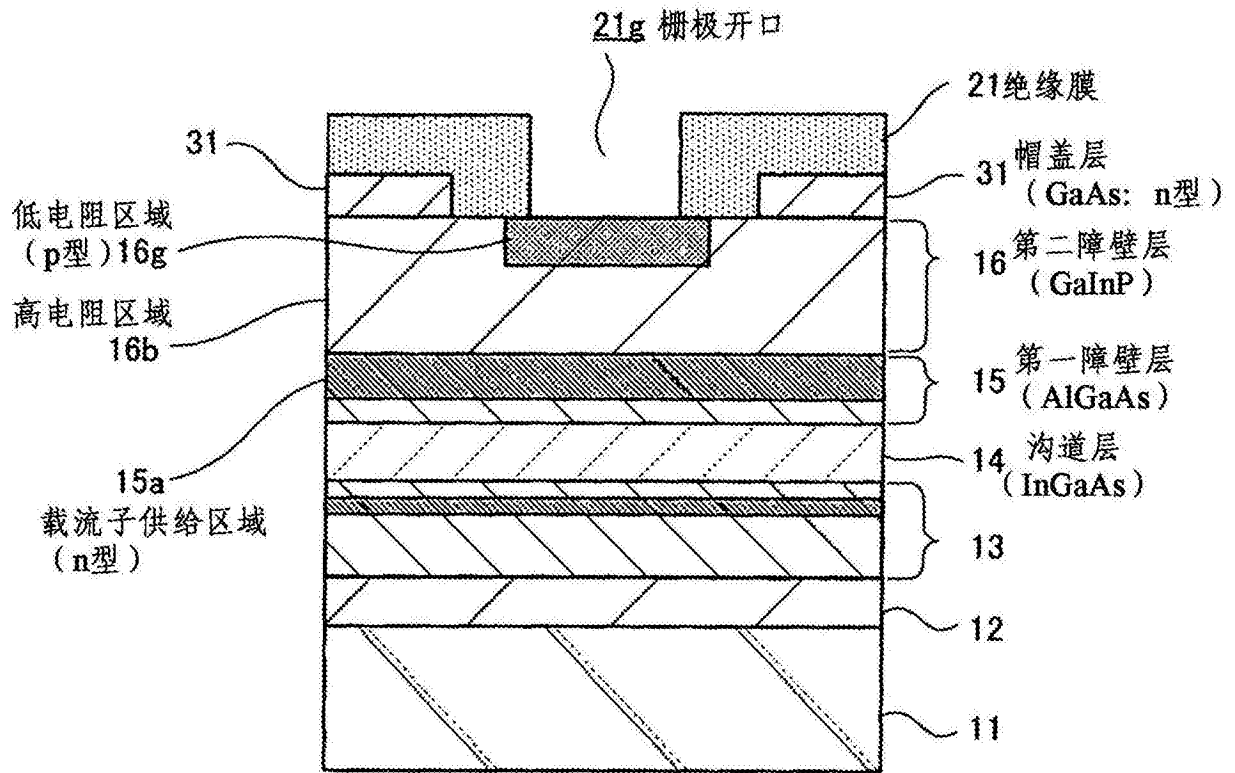


图36A

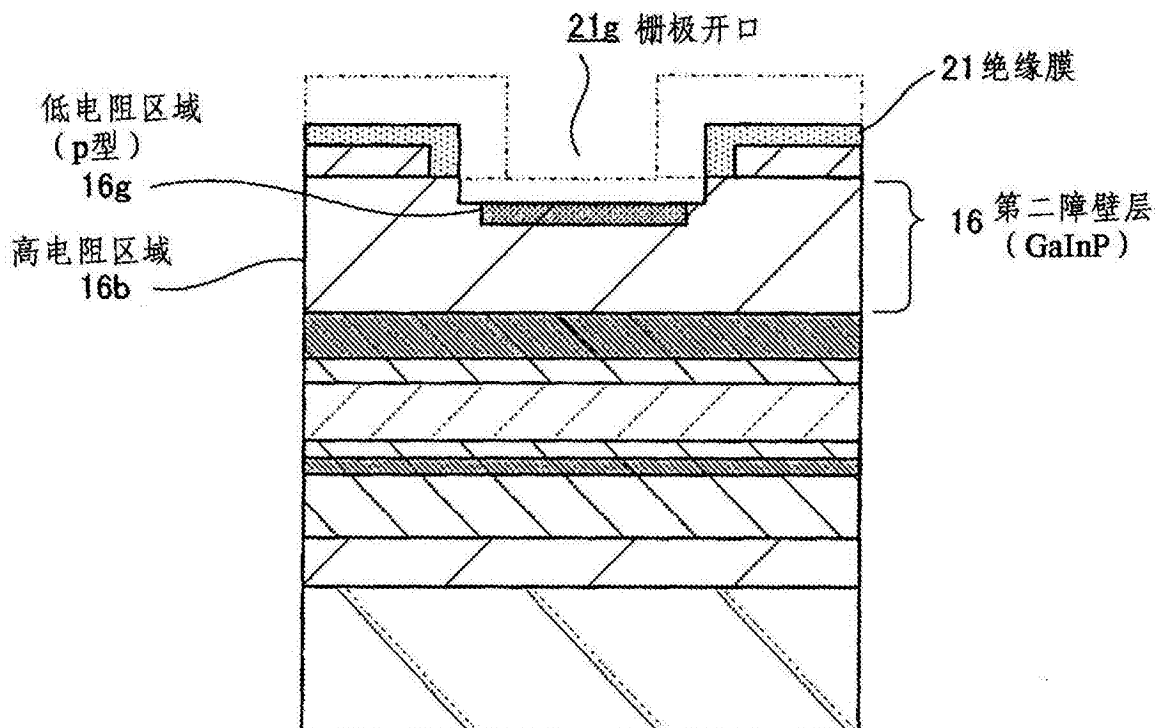


图36B

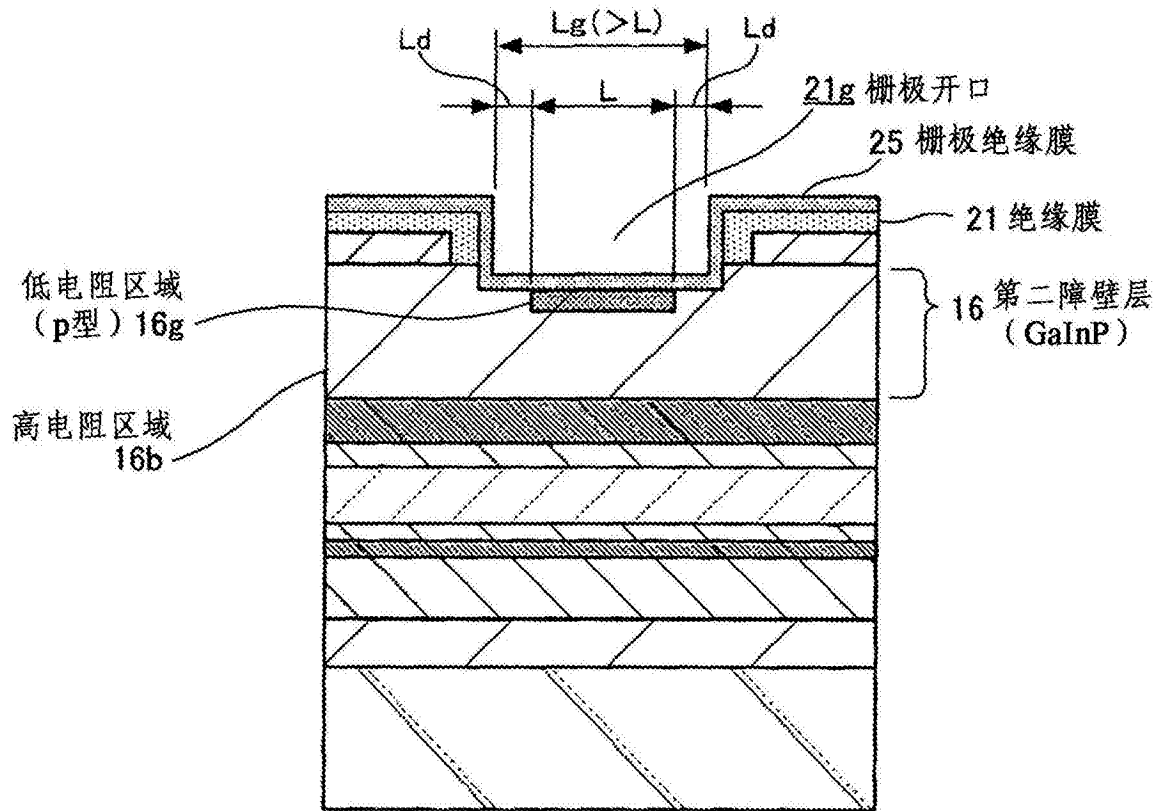


图37A

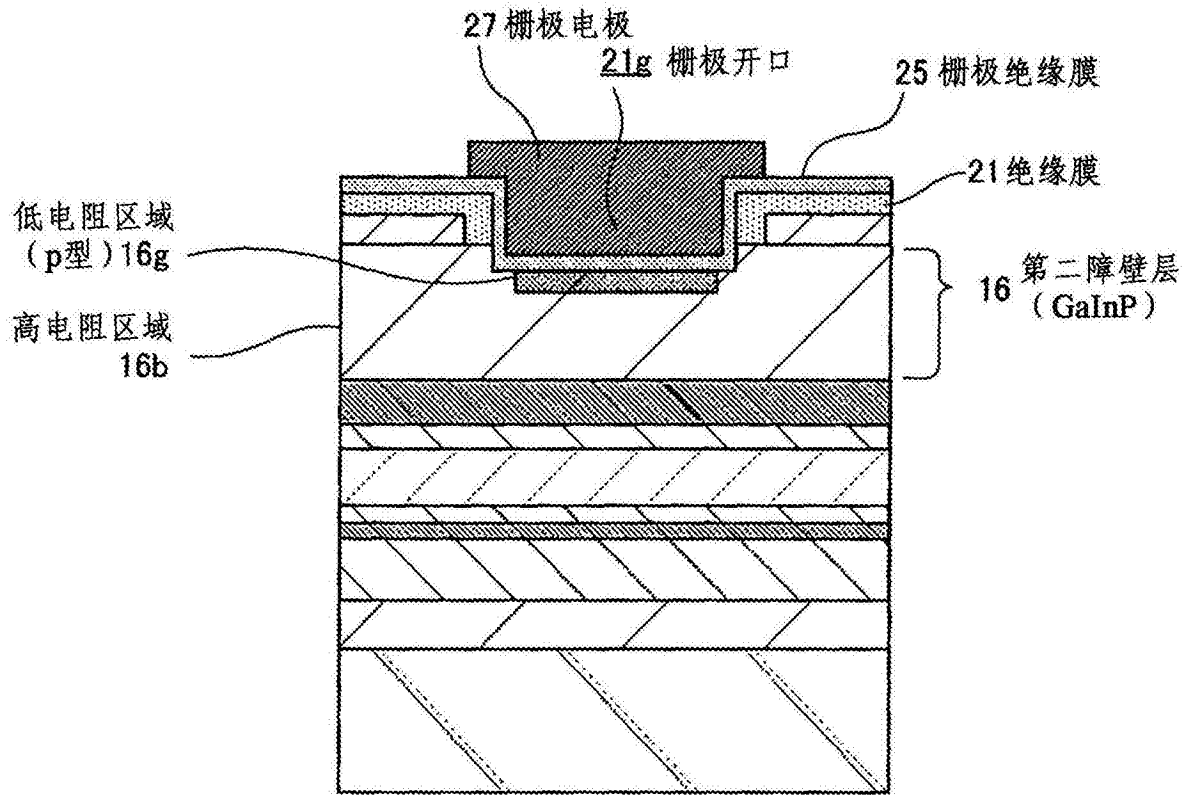


图37B

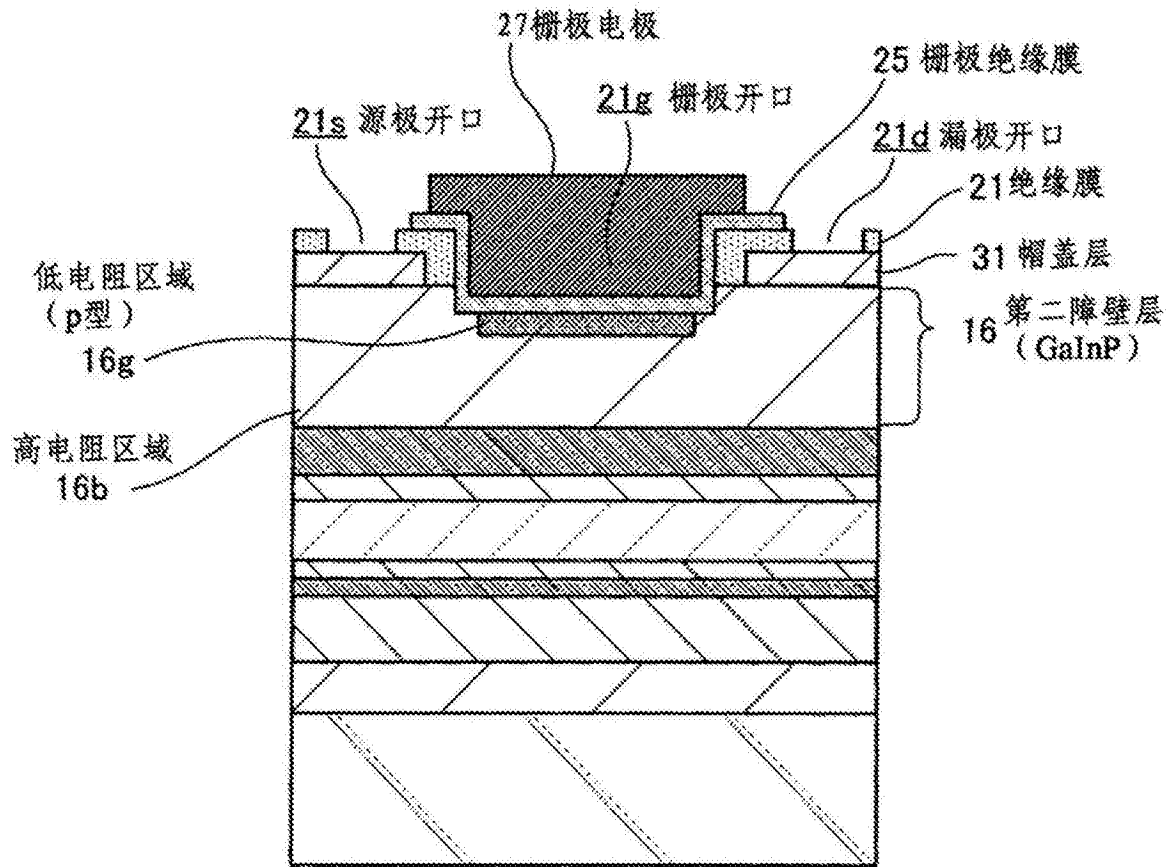


图38

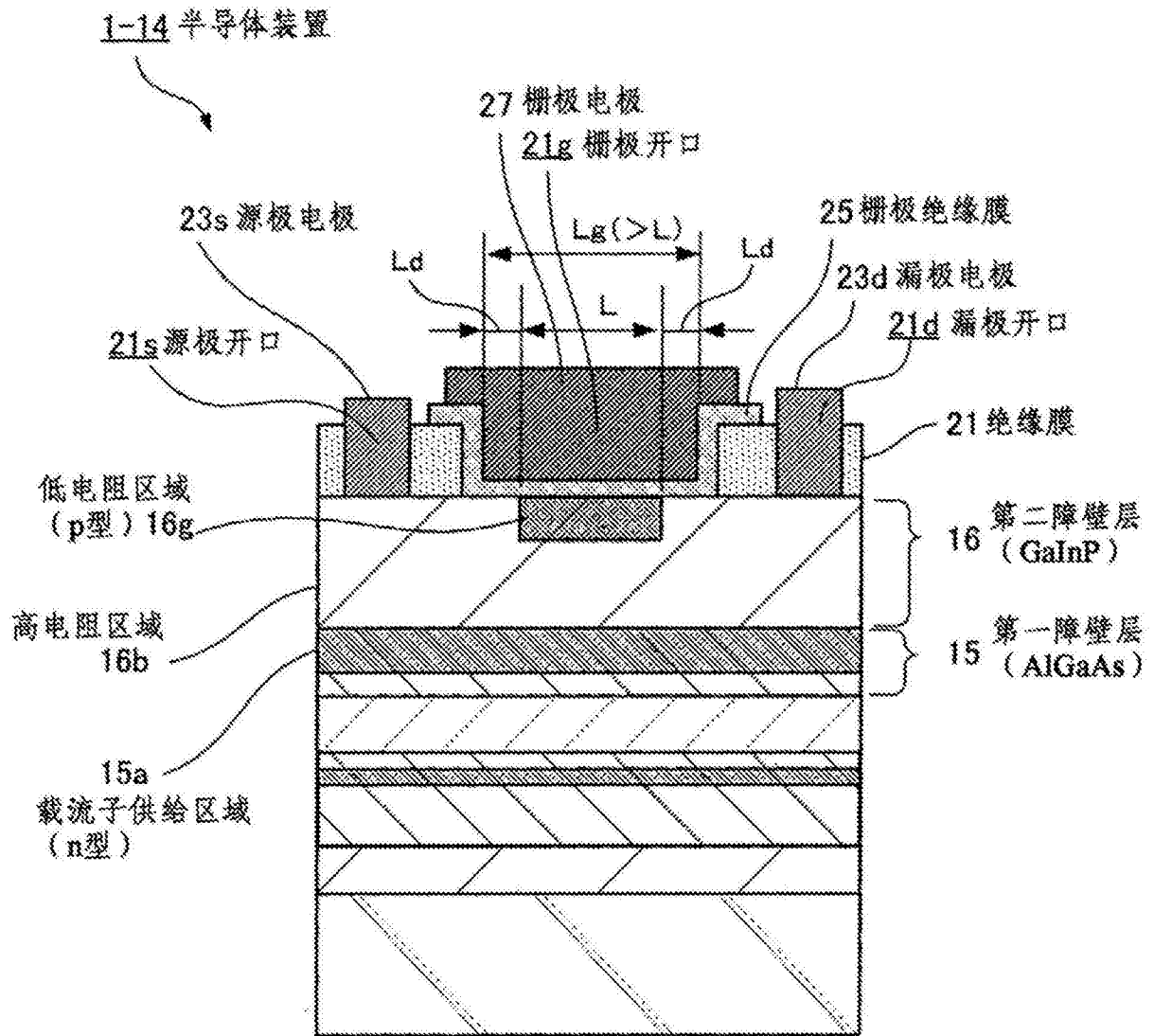


图39

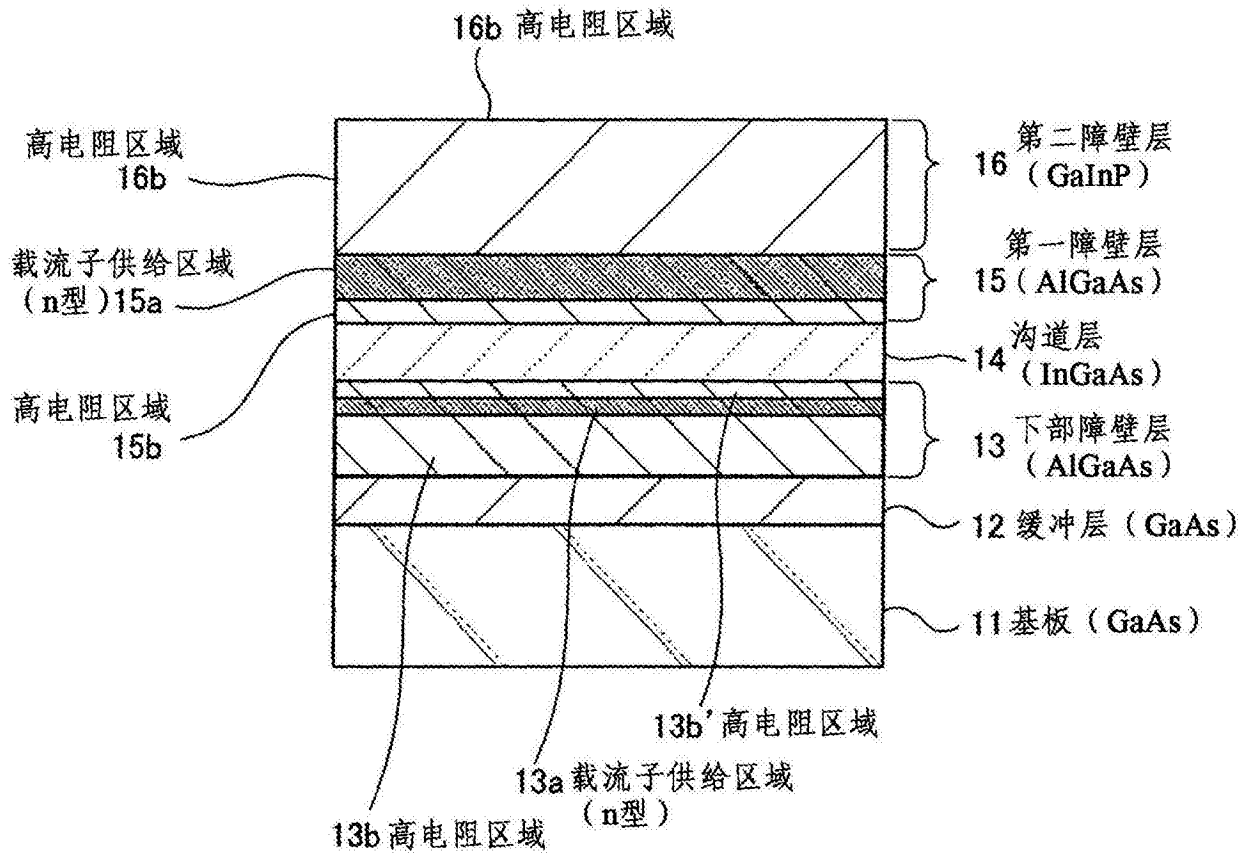


图40A

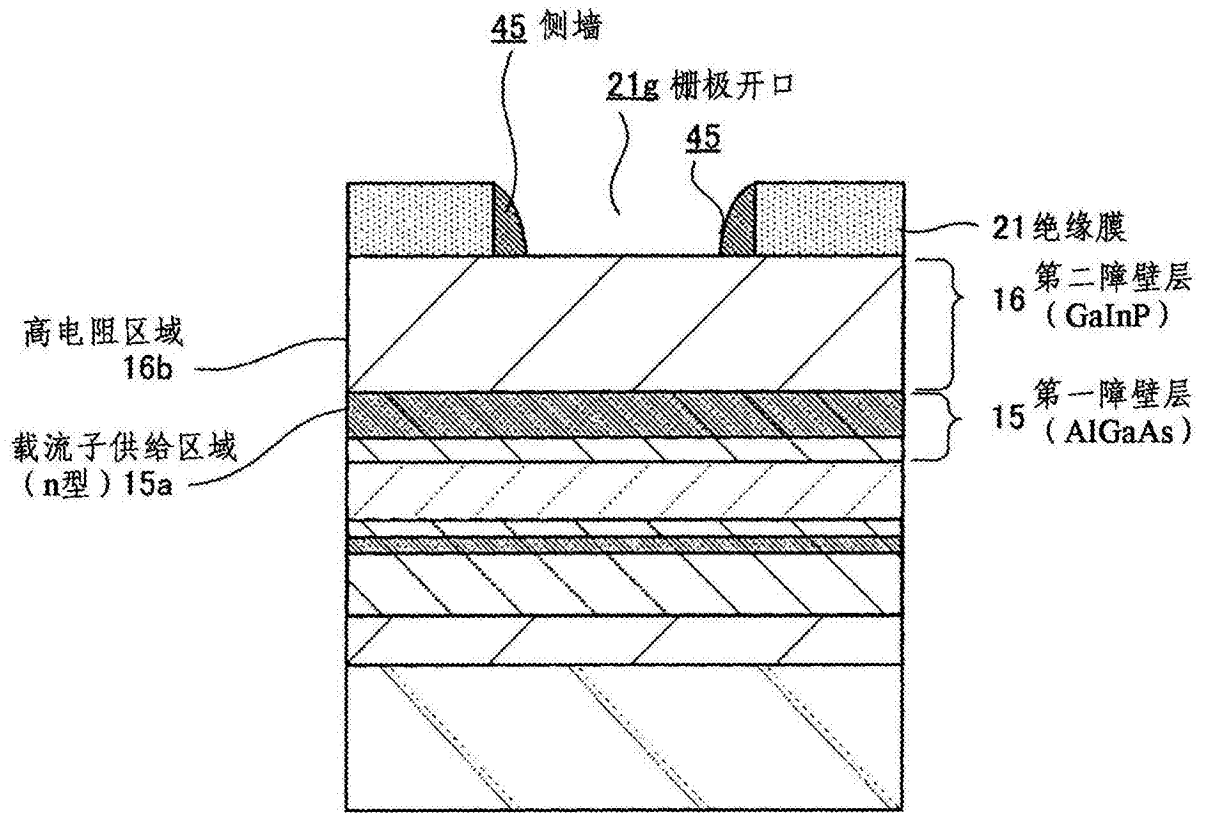


图40B

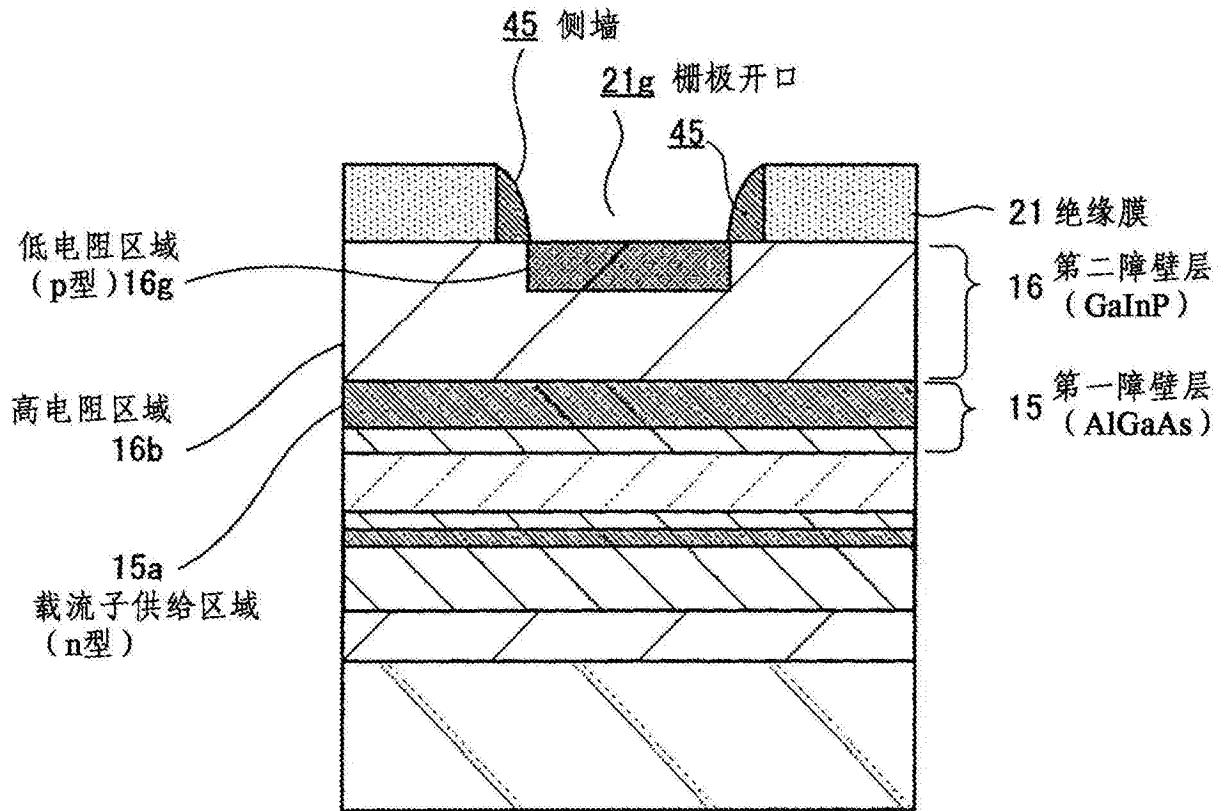


图41A

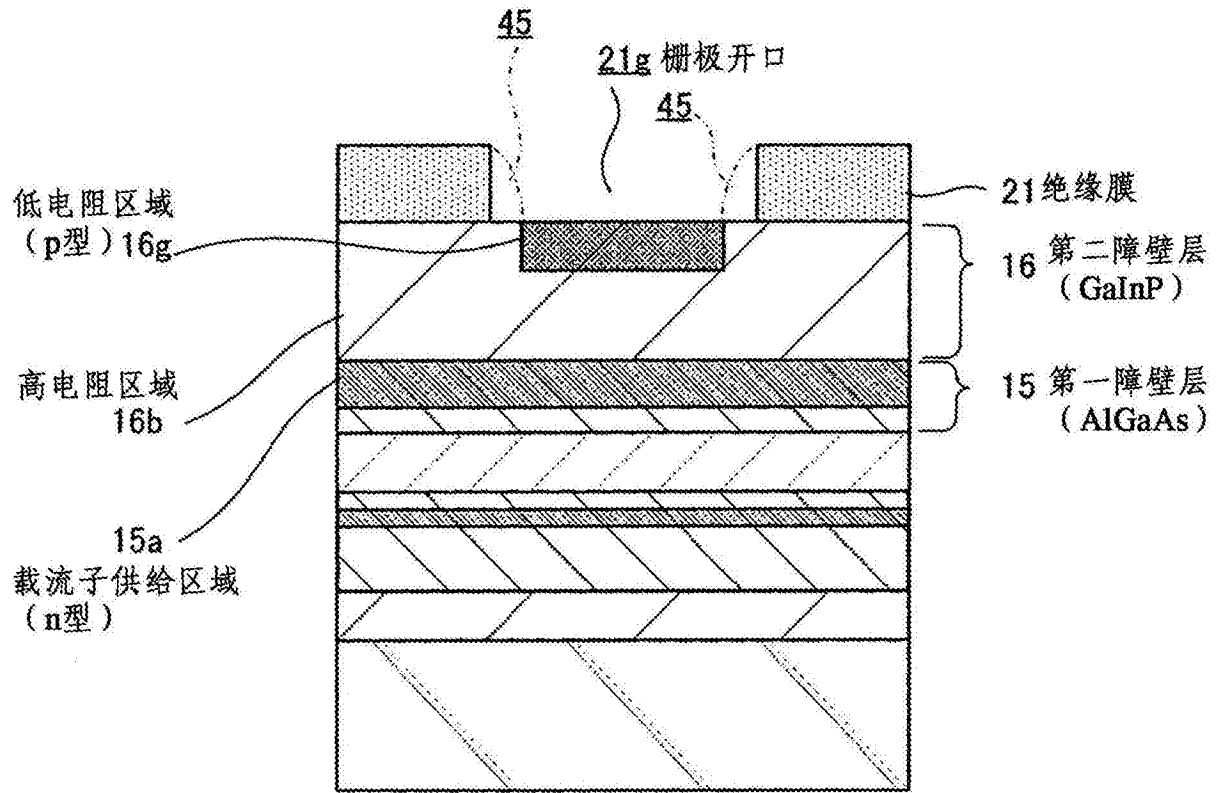


图41B

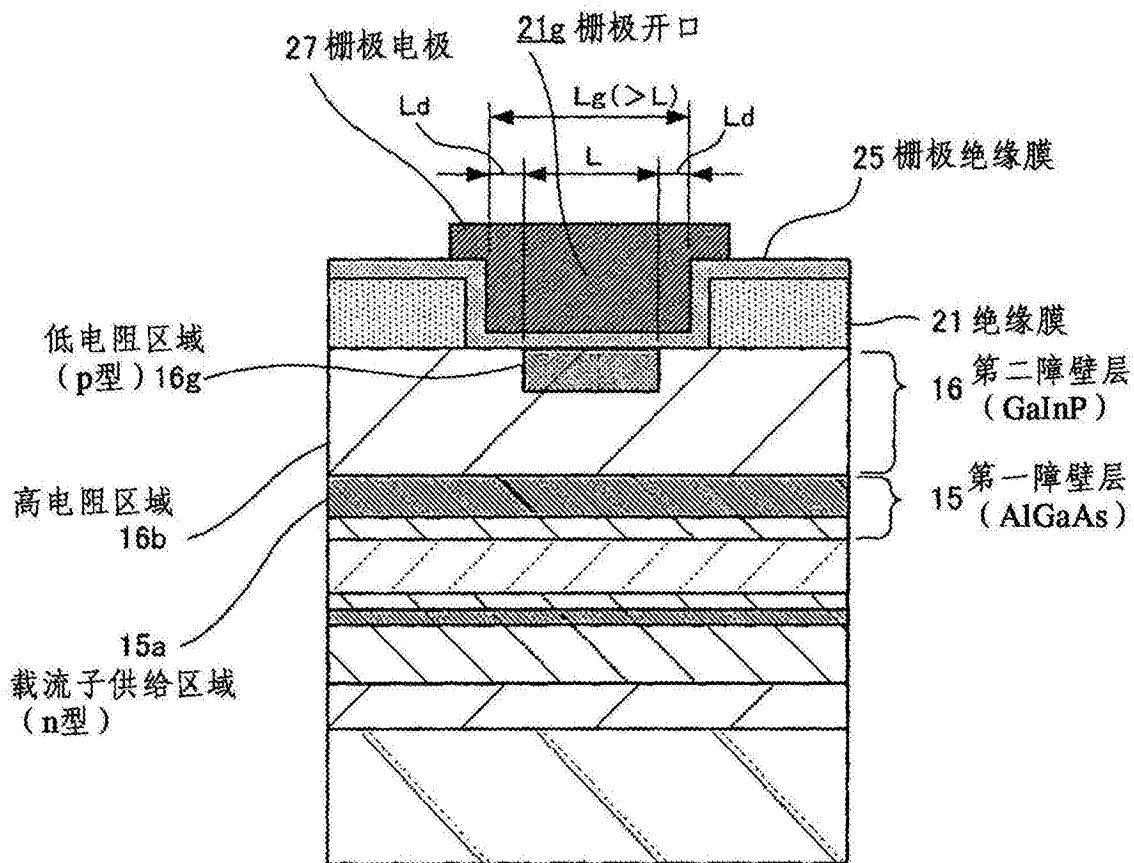


图42A

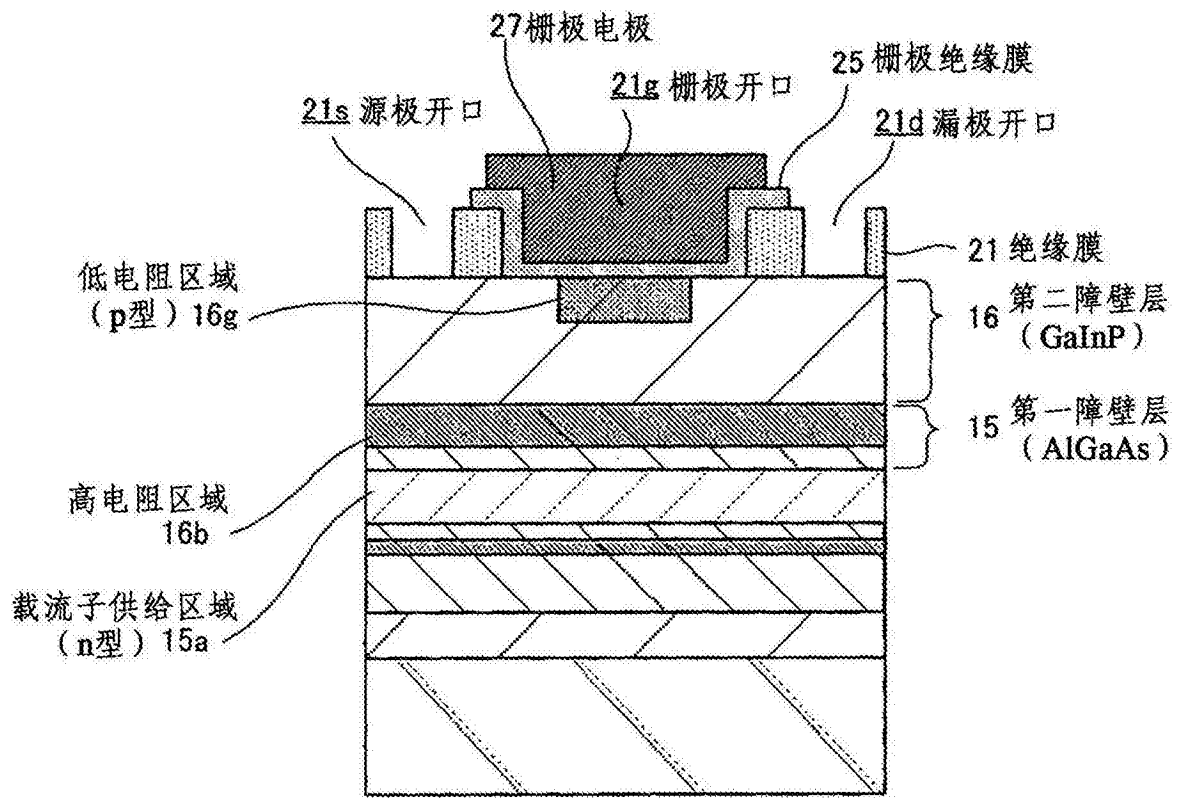


图42B