

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 5 月 6 日 (06.05.2021)



(10) 国际公布号
WO 2021/081765 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01) *H01L 51/56* (2006.01)
H01L 51/52 (2006.01)

(21) 国际申请号: PCT/CN2019/114061

(22) 国际申请日: 2019 年 10 月 29 日 (29.10.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司(CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川
省成都市高新区(西区)合作路 1188
号, Sichuan 611731 (CN)。

(72) 发明人: 马宏伟(MA, Hongwei); 中国北京市北京经
济技术开发区地泽路 9 号, Beijing 100176 (CN)。
董向丹(DONG, Xiangdan); 中国北京市北京经济

技术开发区地泽路 9 号, Beijing 100176 (CN)。汪
锐(WANG, Rui); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: DISPLAY SUBSTRATE, PREPARATION METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 显示基板及其制备方法、显示装置

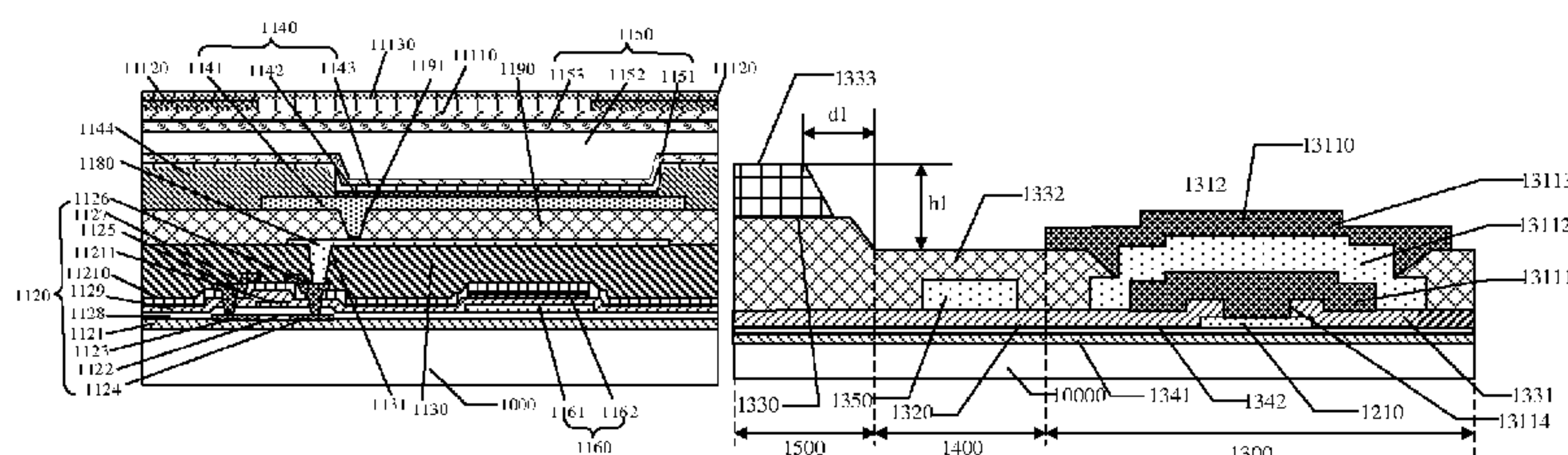


图 8K

(57) Abstract: A display substrate, a preparation method therefor, and a display device. A display substrate (100) comprises a base substrate (1000), a lead (1210), a plurality of contact pads (1310), a first insulation stacked layer (1320), and a second insulation stacked layer (1330). The base substrate (1000) comprises a display region (1100) and a dam region (1102) at least partially surrounding the display region. The dam region (1102) is located away from a transition region (1103) on a side of the display region. The transition region (1103) is located away from a first bonding region (1300) and a bonding periphery region (1500) at a side of the dam region (1102). The plurality of contacts pads (1310) are located in the first bonding region (1300), and are configured to be electrically connected to the lead (1210). The first insulation stacked layer (1320) is located in the first bonding region (1300), and the second insulation stacked layer (1330) is located in the bonding periphery region (1500). At least two insulation layers of the second insulation stacked layer (1330) extend into the first bonding region (1300) to define the first insulation stacked layer (1320). The thickness of the first insulation stacked layer (1320) is less than that of the second insulation stacked layer (1330) in a direction perpendicular to the base substrate.

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告 (条约第21条(3))。

(57) 摘要：一种显示基板及其制备方法、显示装置。该显示基板(100)包括衬底基板(1000)、引线(1210)、多个接触垫(1310)、第一绝缘层叠层(1320)及第二绝缘层叠层(1330)。衬底基板(1000)包括显示区(1100)与至少部分围绕显示区的围堰区(1102)，围堰区(1102)远离显示区一侧的过渡区(1103)，过渡区(1103)远离围堰区(1102)一侧的第一邦定区(1300)以及邦定周边区(1500)；多个接触垫(1310)位于第一邦定区(1300)，被配置为与引线(1210)电连接；第一绝缘层叠层(1320)位于第一邦定区(1300)；第二绝缘层叠层(1330)位于邦定周边区(1500)，第二绝缘层叠层(330)的至少两个绝缘层延伸到第一邦定区(1300)中以得到第一绝缘层叠层(1320)，第一绝缘层叠层(1320)的在垂直于衬底基板方向上的厚度小于第二绝缘层叠层(1330)在垂直于衬底基板方向上的厚度。

显示基板及其制备方法、显示装置

技术领域

5 本公开的实施例涉及一种显示基板及其制备方法、显示装置。

背景技术

随着有机发光二极管(Organic Light-Emitting Diode, OLED)显示装置,尤其是触控 OLED 显示装置的发展,消费者对于显示基触控体验的要求也越来越高。为了满足日益增长的消费者对于显示装置的厚度及触控体验的需求,显示装置的边框逐渐减小、屏占比逐渐提升以及厚度逐渐减小。

发明内容

本公开至少一实施例提供一种显示基板,包括衬底基板、引线、多个接触垫、第一绝缘层叠层及第二绝缘层叠层。衬底基板,包括显示区与至少部分围绕所述显示区的围堰区,所述围堰区远离所述显示区一侧的过渡区,所述过渡区远离所述围堰区一侧的第一邦定区以及邦定周边区,所述邦定周边区位于所述第一邦定区与所述过渡区之间;引线,位于所述第一邦定区;多个接触垫,位于所述第一邦定区,被配置为与所述引线电连接;第一绝缘层叠层,位于所述第一邦定区;第二绝缘层叠层,位于所述邦定周边区,所述第二绝缘层叠层的至少两个绝缘层延伸到所述第一邦定区中以得到所述第一绝缘层叠层,其中,所述第一绝缘层叠层的在垂直于所述衬底基板方向上的厚度小于所述第二绝缘层叠层在垂直于所述衬底基板方向上的厚度。

25 例如,本公开至少一实施例提供的显示基板中,多个接触垫包括多个第一接触垫以及多个第二接触垫,其中,多个所述第一接触垫排布为至少一行,所述第一接触垫和所述第二接触垫包括导电图案叠层。

例如,本公开至少一实施例提供的显示基板,第三绝缘层叠层,位于所述过渡区,所述第三绝缘层叠层包括第一绝缘层叠层子层以及第二绝缘层叠层子层,所述第一绝缘层叠层子层在所述衬底基板上的正投影至少部分覆盖所述过渡区以及所述邦定周边区,所述第二绝缘层叠层子层

在所述衬底基板上的正投影至少部分覆盖所述过渡区以及所述邦定周边区。

例如，本公开至少一实施例提供的显示基板中，所述第三绝缘层叠层还包括第三绝缘层叠层子层，设置在所述第一绝缘层叠层子层以及所述第二绝缘层叠层子层之间，其中，所述第三绝缘层叠层子层在所述衬底基板的正投影与所述第一邦定区以及所述邦定周边区不交叠。

例如，本公开至少一实施例提供的显示基板中，所述至少两个绝缘层包括第一绝缘层及第二绝缘层，所述第一绝缘层位于所述衬底基板上，所述第二绝缘层位于所述第一绝缘层远离所述衬底基板的一侧，其中，所述第一绝缘层叠层子层延伸至所述邦定周边区以得到所述第一绝缘层，所述第二绝缘层叠层子层延伸至所述邦定周边区以得到所述第二绝缘层。

例如，本公开至少一实施例提供的显示基板，还包括像素结构，位于所述显示区，其中，所述像素结构包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件，所述像素驱动电路包括薄膜晶体管，所述薄膜晶体管包括栅极、源漏电极及层间绝缘层，所述层间绝缘层位于所述栅极远离所述衬底基板的一侧且位于所述源漏电极靠近所述衬底基板一侧，所述第一平坦化层在所述像素驱动电路远离所述衬底基板的一侧以提供第一平坦化表面且包括第一过孔，所述第一转接电极在所述第一平坦化表面上，且通过所述第一过孔与所述薄膜晶体管的源漏电极之一电连接，所述第二平坦化层在所述第一转接电极远离所述衬底基板的一侧以提供第二平坦化表面且包括第二过孔，所述发光元件在所述第二平坦化表面上且通过所述第二过孔与所述第一转接电极电连接，其中，所述层间绝缘层与所述第一绝缘层同层设置，所述第二平坦化层与所述第二绝缘层同层设置，所述第一平坦化层与所述第三绝缘层叠层子层同层设置。

例如，本公开至少一实施例提供的显示基板中，所述第二平坦化层在垂直于衬底基板方向上的厚度与第三绝缘层叠层子层在过渡区以及所述第二绝缘层在邦定周边区沿垂直于衬底基板方向上的厚度基本相等。

例如，本公开至少一实施例提供的显示基板中，相对于所述衬底基

板,所述第二绝缘层在所述第一绑定区的高度小于所述第二绝缘层在所述绑定周边区的高度。

例如,本公开至少一实施例提供的显示基板中,所述第二绝缘层在所述绑定周边区沿垂直于衬底基板方向上的厚度与第二绝缘层叠层子层在所述过渡区沿垂直于衬底基板方向上的厚度基本相等。

例如,本公开至少一实施例提供的显示基板中,所述第一绝缘层及所述第二绝缘层延伸到所述第一绑定区中以得到所述第一绝缘层叠层。

例如,本公开至少一实施例提供的显示基板中,所述至少两个绝缘层还包括第三绝缘层,所述第三绝缘层位于所述第二绝缘层的远离所述衬底基板的一侧且被配置为在靠近多个所述接触垫的一侧露出所述第二绝缘层。

例如,本公开至少一实施例提供的显示基板中,所述显示区包括信号线,用于与所述引线电连接。

例如,本公开至少一实施例提供的显示基板中,所述导电图案叠层包括至少两个导电图案,其中,所述第一绝缘层叠层的至少一个绝缘层覆盖所述至少两个导电图案之一的边缘并且所述至少一个绝缘层的边缘被所述至少两个导电图案中另一个所覆盖。例如,本公开至少一实施例提供的显示基板中,所述导电图案叠层包括第一导电图案和第二导电图案,其中,所述第一导电图案位于所述引线远离所述衬底基板的一侧且与所述引线电连接,所述第二导电图案位于所述第一导电图案远离所述衬底基板的一侧且覆盖所述第一导电图案的边缘,其中,所述第一绝缘层叠层中的所述第二绝缘层覆盖所述第二导电图案的边缘。

例如,本公开至少一实施例提供的显示基板中,所述第一绝缘层叠层中的所述第一绝缘层位于所述第一导电图案与所述引线之间,所述第一导电图案与所述引线之间所述第一绝缘层具有第一导电图案过孔;所述第一导电图案与所述引线通过所述第一导电图案过孔电连接。

例如,本公开至少一实施例提供的显示基板中,所述像素结构还包括第一显示区金属层,其中,所述第一导电图案与所述第一显示区金属层同层设置;所述第二导电图案与所述第一转接电极同层设置。

例如,本公开至少一实施例提供的显示基板中,所述薄膜晶体管的源漏电极位于所述第一显示区金属层中。

例如，本公开至少一实施例提供的显示基板中，所述衬底基板还包括第二邦定区，所述第二邦定区位于所述第一邦定区远离所述显示区的一侧，所述第一绝缘层延伸至所述第二邦定区，所述显示基板还包括多个第三接触垫以及第二邦定区引线，多个所述第三接触垫位于所述第二邦定区并设置在所述第一绝缘层远离衬底基板的一侧，所述第三接触垫包括多个接触垫金属层，所述第二邦定区引线，位于所述第一邦定区及第二邦定区之间，并配置为连接所述第二接触垫以及所述第三接触垫。

例如，本公开至少一实施例提供的显示基板中，多个接触垫金属层包括第一接触垫金属层以及第二接触垫金属层，所述第一接触垫金属层设置在所述第一绝缘层远离所述衬底基板的一侧，所述第二接触垫金属层与所述第一接触垫金属层层叠并覆盖所述第二接触垫金属层的周边，其中，所述第一接触垫金属层与所述第一导电图案层同层设置，所述第二接触垫金属层与所述第二导电图案层同层设置。

例如，本公开至少一实施例提供的显示基板中，所述第二接触垫金属层向第一邦定区延伸以形成所述第二邦定区引线，其中，所述第二绝缘层延伸至所述第二邦定区，并覆盖所述第二邦定区引线以及所述第二接触垫金属层的边缘。

例如，本公开至少一实施例提供的显示基板中，所述第二绝缘层的位于所述第一邦定区与第二邦定区之间的部分在垂直于所述衬底基板方向上的厚度与所述第二绝缘层位于所述第一邦定区的部分在垂直于所述衬底基板方向上的厚度基本相同，所述第二绝缘层的位于所述第一邦定区域第二邦定区之间的部分在所述衬底基板上的正投影与所述第二邦定区引线在所述衬底基板上的正投影至少部分重叠。

例如，本公开至少一实施例提供的显示基板中，所述导电图案叠层还包括第三导电图案，所述第三导电图案位于所述第二导电图案远离所述衬底基板的一侧，所述第一绝缘层叠层中的所述第二绝缘层的边缘被所述第三导电图案所覆盖。

例如，本公开至少一实施例提供的显示基板中，所述多个接触垫金属层还包括第三接触垫金属层，所述第三接触垫金属层位于所述第二接触垫金属层远离衬底基板的一侧，并覆盖第二邦定区中所述第二绝缘层的边缘，其中，所述第三接触垫金属层与所述第三导电图案层同层设置。

例如，本公开至少一实施例提供的显示基板，还包括封装层、辅助电极以及显示区保护层，所述封装层至少位于所述显示区，所述封装层包括至少一层封装子层，所述辅助电极以及所述显示区保护层位于所述显示区，所述辅助电极设置在所述封装层远离衬底基板的一侧，所述显示区保护层设置在所述辅助电极远离衬底基板的一侧，其中，所述第三导电图案与所述辅助电极同层设置，所述第三绝缘层与所述显示区保护层同层设置。

例如，本公开至少一实施例提供的显示基板中，所述像素结构还包括存储电容器，所述存储电容器包括第一存储电容电极及第二存储电容电极，所述引线与所述存储电容器的第一存储电容电极及第二存储电容电极的其中之一同层设置。

例如，本公开至少一实施例提供的显示基板中，所述第一邦定区包括邦定边界区，所述邦定边界区位于所述第一邦定区与所述邦定周边区之间，所述邦定边界区还包括位于所述第一绝缘层与所述第二绝缘层之间的标记金属层，其中，所述标记金属层与所述第一导电图案及所述第二导电图案的其中之一同层设置。

本公开至少一实施例提供一种显示装置，包括如上述任一项所述的显示基板。

本公开至少一实施例提供一种显示基板的制备方法，包括：提供衬底基板，其中，包括显示区与至少部分围绕所述显示区的围堰区，所述围堰区远离所述显示区一侧的过渡区，所述过渡区远离所述围堰区一侧的第一邦定区以及邦定周边区，所述邦定周边区位于所述第一邦定区与所述过渡区之间；在所述第一邦定区中形成引线；在所述第一邦定区中形成多个接触垫，其中，所述接触垫被形成为与所述引线电连接；在所述第一邦定区中形成第一绝缘层叠层；在所述邦定周边区中形成第二绝缘层叠层，使得所述第二绝缘层叠层的至少两个绝缘层延伸到所述第一邦定区中以得到所述第一绝缘层叠层，并使得所述第一绝缘层叠层的在垂直于所述衬底基板方向上的厚度小于所述第二绝缘层叠层在垂直于所述衬底基板方向上的厚度。

例如，在本公开至少一实施例提供的制备方法中，形成所述第二绝缘层叠层包括：形成位于所述衬底基板上的所述第二绝缘层叠层的第一

绝缘层，形成位于所述第一绝缘层远离所述衬底基板的一侧的所述第二绝缘层叠层的所述第二绝缘层，其中，所述第一绝缘层及所述第二绝缘层延伸到所述第一邦定区中形成所述第一绝缘层叠层。

例如，在本公开至少一实施例提供的制备方法，还包括：在所述显示区中形成像素结构，其中，所述像素结构包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件，在所述显示区中形成像素结构包括：在所述衬底基板上形成所述像素驱动电路，其中，在所述像素驱动电路中形成薄膜晶体管，在所述薄膜晶体管中形成栅极、源漏电极及层间绝缘层，所述层间绝缘层位于所述栅极远离所述衬底基板的一侧且位于源漏电极靠近所述衬底基板的一侧，在所述像素驱动电路远离所述衬底基板的一侧形成所述第一平坦化层以提供第一平坦化表面，且在所述第一平坦化层中形成第一过孔，在所述第一平坦化表面上形成第一转接电极，且所述第一转接电极通过所述第一过孔与所述源漏电极之一电连接，在所述第一转接电极远离所述衬底基板的一侧形成所述第二平坦化层以提供第二平坦化表面，且在所述第二平坦化表面中形成第二过孔，在所述第二平坦化表面上形成所述发光元件，且所述发光元件通过所述第二过孔与所述第一转接电极电连接。

例如，在本公开至少一实施例提供的制备方法中，形成所述第二绝缘层包括：在形成所述导电图案叠层的第二导电图案以及所述像素驱动电路之后，在衬底基板上沉积第一绝缘材料层；对所述第一绝缘材料层进行构图工艺，以使得所述第一绝缘材料层的位于显示区的部分形成所述第二平坦化层，且在所述第二平坦化层中形成所述第二过孔，去除第一绝缘材料层的与所述第二导电图案重叠的部分，并且减薄所述第一绝缘材料层的位于所述第一邦定区的部分以形成所述第二绝缘层，以使得所述第二绝缘层在所述第一邦定区相对于所述衬底基板的高度小于在所述邦定周边区的高度，且覆盖所述第二导电图案的边缘。

例如，在本公开至少一实施例提供的制备方法中，对所述第一绝缘材料层进行构图工艺包括：使用灰色调掩模板或半色调掩模板构图工艺对所述第一绝缘材料层进行构图。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1A 为本公开实施例提供的一种显示基板的平面图；

5 图 1B 为本公开实施例提供的一种显示基板的第一绑定区的平面图；

图 1C 为本公开实施例提供的一种显示基板的过渡区的平面图；

图 2A 为图 1B 所示显示基板沿 M2-N2 的截面示意图；

图 2B 为图 1A 所示显示基板沿 M1-N1 的截面示意图；

10 图 2C 为本公开实施例提供的显示基板在图 1C 所示的过渡区沿 C1-D1 的截面示意图；

图 3 为图 1A 所示显示基板的显示区的截面示意图；

图 4A 为本公开实施例提供的另一种显示基板的平面图；

图 4B 为本公开实施例提供的另一种显示基板的第一绑定区的平面图；

图 5A 为图 1B 所示显示基板沿 M4-N4 的截面示意图；

15 图 5B 为图 1A 所示显示基板沿 M3-N3 的截面示意图；

图 6 为图 4A 所示显示基板的显示区的截面示意图；

图 7 为本公开另一实施例提供的另一种显示基板的显示区的截面示意图；及

20 图 8A 至图 8K 为本公开一些实施例提供的一种显示基板的制备方法的过程图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，
25 所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分
30 不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限

制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。

- 5 “上”、“下”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

目前，如何减小显示装置的厚度以及实现更好的触控体验成为行业内研究的热点，使用柔性显示on-cell触控技术(Felxible Multi Layer On Cell Touch, FMLOC)的显示装置可以通过直接将触控传感器用传统的沉积、镀膜、曝光及刻蚀等工艺制作到显示基板上，以得到更薄的显示装置。为了更进一步提高显示装置的显示效果，提升显示装置的显示均一性，采用在显示基板中增加转接电极层的方式来减低走线的电阻，从而改善显示不均现象。

发明人在研究中注意到，上述显示装置的设计方案中，随着显示装置的膜层数量增加，显示装置的膜层叠层结构更加复杂，将引起一些其他的工艺问题。例如，在显示基板的用于邦定外部电路的邦定区中，外部电路可以包括安装芯片的柔性电路板(例如，Chip On Film, 简称COF)，该柔性电路板上设置控制芯片或驱动芯片等。膜层数量的增加将导致在邦定区的边界区的膜层段差增大，进而在边界区的膜层段差处在邦定过程中容易出现较多的气泡。这些气泡会直接影响邦定区的邦定效果，严重时，可能导致邦定工艺过程中无法识别对位标记(mark)，从而无法将外部电路邦定到邦定区，降低产品良率。

针对上述问题，本公开至少一实施例提供一种显示基板及其制备方法、显示装置。

本公开至少一实施例提供的显示基板包括衬底基板、引线、多个接触垫、第一绝缘层叠层及第二绝缘层叠层。衬底基板包括显示区与至少部分围绕显示区的围堰区，围堰区远离显示区一侧的过渡区，过渡区远离围堰区一侧的第一邦定区以及邦定周边区，邦定周边区位于第一邦定区与所述过渡区之间；引线，位于第一邦定区；多个接触垫，位于第一邦定区，被配置为与引线电连接；第一绝缘层叠层，位于第一邦定区；第二绝缘层叠层，位于邦定周边区，第二绝缘层叠层的至少两个绝缘层延伸到第一邦定区中以得到第一绝缘层叠层，其中，第一绝缘层叠层的在垂直于衬底基板方向上的厚度小于

第二绝缘层叠层在垂直于衬底基板方向上的厚度。

上述实施例的显示基板中，在邦定边界区中设置第一绝缘层叠层，第一绝缘层叠层的相对衬底基板的高度小于位于邦定周边区的第二绝缘层叠层相对衬底基板的高度，进而减小邦定周边区的膜层段差的高度，以降低并对邦定周边区及邦定边界区产生气泡的风险，更有助于完成邦定工艺，提高显示基板的产品良率和可靠性。

下面，结合附图对根据本公开实施例提供的显示基板及其制备方法、显示装置进行说明。

需要说明的是，在本公开的各个附图中，为了清楚描述，基于显示基板的衬底基板建立空间直角坐标系，并以此对显示基板中的各个结构的位置进行说明。在该空间直角坐标系中，X轴和Y轴平行于衬底基板所在平面，Z轴垂直于衬底基板所在平面。

本公开至少一实施例提供一种显示基板，图1A为本公开实施例提供的一种显示基板的平面图。图1B为本公开实施例提供的一种显示基板的第一邦定区的平面图。显示基板例如用于有机发光二极管（OLED）显示装置或量子点发光二极管（QLED）显示装置。

在该实施例中，如图1A所示，显示区1100包括多个子像素以及多条信号线1101，多条信号线1101包括沿第一方向（图中X轴方向）延伸的信号线（例如栅线G）和沿第二方向（图中Y轴方向）延伸的信号线（例如数据线D。这些信号线延伸或走线到位于显示区1100至少一侧的第一邦定区，例如，信号线1101与对应的引线电连接，由此可以与第一邦定区邦定的驱动芯片、柔性电路板等电连接。信号线1101可以为像素阵列提供控制信号、数据信号、电压信号等的扫描线（栅线）、数据线、电源线、检测线等。

例如，如图1A及图1B所示，显示基板100包括衬底基板，衬底基板包括显示区1100和围绕显示区1100的显示周边区1200，该显示周边区1200包括围堰区1102以及过渡区1103，围堰区1102围绕所述显示区，过渡区1103位于显示区1100一侧。围堰区1102包括阻挡坝，该阻挡坝可以形成为一层或多层结构。衬底基板还包括位于显示区1100一侧的第一邦定区1300及邦定周边区1500。第一邦定区1300包括邦定边界区1400。邦定边界区1400位于第一邦定区1300与邦定周边区1500之间。例如，第一邦定区1300可以使用COP（Chip on Pi）技术，将集成电路芯片邦定到显示基板的柔性衬底基板（例如Pi衬底

基板)上。例如,显示周边区1200还包括位于第一邦定区1300远离显示区1100一侧的第二邦定区。该第二邦定区可以为使用FOP(FPC(Flexible Printed Circuit,柔性电路板)On Pi)双面邦定工艺的区域。图中示出了一个第一邦定区1300,但是本公开的第一邦定区的数量不限于此。例如,如图1A及图1B所示,显示基板100还可以包括多条引线1210及多个接触垫1310,多个接触垫1310设置在第一邦定区1300中。多个接触垫1310包括多个第一接触垫1311以及多个第二接触垫1312。多个第一接触垫1311位于第一邦定区1300靠近显示区的一侧,多个第二接触垫1312位于第一邦定区1300远离显示区的一侧。多个第二接触垫1312排布为至少一行(示出一行),多个第一接触垫1311排布为至少一行(示出一行)。这里,行的方向为第一邦定区1300面对显示区1100延伸的方向。多个第一接触垫1311以及多个第二接触垫1312也可以分别排布为多行,本公开实施例不以此为限。多条引线1210与多个接触垫1310一一对应电连接。引线1210的一端部延伸至显示区1100与显示区1100中对应的一条信号线(例如数据线)电连接,引线1210的另一端部延伸至第一邦定区1300与接触垫1310电连接。例如,引线1210例如与显示区1100中的信号线同层设置,由此可以一体形成,或者形成在不同层,由此需要通过二者之间的层间绝缘层中的过孔彼此电连接。

在本公开的示例中,第一接触垫1311以及第二接触垫1312被配置为将外部电路中的信号,例如显示信号,传送给显示区的引线。

例如,如图1A所示,显示基板100还包括多条第二邦定区引线1620及多个第三接触垫1610。多条第二邦定区引线1620与多个第三接触垫1620对应电连接,例如可以一一对应电连接,也可以多个接触垫与一条引线电连接,如多个第三接触垫1620与一条第二邦定区引线1620电连接,本实施例不做限制。第二邦定区引线1620的一端部延伸至第一邦定区1300与第二接触垫1312电连接,第二邦定区引线1620的另一端部延伸至第二邦定区1600与第三接触垫1610电连接。

在本公开的示例中,第三接触垫1620被配置为将外部电路中的信号,例如显示信号,传送给第一邦定区中的第二接触垫,然后第二接触垫将该信号传送到显示区的引线。

例如,如图1C所示,所述过渡区1103包括第一扇出区1104、弯折区1105以及第二扇出区1106。第一扇出区1104位于过渡区1103靠近显示区1100的一

侧，第二扇出区1106位于过渡区1103靠近第一邦定区1300的一侧，弯折区位于第一扇出区1105以及第二扇出区1106之间。

图1A中的截线M1-N1穿过第一邦定区1300中的第一接触垫1311、第二接触垫1312及第二邦定区1600中的第三接触垫1610，以示出第一邦定区1300与第二邦定区1600之间的膜层变化关系。

例如，如图1B所示，在第一邦定区1300中，同一行中多个第一接触垫1311之间或第二接触垫1312之间存在间隔，多个第一接触垫1311与多个第二接触垫1312之间也存在间隔。接触垫1310包括导电图案叠层13110。如图所示，截线M2-N2穿过位于L1行的靠近邦定边界区1400的第二接触垫1312，并且穿过邦定边界区1400及邦定周边区1500，以示出第一邦定区1300、邦定边界区1400及邦定周边区1500的膜层变化关系。

在本公开的一些实施例中，在第一邦定区1300的与截线M2-N2处的膜层变化与其对称位置处的膜层变化相同，以图1B中示出的情况为例进行说明。

例如，如图1B所示，显示基板100还包括第一绝缘层叠层1320及第二绝缘层叠层1330。第一绝缘层叠层1320位于邦定边界区1400，第二绝缘层叠层1330位于邦定周边区1500。第一绝缘层叠层1320位于顶层的绝缘层延伸至第一邦定区1300，覆盖多个接触垫1310的边缘。

例如，如图1B所示，连接第二接触垫1312的引线1210在第一邦定区1300延伸经过第一接触垫1311的间隙，然后再延伸到显示区1100，从而使得接触垫1310具有更大的排列空间并且可以避免与连接第一接触垫1311的引线1210相互干扰或短路。

在其他示例中，多条引线1210也可以位于不同层中，例如用于连接第二接触垫1312的引线1210位于更靠近衬底基板的一层，而用于连接第一接触垫1311的引线1210位于相对更远离衬底基板1000的一层（但仍然在接触垫和衬底基板之间）。因此，同一层中的多条引线1210之间的间距得以加大，降低了引线的之间干扰以及短路的风险，有利于形成高像素分辨率的显示装置。而且，同一层中的多条引线1210可以在同一构图工艺中制备；不同层中的多条引线1210可以在不同构图工艺中制备。

例如，引线1210的材料可以包括金属材料或者合金材料，例如钼、铝及钛等形成的金属单层或多层结构。

例如，图2A为图1B所示显示基板沿M2-N2的截面示意图。如图2A所示，

接触垫1310位于引线1210背离衬底基板1000的一侧。第二绝缘层叠层1330的至少两个绝缘层延伸到邦定边界区1400中以得到第一绝缘层叠层1320。第一绝缘层叠层1320的相对于衬底基板1000的高度C3小于第二绝缘层叠层1330的相对于衬底基板1000的高度C1。进而减小邦定周边区的膜层段差的高度，
5 以降低并对邦定周边区及邦定边界区产生气泡的风险，提高显示基板的产品良率和可靠性。

例如，衬底基板1000可以为玻璃板、石英板、金属板或树脂类板件等。例如，衬底基板1000的材料可以包括有机材料，例如该有机材料可以为聚酰亚胺（Pi）、聚碳酸酯、聚丙烯酸酯、聚醚酰亚胺、聚醚砜、聚对苯二甲酸乙二
10 醇酯和聚萘二甲酸乙二醇酯等树脂类材料，衬底基板1000可以为柔性基板或非柔性基板，本公开的实施例对此不作限制。

例如，如图2A所示，第二绝缘层叠层1330包括在邦定周边区1500中的第一绝缘层1331及第二绝缘层1332。第一绝缘层1331位于衬底基板1000上，第二绝缘层1332位于第一绝缘层1331远离衬底基板1000的一侧。第一绝缘层1331及第二绝缘层1332延伸到邦定边界区1400中以得到第一绝缘层叠层1320。相对于衬底基板1000，第二绝缘层1332在邦定边界区1400的高度C3小于第二绝缘层1332在邦定周边区1500的高度C2，也即，在邦定边界区1400以及在邦定周边区1500，第二绝缘层1332虽然是一体的，但是却具有不同的高度，如图所示，该高度不同的部分之间可以是连续过渡的，例如，相对于
20 衬底基板具有坡度角，该坡度角例如约为40度~60度，又例如约为50度。需要说明的是，第二绝缘层1332的高度是指第二绝缘层1332的表面至衬底基板1000的表面的垂直距离。第二绝缘层1332在邦定边界区1400的膜层厚度，即，第二绝缘层1332的上表面与下表面之间的垂直距离的取值范围，例如可以约为1.0微米至1.4微米之间，又例如，该垂直距离的取值可以约为1.2微米。第二绝缘层1332在邦定周边区1500的膜层厚度的取值范围，例如可以约为1.8
25 微米至2.2微米之间，又例如，该膜层厚度的取值可以约为2微米。所以，第二绝缘层1332在邦定周边区1500的高度C2与第二绝缘层1332在邦定边界区1400的高度差值H1的取值范围，例如可以约为0.4微米至1.2微米，又例如，该高度差值的取值可以约为0.8微米。邦定周边区域邦定边界区的膜层的高度差值，即膜层段差被减小，以降低并对邦定周边区及邦定边界区产生气泡的风险，提高显示基板的产品良率和可靠性。
30

在本公开的实施例中，“约”字表示所给定数值的变化范围，在该数值的 $\pm 15\%$ 之内，例如可以为 $\pm 5\%$ ， $\pm 10\%$ 等。

例如，第一绝缘层1331的材料可以包括氧化硅、氮化硅、氮氧化硅等无机绝缘材料，或者可以包括聚酰亚胺（Pi）、聚酞亚胺、聚酞胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料。本公开的实施例对第一绝缘层的材料不做具体限定。第二绝缘层1332的材料可以包括氧化硅、氮化硅、氮氧化硅等无机绝缘材料，或者可以包括聚酰亚胺、聚酞亚胺、聚酞胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料。本公开的实施例对第二绝缘层的材料不做具体限定。

10 例如，如图2A所示，第二绝缘层叠层1330的至少两个绝缘层还包括第三绝缘层1333。第三绝缘层1333位于第二绝缘层1332远离衬底基板1000的一侧且被配置为在靠近接触垫1310的一侧露出所述第二绝缘层1332。第三绝缘层1333靠近邦定边界区1320的一侧具有坡度角的侧边，并且该侧边与邦定周边区1330处的第二绝缘层1332的靠近邦定边界区1320的一侧具有的坡度角的侧边不对齐。第三绝缘层1333的侧边距离邦定边界区1320的距离大于第二绝缘层1332的侧边距离邦定边界区1320的距离。第三绝缘层距离邦定边界区的距离越大，将更有利于降低邦定边界区在邦定过程中产生气泡的风险，此外，第三绝缘层1333还可以起到对周边线路起到保护作用。第三绝缘层1333的膜层厚度可以约为3微米。第二绝缘层1332在邦定周边区1500的高度C2与第二绝缘层1332在邦定边界区1400的高度差值H1加上第三绝缘层1333的厚度即为，第二绝缘层叠层1330距离衬底基板1000的高度C1与第一绝缘层叠层1320距离衬底基板1000的高度C3的差值h1，该差值h1的取值范围，例如可以约为3.4微米至4.2微米，又例如，该差值的取值可以约为3.8微米。而在平行与衬底基板1000的方向上，上述差值h1在衬底基板上的投影所得到的距离d1的范围约在100微米与200微米之间。

例如，第三绝缘层1333的材料可以包括有机绝缘材料。有机绝缘材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等，例如高分子树脂等。

30 例如，继续如图2A所示，显示基板100还包括位于衬底基板100上方的邦定区缓冲层1341及位于邦定区缓冲层1341远离衬底基板1000一侧的邦定区栅绝缘层1342。引线1210位于邦定区栅绝缘层1342上。引线1210的一端与接

触垫1311电连接。第一绝缘层1331延伸到第一邦定区位于接触垫1311与引线1210之间。

例如，接触垫的导电图案叠层包括至少两个导电图案，第一绝缘层叠层的至少一个绝缘层覆盖至少两个导电图案之一的边缘并且至少一个绝缘层的边缘被至少两个导电图案中另一个所覆盖。

例如，如图2A所示，导电图案叠层13110包括第一导电图案13111、第二导电图案13112。第一导电图案13111位于引线1210远离衬底基板1000的一侧且与引线1210电连接。第二导电图案13112位于第一导电图案13111远离衬底基板1000的一侧且覆盖第一导电图案13111的边缘，以避免第一导电图案13111被刻蚀液腐蚀。第一绝缘层1331位于第一导电图案13111与引线1210之间，使得第一导电图案13111与引线1210电绝缘。在第一绝缘层1331中形成第一导电图案过孔13114。第一导电图案13111与引线1331通过第一导电图案过孔13114电连接。第一绝缘层叠层1320中的第二绝缘层1332延伸至第一邦定区，以覆盖第二导电图案13112的边缘，以避免第二导电图案13112被腐蚀。第二导电图案13112被配置为露出第一绝缘层叠层1320，用于与外部电路的电连接。

例如，第一导电图案13111的材料可以包括金属材料或者合金材料，例如由钼、铝及钛等形成的金属单层或多层结构。第二导电图案13112的材料可以包括金属材料或者合金材料，例如由钼、铝及钛等形成的金属单层或多层结构。

例如，如图2A所示，导电图案叠层13110还包括第三导电图案13113。第三导电图案13113位于第二导电图案13112远离衬底基板1000的一侧，并且覆盖第一绝缘层叠层1320中的第二绝缘层1332的边缘。这里，第二绝缘层的边缘指的是第二绝缘层1332在第二导电图案13112上被断开处的边缘。

例如，第三导电图案13113的材料可以包括金属材料或者合金材料，例如由钼、铝及钛等形成的金属单层或多层结构。

例如，如图1A图1B及2A所示，邦定边界区1400还包括位于第一绝缘层1331及第二绝缘层1332之间的标记金属层1350，用于邦定工艺过程中对外部电路的对位。标记金属层可以与第一导电图案13111或第二导电图案13112同层设置。本公开的实施例对于标记金属层的平面图案没有限制，例如可以为十字、正方形、矩形等。

例如，在本公开的一些示例中，位于第二邦定区的第三接触垫包括多个接触垫金属层，多个接触垫金属层包括第一接触垫金属层以及第二接触垫金属层，第一接触垫金属层设置在第一绝缘层远离衬底基板的一侧，第二接触垫金属层与第一接触垫金属层层叠并覆盖第二接触垫金属层的周边，其中，
5 第一接触垫金属层与第一导电图案层同层设置，第二接触垫金属层与第二导电图案层同层设置。

例如，在本公开的一些示例中，第二接触垫金属层向第一邦定区延伸以形成第二邦定区引线，第二绝缘层延伸至第二邦定区，并覆盖第二邦定区引线以及第二接触垫金属层的边缘。

10 例如，在本公开的一些示例中，第二绝缘层的位于第一邦定区域第二邦定区之间的部分在垂直于衬底基板方向上的厚度与第二绝缘层位于第一邦定区的部分基板相对，第二绝缘层的位于第一邦定区域第二邦定区之间的部分在衬底基板上的正投影与第二邦定区引线在衬底基板上的正投影至少部分重叠。例如，在本公开的一些示例中，多个接触垫金属层还包括第三接触
15 垫金属层，第三接触垫金属层位于第二接触垫金属层远离衬底基板的一侧，并覆盖第二邦定区中第二绝缘层的边缘，第三接触垫金属层与第三导电图案层同层设置。

例如，在本公开的一些示例中，图2B为图1A所示显示基板沿M1-N1的截面示意图。如图2B所示，邦定区缓冲层1341及邦定区栅绝缘层1342进一步
20 延伸至第二邦定区1600。连接第一接触垫1311的引线1210进一步延伸至邦定边界区1500。在邦定边界区1500处的膜层叠层包括引线1210、第一绝缘层1331、第二绝缘层1332以及第三绝缘层1333。第二绝缘层1332在邦定周边区的厚度大于在第一邦定区的厚度，厚度的差值与图2A所示的H1的值大致相同。第三接触垫1610包括第一接触垫金属层1611、第二接触垫金属层1612及
25 第三接触垫金属层1613。第一接触垫金属层1611位于邦定区栅绝缘层1342上，第一接触垫金属层1611与第一导电图案1311同层设置，因此第一接触垫金属层1611与第一导电图案1311可以采用同一构图工艺制备，以简化工艺流程。第二接触垫金属层1612位于第一接触垫金属层1611的远离衬底基板的一侧，并且覆盖第一接触垫金属层1611的边缘，以避免第一接触垫金属层
30 1611被刻蚀液腐蚀。第一接触金属层1611靠近第一邦定区1300一侧的边缘与第二导电图案13112靠近第二邦定区1600一侧的边缘之间覆盖第二邦定区引

线1620。第二接触垫金属层1612向第一邦定区1300延伸以形成第二邦定区引线1620。第二绝缘层1332延伸至第二邦定区1600，并覆盖第二邦定区引线1620以及第二接触垫金属层1612的边缘。并且，第二接触垫金属层1612与第二导电图案13112同层设置，因此第二接触垫金属层1612与第二导电图案13112可以采用同一构图工艺制备，以简化工艺流程。位于第一邦定区1300与第二邦定区1600之间的第二绝缘层1332位于第二导电图案13112远离衬底基板1000的一侧，第二绝缘层1332延伸至第二邦定区1600并覆盖第二接触垫金属层1612的边缘，以避免第二接触垫金属层1612被腐蚀。第三接触垫金属层1613位于第二接触垫金属层1612远离衬底基板1612的一侧，且覆盖第二绝缘层1332的边缘。第三接触垫金属层1613可以与第三导电图案13113同层设置。因此，第三接触垫金属层1613与第三导电图案13113可以采用同一构图工艺制备，以简化制备工艺流程。第三接触垫金属层1613被配置为露出第二绝缘层1332，用于与外部电路的电连接。

在本公开的实施例中，“同层设置”为两个功能层（例如第一接触垫金属层与第一导电图案）在显示基板的层级结构中同层且同材料形成，即在制备工艺中，该两个结构层可以由同一个材料层形成，且可以通过同一构图工艺形成所需要的图案和结构，例如可以在先形成该材料层后，由该材料层经过构图工艺形成。或者，在制备工艺中，该两个结构层可以由同一个材料层形成，但是通过不同的构图工艺形成所需要的图案和结构。或者，在制备工艺中，该两个结构层位于同一层上，而该两个结构层的可以由不同的材料层形成，通过同一构图工艺形成所需的图案和结构。

例如，在本公开的一些示例中，显示基板还包括第三绝缘层叠层，位于过渡区，第三绝缘层叠层包括第一绝缘层叠层子层以及第二绝缘层叠层子层，第一绝缘层叠层子层在衬底基板上的正投影至少部分覆盖过渡区以及邦定周边区，第二绝缘层叠层子层在衬底基板上的正投影至少部分覆盖过渡区以及邦定周边区。

例如，在本公开的一些示例中，第三绝缘层叠层还包括第三绝缘层叠层子层，设置在第一绝缘层叠层子层以及第二绝缘层叠层子层之间，第三绝缘层叠层子层在衬底基板的正投影与第一邦定区以及邦定周边区不交叠。

例如，在本公开的一些实例中，第一绝缘层叠层子层延伸至邦定周边区以得到第一绝缘层，第二绝缘层叠层子层延伸至邦定周边区以得到第二绝缘

层。

例如，在本公开的一些实例中，第二绝缘叠层子层1108以及第三绝缘叠层子层1109分别与第一扇出区以及第二扇出区至少部分交叠。

例如，如图2C所示，第三绝缘层叠层包括第一绝缘层叠层子层1107、第二绝缘叠层子层1108以及第三绝缘叠层子层1109，第一绝缘层叠层子层1107在衬底基板1000上的正投影覆盖第一扇出区1104以及第二扇出区1106，即，第一绝缘层叠层子层1107在弯折区1105中断开。第一绝缘层叠层子层1107延伸至邦定周边区得到第一绝缘层1331，所以，第一绝缘层叠层子层与第一绝缘层同层设置。第二绝缘层叠层子层1108在衬底基板1000上的正投影覆盖第一扇出区1104、弯折区1105以及第二扇出区1106，并且延伸至邦定周边区以得到第二绝缘层1332，所以，第二绝缘层叠层子层与所述第二绝缘层同层设置。第三绝缘层叠层子层1109在衬底基板1000上的正投影覆盖第一扇出区1104、弯折区1105以及第二扇出区1106，第三绝缘层叠层子层1109与邦定周边区不交叠。

例如，如图2C所示，第三绝缘层叠层还包括过渡区缓冲层1021、过渡区栅绝缘层1028、过渡区金属层1027。过渡区缓冲层1021与邦定区缓冲层1341同层设置，过渡区栅绝缘层1028与邦定区栅绝缘层1342同层设置，过渡区金属层1027与第一导电图案13111同层设置。

例如，在本公开的一些示例中，显示基板的显示区的像素阵列中每个像素单元的子像素还可以包括像素结构。像素结构包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件。第一平坦化层在像素驱动电路远离所述衬底基板的一侧以提供第一平坦化表面且包括第一过孔。第一转接电极在第一平坦化表面上，且通过第一过孔与像素驱动电路电连接。第二平坦化层在第一转接电极远离衬底基板的一侧以提供第二平坦化表面且包括第二过孔。发光元件在第二平坦化表面上且通过第二过孔与第一转接电极电连接。第二平坦化层与第二绝缘层同层设置。从而简化显示基板的制备工艺，减少产品的成本。

例如，像素驱动电路可以包括薄膜晶体管、存储电容等，可以实现为各种不同类型，例如为2T1C型（即包括两个薄膜晶体管和一个存储电容），还可以在2T1C型的基础上进一步包括更多的晶体管和/或电容以具有补偿、复位、发光控制、检测等功能，本公开的实施例对于像素驱动电路不作限制。

例如，在一些实施例中，与发光元件直接电连接的薄膜晶体管可以为驱动晶体管或发光控制晶体管等。

例如，在本公的一些示例中，图3为图1A所示显示基板的显示区的截面示意图。如图3所示，显示基板100的显示区的子像素还可以包括像素结构1110，以用于实现发光驱动、控制。该像素结构1110包括像素驱动电路1120、第一平坦化层1130、第一转接电极1180、第二平坦化层1190及发光元件1140。

例如，像素结构1110还包括位于衬底基板1000上的缓冲层1121，像素驱动电路1120可以包括位于缓冲层1121上的有源层1122、位于有源层1122远离衬底基板1000一侧的栅绝缘层1128、位于栅绝缘层1128上的栅极11211、位于栅极11211远离衬底基板1000一侧且位于源漏电极（图3中的源极1125及漏极1126）靠近衬底基板1000一侧的层间绝缘层1129、位于层间绝缘层1129上的第四绝缘层（另一层间绝缘层）11210以及位于第四绝缘层11210上的源极1125及漏极1126。栅极11211可以与第一邦定区1300中的引线1210同层设置。因此，栅极11211和引线1210可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成。层间绝缘层1129第一绝缘层1331同层设置，因此，层间绝缘层1129和第一绝缘层1331可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成。显示区中的缓冲层1121与过渡区缓冲层1021及邦定区缓冲层1341同层设置，缓冲层1121与过渡区缓冲层1021及邦定区缓冲层1341可以在制备工艺中同层形成。显示区中的栅绝缘层1128与邦定区栅绝缘层1342及过渡区栅绝缘层1028同层设置，栅绝缘层1128与邦定区栅绝缘层1342及过渡区栅绝缘层1028可以在制备工艺中同层形成。缓冲层1121作为过渡层，其即可以防止衬底基板中的有害物质侵入显示基板的内部，又可以增加显示基板100中的膜层在衬底基板1000上的附着力。

例如，缓冲层1121的材料可以包括氧化硅、氮化硅、氮氧化硅等绝缘材料。第四绝缘层11210、层间绝缘层1129及栅绝缘层1128中的一种或多种的材料可以包括氧化硅、氮化硅、氮氧化硅等绝缘材料。第四绝缘层11210、层间绝缘层1129及栅绝缘层1128的材料可以相同也可以不相同。

例如，如图3所示，有源层1122可以包括源极区1123、漏极区1124以及位于源极区1123和漏极区1124之间的沟道区。第四绝缘层11210、层间绝缘层1129及栅绝缘层1128中具有过孔，以暴露源极区1123和漏极区1124。源极1125及漏极1126分别通过过孔与源极区1123和漏极区1124电连接。栅极11211

在垂直于衬底基板1000的方向上与有源层1122中位于源极区1123和漏极区1124之间的沟道区重叠。第一平坦化层1130位于源极1125及漏极1126的上方用于平坦化像素驱动电路远离衬底基板一侧的表面。第一平坦化层1130可以平坦化由像素驱动电路导致被不平坦表面，并因此防止由像素驱动电路引起的凹凸而导致在发光器件中出现缺陷。第一平坦化层1130中形成第一过孔1131，以暴露源极1125或漏极1126（图中示出的情况），第一平坦化层1130上形成第一转接电极1180。第一转接电极1180通过第一过孔1131与漏极1126电连接，该第一转接电极可以避免直接在第一平坦化层和第二平坦化层中形成孔径比较大的直通过孔，从而改善过孔电连接的质量，同时第一转接电极还可以与其他信号线（例如电源线等）等同层形成，由此不会导致工艺步骤增加。第一转接电极1180与接触垫1310的第二导电图案13112同层设置，因此，第一转接电极2180与第二导电图案13112可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺。

例如，第一转接电极1180的材料可以包括金属材料或者合金材料，例如钼、铝及钛等形成的金属单层或多层结构。

例如，有源层1122的材料可以包括多晶硅或氧化物半导体（例如，氧化铟镓锌）。栅极11211的材料可以包括金属材料或者合金材料，例如钼、铝及钛等形成的金属单层或多层结构，例如，该多层结构为多金属层叠层（如钛、铝及钛三层金属叠层（Al/Ti/Al））。源极1125及漏极1126的材料可以包括金属材料或者合金材料，例如由钼、铝及钛等形成的金属单层或多层结构，例如，该多层结构为多金属层叠层（如钛、铝及钛三层金属叠层（Al/Ti/Al））。本公开的实施例对各功能层的材料不做具体限定。

例如，在本公开的一些示例中，如图3所示，像素驱动电路1120还可以包括第一显示金属层1127，第一显示区金属层1127与第一导电图案13111同层设置。第一显示金属层2127包括像素驱动电路中上述薄膜晶体管的源极1125和漏极1126。源极1125和漏极1126与第一导电图案13111同层设置。因此，源极1125和漏极1126与第一接触垫金属层1215可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺，减少产品的制备成本。

例如，在本公开的一些示例中，如图3所示，第二平坦化层1190设置在第一转接电极1180远离衬底基板1000的一侧，用以在第一转接电极1180远离

衬底基板1000一侧提供平坦化表面。并且，在第二平坦化层1190中形成第二过孔1191。第二平坦化层1190与第二绝缘层1332同层形成，因此第二平坦化层1190与第二绝缘层1332可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺。

5 例如，继续如图3所示，在第二平坦化层上形成发光元件1140，即发光元件1140设置在第二平坦化层1190远离衬底基板一侧。发光元件1140包括第一电极1141、发光层1142及第二电极1143。发光元件的第一电极1141通过第一平坦化层1130中的第一过孔1131与漏极1126电连接。第一电极1141上形成像素限定层1144，像素限定层1144包括多个开口，以限定多个像素单元。多个开口的每个暴露第一电极1141，发光层1142设置在像素限定层1144的多个开口中。第二电极1143例如可以设置在部分或整个显示区域中，从而在制备工艺中可以整面形成。

10 例如，第一电极1141可以包括反射层，第二电极1143可以包括透明层或半透明层。由此，第一电极1141可以反射从发光层1142发射的光，该部分光通过第二电极1143发射到外界环境中，从而可以提供光出射率。当第二电极1143包括半透射层时，由第一电极1141反射的一些光通过第二电极1143再次反射，因此第一电极1141和第二电极1143形成共振结构，从而可以改善光出射效率。

15 例如，第一电极1141的材料可以包括至少一种透明导电氧化物材料，包括氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)等。此外，第一电极1141可以包括具有高反射率的金属作为反射层，诸如银(Ag)。

20 例如，对于OLED，发光层1142可以包括小分子有机材料或聚合物分子有机材料，可以为荧光发光材料或磷光发光材料，可以发红光、绿光、蓝光，或可以发白光；并且，根据需要发光层还可以进一步包括电子注入层、电子传输层、空穴注入层、空穴传输层等功能层。对于QLED，发光层可以包括量子点材料，例如，硅量子点、锗量子点、硫化镉量子点、硒化镉量子点、碲化镉量子点、硒化锌量子点、硫化铅量子点、硒化铅量子点、磷化铟量子点和砷化铟量子点等，量子点的粒径为2-20nm。

25 例如，第二电极1143可以包括各种导电材料。例如，第二电极1143可以包括锂(Li)、铝(Al)、镁(Mg)、银(Ag)等金属材料。

30 例如，像素限定层1144的材料可以包括聚酰亚胺、聚醚酰亚胺、聚酰胺、

丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料，或者包括氧化硅、氮化硅等无机绝缘材料，本公开的实施例对此不做限定。

例如，如图3所示，显示基板100还包括存储电容器1160，存储电容器1160可以包括第一电容电极1161和第二电容电极1162。第一电容电极1161设置在栅绝缘层1128与层间绝缘层1129之间，第二电容电极1162设置在层间绝缘层1129与第四绝缘层11210之间。第一电容电极1161和第二电容电极1162叠置，在垂直于衬底基板1000的方向上至少部分重叠。第一电容电极1161和第二电容电极1162使用层间绝缘层1129作为介电材料来形成存储电容器。第一存储电容电极1161与像素驱动电路1120中的栅极11211、第一绑定区1200中的引线1210同层设置，因此，第一存储电容电极1161与栅极11211、引线1210可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺，减少产品的制备成本。

在另一示例中，作为图3所示示例的变型，存储电容器的第一电容电极仍然与栅极11211同层设置，而存储电容器的第二电容电极与薄膜晶体管中的源极1125和漏极1126同层设置（即也位于第一显示金属层1127中），由此第一电容电极和第二电容电极使用层间绝缘层1129以及第四绝缘层11210的叠层来作为介电材料来形成存储电容器。

在再一示例中，作为图3所示示例的变型，存储电容器的第一电容电极不再与栅极11211同层设置，而是位于在显示区层间绝缘层1129与第四绝缘层11210之间，而存储电容器的第二电容电极与薄膜晶体管中的源极1125和漏极1126同层设置（即也位于第一显示金属层1127中），由此第一电容电极和第二电容电极使用第四绝缘层11210来作为介电材料来形成存储电容器。

例如，在本公开的一些示例中，如图3所示，显示基板100还包括位于发光元件1140上的封装层1150。封装层1150将发光元件1140密封，从而可以减少或防止由环境中包括的湿气和/或氧引起的发光元件1140的劣化。封装层1150可以为单层结构，也可以为复合层结构，该复合层结构包括无机层和有机层堆叠的结构。封装层1150包括至少一层封装子层。例如，封装层1150可以包括依次设置的第一无机封装层1151、第一有机封装层1152、第二无机封装层1153。在上述示例中，该封装层未覆盖接触垫。

例如，该封装层的材料可以包括氮化硅、氧化硅、氮氧化硅、高分子树脂等绝缘材料。氮化硅、氧化硅、氮氧化硅等无机材料的致密性高，可以防

止水、氧等的侵入；有机封装层的材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等，例如高分子树脂等以对显示基板的表面进行平坦化处理，并且可以缓解第一无机封装层和第二无机封装层的应力，还可以包括干燥剂等吸水性材料以吸收侵入内部的水、氧等物质。

5 例如，在本公开一些示例中，围堰区1102的阻挡坝可以与第一平坦化层、第二平坦化层以及像素限定层中的一层或多层同层设置，从而防止封装层中的有机层溢流。阻挡坝的材料可以包括有机绝缘材料。有机绝缘材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等，例如高分子树脂等。

10 例如，在本公开一些示例中，如图3所示，显示基板还包括位于显示区的第五绝缘层11110、辅助导电电极11120以及显示区保护层11130。第五绝缘层11110设置在封装层1150上，以覆盖封装层1150。在本公开的实施例中，第五绝缘层11110不是必须的，在其它实施例中，也可以将第五绝缘层11110去除，以降低显示基板的厚度。辅助电极11120设置在第五绝缘层11110远离
15 衬底基板的一侧，辅助电极11120可以用于其他辅助功能，例如触控功能，并且在一个像素结构1110上具有开口。显示区保护层11130设置在辅助电极11120的远离衬底基板的一侧，以对辅助电极11120提供保护。显示区保护层11130与第三绝缘层1333同层设置。

20 例如，第五绝缘层11110的材料可以包括聚酰亚胺、聚醚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料，或者包括氧化硅、氮化硅等无机绝缘材料，本公开的实施例对此不做限定。

25 例如，用于实现触控功能的辅助电极可以用于实现电容型触控结构，该电容型触控结构为自电容型或互电容型。自电容型触控结构包括多个阵列排布（在同一层）的自电容电极，每个自电容电极通过触控引线 with 触控处理电路（触控芯片）电连接。通过检测在触控时由于例如手指靠近而导致自电容电极的电容变化而实现位置检测。互电容型触控结构包括多条沿第一方向延伸的第一触控信号线和多条沿第二方向延伸的第二触控信号线，第一触控信号线和第二触控信号线均通过触控引线 with 触控处理电路（触控芯片）电连接。第一方向和第二方向彼此交叉并且形成开口，由此在第一触控信号线和第二
30 触控信号线交叉位置处形成触控电容，通过检测在触控时由于例如手指靠近而导致该触控电容的变化而实现位置检测。本公开的实施例以互电容型触控

结构为例进行说明。

如图3所示，该互电容型触控结构包括相互交叉且同层设置的激励电极以及感应电极，以实现显示基板的触控功能。在该触控结构中，例如，第感应电极多个分段，而激励电极为连续的，在激励电极和感应电极彼此交叉的位置，提供与激励电极及感应电极位于不同层的桥接电极（未示出），以将感应电极的两个相邻的分段彼此电连接。通过设置感应电极及第二激励电极可以提高显示基板触控的灵敏度。辅助电极11120与第三导电图案13113同层设置。第三导电图案13113可以与感应电极及激励电极的其中一个的材料相同，采用同一构图工艺形成。

例如，形成辅助电极11120的材料可以包括氧化铟锡(ITO)，并且由此得到透明电极，或者形成辅助电极11120的材料可以包括金属网格，也可以由此得到透明电极。例如，辅助电极11120在其它实施例中可以用作触控电极。

本公开至少一实施例还提供一种显示基板，该包括衬底基板、引线、接触垫、第一绝缘层叠层及第二绝缘层叠层。衬底基板，包括显示区与至少部分围绕显示区的显示周边区，显示周边区包括位于显示区一侧的第一邦定区、邦定边界区以及邦定周边区，邦定边界区位于第一邦定区与邦定周边区之间；引线，位于第一邦定区；接触垫，位于第一邦定区，接触垫包括至少两个导电图案，接触垫位于引线远离衬底基板的一侧且与引线电连接；第一绝缘层叠层，位于邦定边界区；第二绝缘层叠层，位于邦定周边区，第二绝缘层叠层的至少一个绝缘层延伸到邦定边界区中以得到第一绝缘层叠层，第一绝缘层叠层的至少一个绝缘层覆盖至少两个导电图案之一的边缘并且至少一个绝缘层的边缘被至少两个导电图案中另一个所覆盖。

在上述实施例提供的显示基板中，在显示周边区的邦定边界区设置第一绝缘层叠层，第一绝缘层叠层的至少一个边缘覆盖至少两个导电图案之一的边缘并且至少一个绝缘层的边缘被至少两个导电图案中另一个所覆盖，进而避免位于靠近衬底基板一侧的导电图案在制备其它膜层的过程中被刻蚀液腐蚀，还可防止导电图案中金属的脱落与剥离，更有助于完成邦定工艺，进而提高显示基板的产品良率。

本公开至少一实施例提供另一种显示基板，图4A为本公开实施例提供的另一种显示基板的平面图。图4B为本公开实施例提供的另一种显示基板的第一邦定区的平面图。显示基板例如用于有机发光二极管（OLED）显示装置

或量子点发光二极管（QLED）显示装置。

在该实施例中，如图4A所示，显示区2100包括多个子像素以及多条信号线2101，多条信号线2101包括沿第一方向（图中X轴方向）延伸的信号线（例如栅线G）和沿第二方向（图中Y轴方向）延伸的信号线（例如数据线D。这些信号线延伸或走线到位于显示区2100至少一侧的第一邦定区，例如，信号线2103与对应的引线电连接，由此可以与第一邦定区邦定的驱动芯片、柔性电路板等电连接。信号线2101可以为像素阵列提供控制信号、数据信号、电压信号等的扫描线（栅线）、数据线、电源线、检测线等。

例如，如图4A及图4B所示，显示基板200包括衬底基板，衬底基板包括显示区2100和围绕显示区2100的显示周边区2200，该显示周边区2200包括围堰区2102以及过渡区2103，围堰区2102围绕所述显示区，过渡区2103位于显示区2100一侧。围堰区2102包括阻挡坝，该阻挡坝可以形成为一层或多层结构。衬底基板还包括位于显示区2100一侧的第一邦定区2300及邦定周边区2500。第一邦定区2300包括邦定边界区2400。邦定边界区2400位于第一邦定区2300与邦定周边区2500之间。例如，第一邦定区2300可以使用COP（Chip on Pi）封装技术，将集成电路芯片邦定到显示基板的柔性衬底基板（例如Pi衬底基板）上。例如，显示周边区2200还包括位于第二邦定区2300远离显示区2100一侧的使用FOP（FPC（Flexible Printed Circuit，柔性电路板）On Pi）双面邦定工艺的第二邦定区2600。图中示出了一个第一邦定区2300，但是本公开的第一邦定区的数量不限于此。需要说明的是，在图4A所示出的过渡区2103的详细结构与膜层布置与图1A中示出的过渡区1103相同，这里将不再详细赘述。

例如，如图4A及图4B所示，显示基板200还可以包括多条引线2210及多个接触垫2310，多个接触垫2310设置在第一邦定区1300中。多个接触垫2310包括多个第一接触垫2311以及多个第二接触垫2312。多个第一接触垫2311位于第一邦定区2300靠近显示区的一侧，多个第二接触垫2312位于第一邦定区2300远离显示区的一侧。多个第二接触垫2312排布为至少一行（示出一行），多个第一接触垫2311排布为至少一行（示出一行）。这里，行的方向为第一邦定区2300面对显示区2100延伸的方向。多个第一接触垫2311以及多个第二接触垫2312也可以分别排布为多行，本公开实施例不以此为限。多条引线2210与多个接触垫2310一一对应电连接。引线2210的一端部延伸至显示区

2100与显示区2100中对应的一条信号线（例如数据线）电连接，引线2210的另一端部延伸至第一邦定区2300与接触垫2310电连接。引线2210例如与显示区2100中的信号线同层设置，由此可以一体形成，或者形成在不同层，由此需要通过二者之间的层间绝缘层中的过孔彼此电连接。

5 在本公开的示例中，第一接触垫2311以及第二接触垫2312被配置为将外部电路中的信号，例如显示信号，传送给显示区的引线。

在本公开的示例中，第三接触垫2620被配置为将外部电路中的信号，例如显示信号，传送给第一邦定区中的第二接触垫，然后第二接触垫将该信号传送到显示区的引线。

10 例如，如图4A所示，显示基板200还包括多条第二邦定区引线2620及多个第三接触垫2610。多条第二邦定区引线2620与多个第三接触垫2620一一对应电连接。第二邦定区引线2620的一端部延伸至第一邦定区2300与第二接触垫2311电连接，第二邦定区引线2620的另一端部延伸至第二邦定区2600与第三接触垫2610电连接。

15 图4A中的截线M3-N3穿过第一邦定区2300中的第一接触垫2311、第二接触垫2322及第二邦定区邦定区2600中的第三接触垫2610，以示出第一邦定区2300与第二邦定区1600之间的膜层变化关系。

20 例如，如图4B所示，在第一邦定区2300中，同一行中多个第一接触垫2311之间或第二接触垫2312之间存在间隔，多个第一接触垫2311与多个第二接触垫2312之间也存在间隔。接触垫2310包括导电图案叠层13110。如图所示，截线M4-N4穿过位于L3行的靠近邦定边界区2400的第二接触垫2312，并且穿过邦定边界区2400及邦定周边区2500，以示出第一邦定区2300、邦定边界区2400及邦定周边区2500的膜层变化关系。

25 在本公开的一些实施例中，在第一邦定区2300的与截线M4-N4处的膜层变化与其对称位置处的膜层变化相同，以图4B中示出的情况为例进行说明。

例如，如图4B所示，显示基板200还包括第一绝缘层叠层2320及第二绝缘层叠层2330。第一绝缘层叠层2320位于邦定边界区2400，第二绝缘层叠层2330位于邦定周边区2500。第一绝缘层叠层2320位于顶层的绝缘层延伸至第一邦定区2300，覆盖多个接触垫2310的边缘。

30 例如，如图4B所示，连接第二接触垫2312的引线2210在第一邦定区延伸经过L4行的第一接触垫2311的间隙，然后再延伸到显示区2100，从而使得接

触垫2310具有更大的排列空间并且可以避免与连接L4行的第一接触垫2311的引线2210相互干扰或短路。

在其他示例中，多条引线2210也可以位于不同层中，例如用于连接第二接触垫2312的引线2210位于更靠近衬底基板的一层，而用于连接第一接触垫2311的引线2210位于相对更远离衬底基板的一层（但仍然在接触垫和衬底基板之间）。因此，同一层中的多条引线2210之间的间距得以加大，降低了引线的之间干扰以及短路的风险，有利于形成高像素分辨率的显示装置。而且，同一层中的多条引线2210可以在同一构图工艺中制备；不同层中的多条引线2210可以在不同构图工艺中制备。

例如，引线2210的材料可以包括金属材料或者合金材料，例如钼、铝及钛等形成的金属单层或多层结构。

例如，图5A为图4B所示显示基板沿M4-N4的截面示意图。如图5A所示，接触垫2310位于引线2210背离衬底基板2000的一侧。第二绝缘层叠层2330的至少两个绝缘层延伸到邦定边界区2400中以得到第一绝缘层叠层2320。第一绝缘层叠层2320的相对于衬底基板2000的高度C6小于第二绝缘层叠层2330的相对于衬底基板2000的高度C4。进而减小邦定周边区的膜层段差的高度，以降低并对邦定周边区及邦定边界区产生气泡的风险，提高显示基板的产品良率和可靠性。

例如，衬底基板2000可以为玻璃板、石英板、金属板或树脂类板件等。

例如，衬底基板2000的材料可以包括有机材料，例如该有机材料可以为聚酰亚胺（Pi）、聚碳酸酯、聚丙烯酸酯、聚醚酰亚胺、聚醚砜、聚对苯二甲酸乙二醇酯和聚萘二甲酸乙二醇酯等树脂类材料，衬底基板2000可以为柔性基板或非柔性基板，本公开的实施例对此不作限制。

例如，如图5A所示，第二绝缘层叠层2330包括邦定周边区2500中的第一绝缘层2331及第二绝缘层2332。第一绝缘层2331位于衬底基板2000上，第二绝缘层2332位于第一绝缘层2331远离衬底基板2000的一侧。第一绝缘层2331及第二绝缘层2332延伸到邦定边界区2400中以得到第一绝缘层叠层2320。相对于衬底基板2000，第二绝缘层2332在邦定边界区2400的高度C6小于第二绝缘层2332在邦定周边区2500的高度C5。也即，在邦定边界区2400以及在邦定周边区2500，第二绝缘层2332虽然是一体的，但是却具有不同的高度，如图所示，该高度不同的部分之间可以是连续过渡的，例如，相对于衬底基板具

有坡度角，该坡度角例如约为40~60度，又例如约为50度。需要说明的是，第二绝缘层2332的高度是指第二绝缘层2332的表面至衬底基板2000的表面的垂直距离。第二绝缘层2332在邦定边界区2400的膜层厚度，即，第二绝缘层2332的上表面与下表面之间的垂直距离的取值范围，例如可以约为1.0微米至1.4微米之间，又例如，该垂直距离的取值可以约为1.2微米。第二绝缘层2332在邦定周边区2500的膜层厚度的取值范围，例如可以约为1.8微米至2.2微米之间，又例如，该膜层厚度的取值可以约为2微米。所以，第二绝缘层2332在邦定周边区2500的高度C2与第二绝缘层2332在邦定边界区2400的高度差值H1的取值范围，例如可以约为0.4微米至1.2微米，又例如，该高度差值的取值可以约为0.8微米。邦定周边区域邦定边界区的膜层的高度差值，即膜层段差被减小，以降低并对邦定周边区及邦定边界区产生气泡的风险，提高显示基板的产品良率和可靠性。

在本公开的实施例中，“约”字表示所给定数值的变化范围，在该数值的 $\pm 15\%$ 之内，例如可以为 $\pm 5\%$ ， $\pm 10\%$ 等。

例如，第一绝缘层2331的材料可以包括氧化硅、氮化硅、氮氧化硅等无机绝缘材料，或者可以包括聚酰亚胺（Pi）、聚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料。本公开的实施例对第一绝缘层的材料不做具体限定。第二绝缘层2332的材料可以包括氧化硅、氮化硅、氮氧化硅等无机绝缘材料，或者可以包括聚酰亚胺、聚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料。本公开的实施例对第二绝缘层的材料不做具体限定。

例如，如图5A所示，第二绝缘层叠层2330的至少两个绝缘层还包括第三绝缘层2333。第三绝缘层2333位于第二绝缘层2332远离衬底基板2000的一侧且被配置为在靠近接触垫2310的一侧露出所述第二绝缘层2332。第三绝缘层2333靠近邦定边界区2320的一侧具有坡度角的侧边，并且该侧边与邦定周边区2330处的第二绝缘层2332的靠近邦定边界区2320的一侧具有的坡度角的侧边不对齐。第三绝缘层2333的侧边距离邦定边界区2320的距离大于第二绝缘层2332的侧边距离邦定边界区2320的距离。第三绝缘层距离邦定边界区的距离越大，将更有利于降低邦定边界区在邦定过程中产生气泡的风险，此外，第三绝缘层2333还可以起到对周边线路起到保护作用。第三绝缘层2333的膜层厚度可以约为3微米。第二绝缘层2332在邦定周边区2500的高度C5与第二

绝缘层2332在邦定边界区2400的高度差值H2加上第三绝缘层2333的厚度即为,第二绝缘层叠层2330距离衬底基板2000的高度C4与第一绝缘层叠层1320距离衬底基板1000的高度C6的差值h2,该差值h2的取值范围,例如可以约为3.4微米至4.2微米,又例如,该差值的取值可以约为3.8微米。而在平行与衬底基板2000的方向上,上述差值h2在衬底基板上的投影所得到的距离d2的范围约在100微米与200微米之间。

例如,第三绝缘层2333的材料可以包括有机绝缘材料。有机绝缘材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等,例如高分子树脂等。

例如,继续如图5A所示,显示基板200还包括位于衬底基板200上方的邦定区缓冲层2341及位于邦定区缓冲层2341远离衬底基板2000一侧的邦定区栅绝缘层2342。引线2210位于邦定区栅绝缘层2242上。引线2210的一端与接触垫2310电连接。第一绝缘层2331延伸到第一邦定区位于接触垫2310与引线2210之间。

例如,接触垫的导电图案叠层包括至少两个导电图案,第一绝缘层叠层的至少一个绝缘层覆盖至少两个导电图案之一的边缘并且至少一个绝缘层的边缘被至少两个导电图案中另一个所覆盖。

例如,如图5A所示,导电图案叠层23110包括第一导电图案23111、第二导电图案23112。第一导电图案23111位于引线2210远离衬底基板2000的一侧且与引线2210电连接。第二导电图案23112位于第一导电图案23111远离衬底基板2000的一侧且覆盖第一导电图案23111的边缘,以避免第一导电图案23111被刻蚀液腐蚀。第一绝缘层2331位于第一导电图案23111与引线2210之间,使得第一导电图案23111与引线2210电绝缘。在第一绝缘层2331中形成第一导电图案过孔23114。第一导电图案23111与引线2331通过第一导电图案过孔23114电连接。第一绝缘层叠层2320中的第二绝缘层2332延伸至第一邦定区,以覆盖第二导电图案23112的边缘,以避免第二导电图案23112被腐蚀。第二导电图案23112被配置为露出第一绝缘层叠层2320,用于与外部电路的电连接。

例如,第一导电图案23111的材料可以包括金属材料或者合金材料,例如由钼、铝及钛等形成的金属单层或多层结构。第二导电图案23112的材料可以包括金属材料或者合金材料,例如由钼、铝及钛等形成的金属单层或多

层结构。

例如，如图4A、图4B及图5A所示，邦定边界区2400还包括位于第一绝缘层2331及第二绝缘层2332之间的标记金属层2350，用于邦定工艺过程中对外部电路的对位。标记金属层2350可以与第一导电图案23111或第二导电图案23112同层设置。本公开的实施例对于标记金属层的平面图案没有限制，例如可以为十字、正方形、矩形等。

例如，在本公开的一些示例中，位于第二邦定区的第三接触垫包括多个接触垫金属层，多个接触垫金属层包括第一接触垫金属层以及第二接触垫金属层，第一接触垫金属层设置在第一绝缘层远离衬底基板的一侧，第二接触垫金属层与第一接触垫金属层层叠并覆盖第二接触垫金属层的周边，其中，第一接触垫金属层与第一导电图案层同层设置，第二接触垫金属层与第二导电图案层同层设置。

例如，在本公开的一些示例中，第二接触垫金属层向第一邦定区延伸以形成第二邦定区引线，第二绝缘层延伸至第二邦定区，并覆盖第二邦定区引线以及第二接触垫金属层的边缘。

例如，在本公开的一些示例中，第二绝缘层的位于第一邦定区与第二邦定区之间的部分在垂直于衬底基板方向上的厚度与第二绝缘层位于第一邦定区的部分在垂直于衬底基板方向上的厚度基本相同，第二绝缘层的位于第一邦定区域第二邦定区之间的部分在衬底基板上的正投影与第二邦定区引线在衬底基板上的正投影至少部分重叠。

例如，在本公开的一些示例中，图5B为图4A所示显示基板沿M1-N1的截面示意图。如图5B所示，邦定区缓冲层2341及邦定区栅绝缘层2342进一步延伸至第二邦定区2600。连接第一接触垫2311的引线2210进一步延伸至邦定边界区2500。在邦定边界区2500处的膜层叠层包括引线2210、第一绝缘层2331、第二绝缘层2332以及第三绝缘层2333。第二绝缘层2332在邦定周边区的厚度大于在第一邦定区的厚度，厚度的差值与图5A所示的H2的值大致相同。第三接触垫2610包括第一接触垫金属层2611以及第二接触垫金属层2612。第一接触垫金属层2611位于邦定区栅绝缘层2342上，第一接触垫金属层2611与第一导电图案23111同层设置，因此第一接触垫金属层2611与第一导电图案23111可以采用同一构图工艺制备，以简化工艺流程。第二接触垫金属层2612位于第一接触垫金属层2611的远离衬底基板的一侧，并且覆盖第

一接触垫金属层2611的边缘，以避免第一接触垫金属层2611被刻蚀液腐蚀。第一接触金属层1611靠近第一邦定区2300一侧的边缘与第二导电图案13112靠近第二邦定区2600一侧的边缘之间覆盖第二邦定区引线2620。第二接触垫金属层2612向第一邦定区2300延伸以形成第二邦定区引线2620。第二绝缘层2332延伸至第二邦定区2600，并覆盖第二邦定区引线2620以及第二接触垫金属层2612的边缘。并且，第二接触垫金属层2612与第二导电图案23112同层设置，因此第二接触垫金属层2612与第二导电图案23112可以采用同一构图工艺制备，以简化工艺流程。位于第一邦定区2300与第二邦定区2600之间的第二绝缘层2332位于第二导电图案23112远离衬底基板2000的一侧，第二绝缘层2332延伸至第二邦定区2600并覆盖第二接触垫金属层2612，以避免第二接触垫金属层2612被腐蚀。第二接触垫金属层2612被配置为露出第二绝缘层2332，用于与外部电路的电连接。

在本公开的实施例中，“同层设置”为两个功能层（例如第一接触垫金属层与第一导电图案）在显示基板的层级结构中同层且同材料形成，即在制备工艺中，该两个结构层可以由同一个材料层形成，且可以通过同一构图工艺形成所需要的图案和结构，例如可以在先形成该材料层后，由该材料层经过构图工艺形成。或者，在制备工艺中，该两个结构层可以由同一个材料层形成，但是通过不同的构图工艺形成所需要的图案和结构。或者，在制备工艺中，该两个结构层位于同一层上，而该两个结构层的可以由不同的材料层形成，通过同一构图工艺形成所需的图案和结构。

例如，在本公开的一些示例中，显示基板的显示区的像素阵列中每个像素单元的子像素还可以包括像素结构。像素结构包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件。第一平坦化层在像素驱动电路远离所述衬底基板的一侧以提供第一平坦化表面且包括第一过孔。第一转接电极在第一平坦化表面上，且通过第一过孔与像素驱动电路电连接。第二平坦化层在第一转接电极远离衬底基板的一侧以提供第二平坦化表面且包括第二过孔。发光元件在第二平坦化表面上且通过第二过孔与第一转接电极电连接。第二平坦化层与第二绝缘层同层设置。从而简化显示基板的制备工艺，减少产品的成本。

例如，像素驱动电路可以包括薄膜晶体管、存储电容等，可以实现为各种不同类型，例如为2T1C型（即包括两个薄膜晶体管和一个存储电容），还

可以在2T1C型的基础上进一步包括更多的晶体管和/或电容以具有补偿、复位、发光控制、检测等功能，本公开的实施例对于像素驱动电路不作限制。例如，在一些实施例中，与发光元件直接电连接的薄膜晶体管可以为驱动晶体管或发光控制晶体管等。

5 例如，在本公的一些示例中，图6为图4A所示显示基板的显示区的截面示意图。如图6所示，显示基板200的显示区的子像素还可以包括像素结构2110，以用于实现发光驱动、控制。该像素结构2110包括像素驱动电路2120、第一平坦化层2130、第一转接电极2180、第二平坦化层2190及发光元件2140。

10 例如，像素结构2110还包括位于衬底基板2000上的缓冲层2121，像素驱动电路2120可以包括位于缓冲层2121上的有源层2122、位于有源层2122远离衬底基板2000一侧的栅绝缘层2128、位于栅绝缘层2128上的栅极21211、位于栅极21211远离衬底基板2000一侧且位于源漏电极（图3中的源极2125及漏极2126）靠近衬底基板2000一侧的层间绝缘层2129、位于层间绝缘层2129上的第四绝缘层（另一层间绝缘层）21210以及位于第四绝缘层21210上的源极
15 2125及漏极2126。栅极21211可以与第一邦定区2300中的引线2210同层设置。因此，栅极21211和引线2210可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成。层间绝缘层2129与第一绝缘层2331同层设置，因此，层间绝缘层2129和第一绝缘层2331可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成。显示区中的缓冲层2121与邦定区缓冲层2341同
20 层设置，缓冲层2121与邦定区缓冲层2341可以在制备工艺中同层形成。显示区中的栅绝缘层2128与邦定区栅绝缘层2342同层设置，栅绝缘层2128与邦定区栅绝缘层2342可以在制备工艺中同层形成。缓冲层2121作为过渡层，其即可以防止衬底基板中的有害物质侵入显示基板的内部，又可以增加显示基板200中的膜层在衬底基板2000上的附着力。

25 例如，缓冲层2121的材料可以包括氧化硅、氮化硅、氮氧化硅等绝缘材料。第四绝缘层21210、层间绝缘层2129及栅绝缘层2128中的一种或多种的材料可以包括氧化硅、氮化硅、氮氧化硅等绝缘材料。第四绝缘层21210、层间绝缘层2129及栅绝缘层2128的材料可以相同也可以不相同。

30 例如，如图6所示，有源层2122可以包括源极区2123、漏极区2124以及位于源极区2123和漏极区2124之间的沟道区。第四绝缘层21210、层间绝缘层2129及栅绝缘层2128中具有过孔，以暴露源极区2123和漏极区2124。源极

2125及漏极2126分别通过过孔与源极区2123和漏极区2124电连接。栅极21211在垂直于衬底基板2000的方向上与有源层2122中位于源极区2123和漏极区2124之间的沟道区重叠。第一平坦化层2130位于源极2125及漏极2126的上方用于平坦化像素驱动电路远离衬底基板一侧的表面。第一平坦化层2130可以平坦化由像素驱动电路导致被不平坦表面，并因此防止由像素驱动电路引起的凹凸而导致在发光器件中出现缺陷。第一平坦化层2130中形成第一过孔2131，以暴露源极2125或漏极2126(图中示出的情况)，第一平坦化层2130上形成第一转接电极2180。第一转接电极2180通过第一过孔2131与漏极2126电连接，该第一转接电极可以避免直接在第一平坦化层和第二平坦化层中形成孔径比较大的直通过孔，从而改善过孔电连接的质量，同时第一转接电极还可以与其他信号线(例如电源线等)等同层形成，由此不会导致工艺步骤增加。第一转接电极2180与接触垫2310的第二导电图案23112同层设置，因此，第一转接电极2180与第二导电图案23112可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺。

例如，第一转接电极2180的材料可以包括金属材料或者合金材料，例如钼、铝及钛等形成的金属单层或多层结构。

例如，有源层2122的材料可以包括多晶硅或氧化物半导体(例如，氧化铟镓锌)。栅极21211的材料可以包括金属材料或者合金材料，例如钼、铝及钛等形成的金属单层或多层结构，例如，该多层结构为多金属层叠层(如钛、铝及钛三层金属叠层(AI/Ti/Al))。源极2125及漏极2126的材料可以包括金属材料或者合金材料，例如由钼、铝及钛等形成的金属单层或多层结构，例如，该多层结构为多金属层叠层(如钛、铝及钛三层金属叠层(AI/Ti/Al))。本公开的实施例对各功能层的材料不做具体限定。

例如，在本公开的一些示例中，如图6所示，像素驱动电路2120还可以包括第一显示金属层2127，第一显示区金属层2127与第一导电图案23111同层设置。第一显示金属层2127包括像素驱动电路中上述薄膜晶体管的源极2125和漏极2126。源极2125和漏极2126与第一导电图案23111同层设置。因此，源极2125和漏极2126与第一接触垫金属层2215可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺，减少产品的制备成本。

例如，在本公开的一些示例中，如图6所示，第二平坦化层2190设置在

第一转接电极2180远离衬底基板2000的一侧，用以在第一转接电极2180远离衬底基板2000一侧提供平坦化表面。并且，在第二平坦化层2190中形成第二过孔2191。第二平坦化层2190与第二绝缘层2332同层形成，因此第二平坦化层2190与第二绝缘层2332可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺。

例如，继续如图6所示，在第二平坦化层上形成发光元件2140，即发光元件2140设置在第二平坦化层2190远离衬底基板一侧。发光元件2140包括第一电极2141、发光层2142及第二电极2143。发光元件的第一电极2141通过第一平坦化层2130中的第一过孔2131与漏极2126电连接。第一电极2141上形成像素限定层2144，像素限定层2144包括多个开口，以限定多个像素单元。多个开口的每个暴露第一电极2141，发光层2142设置在像素限定层2144的多个开口中。第二电极2143例如可以设置在部分或整个显示区域中，从而在制备工艺中可以整面形成。

例如，第一电极2141可以包括反射层，第二电极2143可以包括透明层或半透明层。由此，第一电极2141可以反射从发光层2142发射的光，该部分光通过第二电极2143发射到外界环境中，从而可以提供光出射率。当第二电极2143包括半透射层时，由第一电极2141反射的一些光通过第二电极2143再次反射，因此第一电极2141和第二电极2143形成共振结构，从而可以改善光出射效率。

例如，第一电极2141的材料可以包括至少一种透明导电氧化物材料，包括氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)等。此外，第一电极2141可以包括具有高反射率的金属作为反射层，诸如银(Ag)。

例如，对于OLED，发光层2142可以包括小分子有机材料或聚合物分子有机材料，可以为荧光发光材料或磷光发光材料，可以发红光、绿光、蓝光，或可以发白光；并且，根据需要发光层还可以进一步包括电子注入层、电子传输层、空穴注入层、空穴传输层等功能层。对于QLED，发光层可以包括量子点材料，例如，硅量子点、锗量子点、硫化镉量子点、硒化镉量子点、碲化镉量子点、硒化锌量子点、硫化铅量子点、硒化铅量子点、磷化铟量子点和砷化铟量子点等，量子点的粒径为2-20nm。

例如，第二电极2143可以包括各种导电材料。例如，第二电极2143可以包括锂(Li)、铝(Al)、镁(Mg)、银(Ag)等金属材料。

例如，像素限定层2144的材料可以包括聚酰亚胺、聚酞亚胺、聚酞胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料，或者包括氧化硅、氮化硅等无机绝缘材料，本公开的实施例对此不做限定。

例如，继续如图6所示，在至少一个示例中，显示基板200还包括位于发
5 光元件2140上的封装层2150。封装层2150将发光元件2140密封，从而可以减少或防止由环境中包括的湿气和/或氧引起的发光元件2140的劣化。封装层2150可以为单层结构，也可以为复合层结构，该复合层结构包括无机层和有机层堆叠的结构。封装层2150包括至少一层封装子层。例如，封装层2150可以包括依次设置的第一无机封装层2151、第一有机封装层2152、第二无机封装层2153。在上述示例中，该封装层未覆盖接触垫。封装层2150中的一层与邦定周边区2500中的第三绝缘层2333同层设置。封装层2150中的一层与第三绝缘层2333可以采用同一构图工艺形成。

例如，该封装层的材料可以包括氮化硅、氧化硅、氮氧化硅、高分子树脂等绝缘材料。氮化硅、氧化硅、氮氧化硅等无机材料的致密性高，可以防
15 止水、氧等的侵入；有机封装层的材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等，例如高分子树脂等以对显示基板的表面进行平坦化处理，并且可以缓解第一无机封装层和第二无机封装层的应力，还可以包括干燥剂等吸水性材料以吸收侵入内部的水、氧等物质。

例如，在本公开一些示例中，围堰区2102的阻挡坝可以与第一平坦化层、
20 第二平坦化层以及像素限定层中的一层或多层同层设置，从而防止封装层中的有机层溢流。阻挡坝的材料可以包括有机绝缘材料。有机绝缘材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等，例如高分子树脂等。

例如，如图6所示，显示基板200还包括存储电容器2160，存储电容器2160
25 可以包括第一电容电极2161和第二电容电极2162。第一电容电极2161设置在栅绝缘层2128与层间绝缘层2129之间，第二电容电极2162设置在层间绝缘层2129与第四绝缘层21210之间。第一电容电极2161和第二电容电极2162叠置，在垂直于衬底基板2000的方向上至少部分重叠。第一电容电极2161和第二电容电极2162使用层间绝缘层2129作为介电材料来形成存储电容器。第一存储
30 电容电极2161与像素驱动电路2120中的栅极21211、第一邦定区2300中的引线2210同层设置，因此，第一存储电容电极2161与栅极21211、引线2210可

以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺，减少产品的制备成本。

在另一示例中，作为图6所示示例的变型，存储电容器的第一电容电极仍然与栅极21211同层设置，而存储电容器的第二电容电极与薄膜晶体管中的源极2125和漏极2126同层设置（即也位于第一显示金属层2127中），由此第一电容电极和第二电容电极使用层间绝缘层2129以及第四绝缘层21210的叠层来作为介电材料来形成存储电容器。

在再一示例中，作为图6所示示例的变型，存储电容器的第一电容电极不再与栅极21211同层设置，而是位于在显示区层间绝缘层2129与第四绝缘层21210之间，而存储电容器的第二电容电极与薄膜晶体管中的源极2125和漏极2126同层设置（即也位于第一显示金属层2127中），由此第一电容电极和第二电容电极使用第四绝缘层21210来作为介电材料来形成存储电容器。

需要说明的是，图6中所示的显示基板的结构与图3中所示显示基板的结构相比，区别点在于：图6中的显示基板中不再设置第五绝缘层11110、辅助电极11120以及显示区保护层11130，也即，图6中的显示基板不具备触控功能，但是根据需要，也可以提供触控功能。

例如，在本公开至少一实施例提供另一中显示基板。图7为本公开另一实施例提供的另一种显示基板的显示区的截面示意图。如图7所示，显示基板的显示区的子像素还可以包括像素结构3110，以用于实现发光驱动、控制。该像素结构3110包括像素驱动电路3120、第一平坦化层3130、第一转接电极3180、第二平坦化层3190及发光元件3140。

例如，像素结构3110还包括位于衬底基板3000上的缓冲层23121，像素驱动电路3120可以包括位于缓冲层3121上的有源层3122、位于有源层3122远离衬底基板3000一侧的栅绝缘层3128、位于栅绝缘层3128上的栅极31211、位于栅极31211远离衬底基板3000一侧且位于源漏电极（图3中的源极3125及漏极3126）靠近衬底基板3000一侧的层间绝缘层3129以及位于层间绝缘层3129上的源极3125及漏极3126。栅极31211可以与第一邦定区2300中的引线2210同层设置。因此，栅极31211和引线2210可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成。层间绝缘层3129与第一绝缘层2331同层设置，因此，层间绝缘层3129和第一绝缘层2331可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成。显示区中的缓冲层3121与邦

定区缓冲层2341同层设置，缓冲层3121与邦定区缓冲层2341可以在制备工艺中同层形成。显示区中的栅绝缘层3128与邦定区栅绝缘层2342同层设置，栅绝缘层2128与邦定区栅绝缘层2342可以在制备工艺中同层形成。缓冲层3121作为过渡层，其即可以防止衬底基板中的有害物质侵入显示基板的内部，又可以增加显示基板中的膜层在衬底基板3000上的附着力。

例如，如图7所示，像素结构3110还包括以及位于源极3125及漏极3126上的钝化层31212。钝化层31212位于像素驱动电路3120与第一平坦化层3130之间且包括钝化层过孔。钝化层31212可以保护像素驱动电路3130的源漏电极不被水汽腐蚀。像素驱动电路和第一转接电极3180还通过钝化层过孔电连接。

例如，图7中所示的显示基板的结构与图6中所示的显示基板的结构相比，区别在于，图6中的显示基板在层间绝缘层与源漏电极之间增加了第四绝缘层，第四绝缘层位于第二电容电极2162的远离衬底基板的一侧，用于对第二电容电路电极2162提供绝缘保护；图7中的显示基板增加位于源漏电极上的钝化层31212以保护像素驱动电路。

例如，如图7所示，有源层3122可以包括源极区3123、漏极区3124以及位于源极区3123和漏极区3124之间的沟道区。层间绝缘层3129及栅绝缘层3128中具有过孔，以暴露源极区3123和漏极区3124。源极3125及漏极3126分别通过过孔与源极区3123和漏极区3124电连接。栅极31211在垂直于衬底基板3000的方向上与有源层3122中位于源极区3123和漏极区3124之间的沟道区重叠。第一平坦化层3130位于源极3125及漏极3126的上方用于平坦化像素驱动电路远离衬底基板一侧的表面。第一平坦化层3130可以平坦化由像素驱动电路导致被不平坦表面，并因此防止由像素驱动电路引起的凹凸而导致在发光器件中出现缺陷。第一平坦化层3130中形成第一过孔3131，以暴露源极3125或漏极3126（图中示出的情况），第一平坦化层3130上形成第一转接电极3180。第一转接电极3180通过第一过孔3131及钝化层过孔3131与源极3125电连接，该第一转接电极可以避免直接在第一平坦化层和第二平坦化层中形成孔径比较大的直通过孔，从而改善过孔电连接的质量，同时第一转接电极还可以与其他信号线（例如电源线等）等同层形成，由此不会导致工艺步骤增加。源极3125和漏极3126与第一导电图案23111同层设置。因此，源极3125和漏极3126与第一导电图案23111可以在制备工艺中同层形成，例如采用同

一材料层通过构图工艺形成。第一转接电极3180与接触垫2310的第二导电图案23112同层设置，因此，第一转接电极3180与第二导电图案23112可以在制备工艺中同层形成，例如采用同一材料层通过构图工艺形成，从而简化制备工艺。

5 例如，在本公开的一些示例中，如图7所示，第二平坦化层3190设置在第一转接电极3180远离衬底基板3000的一侧，用以在第一转接电极3180远离衬底基板3000一侧提供平坦化表面。并且，在第二平坦化层3190中形成第二过孔3191。第二平坦化层3190与第二绝缘层2332同层形成，因此第二平坦化层3190与第二绝缘层2332可以在制备工艺中同层形成，例如采用同一材料层
10 通过构图工艺形成，从而简化制备工艺。

 例如，继续如图7所示，在第二平坦化层上形成发光元件3140，即发光元件3140设置在第二平坦化层3190远离衬底基板一侧。发光元件3140包括第一电极3141、发光层3142及第二电极3143。发光元件的第一电极3141通过第一平坦化层3130中的第一过孔3131与漏极3126电连接。第一电极3141上形成
15 像素限定层3144，像素限定层3144包括多个开口，以限定多个像素单元。多个开口的每个暴露第一电极3141，发光层3142设置在像素限定层3144的多个开口中。第二电极3143例如可以设置在部分或整个显示区域中，从而在制备工艺中可以整面形成。

 例如，第一电极3141可以包括反射层，第二电极3143可以包括透明层或
20 半透明层。由此，第一电极3141可以反射从发光层3142发射的光，该部分光通过第二电极3143发射到外界环境中，从而可以提供光出射率。当第二电极3143包括半透射层时，由第一电极3141反射的一些光通过第二电极3143再次反射，因此第一电极3141和第二电极3143形成共振结构，从而可以改善光出射效率。

25 例如，继续如图7所示，在至少一个示例中，显示基板200还包括位于发光元件3140上的封装层3150。封装层3150将发光元件3140密封，从而可以减少或防止由环境中包括的湿气和/或氧引起的发光元件3140的劣化。封装层3150可以为单层结构，也可以为复合层结构，该复合层结构包括无机层和有机层堆叠的结构。封装层3150包括至少一层封装子层。例如，封装层3150可以
30 包括依次设置的第一无机封装层3151、第一有机封装层3152、第二无机封装层3153。封装层3150可以延伸至第一绑定区，在上述示例中，该封装层未

覆盖接触垫。封装层3150中的一层与邦定周边区2500中的第三绝缘层2333同层设置。封装层3150中的一层与第三绝缘层2333可以采用同一构图工艺形成。

需要说明的是，图7中的显示基板与图6中显示基板相同的膜层结构的材料将不再详细赘述。

本公开至少一个实施例提供一种显示装置，该显示装置可以包括上述任一实施例的显示基板。

例如，在一些示例中，显示装置还可以包括柔性电路板及控制芯片。例如，柔性电路板邦定到显示基板的邦定区，而控制芯片安装在柔性电路板上，由此与显示区电连接；或者，控制芯片直接邦定到邦定区，由此与显示区电连接。

例如，控制芯片可以为中央处理器、数字信号处理器、系统芯片（SoC）等。例如，控制芯片还可以包括存储器，还可以包括电源模块等，且通过另外设置的导线、信号线等实现供电以及信号输入输出功能。例如，控制芯片还可以包括硬件电路以及计算机可执行代码等。硬件电路可以包括常规的超大规模集成（VLSI）电路或者门阵列以及诸如逻辑芯片、晶体管之类的现有半导体或者其它分立的元件；硬件电路还可以包括现场可编程门阵列、可编程阵列逻辑、可编程逻辑设备等。

例如，本公开至少一个实施例提供的显示装置可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开至少一个实施例还提供一种显示基板的制备方法，该方法包括：提供衬底基板，其中，包括显示区与至少部分围绕所述显示区的围堰区，围堰区远离显示区一侧的过渡区，过渡区远离围堰区一侧的第一邦定区、邦定边界区以及邦定周边区，邦定边界区位于第一邦定区与邦定周边区之间；在第一邦定区中形成引线；在第一邦定区中形成多个接触垫，其中，接触垫被形成为与引线电连接；在邦定边界区中形成第一绝缘层叠层；在邦定周边区中形成第二绝缘层叠层，使得第二绝缘层叠层的至少两个绝缘层延伸到邦定边界区中以得到第一绝缘层叠层，并使得第一绝缘层叠层的相对衬底基板的高度小于第二绝缘层叠层相对衬底基板的高度。

例如，在利用上述实施例的制备方法获得的显示基板中，在邦定边界区

中形成第一绝缘层叠层，使得第一绝缘层叠层的相对衬底基板的高度小于位于邦定周边区的第二绝缘层叠层相对衬底基板的高度，进而减小邦定周边区的膜层段差的高度，以降低并对邦定周边区及邦定边界区产生气泡的风险，更有助于完成邦定工艺，提高显示基板的产品良率和可靠性。

5 例如，在本公开的一些示例中，形成第二绝缘层叠层包括：形成位于衬底基板上的第二绝缘层叠层的第一绝缘层，形成位于第一绝缘层远离衬底基板的一侧的第二绝缘层叠层的第二绝缘层，第一绝缘层及第二绝缘层延伸到邦定边界区中形成第一绝缘层叠层。

10 例如，在本公开的一些示例中，该制备方法还包括：在显示区中形成像素结构，像素结构包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件，在显示区中形成像素结构包括：在衬底基板上形成像素驱动电路，其中，在像素驱动电路中形成薄膜晶体管，在薄膜晶体管中形成栅极、源漏电极及层间绝缘层，层间绝缘层位于栅极远离衬底基板的一侧且位于源漏电极靠近衬底基板的一侧，在像素驱动电路远离衬底基板的一侧形成第一平坦化层以提供第一平坦化表面，且在第一平坦化层中形成第一过孔，在第一平坦化表面上形成第一转接电极，且第一转接电极通过第一过孔与源漏电极之一电连接，在第一转接电极远离衬底基板的一侧形成第二平坦化层以提供第二平坦化表面，且在第二平坦化表面中形成第二过孔，在第二平坦化表面上形成发光元件，且发光元件通过第二过孔与第一转接电极电连接。

15

20

25 例如，在本公开的一些示例中，形成第二绝缘层包括：在形成导电图案叠层的第二导电图案以及像素驱动电路之后，在衬底基板上沉积第一绝缘材料层；对第一绝缘材料层进行构图工艺，以使得第一绝缘材料层的位于显示区的部分形成第二平坦化层，且在第二平坦化层中形成第二过孔，去除第一绝缘材料层的与第二导电图案重叠的部分，并且减薄第一绝缘材料层的位于邦定边界区的部分以形成第二绝缘层，以使得第二绝缘层在邦定边界区相对于衬底基板的高度小于在邦定周边区的高度，且覆盖第二导电图案的边缘。

30 例如，在本公开的一些示例中，对第一绝缘材料层进行构图工艺包括：使用灰色调掩模板或半色调掩模板构图工艺对第一绝缘材料层进行构图。

 例如，在本公开的一些示例中，形成第二绝缘层包括：在形成导电图案

叠层的第二导电图案以及像素驱动电路之后，在衬底基板上沉积第一绝缘材料层，第一绝缘材料层包括光敏树脂；使用灰色调掩模板或半色调掩模板对第一绝缘材料层进行曝光，对曝光之后的光刻胶进行显影后，以使得第一绝缘材料层的位于显示区的部分形成第二平坦化层，且在第二平坦化层中形成第二过孔，去除第一绝缘材料层的与第二导电图案重叠的部分，并且减薄第一绝缘材料层的位于邦定边界区的部分以形成第二绝缘层，以使得第二绝缘层在邦定边界区相对于衬底基板的高度小于在邦定周边区的高度，且覆盖第二导电图案的边缘。

下面，以制备图3所示的显示基板为例，结合图8A至图8K详细介绍本公开实施例中显示基板的制作方法。

例如，显示基板的显示区中的子像素可以包括像素结构1110。像素结构1110可以包括像素驱动电路1120、第一平坦化层1130、第一转接电极1180、第二平坦化层1190及发光元件1140。

例如，提供衬底基板1000，该衬底基板1000包括显示区和位于显示区一侧的第一邦定区、邦定边界区及邦定周边区。例如，在衬底基板1000的显示区通过沉积方式形成缓冲层1121，同时在第一邦定区形成邦定区缓冲层1341。

例如，衬底基板1000可以包括有机材料，例如该有机材料可以为聚酰亚胺、聚碳酸酯、聚丙烯酸酯、聚醚酰亚胺、聚醚砜、聚对苯二甲酸乙二醇酯和聚萘二甲酸乙二醇酯等树脂类材料，衬底基板1000可以为柔性基板或非柔性基板，本公开的实施例对此不作限制。

例如，缓冲层1121及邦定区缓冲层1341的材料可以包括氧化硅、氮化硅、氧氮化硅等绝缘材料。

例如，在缓冲层1121上形成有源层1122。例如，在衬底基板1000上沉积半导体材料层，然后对半导体材料层进行构图工艺形成有源层1122。有源层1121包括源极区1123和漏极区1124以及源极区1123和漏极区1124之间的沟道区。

例如，有源层1122的半导体材料可以包括多晶硅或氧化物半导体（例如，氧化铟镓锌）等。

例如，在有源层1122形成后，可以通过沉积等方式在有源层1212上形成栅绝缘层1128，在第一邦定区的邦定区缓冲层1341上形成邦定区栅绝缘层

1342。栅绝缘层1128及邦定区栅绝缘层1342的材料例如可以包括氧化硅、氮化硅、氧氮化硅等绝缘材料。

例如，在栅绝缘层1128形成后，可以通过构图工艺在显示区的栅绝缘层1128上形成栅极11211及第一电容电极1161，并且在第一邦定区的衬底基板1000上形成多条引线1210。栅极及第一电容电极的材料可以包括金属材料或者合金材料例如钼、铝及钛等金属材料或其合金，例如，该多层结构为多金属层叠层（如钛、铝及钛三层金属叠层（Al/Ti/Al））。

在一些示例中，可以使用栅极进行作为掩膜，通过对有源层进行掺杂以形成导电的源极区1123及漏极区1124，而在源极区1123及漏极区1124之间的沟道区由于栅极的遮挡作用而未掺杂。

例如，在栅极11211、第一电容电极1161及多条引线1210形成后，可以通过沉积等方式在衬底基板上沉积绝缘材料，在栅极11211上形成层间绝缘层1129，并且在第一邦定区通过构图工艺在多条引线1210上以及邦定周边区1500、邦定边界区1400上形成第一绝缘层1331。第一绝缘层1331中形成有第一导电图案过孔13114。层间绝缘层及第一绝缘层的材料例如可以包括氧化硅、氮化硅、氧氮化硅等绝缘材料。

例如，然后，在显示区的衬底基板上沉积金属材料层，通过构图工艺在与第一电容电极1161重叠的部分形成第二电容电极1162。第一电容电极1161和第二电容电极1162实现为存储电容1160。

例如，在形成第二电容电极1162后，在显示区可以通过沉积等方式形成第四绝缘层11210，第四绝缘层11210的材料例如可以包括氧化硅、氮化硅、氧氮化硅等绝缘材料。

例如，在栅绝缘层1128、层间绝缘层1129及第四绝缘层11210中形成过孔，以暴露有源层2122的源极区2123及漏极区2124。

例如，然后，通过构图工艺在显示区形成源极1125和漏极1126，在第一邦定区形成第一导电图案13111。第一导电图案13111通过第一绝缘层1331中的第一导电过孔13114与引线1210电连接。

例如，在显示区中沉积绝缘材料，通过构图工艺形成第一平坦化层1130，在第一平坦化层1130中形成第一过孔1131。

例如，如图8A所示，在显示基板上形成位于显示区的像素驱动电路1120、存储电容器1160、第一平坦化层1130，以及位于第一邦定区的引线1210、第

一绝缘层1331、第一导电图案13111后，在衬底基板上沉积金属材料层。对金属材料层进行构图工艺，以在显示区形成第一转接电极1180，在第一邦定区形成第二导电图案13112以及位于邦定边界区的标记金属层1350。第二导电图案13112覆盖第一导电图案13111的边缘，以避免第一导电图案13111被腐蚀。第一转接电极、第二导电图案及标记金属层的材料可以包括金属材料或者合金材料，例如钼、铝及钛等形成的金属单层或多层结构。

在本公开的一些实施中，标记金属层1350还可以与第一导电图案层13111同层形成，本公开的实施例不以此为限。

例如，如图8B所示，在衬底基板上沉积第一绝缘材料层1710。第一绝缘材料层1710可以包括氧化硅、氮化硅、氮氧化硅等绝缘材料。

例如，如图8C所示，在第一绝缘材料层1710上沉积光刻胶1720。

例如，如图8D所示，提供第一掩膜版1730对光刻胶1720进行曝光，第一掩膜版1730包括完全透光区、部分透光区及不透光区。第一掩膜版1730包括在第一邦定区1300与接触垫1310之间的间隙重叠的第二透光图案1732及与接触垫1310重叠的第一透光图案1731、在邦定边界区1400的第二透光图案1732、在邦定周边区1500的非透光图案1733。第一掩膜版1730在显示区包括与第一透光图案1731及非透光图案1733。第一透光图案1731位于完全透光区，第二透光图案1732位于部分透光区，非透光图案1733位于不透光区。即，第二掩膜版1730为灰色掩膜版或半色调掩膜版。光刻胶为正性光刻胶，对应地，第二透光图案1732的透光率小于第一透光图案1731的透光率。在曝光过程中，可以在使得光刻胶1720中与第一透光图案1731对应的部分被完全曝光的情况下，光刻胶1720中与第二透光图案1732对应的部分被部分曝光。光刻胶1720与非透光图案1733对应的部分未被曝光。

例如，如图8E所示，对光刻胶1720进行显影，光刻胶1720的被完全曝光的部分去除，即，在显示周边区中，与接触垫1310重叠的光刻胶1720被去除，光刻胶1720的被部分曝光的部分被减薄，而光刻胶1720的未被曝光的部分的厚度例如基本未改变。显影后，光刻胶1720在第一邦定区形成为光刻胶图案1721。同样地，在显示区中，被完全曝光的光刻胶1720被去除。显影后，光刻胶1720在显示区形成为光刻胶图案1722。

又例如，在上述构图工艺中，也可以采用负性光刻胶，那么所采用的掩模板例如是与上述第一掩膜版1730互补的掩模板，由此在曝光、显影后得到

上述光刻胶图案1721及光刻胶图案1722。

例如，如图8F所示，对显示周边区及显示区中的第一绝缘材料层1710进行刻蚀以去除在第一邦定区与接触垫重叠的绝缘材料层，以及在显示区形成第二过孔1191以暴露第一转接电极1180。

- 5 例如，如图8G所示，之后，进行灰化工艺去除显示周边区中的被部分曝光的光刻胶以及减薄为被曝光的光刻胶形成光刻胶图案1721和减薄显示区的光刻胶图案1722。然后，利用当前的光刻胶图案，对第一邦定区中剩余的第一绝缘材料层1710进行刻蚀并控制刻蚀厚度以形成第二绝缘层1332。第二绝缘层1332覆盖第二导电图案13112的边缘。并且使得第一绝缘层1332在邦定边界区1400相对于衬底基板1000的表面的高度小于第一绝缘层1332在邦定周边区1500相对于衬底基板1000的表面的高度。例如，在邦定边界区1400以及在邦定周边区1500，第二绝缘层1332相对于衬底基板具有坡度角，该坡度角例如约为40度~60度，又例如约为50度。
- 10

例如，如图8H所示，去除显示区的光刻胶图案1722及显示周边区的光刻胶图案1721。在显示区形成第二平坦化层1190以提供平坦化表面。

15

例如，如图8I所示，在显示区的第二平坦化1190上形成发光元件1140的第一电极1141；在第二平坦化1190以及第一电极1141上形成像素限定层1144，像素限定层1144包括多个开口，以限定多个像素单元。多个开口的每个暴露对应的第一电极1141。之后，将发光层1142通过例如蒸镀工艺形成在像素限定层1144的多个开口中，然后将第二电极1143形成在像素限定层1144以及发光层1142上，例如该第二电极1143可以形成在部分或整个显示区域中，从而在制备工艺中可以整面形成。发光元件1140的第一电极1141通过第二过孔1191与第一转接电极1180电连接。

20

例如，第一电极1141的材料可以包括至少一种透明导电氧化物材料，包括氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)等。此外，第一电极1141可以包括具有高反射率的金属作为反射层，诸如银(Ag)。

25

例如，对于OLED，发光层1142可以包括小分子有机材料或聚合物分子有机材料，可以为荧光发光材料或磷光发光材料，可以发红光、绿光、蓝光，或可以发白光；并且，根据需要发光层还可以进一步包括电子注入层、电子传输层、空穴注入层、空穴传输层等功能层。对于QLED，发光层1142可以包括量子点材料，例如，硅量子点、锗量子点、硫化镉量子点、硒化镉量子

30

点、碲化镉量子点、硒化锌量子点、硫化铅量子点、硒化铅量子点、磷化铟量子点和砷化铟量子点等，量子点的粒径为2-20nm。

例如，第二电极1143可以包括各种导电材料。例如，第二电极1143可以包括锂(Li)、铝(Al)、镁(Mg)、银(Ag)等金属材料。

5 例如，像素限定层1144的材料可以包括聚酰亚胺、聚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料，或者包括氧化硅、氮化硅等无机绝缘材料，本公开的实施例对此不做限定。

例如，如图8J所示，在显示区的发光元件1140上沉积绝缘材料，通过构图工艺在显示区形成第五绝缘层11110。第五绝缘层11110可以提供平坦化表面。第五绝缘层11110的材料可以包括聚酰亚胺、聚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料，或者包括氧化硅、氮化硅等无机绝缘材料，本公开的实施例对此不做限定。

例如，在第五绝缘层11110上沉积金属材料层，通过构图工艺以在显示区形成辅助电极11120，在第一邦定区形成第三导电图案13113，第三导电图案13113覆盖的第二绝缘层1332的边缘。金属材料层可以包括包括氧化铟锡(ITO)，并且由此得到透明电极，或者形成辅助电极11120的材料可以包括金属网格，也可以由此得到透明电极。例如，辅助电极11120在其它实施例中可以用作触控电极。

例如，如图8K所示，在衬底基板上沉积绝缘材料，通过构图工艺在显示区形成显示区保护层11130以及在邦定周边区形成第三绝缘层1333。第三绝缘层2333起到对第一邦定区的密封作用，以避免第一邦定区的内部结构被腐蚀破坏。第三绝缘层的材料可以包括有机绝缘材料。有机绝缘材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等，例如高分子树脂等。

在本公开的另一个示例中，如图3所示的显示基板的制备方法可以包括图8C~图8H，如图8C~图8H所示的工艺可以参见上述示例的相关说明。

例如，在该示例中，第一绝缘材料层1710可以为光敏树脂材料，例如光刻胶。例如，该光敏树脂材料为正性光刻胶，在涂覆了该光敏树脂材料以形成第一绝缘材料层之后，使用例如上述第一掩模板1730进行曝光，第一掩膜版1730包括完全透光区、部分透光区及不透光区。第一掩膜版1730在显示区包括与第一透光图案1731及非透光图案1733。第一透光图案1731位于完全透光区，第二透光图案1732位于部分透光区，非透光图案1733位于不透光区。

即，第二掩膜版1730为灰色掩膜版或半色调掩膜版。光刻胶为正性光刻胶，对应地，第二透光图案1732的透光率小于第一透光图案1731的透光率。

在曝光过程中，使得第一绝缘材料层1710中与第一透光图案1731对应的部分被完全曝光，与第二透光图案1732对应的部分被部分曝光，而与显示区的非透光图案1733对应的部分未被曝光。在显影后，显示区中未被曝光的第一绝缘材料层1710形成第二平坦化层1190。对第一邦定区中被部分曝光的第一绝缘材料层1710形成第二绝缘层1332。第二绝缘层1332覆盖第二导电图案13112的边缘。并且使得第一绝缘层1332在邦定边界区1400相对于衬底基板1000的表面的高度小于第一绝缘层1332在邦定周边区1500相对于衬底基板1000的表面的高度。相应的，显示区中和第一邦定区中被完全曝光的第一绝缘材料层1710被去除，形成显示区中的第二过孔1191以及暴露出第一邦定区中的接触垫。上述制备方法同样可以得到如图8H所示的实施例的显示基板。

又例如，该光敏树脂材料也可以为负性光刻胶，此时采用的掩模板例如与上述第一掩模板1730互补的掩模板，由此在曝光、显影之后也同样在显示区形成第二平坦化层，在第一邦定区露出接触垫以及覆盖接触垫的周边第一绝缘层。

利用上述制备方法获得的显示基板中，在显示周边区的邦定边界区形成第一绝缘层叠层，使得第一绝缘层叠层的相对衬底基板的高度小于位于邦定周边区的第二绝缘层叠层相对衬底基板的高度，进而减小邦定周边区的膜层段差的高度，以降低并对邦定周边区及邦定边界区产生气泡的风险，更有助于完成邦定工艺，提高显示基板的产品良率和可靠性。

又例如，在另一个实施例中，提供对应于图7中示出的显示基板的制备方法。图7中所示的显示基板的结构与图6中所示的显示基板的结构相比，图7中的显示基板增加位于源漏电极上的钝化层31212以保护像素驱动电路。

在该实施例中，可以在像素驱动电路的源漏电极形成之后，第一平坦化层形成之前，增加形成钝化层的步骤。例如，形成钝化层薄膜以覆盖源极3125和漏极3126，然后对于该钝化层薄膜构图以在显示区形成暴露漏源极3125的钝化层过孔。

例如，钝化层的材料可以包括有机绝缘材料或无机绝缘材料，例如，氮化硅材料，由于其具有较高的介电常数且具有很好的疏水功能，能够很好的保护像素驱动电路不被水汽腐蚀。

需要说明的是，本公开的多个实施例中，该显示装置的制备方法的流程可以包括更多或更少的操作，这些操作可以顺序执行或并行执行。虽然上文描述的制备方法的流程包括特定顺序出现的多个操作，但是应该清楚地了解，多个操作的顺序并不受限制。上文描述的制备方法可以执行一次，也可以按照预定条件执行多次。

关于上述实施例提供的显示装置的制备方法的技术效果可以参考本公开的实施例中提供的显示装置的技术效果，这里不再赘述。

有以下几点需要说明：

（1）本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

（2）在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围由所附的权利要求确定。

权利要求书

1、一种显示基板，包括：

5 衬底基板，包括显示区与至少部分围绕所述显示区的围堰区，所述围堰区远离所述显示区一侧的过渡区，所述过渡区远离所述围堰区一侧的第一邦定区以及邦定周边区，所述邦定周边区位于所述第一邦定区与所述过渡区之间；

引线，位于所述第一邦定区；

多个接触垫，位于所述第一邦定区，被配置为与所述引线电连接；

10 第一绝缘层叠层，位于所述第一邦定区；

第二绝缘层叠层，位于所述邦定周边区，所述第二绝缘层叠层的至少两个绝缘层延伸到所述第一邦定区中以得到所述第一绝缘层叠层，

其中，所述第一绝缘层叠层的在垂直于所述衬底基板方向上的厚度小于所述第二绝缘层叠层在垂直于所述衬底基板方向上的厚度。

15 2、根据权利要求 1 所述的显示基板，其中，所述多个接触垫包括多个第一接触垫以及多个第二接触垫，

其中，多个所述第一接触垫排布为至少一行，

所述第一接触垫和所述第二接触垫包括导电图案叠层。

3、根据权利要求 1 或 2 所述的显示基板，还包括：

20 第三绝缘层叠层，位于所述过渡区，所述第三绝缘层叠层包括第一绝缘层叠层子层以及第二绝缘层叠层子层，所述第一绝缘层叠层子层在所述衬底基板上的正投影至少部分覆盖所述过渡区以及所述邦定周边区，所述第二绝缘层叠层子层在所述衬底基板上的正投影至少部分覆盖所述过渡区以及所述邦定周边区。

25 4、根据权利要求 3 所述的显示基板，所述第三绝缘层叠层还包括第三绝缘层叠层子层，设置在所述第一绝缘层叠层子层以及所述第二绝缘层叠层子层之间，

其中，所述第三绝缘层叠层子层在所述衬底基板的正投影与所述第一邦定区以及所述邦定周边区不交叠。

30 5、根据权利要求 4 所述的显示基板，其中，所述至少两个绝缘层包括第一绝缘层及第二绝缘层，所述第一绝缘层位于所述衬底基板上，所述第

二绝缘层位于所述第一绝缘层远离所述衬底基板的一侧，

其中，所述第一绝缘层叠层子层延伸至所述邦定周边区以得到所述第一绝缘层，所述第二绝缘层叠层子层延伸至所述邦定周边区以得到所述第二绝缘层。

5 6、根据权利要求 5 所述的显示基板，还包括：

像素结构，位于所述显示区，

其中，所述像素结构包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件，

10 所述像素驱动电路包括薄膜晶体管，所述薄膜晶体管包括栅极、源漏电极及层间绝缘层，所述层间绝缘层位于所述栅极远离所述衬底基板的一侧且位于所述源漏电极靠近所述衬底基板一侧，

所述第一平坦化层在所述像素驱动电路远离所述衬底基板的一侧以提供第一平坦化表面且包括第一过孔，

15 所述第一转接电极在所述第一平坦化表面上，且通过所述第一过孔与所述薄膜晶体管的源漏电极之一电连接，

所述第二平坦化层在所述第一转接电极远离所述衬底基板的一侧以提供第二平坦化表面且包括第二过孔，

20 所述发光元件在所述第二平坦化表面上且通过所述第二过孔与所述第一转接电极电连接，其中，所述层间绝缘层与所述第一绝缘层同层设置，所述第二平坦化层与所述第二绝缘层同层设置，所述第一平坦化层与所述第三绝缘层叠层子层同层设置。

7、根据权利要求 6 所述的显示基板，其中，所述第二平坦化层在垂直于衬底基板方向上的厚度与第三绝缘层叠层子层在过渡区以及所述第二绝缘层在邦定周边区沿垂直于衬底基板方向上的厚度基本相等。

25 8、根据权利要求 5-7 任一项所述的显示基板，其中，相对于所述衬底基板，所述第二绝缘层在所述第一邦定区的高度小于所述第二绝缘层在所述邦定周边区的高度。

30 9、根据权利要求 8 所述的显示基板，其中，所述第二绝缘层在所述邦定周边区沿垂直于衬底基板方向上的厚度与第二绝缘层叠层子层在所述过渡区沿垂直于衬底基板方向上的厚度基本相等。

10、根据权利要求 5-9 任一项所述的显示基板，其中，所述第一绝缘

层及所述第二绝缘层延伸到所述第一绑定区中以得到所述第一绝缘层叠层。

11、根据权利要求 5-10 任一项所述的显示基板，其中，所述至少两个绝缘层还包括第三绝缘层，

5 所述第三绝缘层位于所述第二绝缘层的远离所述衬底基板的一侧且被配置为在靠近多个所述接触垫的一侧露出所述第二绝缘层。

12、根据权利要求 10-11 任一项所述的显示基板，其中，所述显示区包括信号线，用于与所述引线电连接。

13、根据权利要求 12 所述的显示基板，其中，所述导电图案叠层包
10 括至少两个导电图案，

其中，所述第一绝缘层叠层的至少一个绝缘层覆盖所述至少两个导电图案之一的边缘并且所述至少一个绝缘层的边缘被所述至少两个导电图案中另一个所覆盖。

14、根据权利要求 13 所述的显示基板，其中，所述导电图案叠层包
15 括第一导电图案和第二导电图案，

其中，所述第一导电图案位于所述引线远离所述衬底基板的一侧且与所述引线电连接，

所述第二导电图案位于所述第一导电图案远离所述衬底基板的一侧且覆盖所述第一导电图案的边缘，

20 其中，所述第一绝缘层叠层中的所述第二绝缘层覆盖所述第二导电图案的边缘。

15、根据权利要求 13 或 14 所述的显示基板，其中，所述第一绝缘层叠层中的所述第一绝缘层位于所述第一导电图案与所述引线之间，

25 所述第一导电图案与所述引线之间所述第一绝缘层具有第一导电图案过孔；

所述第一导电图案与所述引线通过所述第一导电图案过孔电连接。

16、根据权利要求 13-15 任一项所述的显示基板，其中，所述像素结构还包括第一显示区金属层，

其中，所述第一导电图案与所述第一显示区金属层同层设置；

30 所述第二导电图案与所述第一转接电极同层设置。

17、根据权利要求 16 所述的显示基板，其中，所述薄膜晶体管的源

漏电极位于所述第一显示区金属层中。

18、根据权利要求 15-17 任一项所述的显示基板，所述衬底基板还包括第二邦定区，所述第二邦定区位于所述第一邦定区远离所述显示区的一侧，所述第一绝缘层延伸至所述第二邦定区，

5 所述显示基板还包括多个第三接触垫以及第二邦定区引线，多个所述第三接触垫位于所述第二邦定区并设置在所述第一绝缘层远离衬底基板的一侧，所述第三接触垫包括多个接触垫金属层，

所述第二邦定区引线，位于所述第一邦定区及第二邦定区之间，并配置为连接所述第二接触垫以及所述第三接触垫。

10 19、根据权利要求 18 所述的显示基板，其中，多个接触垫金属层包括第一接触垫金属层以及第二接触垫金属层，所述第一接触垫金属层设置在所述第一绝缘层远离所述衬底基板的一侧，所述第二接触垫金属层与所述第一接触垫金属层层叠并覆盖所述第二接触垫金属层的周边，

其中，所述第一接触垫金属层与所述第一导电图案层同层设置，

15 所述第二接触垫金属层与所述第二导电图案层同层设置。

20、根据权利要求 19 所述的显示基板，其中，所述第二接触垫金属层向第一邦定区延伸以形成所述第二邦定区引线，

其中，所述第二绝缘层延伸至所述第二邦定区，并覆盖所述第二邦定区引线以及所述第二接触垫金属层的边缘。

20 21、根据权利要求 20 所述的显示基板，其中，所述第二绝缘层的位于所述第一邦定区与第二邦定区之间的部分在垂直于所述衬底基板方向上的厚度与所述第二绝缘层位于所述第一邦定区的部分在垂直于所述衬底基板方向上的厚度基本相同，

25 所述第二绝缘层的位于所述第一邦定区域第二邦定区之间的部分在所述衬底基板上的正投影与所述第二邦定区引线在所述衬底基板上的正投影至少部分重叠。

22、根据权利要求 15-21 任一项所述的显示基板，其中，所述导电图案叠层还包括第三导电图案，

30 所述第三导电图案位于所述第二导电图案远离所述衬底基板的一侧，所述第一绝缘层叠层中的所述第二绝缘层的边缘被所述第三导电图案所覆盖。

23、根据权利要求 22 所述的显示基板，其中，所述多个接触垫金属层还包括第三接触垫金属层，所述第三接触垫金属层位于所述第二接触垫金属层远离衬底基板的一侧，并覆盖第二邦定区中所述第二绝缘层的边缘，其中，所述第三接触垫金属层与所述第三导电图案层同层设置。

5 24、根据权利要求 23 所述的显示基板，还包括：

封装层、辅助电极以及显示区保护层，所述封装层至少位于所述显示区，所述封装层包括至少一层封装子层，

10 所述辅助电极以及所述显示区保护层位于所述显示区，所述辅助电极设置在所述封装层远离衬底基板的一侧，所述显示区保护层设置在所述辅助电极远离衬底基板的一侧，

其中，所述第三导电图案与所述辅助电极同层设置，所述第三绝缘层与所述显示区保护层同层设置。

15 25、根据权利要求 15-24 任一项所述的显示基板，其中，所述像素结构还包括存储电容器，所述存储电容器包括第一存储电容电极及第二存储电容电极，

所述引线与所述存储电容器的第一存储电容电极及第二存储电容电极的其中之一同层设置。

20 26、根据权利要求 15-25 任一项所述的显示基板，其中，所述第一邦定区包括邦定边界区，所述邦定边界区位于所述第一邦定区与所述邦定周边区之间，

所述邦定边界区还包括位于所述第一绝缘层与所述第二绝缘层之间的标记金属层，其中，

所述标记金属层与所述第一导电图案及所述第二导电图案的其中之一同层设置。

25 27、一种显示装置，包括如权利要求 1-26 任一项所述的显示基板。

28、一种显示基板的制备方法，包括：

30 提供衬底基板，其中，包括显示区与至少部分围绕所述显示区的围堰区，所述围堰区远离所述显示区一侧的过渡区，所述过渡区远离所述围堰区一侧的第一邦定区以及邦定周边区，所述邦定周边区位于所述第一邦定区与所述过渡区之间；

在所述第一邦定区中形成引线；

在所述第一邦定区中形成多个接触垫，其中，所述接触垫被形成为与
所述引线电连接；

在所述第一邦定区中形成第一绝缘层叠层；

5 在所述邦定周边区中形成第二绝缘层叠层，使得所述第二绝缘层叠层的至少两个绝缘层延伸到所述第一邦定区中以得到所述第一绝缘层叠层，并使得所述第一绝缘层叠层的在垂直于所述衬底基板方向上的厚度小于所述第二绝缘层叠层在垂直于所述衬底基板方向上的厚度。

29、根据权利要求 28 所述制备方法，其中，形成所述第二绝缘层叠层包括：

10 形成位于所述衬底基板上的所述第二绝缘层叠层的第一绝缘层，形成位于所述第一绝缘层远离所述衬底基板的一侧的第二绝缘层叠层的所述第二绝缘层，

其中，所述第一绝缘层及所述第二绝缘层延伸到所述第一邦定区中形成所述第一绝缘层叠层。

15 30、根据权利要求 29 所述的制备方法，还包括：

在所述显示区中形成像素结构，其中，所述像素结构包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件，

在所述显示区中形成像素结构包括：

20 在所述衬底基板上形成所述像素驱动电路，其中，在所述像素驱动电路中形成薄膜晶体管，在所述薄膜晶体管中形成栅极、源漏电极及层间绝缘层，所述层间绝缘层位于所述栅极远离所述衬底基板的一侧且位于源漏电极靠近所述衬底基板的一侧，

在所述像素驱动电路远离所述衬底基板的一侧形成所述第一平坦化层以提供第一平坦化表面，且在所述第一平坦化层中形成第一过孔，

25 在所述第一平坦化表面上形成第一转接电极，且所述第一转接电极通过所述第一过孔与所述源漏电极之一电连接，

在所述第一转接电极远离所述衬底基板的一侧形成所述第二平坦化层以提供第二平坦化表面，且在所述第二平坦化表面中形成第二过孔，

30 在所述第二平坦化表面上形成所述发光元件，且所述发光元件通过所述第二过孔与所述第一转接电极电连接。

31、根据权利要求 30 所述的制备方法，其中，形成所述第二绝缘层

包括:

在形成所述导电图案叠层的第二导电图案以及所述像素驱动电路之后, 在衬底基板上沉积第一绝缘材料层;

- 5 对所述第一绝缘材料层进行构图工艺, 以使得所述第一绝缘材料层的位于显示区的部分形成第二平坦化层, 且在所述第二平坦化层中形成所述第二过孔, 去除第一绝缘材料层的与所述第二导电图案重叠的部分, 并且减薄所述第一绝缘材料层的位于所述第一绑定区的部分以形成所述第二绝缘层, 以使得所述第二绝缘层在所述第一绑定区相对于所述衬底基板的高度小于在所述绑定周边区的高度, 且覆盖所述第二导电图案的边缘。

- 10 32、根据权利要求 31 所述的制备方法, 其中, 对所述第一绝缘材料层进行构图工艺包括:

使用灰色调掩模板或半色调掩模板构图工艺对所述第一绝缘材料层进行构图。

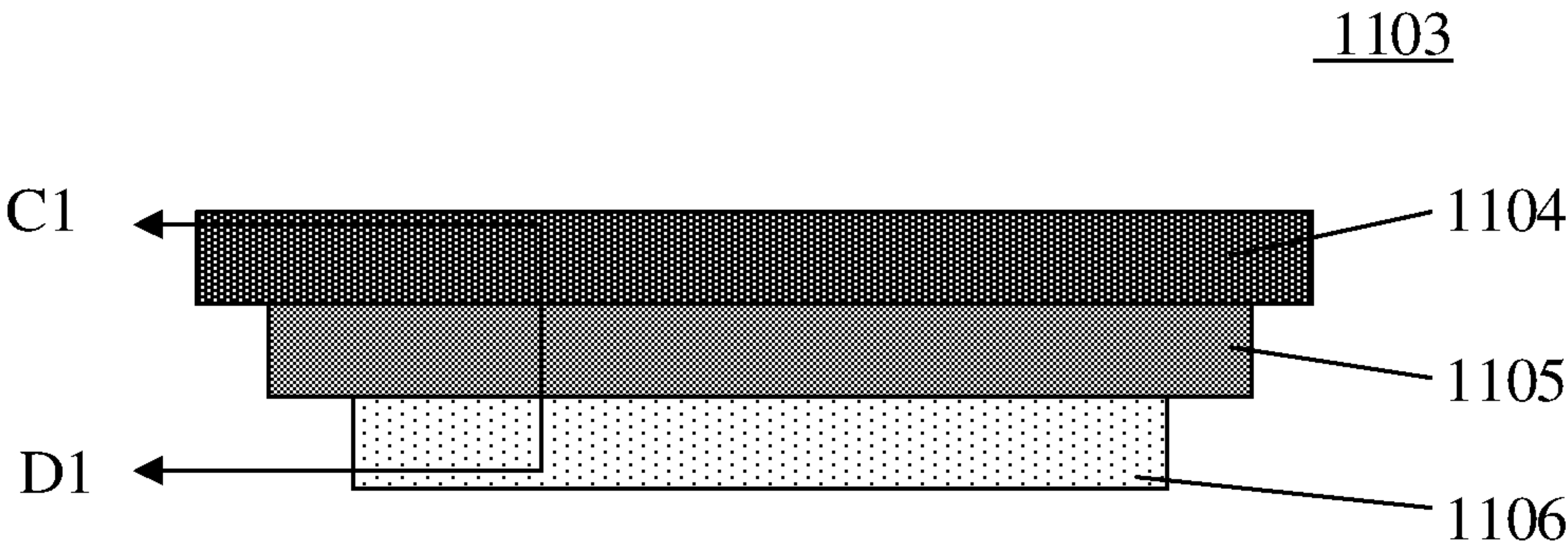


图 1C

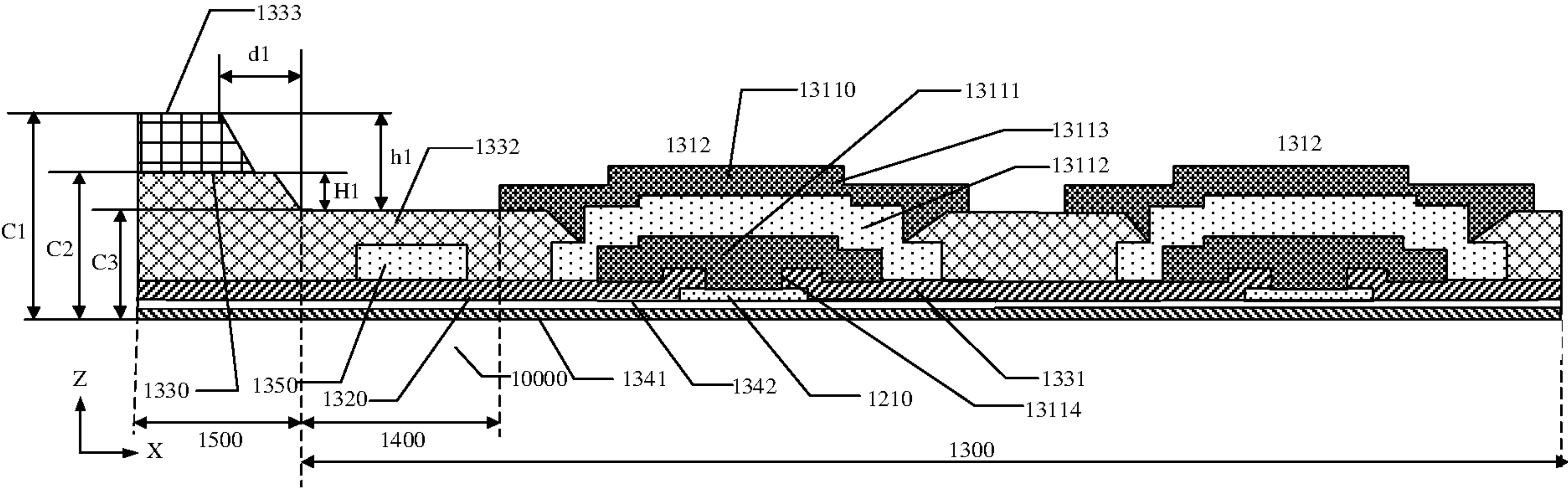


图 2A

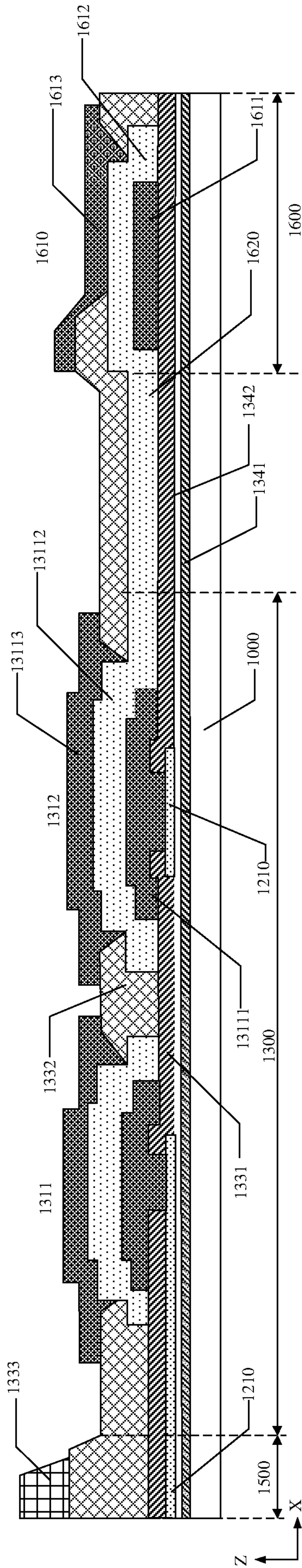


图 2B

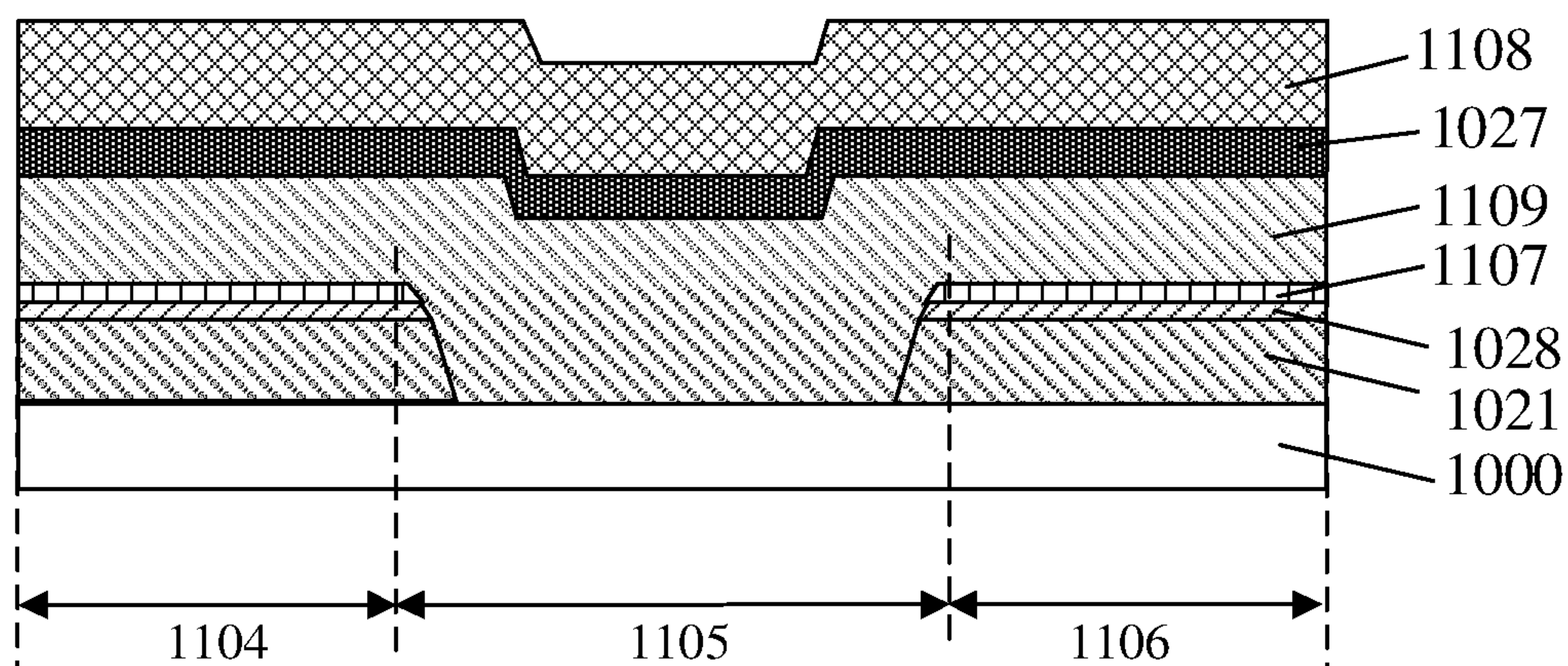


图 2C

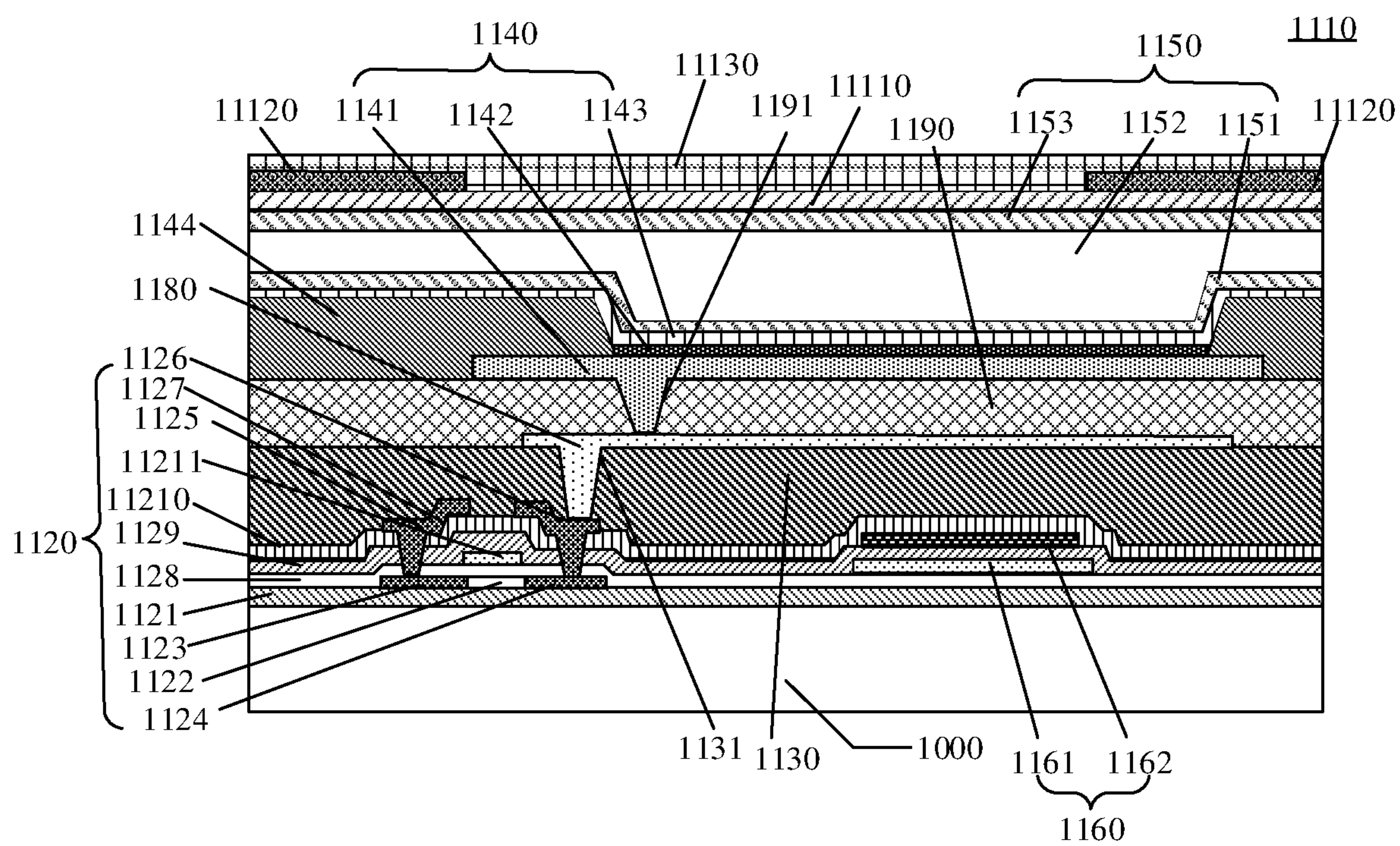


图 3

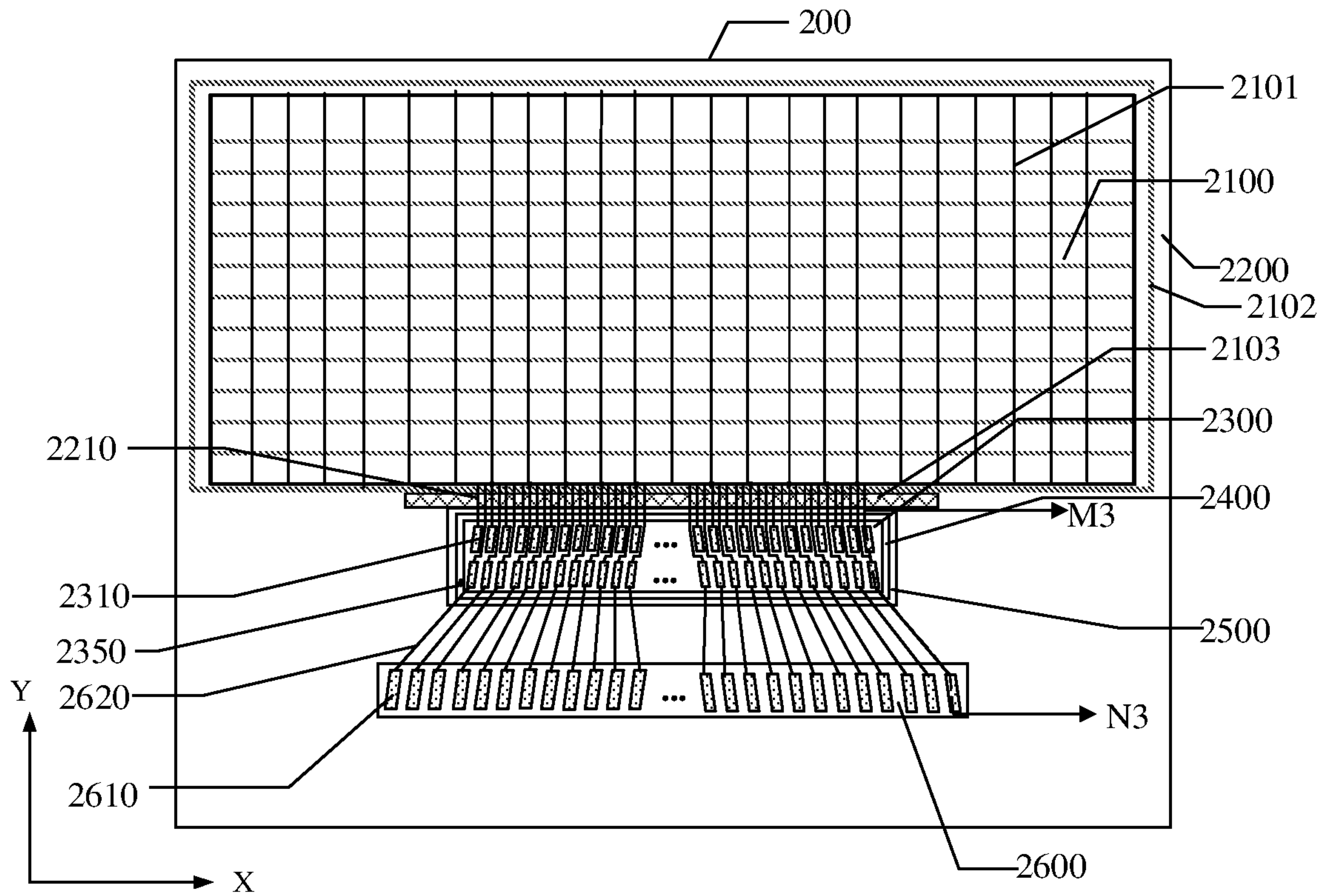


图 4A

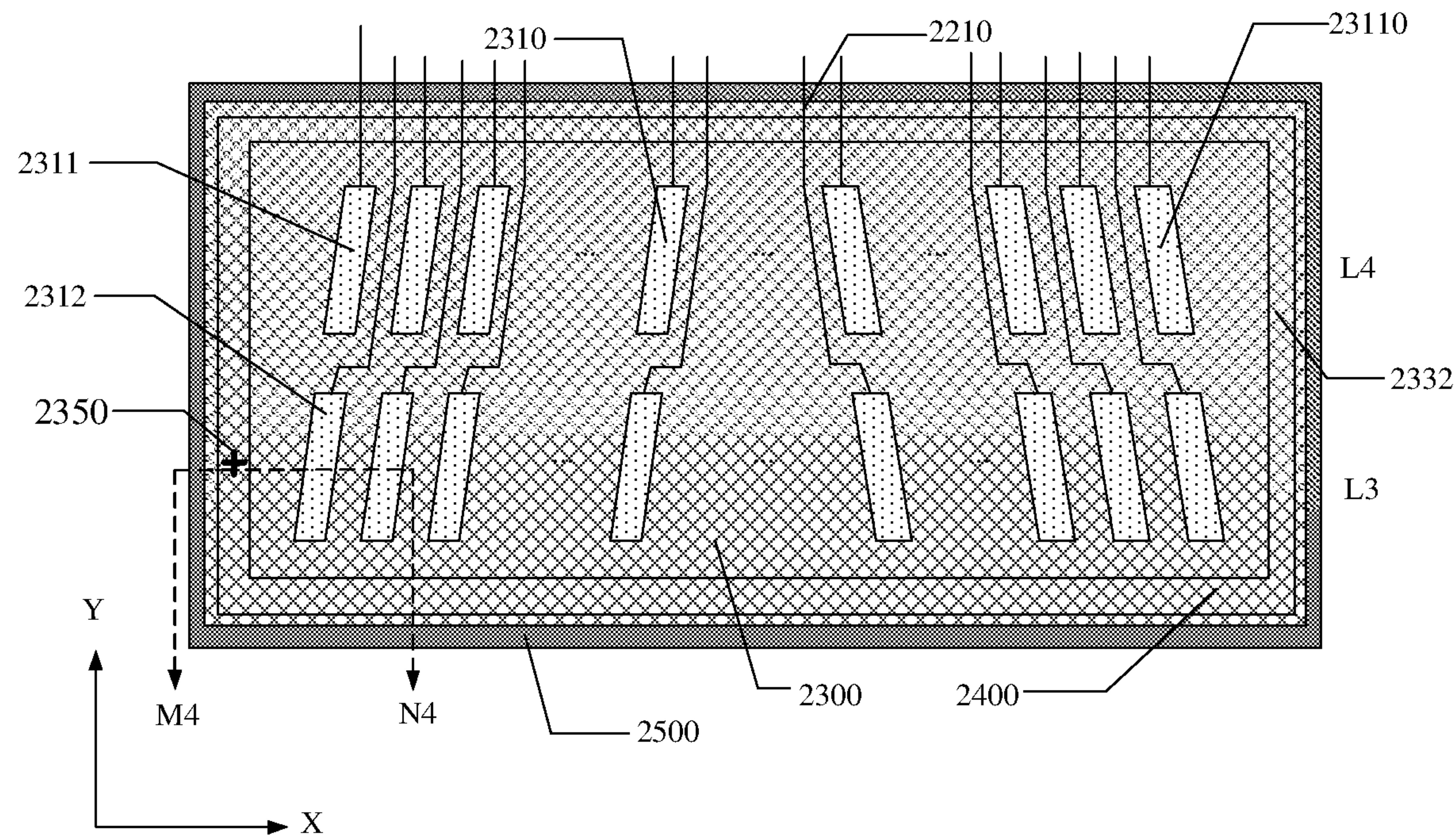


图 4B

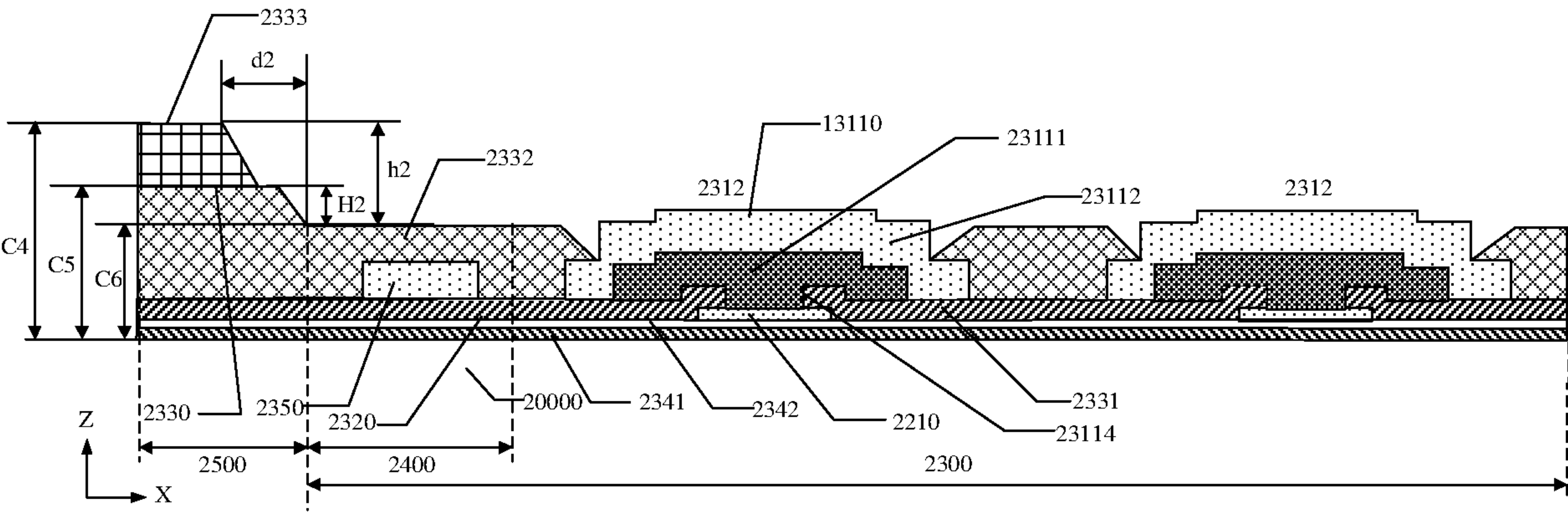


图 5A

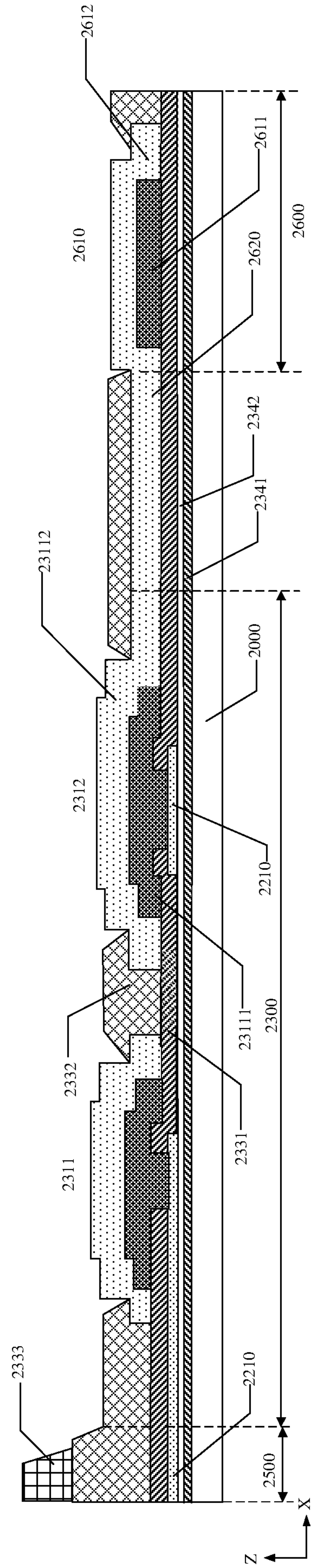


图 5B

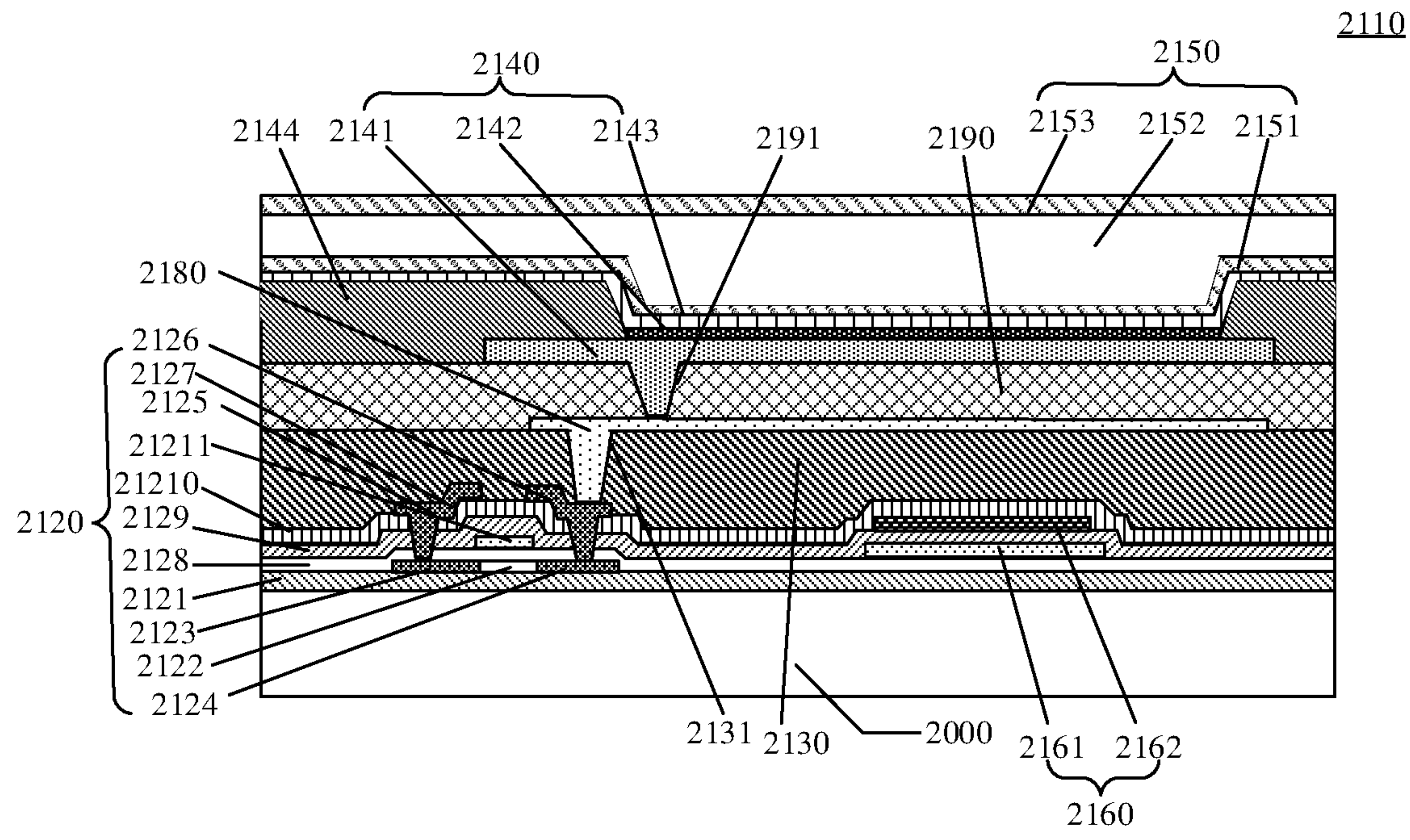


图 6

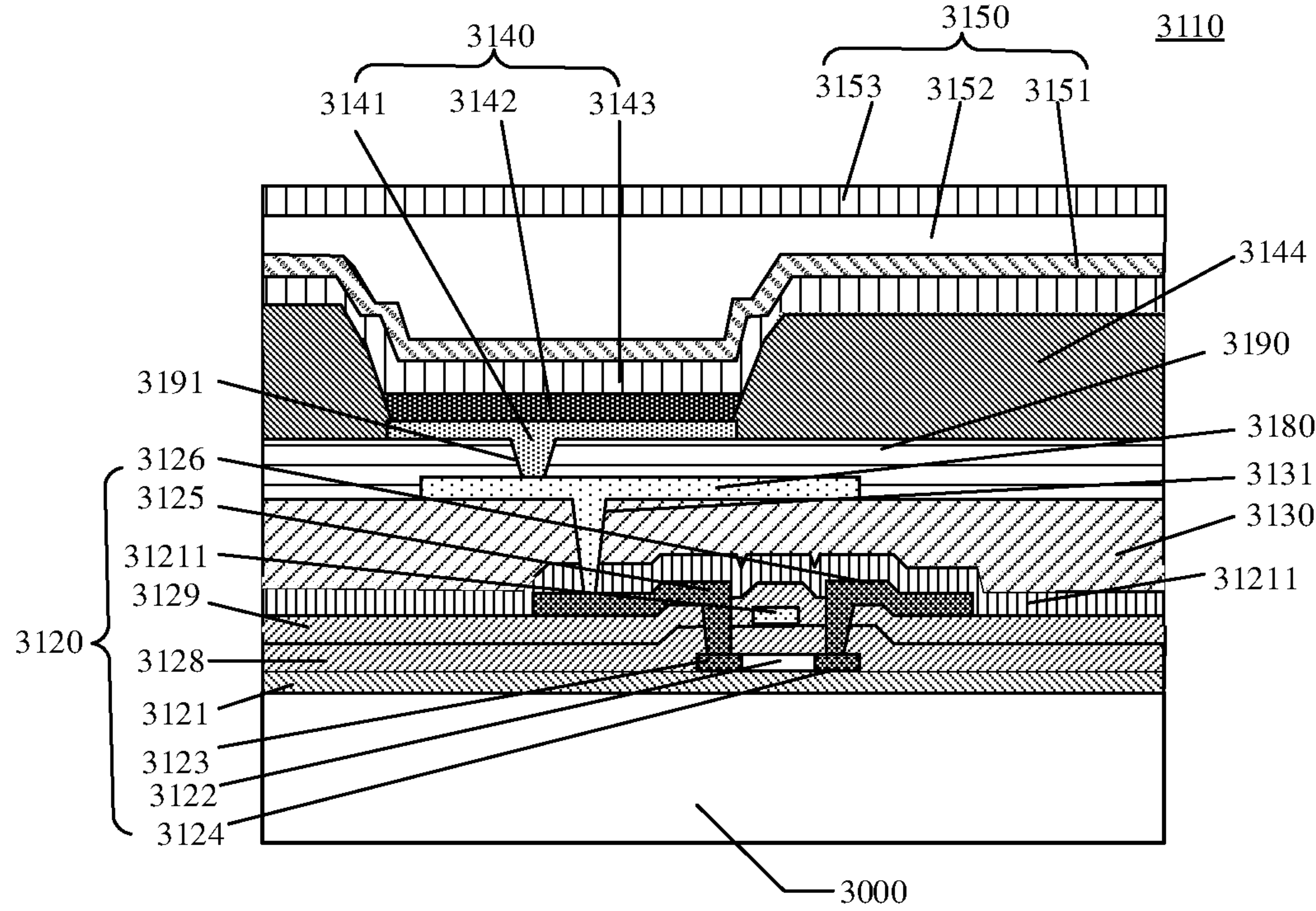


图 7

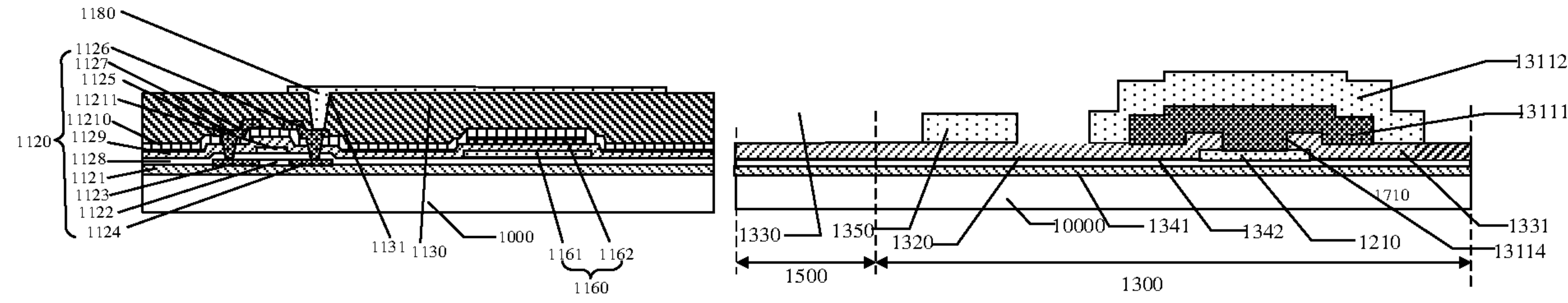
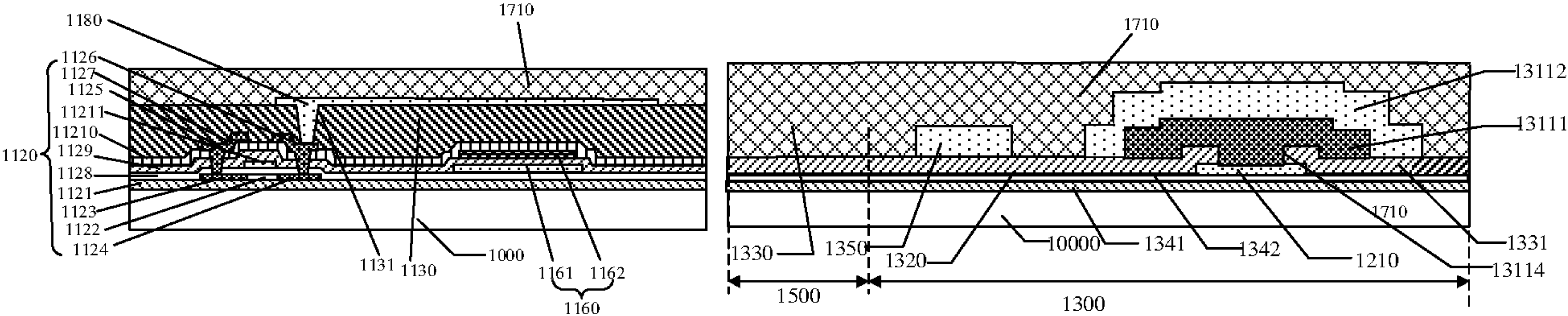


图 8A



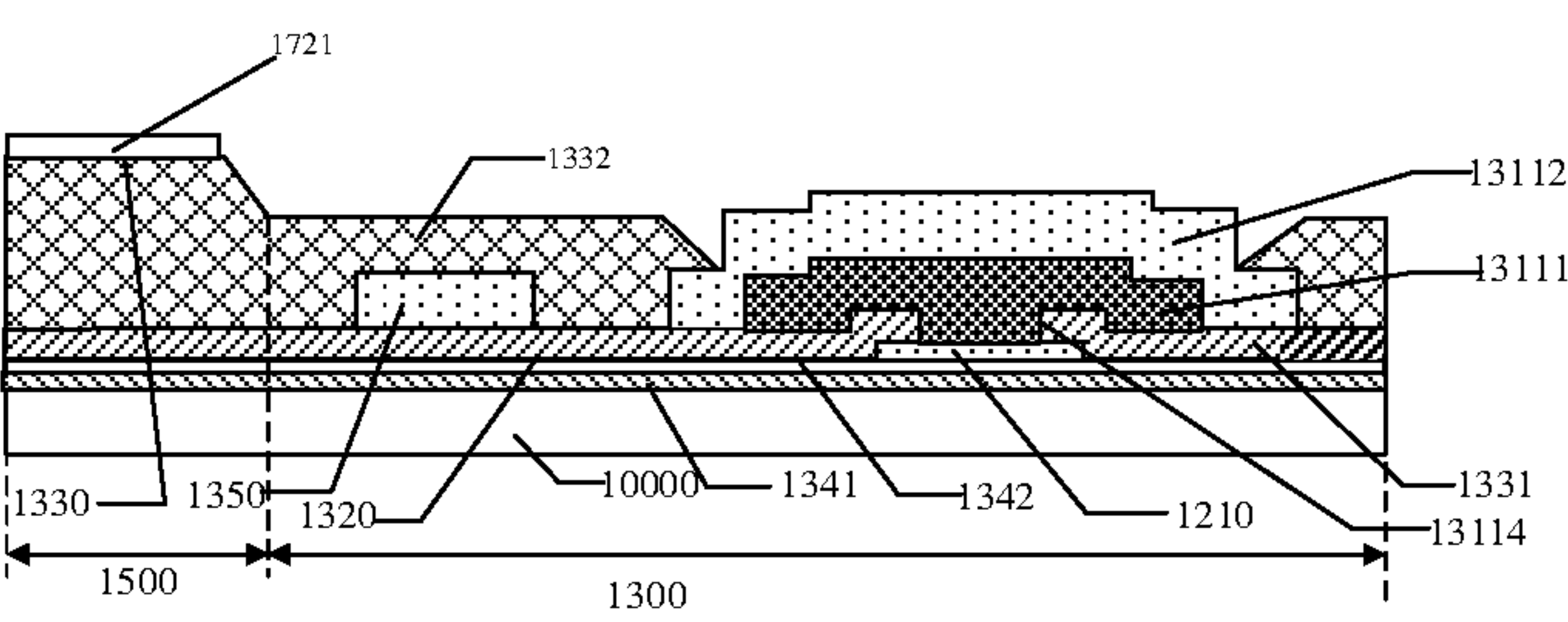
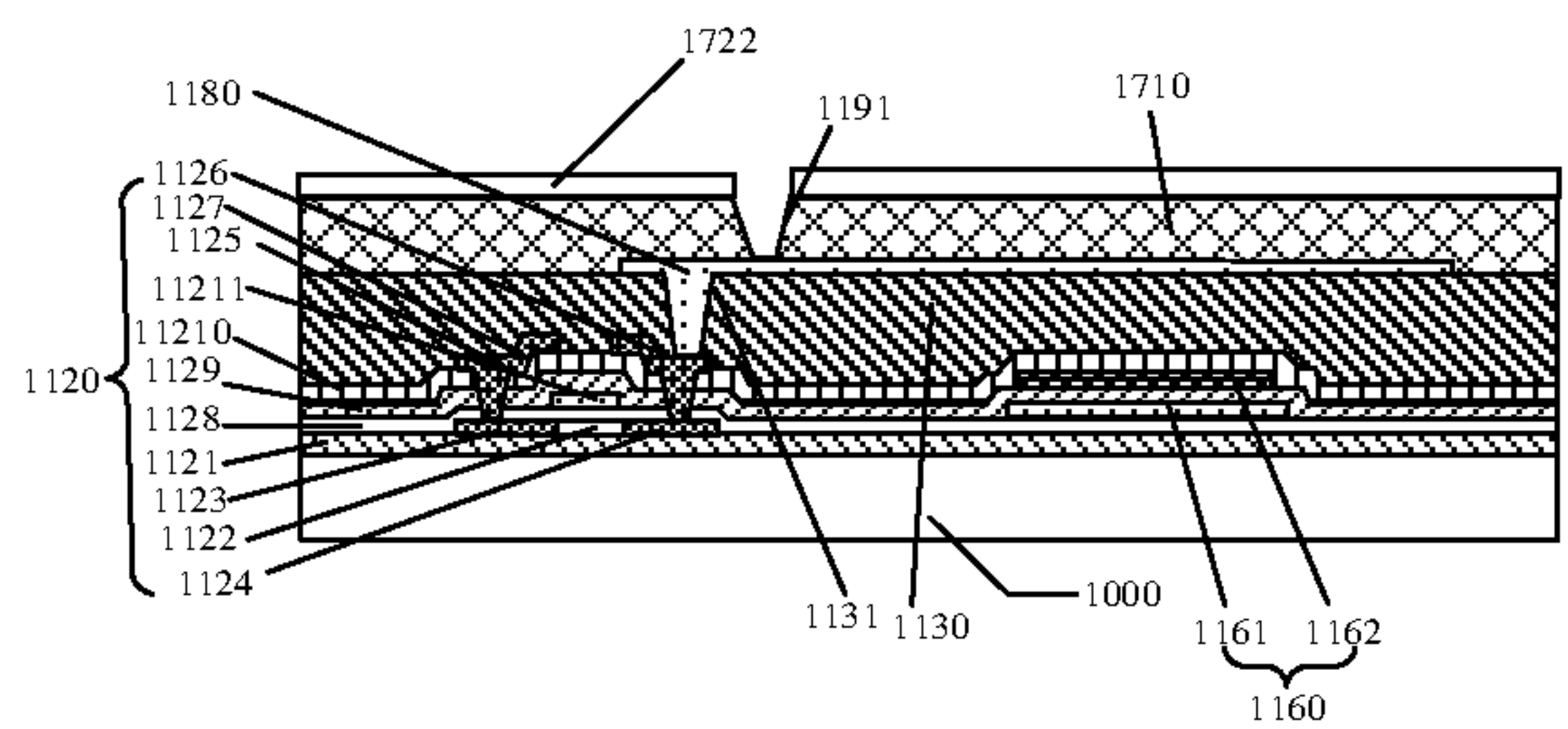


图 8G

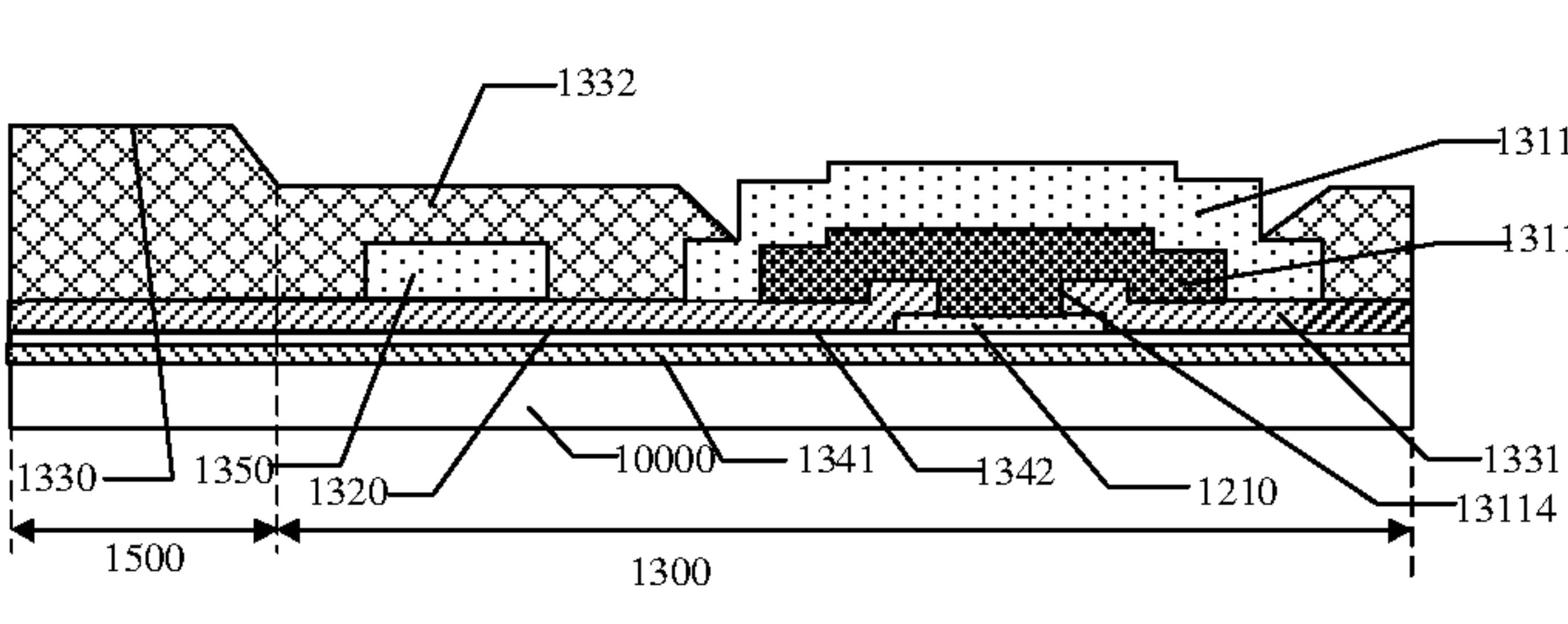
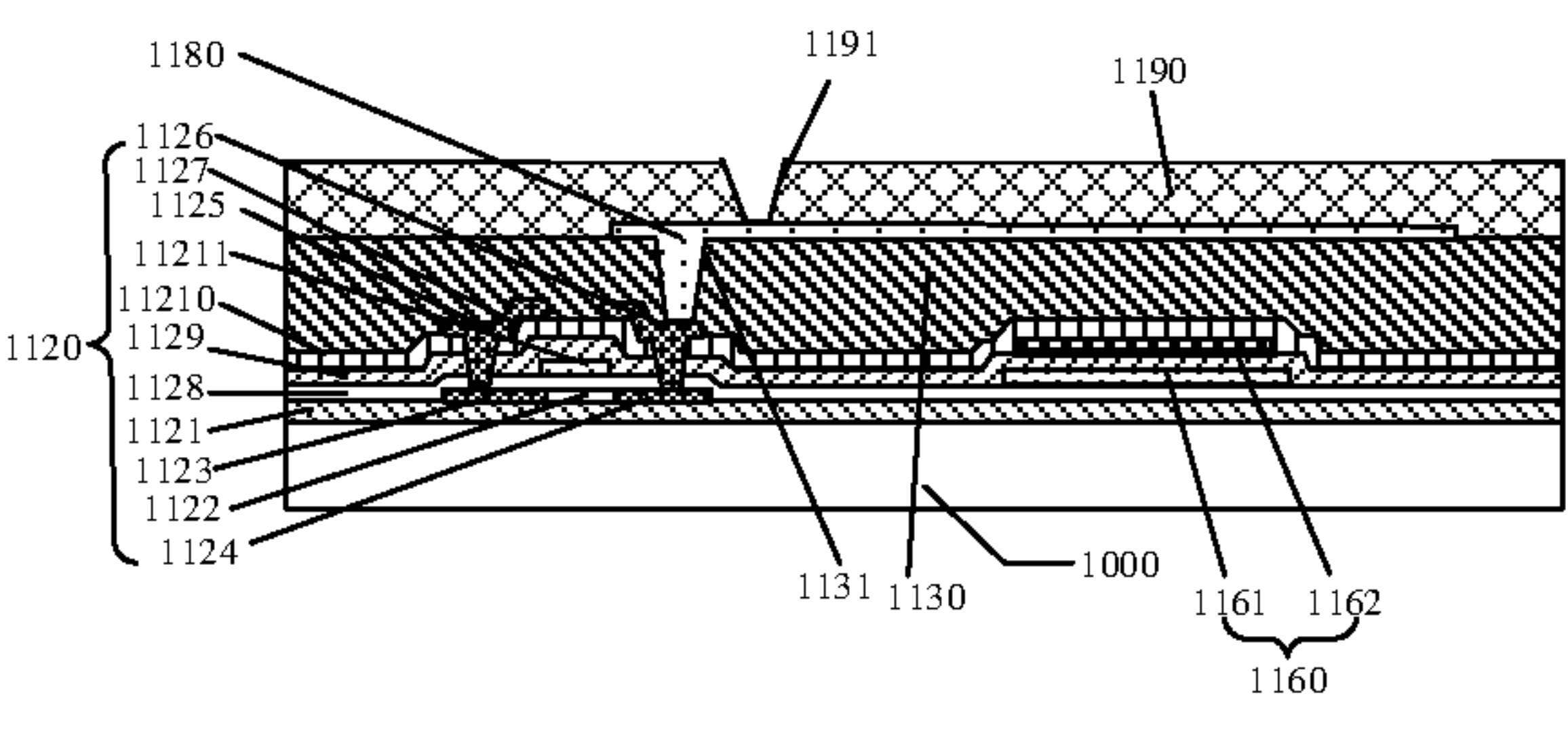


图 8H

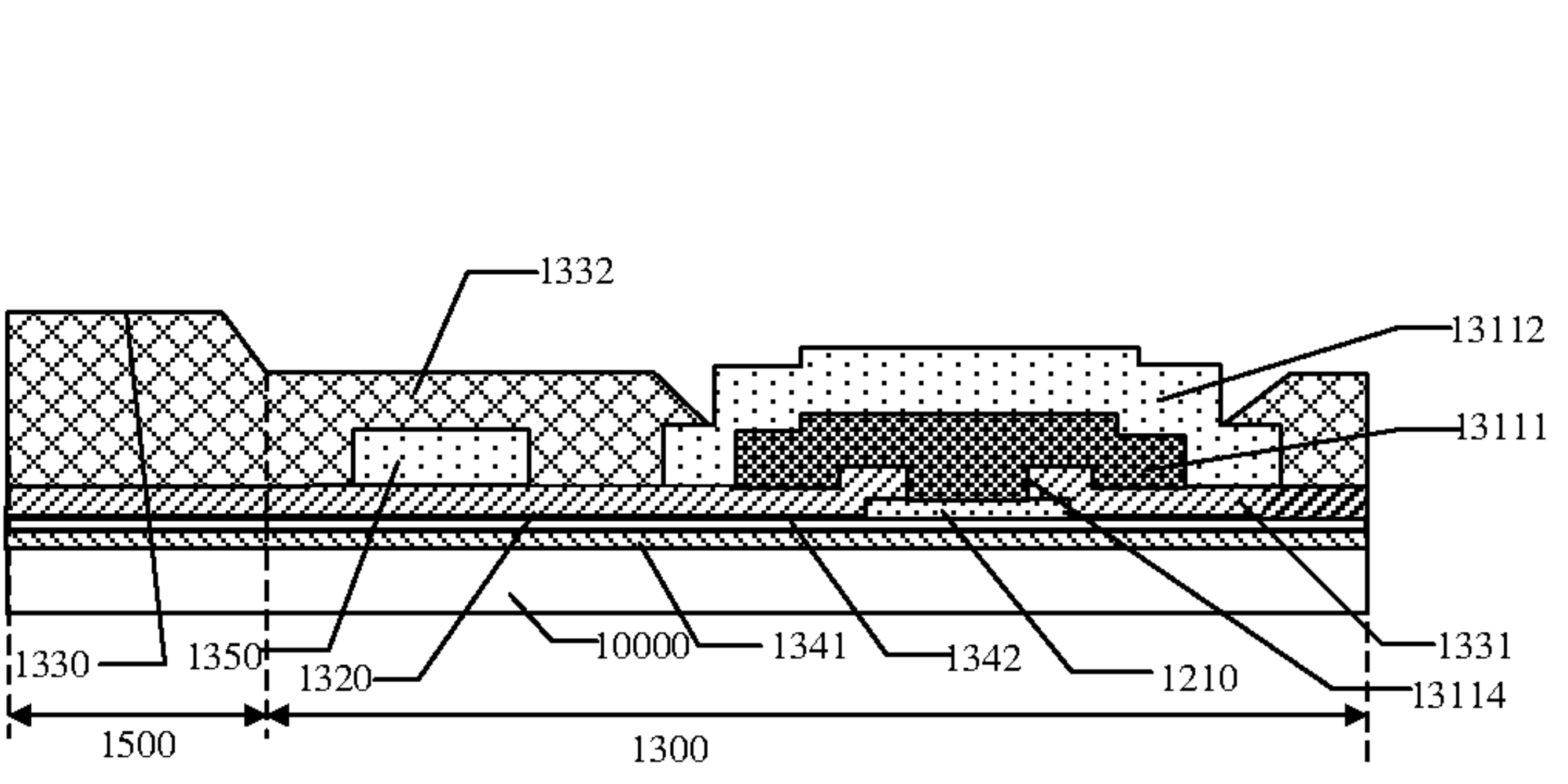
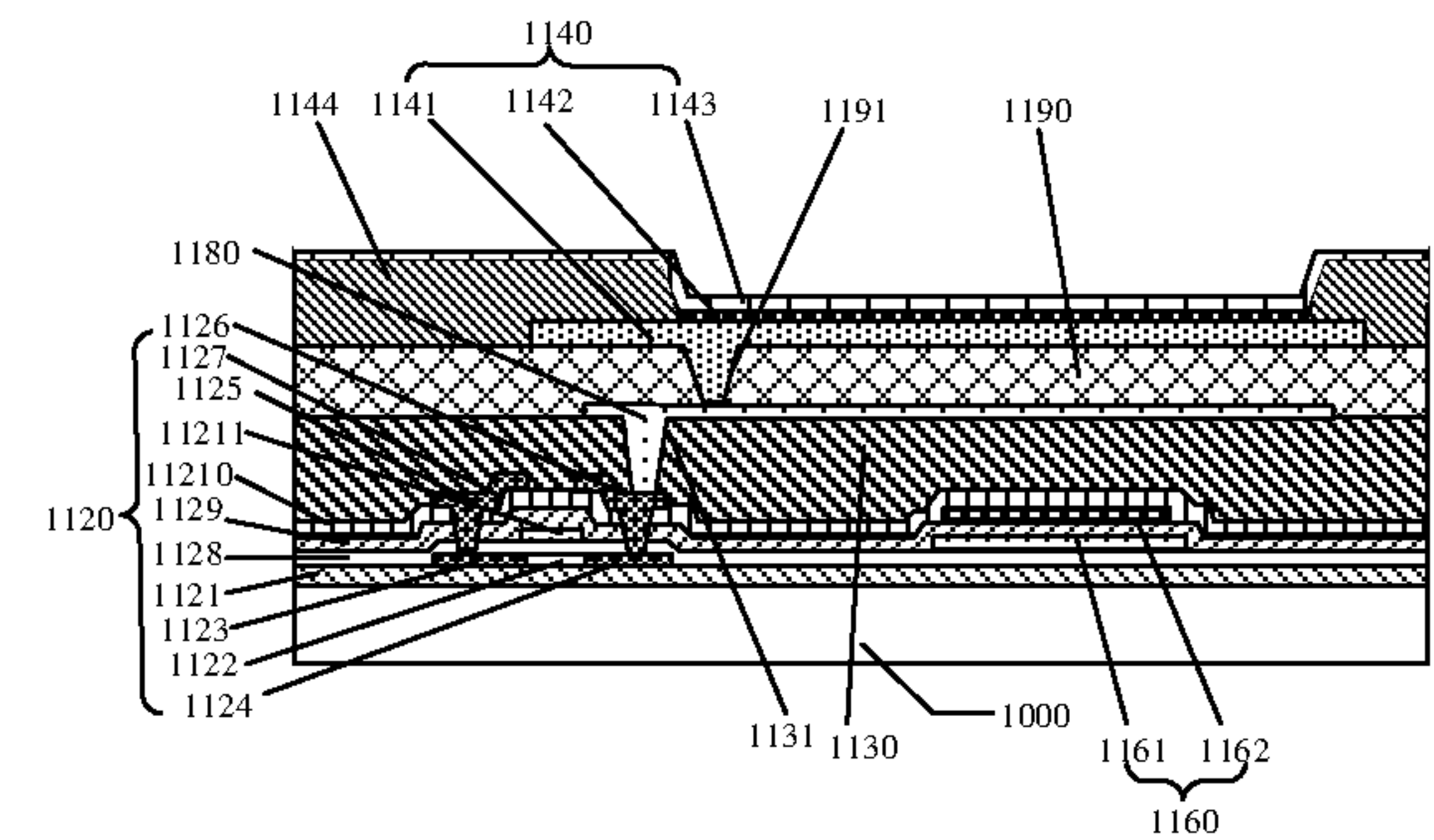


图 8I

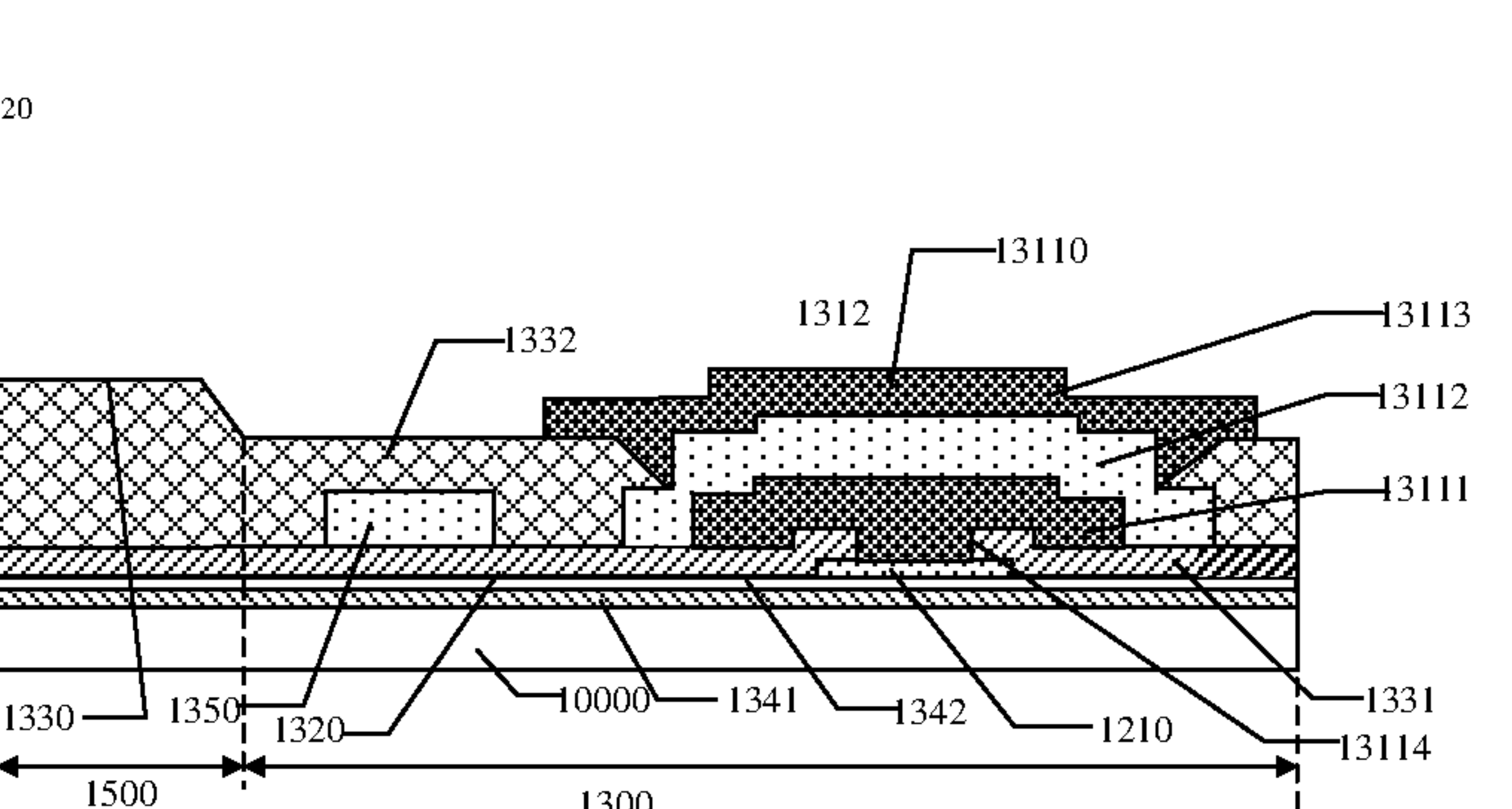
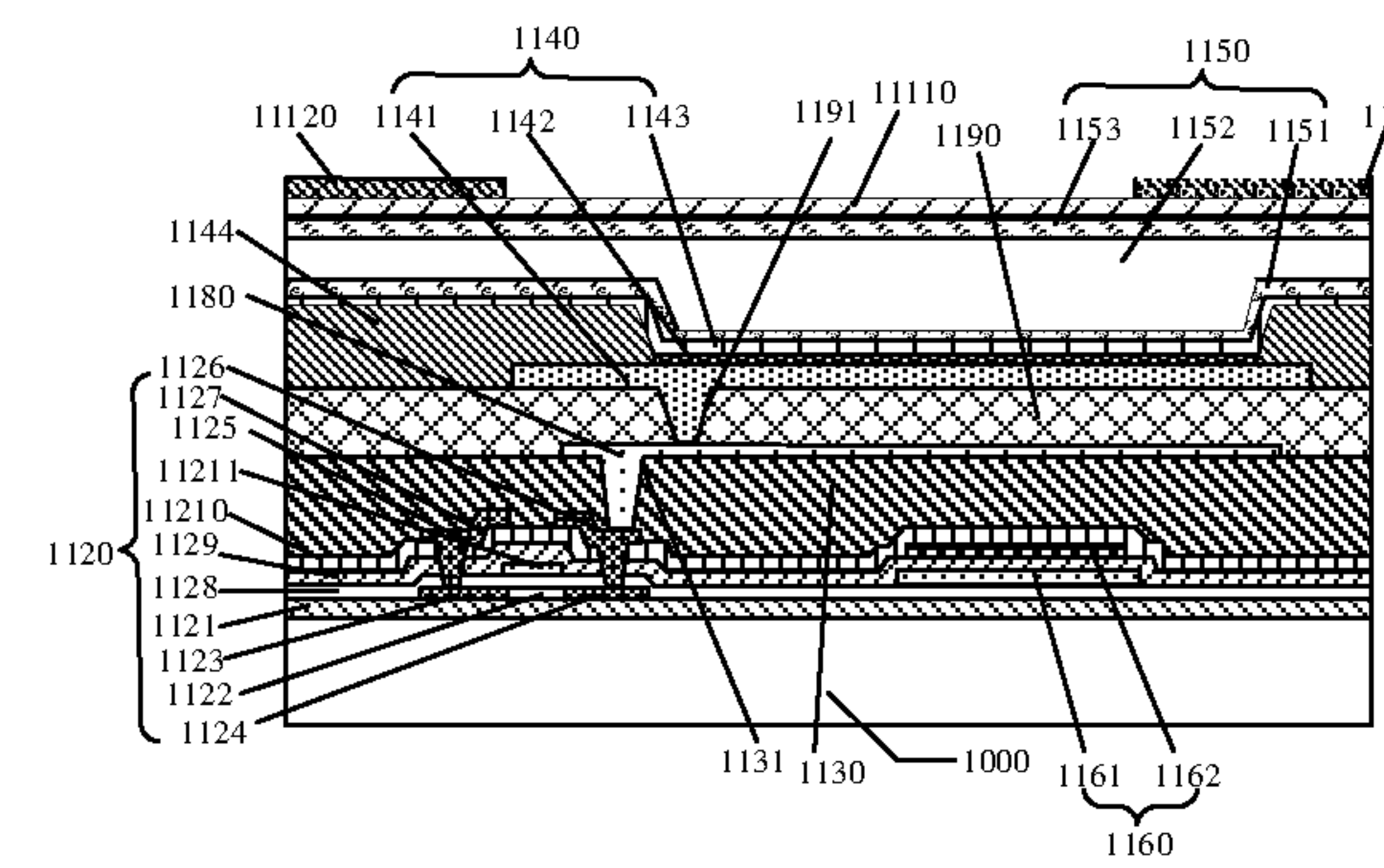


图 8J

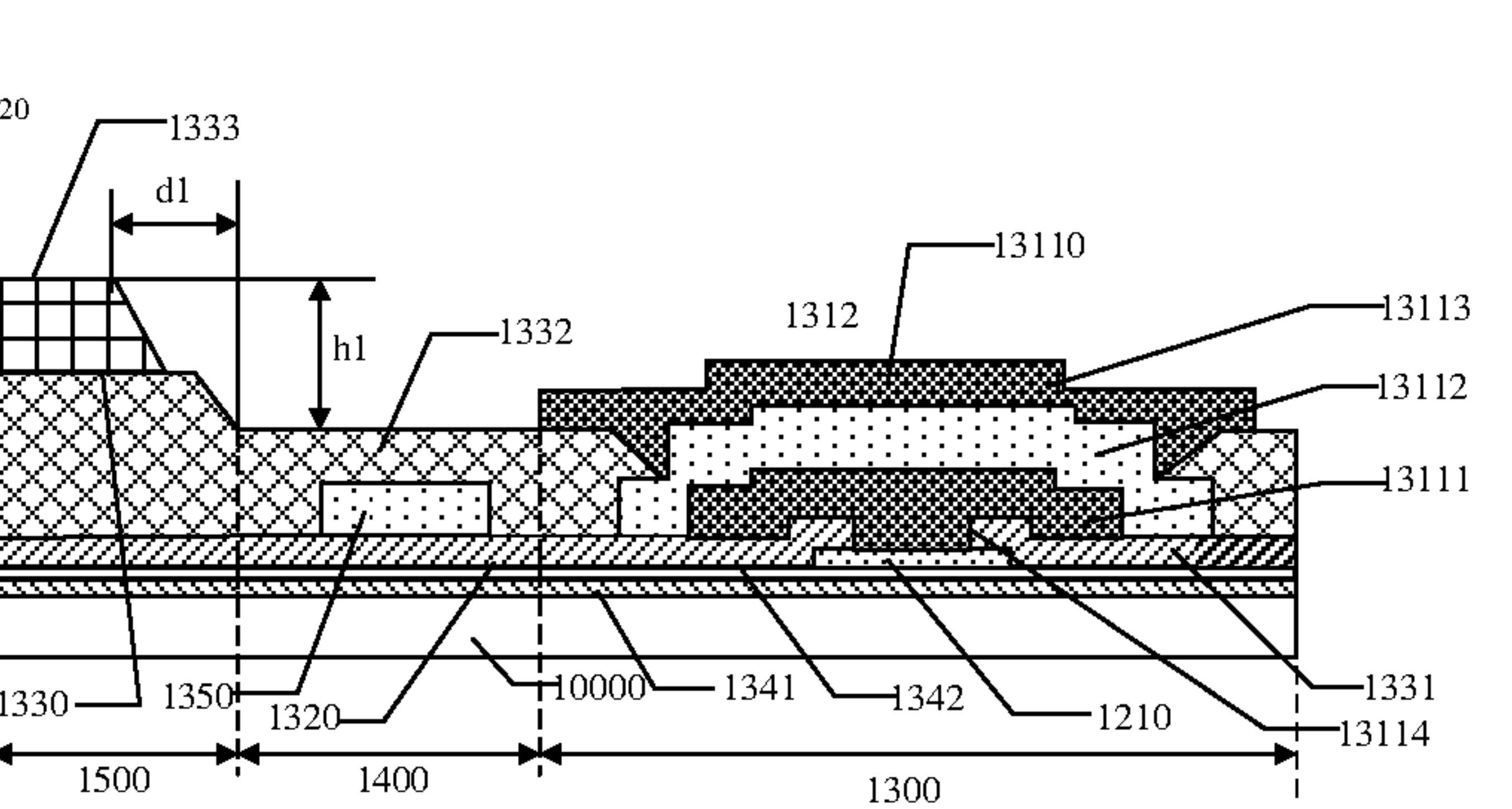
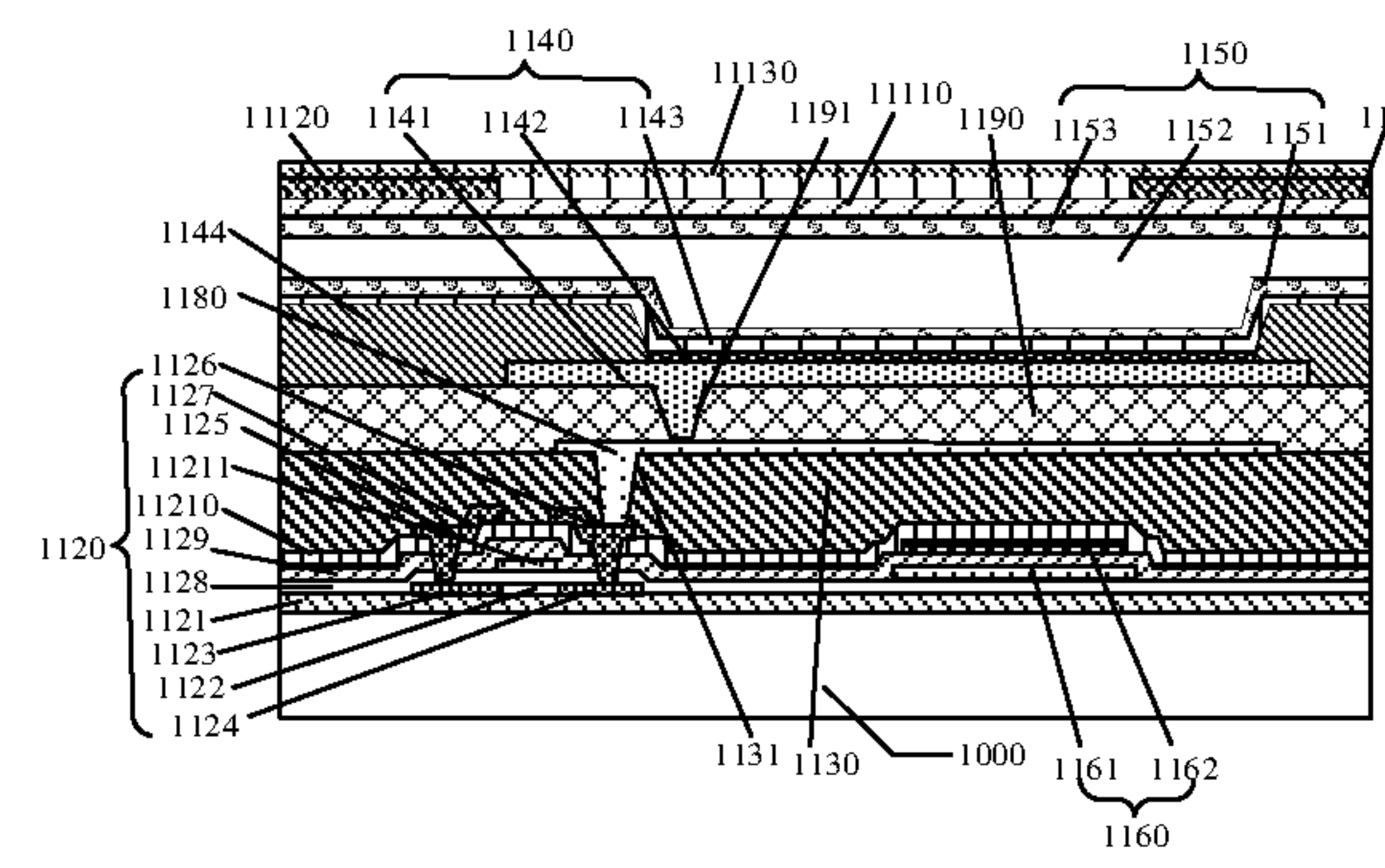


图 8K

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/114061

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i; H01L 51/52(2006.01)i; H01L 51/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, IEEE, CNPAT, CNKI: 显示基板, 阵列基板, 围堰, 挡墙, 显示区, 外围区, 非显示区, 弯折区, 过渡区, 绑定, 邦定, 导电图案, 绝缘, 叠层, 厚度, display panel, array panel, block+, display area, peripheral area, bend+, bond+, conduct+, insulat+, stack, thickness

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 109388287 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 26 February 2019 (2019-02-26) description paragraphs [0038]-[0060], figures 3-6	1-3, 27-32
Y	CN 107819014 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 March 2018 (2018-03-20) description paragraphs [0027]-[0050], figures 1-5	1-3, 27-32
A	CN 107329336 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.) 07 November 2017 (2017-11-07) entire document	1-32
A	CN 108598135 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 28 September 2018 (2018-09-28) entire document	1-32
A	CN 107026177 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 August 2017 (2017-08-08) entire document	1-32



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

17 July 2020

Date of mailing of the international search report

24 July 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/114061

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016064691 A1 (SAMSUNG DISPLAY CO., LTD.) 03 March 2016 (2016-03-03) entire document	1-32

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/114061

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109388287	A	26 February 2019	None			
CN	107819014	A	20 March 2018	None			
CN	107329336	A	07 November 2017	None			
CN	108598135	A	28 September 2018	None			
CN	107026177	A	08 August 2017	US	10585317	B2	10 March 2020
				CN	107026177	B	28 February 2020
				US	2018284507	A1	04 October 2018
US	2016064691	A1	03 March 2016	US	2019296262	A1	26 September 2019
				US	2019296261	A1	26 September 2019
				KR	101667800	B1	20 October 2016
				CN	105390525	A	09 March 2016
				EP	2991130	A1	02 March 2016
				KR	20160027489	A	10 March 2016
				US	10319944	B2	11 June 2019
				KR	20160123270	A	25 October 2016
				KR	101789238	B1	21 November 2017

国际检索报告		国际申请号 PCT/CN2019/114061
A. 主题的分类 H01L 27/32(2006.01)i; H01L 51/52(2006.01)i; H01L 51/56(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, IEEE, CNPAT, CNKI: 显示基板, 阵列基板, 围堰, 挡墙, 显示区, 外围区, 非显示区, 弯折区, 过渡区, 绑定, 邦定, 导电图案, 绝缘, 叠层, 厚度, display panel, array panel, block+, display area, peripheral area, bend+, bond+, conduct+, insulat+, stack, thickness		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 109388287 A (上海天马微电子有限公司) 2019年 2月 26日 (2019 - 02 - 26) 说明书第 [0038]-[0060]段, 图3-6	1-3, 27-32
Y	CN 107819014 A (武汉华星光电技术有限公司) 2018年 3月 20日 (2018 - 03 - 20) 说明书第 [0027]-[0050]段, 图1-5	1-3, 27-32
A	CN 107329336 A (厦门天马微电子有限公司) 2017年 11月 7日 (2017 - 11 - 07) 全文	1-32
A	CN 108598135 A (武汉华星光电半导体显示技术有限公司) 2018年 9月 28日 (2018 - 09 - 28) 全文	1-32
A	CN 107026177 A (京东方科技集团股份有限公司 等) 2017年 8月 8日 (2017 - 08 - 08) 全文	1-32
A	US 2016064691 A1 (SAMSUNG DISPLAY CO., LTD.) 2016年 3月 3日 (2016 - 03 - 03) 全文	1-32
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2020年 7月 17日		国际检索报告邮寄日期 2020年 7月 24日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王光军 电话号码 86-(10)-53961225

国际检索报告 关于同族专利的信息				国际申请号 PCT/CN2019/114061			
检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109388287	A	2019年 2月 26日	无			
CN	107819014	A	2018年 3月 20日	无			
CN	107329336	A	2017年 11月 7日	无			
CN	108598135	A	2018年 9月 28日	无			
CN	107026177	A	2017年 8月 8日	US	10585317	B2	2020年 3月 10日
				CN	107026177	B	2020年 2月 28日
				US	2018284507	A1	2018年 10月 4日
US	2016064691	A1	2016年 3月 3日	US	2019296262	A1	2019年 9月 26日
				US	2019296261	A1	2019年 9月 26日
				KR	101667800	B1	2016年 10月 20日
				CN	105390525	A	2016年 3月 9日
				EP	2991130	A1	2016年 3月 2日
				KR	20160027489	A	2016年 3月 10日
				US	10319944	B2	2019年 6月 11日
				KR	20160123270	A	2016年 10月 25日
				KR	101789238	B1	2017年 11月 21日