

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年5月1日(01.05.2025)



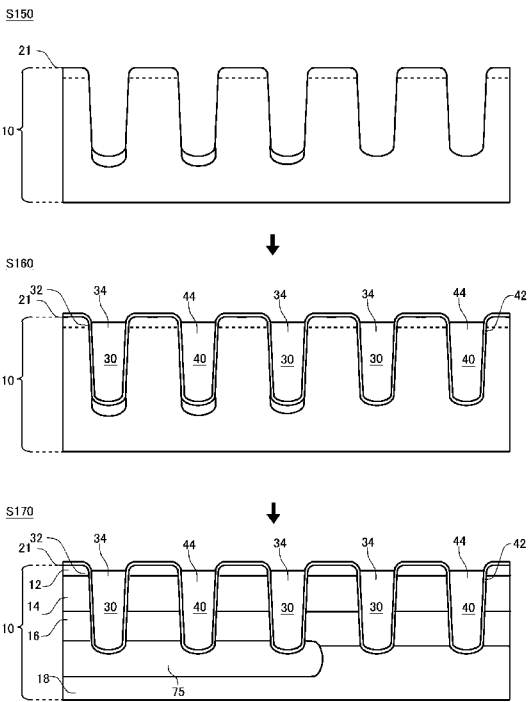
(10) 国際公開番号

WO 2025/089009 A1

- (51) 国際特許分類:
H10D 30/66 (2025.01) H10D 62/10 (2025.01)
H10D 12/00 (2025.01) H10D 84/80 (2025.01)
H10D 30/01 (2025.01)
- (21) 国際出願番号: PCT/JP2024/035494
- (22) 国際出願日: 2024年10月3日(03.10.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-182416 2023年10月24日(24.10.2023) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 (JP).
- (72) 発明者: 窪内 源宜 (KUBOUCHI Motoyoshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 (JP).
- (74) 代理人: 弁理士法人 R Y U K A 国際特許事務所 (RYUKA & PARTNERS); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: Provided is a method for manufacturing a semiconductor device, the method comprising: a step for forming a plurality of trenches on a front surface of a semiconductor substrate; a step for forming an injection mask in a first trench among the plurality of trenches; and a step for injecting a second conductivity-type dopant into a second trench, in which the injection mask is not formed, among the plurality of trenches, in order to form a trench bottom part in a bottom part of the second trench. In the step of injecting the dopant, the second conductivity-type dopant is also injected into a first mesa part adjacent to the first trench and a second mesa part adjacent to the second trench.

(57) 要約: 半導体基板のおもて面に複数のトレンチを形成する段階と、前記複数のトレンチの第1トレンチ内に注入マスクを形成する段階と、前記複数のトレンチのうち前記注入マスクが形成されていない第2トレンチの底部にトレンチボトム部を形成するために、前記第2トレンチに第2導電型のドーパントを注入する段階と、を備え、前記ドーパントを注入する段階において、前記第2導電型のドーパントは、前記第1トレンチと隣接する第1メサ部および前記第2トレンチと隣接する第2メサ部にも注入される半導体装置の製造方法が提供される。

WO 2025/089009 A1

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 特許文献1には、トレンチの底部に第2導電型のバリア領域を設けた半導体装置が記載されている。

[先行技術文献]

[特許文献]

[特許文献1] 特開2019-110288号公報

一般的開示

[0003] (解決しようとする課題)

トレンチの底部に第2導電型のバリア領域を形成する工程により、閾値電圧にばらつきが生じるおそれがある。

[0004] (課題を解決するための手段)

本発明の第1の態様においては、半導体基板のおもて面に複数のトレンチを形成する段階と、前記複数のトレンチの第1トレンチ内に注入マスクを形成する段階と、前記複数のトレンチのうち前記注入マスクが形成されていない第2トレンチの底部にトレンチボトム部を形成するために、前記第2トレンチに第2導電型のドーパントを注入する段階と、を備え、前記ドーパントを注入する段階において、前記第2導電型のドーパントは、前記第1トレンチと隣接する第1メサ部および前記第2トレンチと隣接する第2メサ部にも注入される半導体装置の製造方法が提供される。

[0005] 前記複数のトレンチを形成する段階において、更に、前記第1トレンチと前記第2トレンチとの間に第3トレンチを形成し、前記注入マスクを形成する段階において、更に、前記第3トレンチ内に前記注入マスクを形成し、前記ドーパントを注入する段階において、更に、前記第2導電型のドーパント

は前記第3トレンチと隣接する前記第1メサ部にも注入されてよい。半導体装置の製造方法は、前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成してよい。

[0006] 前記注入マスクの上面は、前記半導体基板の深さ方向において、前記半導体基板のおもて面と同じ位置か、前記半導体基板のおもて面よりも深い位置まで設けられてよい。

[0007] 本発明の第2の態様においては、半導体基板のおもて面に複数のトレンチを形成する段階と、前記複数のトレンチの第1トレンチ内に注入マスクを形成する段階と、前記複数のトレンチのうち前記注入マスクが形成されていない第2トレンチの底部にトレンチボトム部を形成するために、前記第2トレンチに第2導電型のドーパントを注入する段階と、を備え、前記注入マスクを形成する段階において、前記第1トレンチと隣接する第1メサ部の上面および前記第2トレンチと隣接する第2メサ部の上面にもマスクが形成される半導体装置の製造方法が提供される。

[0008] 前記複数のトレンチを形成する段階において、更に、前記第1トレンチと前記第2トレンチとの間に第3トレンチを形成し、前記注入マスクを形成する段階において、更に、前記第3トレンチ内および前記第3トレンチと隣接する前記第1メサ部の上面にも前記注入マスクが形成されてよい。半導体装置の製造方法は、前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成してよい。

[0009] 前記注入マスクを形成する段階において、前記注入マスクは、トレンチ配列方向の端部が前記第2トレンチの側壁と揃うように形成されてよい。

[0010] 本発明の第3の態様においては、半導体基板のおもて面にトレンチエッチマスクを形成する段階と、前記トレンチエッチマスクを用いて、前記半導体基板のおもて面に複数のトレンチを形成する段階と、前記複数のトレンチの第1トレンチ内に注入マスクを形成する段階と、前記トレンチエッチマスクおよび前記注入マスクを用いて、前記注入マスクが形成されていない第2トレンチの底部にトレンチボトム部を形成するために、前記第2トレンチに第

2導電型のドーパントを注入する段階と、を備える半導体装置の製造方法が提供される。

[0011] 前記複数のトレンチを形成する段階において、更に、前記第1トレンチと前記第2トレンチとの間に第3トレンチを形成し、前記注入マスクを形成する段階において、更に、前記第3トレンチ内に前記注入マスクを形成してよい。半導体装置の製造方法は、前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成してよい。

[0012] 前記トレンチエッチマスクの厚みは0.3 μm 以上、1 μm 以下であってよい。

[0013] 本発明の第4の態様においては、半導体基板のおもて面に複数のトレンチを形成する段階と、前記複数のトレンチの第1トレンチが形成された第1領域に注入マスクを形成する段階と、前記注入マスクが形成されていない第2領域において、前記複数のトレンチの第2トレンチおよび前記第2トレンチと隣接する第2メサ部に、前記第2トレンチの底部にトレンチボトム部を形成するための第2導電型のドーパントを注入するトレンチボトム注入段階と、前記第1領域から前記注入マスクを除去した後、前記第1領域において前記第1トレンチと隣接する第1メサ部にベース領域を形成するための第2導電型のドーパントを注入する第1ベース注入段階と、前記第2メサ部にベース領域を形成するための第2導電型のドーパントを注入する第2ベース注入段階と、を備える半導体装置の製造方法が提供される。

[0014] 前記複数のトレンチを形成する段階において、更に、前記第1トレンチと前記第2トレンチとの間に第3トレンチを形成し、前記注入マスクを形成する段階において、更に、前記第1領域の前記第3トレンチ内に前記注入マスクを形成し、前記第1ベース注入段階において、更に、前記第2導電型のドーパントは前記第3トレンチと隣接する前記第1メサ部にも注入されてよい。半導体装置の製造方法は、前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成してよい。

[0015] 前記第2ベース注入段階のドーズ量は、前記第1ベース注入段階のドーズ

量よりも小さくてよい。

[0016] 前記第2メサ部に注入される前記ドーパントのドーズ量は、前記第1メサ部に注入される前記ドーパントのドーズ量に等しくてよい。

[0017] 本発明の第5の態様においては、第1トレンチ部および第2トレンチ部を含む複数のトレンチ部と、前記第2トレンチ部の底部に設けられた第2導電型のトレンチボトム部と、を備え、前記トレンチボトム部が設けられていない前記第1トレンチ部は、ダミートレンチ部またはダミーゲートトレンチ部である半導体装置が提供される。

[0018] 本発明の第6の態様においては、第1トレンチ部および第2トレンチ部を含む複数のトレンチ部と、前記第2トレンチ部の底部に設けられた第2導電型のトレンチボトム部と、前記トレンチボトム部が設けられていない前記第1トレンチ部に接続された第1ゲートランナーと、前記第2トレンチ部に接続された、前記第1ゲートランナーと異なる第2ゲートランナーと、を備える半導体装置が提供される。

[0019] 更に、前記第1トレンチ部と前記第2トレンチ部との間に第3トレンチ部を備え、前記第3トレンチ部の底部には前記トレンチボトム部が設けられ、前記第3トレンチ部は、前記ダミートレンチ部または前記ダミーゲートトレンチ部であってよい。

[0020] 更に、前記第1トレンチ部と前記第2トレンチ部との間に第3トレンチ部を備え、前記第3トレンチ部の底部には前記トレンチボトム部が設けられ、前記第3トレンチ部と前記第1ゲートランナーとが接続されてよい。

[0021] 更に、前記第1トレンチ部と前記第2トレンチ部との間に第3トレンチ部を備え、前記第3トレンチ部の底部には前記トレンチボトム部が設けられてよい。半導体装置は、前記第3トレンチ部に接続された第1ゲートランナーと、前記第2トレンチ部に接続された、前記第1ゲートランナーと異なる第2ゲートランナーと、を備えてよい。

[0022] 前記第1ゲートランナーおよび前記第2ゲートランナーは、異なるゲートパッドに接続されていてよい。

- [0023] 前記第1ゲートランナーおよび前記第2ゲートランナーは、異なるゲート配線抵抗を有してよい。
- [0024] 前記第1トレンチ部と隣接する前記第2トレンチ部は、前記ダミートレンチ部または前記ダミーゲートトレンチ部であってよい。
- [0025] 前記第2トレンチ部と隣接する前記第1トレンチ部は、ダミートレンチ部またはダミーゲートトレンチ部であってよい。
- [0026] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

- [0027] [図1]実施例1に係る半導体装置100の上面の一例を示す図である。
- [図2A]図1におけるa-a'断面の一例を示す図である。
- [図2B]図2Aにおける領域Aの拡大図である。
- [図3A]実施例1に係る半導体装置100の製造方法の一例を示す図である。
- [図3B]実施例1に係る半導体装置100の製造方法の一例を示す図である。
- [図4A]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。
- [図4B]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。
- [図5A]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。
- [図5B]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。
- [図6A]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。
- [図6B]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。
- [図6C]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。

[図7A]実施例2に係る半導体装置200の断面の一例を示す図である。

[図7B]実施例3に係る半導体装置300の断面の一例を示す図である。

[図7C]実施例4に係る半導体装置400の断面の一例を示す図である。

[図8A]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。

[図8B]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。

[図8C]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。

[図8D]実施例1に係る半導体装置100の製造方法の他の一例を示す図である。

[図9A]実施例2に係る半導体装置200の断面の他の一例を示す図である。

[図9B]実施例3に係る半導体装置300の断面の他の一例を示す図である。

[図9C]実施例4に係る半導体装置400の断面の他の一例を示す図である。

発明を実施するための形態

[0028] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0029] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」または「おもて」、他方の側を「下」または「裏」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面をおもて面、他方の面を裏面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0030] 本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互い

に逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸および-Z軸に平行な方向を意味する。

[0031] 本明細書では、半導体基板のおもて面および裏面に平行な直交軸をX軸およびY軸とする。また、半導体基板のおもて面および裏面と垂直な軸をZ軸とする。本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板のおもて面および裏面に平行な方向を、水平方向と称する場合がある。

[0032] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば10%以内である。

[0033] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をP型またはN型として説明している。本明細書においては、不純物とは、特にN型のドナーまたはP型のアクセプタの何れかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N型の導電型を示す半導体またはP型の導電型を示す半導体とすることを意味する。

[0034] 本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度を N_D 、アクセプタ濃度を N_A とすると、任意の位置における正味のネット・ドーピング濃度は $N_D - N_A$ となる。

[0035] ドナーは、半導体に電子を供給する機能を有している。アクセプタは、半導体から電子を受け取る機能を有している。ドナーおよびアクセプタは、不純物自体には限定されない。例えば、半導体中に存在する空孔(V)、酸素(O)および水素(H)が結合したVOH欠陥は、電子を供給するドナーとして機能する。

[0036] 本明細書においてP+型またはN+型と記載した場合、P型またはN型よ

りもドーピング濃度が高いことを意味し、P型またはN型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。また、本明細書においてP++型またはN++型と記載した場合には、P+型またはN+型よりもドーピング濃度が高いことを意味する。

[0037] 本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の濃度を指す。化学濃度は、例えば二次イオン質量分析法（SIMS）により計測できる。上述したネット・ドーピング濃度は、電圧-容量測定法（CV法）により測定できる。また、拡がり抵抗測定法（SR法）により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。CV法またはSR法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、N型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、P型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。

[0038] また、ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。

[0039] SR法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ（ディスオーダー）により、キャリアが散乱されることで生じる。

[0040] CV法またはSR法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてもよい。一例として、シリコンの半導体においてドナーとなるリン

またはヒ素のドナー濃度、あるいはアクセプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の99%程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の0.1%から10%程度である。

[0041] 図1は、実施例1に係る半導体装置100の上面の一例を示す図である。図1においては、各部材を半導体基板のおもて面に投影した位置を示している。図1においては、半導体装置100の一部の部材だけを示しており、一部の部材は省略している。

[0042] 半導体装置100は、半導体基板を備えている。本明細書で単に上面視と称した場合、半導体基板のおもて面側から見ることを意味している。本例の半導体基板は、上面視において互いに向かい合う2組の端辺を有する。図1においては、X軸およびY軸は、何れかの端辺と平行である。またZ軸は、半導体基板のおもて面と垂直である。

[0043] 半導体基板には活性部160が設けられている。活性部160は、半導体装置100が動作した場合に半導体基板のおもて面と裏面との間で、深さ方向に主電流が流れる領域である。

[0044] 活性部160には、IGBT等のトランジスタ素子を含むトランジスタ部70が設けられている。活性部160には、還流ダイオード（FWD）等のダイオード素子を含むダイオード部がさらに設けられていてもよい。トランジスタ部70は、半導体基板のおもて面側に、N型のエミッタ領域、P型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

[0045] 半導体装置100は、半導体基板の上方に1つ以上のパッドを有してよい。半導体装置100は、ゲートパッド、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、端辺の近傍に配置されている。端辺の近傍とは、上面視における端辺と、エミッタ電極との間の領域を指す。半導体装置100の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

- [0046] ゲートパッドには、ゲート電位が印加される。ゲートパッドは、活性部160のゲートトレンチ部の導電部と電氣的に接続されている。半導体装置100は、ゲートパッドとゲートトレンチ部とを電氣的に接続するゲートランナー47を備える。
- [0047] ゲートランナー47は、上面視において活性部160と半導体基板の端辺との間に配置されている。本例のゲートランナー47は、上面視において活性部160を囲んでいる。上面視においてゲートランナー47に囲まれた領域を活性部160としてもよい。
- [0048] ゲートランナー47は半導体ゲートランナー48およびゲート金属層50のいずれか、または両方からなる。本例のゲートランナー47は半導体ゲートランナー48およびゲート金属層50を備える。半導体ゲートランナー48は、半導体基板の上方に配置されている。本例の半導体ゲートランナー48は、不純物がドーパされたポリシリコン等の多結晶半導体で形成されてよい。半導体ゲートランナー48は、ゲートトレンチ部の内部にゲート絶縁膜を介して設けられたゲート導電部と電氣的に接続する。
- [0049] 本例の半導体装置100は、活性部160の外周に設けられた耐圧構造部190を備える。本例の耐圧構造部190は、ゲートランナー47と端辺との間に配置されている。耐圧構造部190は、半導体基板のおもて面側の電界集中を緩和する。
- [0050] 耐圧構造部190は、活性部160を囲んで環状に設けられたフィールドプレート94およびリサーフのうちの少なくとも一つを更に備えていてもよい。本例のフィールドプレート94は、ゲート金属層50またはエミッタ電極52と同じ材料および／または不純物がドーパされたポリシリコン等であってよい。本例においては、耐圧構造部190におけるフィールドプレート94以外の構造については記載を省略する。
- [0051] また、半導体装置100は、ポリシリコン等で形成されたPN接合ダイオードである不図示の温度センス部や、活性部160に設けられたトランジスタ部と同様の動作をする不図示の電流検出部を備えてもよい。

- [0052] 半導体装置100は、半導体基板のおもて面側に設けられたゲートトレンチ部40、ダミートレンチ部30、ウェル領域11、エミッタ領域12、ベース領域14およびコンタクト領域15を備える。ゲートトレンチ部40およびダミートレンチ部30は、それぞれがトレンチ部の一例である。
- [0053] また、本例の半導体装置100は、半導体基板のおもて面の上方に設けられたゲート金属層50およびエミッタ電極52を備える。ゲート金属層50およびエミッタ電極52は、互いに分離して設けられている。ゲート金属層50とエミッタ電極52とは、電氣的に絶縁されている。
- [0054] エミッタ電極52およびゲート金属層50と、半導体基板のおもて面との間には層間絶縁膜が設けられているが、図1では省略している。本例の層間絶縁膜には、コンタクトホール49、54および56が、当該層間絶縁膜を貫通して設けられている。図1においては、それぞれのコンタクトホールに斜線のハッチングを付している。
- [0055] エミッタ電極52は、ゲートトレンチ部40、ダミートレンチ部30、ウェル領域11、エミッタ領域12、ベース領域14およびコンタクト領域15の上方に設けられている。エミッタ電極52は、コンタクトホール54によって、半導体基板のおもて面におけるエミッタ領域12、ベース領域14およびコンタクト領域15と電氣的に接続する。
- [0056] また、エミッタ電極52は、コンタクトホール56によってダミートレンチ部30内のダミー導電部と接続されている。エミッタ電極52とダミー導電部との間には、不純物がドーブされたポリシリコン等の、導電性を有する材料で形成された接続部が設けられてもよい。接続部は、ダミートレンチ部30のダミー絶縁膜等の絶縁膜を介して半導体基板のおもて面に設けられてよい。
- [0057] ゲート金属層50は、コンタクトホール49によって半導体ゲートランナー48と電氣的に接続する。半導体ゲートランナー48は、不純物がドーブされたポリシリコン等で形成されてよい。半導体ゲートランナー48は、半導体基板のおもて面において、ゲートトレンチ部40内のゲート導電部に接

続する。半導体ゲートランナー48は、ダミートレンチ部30内のダミー導電部およびエミッタ電極52には電氣的に接続しない。半導体ゲートランナー48とゲート導電部とが接続しない場合、または、半導体ゲートランナー48が設けられていない場合は、ゲート金属層50はコンタクトホール49によって直接的にゲート導電部と接続してよい。

[0058] 半導体ゲートランナー48とエミッタ電極52とは層間絶縁膜および酸化膜などの絶縁物により電氣的に分離されている。本例の半導体ゲートランナー48は、コンタクトホール49の下方から、ゲートトレンチ部40の先端部41まで設けられている。ゲートトレンチ部40の先端部41においてゲート導電部は半導体基板のおもて面に露出しており、半導体ゲートランナー48と接続する。

[0059] エミッタ電極52およびゲート金属層50は、金属を含む導電性材料で形成される。例えば、アルミニウムまたはアルミニウムを主成分とした合金（例えば、アルミニウム-シリコン合金等）で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよい。本例の各電極は、エミッタ電極52およびゲート金属層50である。

[0060] 各電極は、コンタクトホール内においてタングステン等で形成されたプラグを有してもよい。プラグは、半導体基板に接する側にバリアメタルを有し、バリアメタルに接するようにタングステンを埋め込み、タングステン上にアルミニウム等で形成されてよい。

[0061] ウェル領域11は、ゲートランナー47と重なって、活性部160の外周を延伸し、上面視で環状に設けられている。ウェル領域11は、ゲートランナー47と重ならない範囲にも、所定の幅で延伸し、上面視で環状に設けられている。本例のウェル領域11は、コンタクトホール54のY軸方向の端から、ゲートランナー47側に離れて設けられている。ウェル領域11は、ベース領域14よりもドーピング濃度の高い第2導電型の領域である。ゲートランナー47は、ウェル領域11と電氣的に絶縁されている。

- [0062] 本例のベース領域14はP型であり、ウェル領域11はP+型である。また、ウェル領域11は、半導体基板のおもて面から、ベース領域14の下端よりも深い位置まで形成されている。ベース領域14は、ウェル領域11に接して設けられている。よって、ウェル領域11はエミッタ電極52と電氣的に接続されている。
- [0063] トランジスタ部70は、配列方向に複数配列されたトレンチ部を有する。本例のトランジスタ部70には、配列方向に沿って1以上のゲートトレンチ部40が設けられている。
- [0064] 本例のゲートトレンチ部40は、配列方向と垂直な延伸方向に沿って延伸する2つの直線部分39（延伸方向に沿って直線状であるトレンチの部分）と、2つの直線部分39を接続する先端部41を有してよい。
- [0065] 先端部41の少なくとも一部は、上面視において曲線状に設けられてよい。2つの直線部分39のY軸方向における端部同士を先端部41が半導体ゲートランナー48と接続することで、ゲートトレンチ部40へのゲート電極として機能する。一方、先端部41を曲線状にすることにより直線部分39で完結するよりも、端部における電界集中を緩和できる。
- [0066] 他の例においては、トランジスタ部70は、配列方向に沿って1以上のゲートトレンチ部40と1以上のダミートレンチ部30とが交互に設けられてもよい。トランジスタ部70において、ダミートレンチ部30はゲートトレンチ部40のそれぞれの直線部分39の間に設けられている。それぞれの直線部分39の間には、1本のダミートレンチ部30が設けられてよく、複数本のダミートレンチ部30が設けられていてもよい。図1では、直線部分39の間に2本のダミートレンチ部30が設けられているが、これは例示に過ぎず、これに限定されるものではない。
- [0067] またそれぞれの直線部分39の間には、ダミートレンチ部30が設けられなくてもよく、ゲートトレンチ部40が設けられてもよい。このような構造により、エミッタ領域12からの電子電流を増大することができるため、オン電圧が低減する。

- [0068] ダミートレンチ部30は、延伸方向に延伸する直線形状を有してよく、ゲートトレンチ部40と同様に、直線部分29と先端部31とを有していてもよい。図1に示した半導体装置100は、先端部31を有するダミートレンチ部30のみが配列されているが、他の例においては、半導体装置100は、先端部31を有さない直線形状のダミートレンチ部30を含んでもよい。
- [0069] ウェル領域11の拡散深さは、ゲートトレンチ部40およびダミートレンチ部30の深さよりも深くてもよい。ゲートトレンチ部40およびダミートレンチ部30のY軸方向の端部は、上面視においてウェル領域11に設けられている。つまり、各トレンチ部のY軸方向の端部において、各トレンチ部の深さ方向の底部は、ウェル領域11に覆われている。また、X軸方向の端部に設けられるトレンチ部は、ウェル領域11に覆われていてもよい。これにより、各トレンチ部の当該底部における電界集中を緩和できる。
- [0070] 配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板の内部において、トレンチ部に挟まれた領域を指す。一例としてメサ部の深さ位置は、半導体基板のおもて面からトレンチ部の底部までである。本例のメサ部は、X軸方向において隣接するトレンチ部に挟まれ、半導体基板のおもて面においてトレンチに沿って延伸方向（Y軸方向）に延伸して設けられている。
- [0071] それぞれのメサ部には、ベース領域14が設けられている。それぞれのメサ部には、上面視においてベース領域14に挟まれた領域に、第1導電型のエミッタ領域12および第2導電型のコンタクト領域15の少なくとも一方が設けられてよい。本例のエミッタ領域12はN+型であり、コンタクト領域15はP+型である。エミッタ領域12およびコンタクト領域15は、深さ方向において、ベース領域14と半導体基板のおもて面との間に設けられてよい。
- [0072] メサ部は、半導体基板のおもて面に露出したエミッタ領域12を有する。エミッタ領域12は、ゲートトレンチ部40に接して設けられている。ゲートトレンチ部40に接するメサ部には、半導体基板のおもて面に露出したコ

ンタクト領域 15 が設けられている。

[0073] メサ部におけるコンタクト領域 15 およびエミッタ領域 12 のそれぞれは、X軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられている。一例として、メサ部のコンタクト領域 15 およびエミッタ領域 12 は、トレンチ部の延伸方向（Y軸方向）に沿って交互に配置されている。

[0074] 他の例においては、メサ部のコンタクト領域 15 およびエミッタ領域 12 は、トレンチ部の延伸方向（Y軸方向）に沿ってストライプ状に設けられていてもよい。例えばトレンチ部に接する領域にエミッタ領域 12 が設けられ、エミッタ領域 12 に挟まれた領域にコンタクト領域 15 が設けられている。

[0075] それぞれのメサ部の上方には、コンタクトホール 54 が設けられている。コンタクトホール 54 は、その延伸方向（Y軸方向）においてベース領域 14 に挟まれた領域に配置されている。本例のコンタクトホール 54 は、コンタクト領域 15、ベース領域 14 およびエミッタ領域 12 の各領域の上方に設けられている。コンタクトホール 54 は、メサ部の配列方向（X軸方向）における中央に配置されてよい。

[0076] 図 2A は、図 1 における a-a' 断面の一例を示す図である。図 2B は、図 2A における領域 A の拡大図である。a-a' 断面は、エミッタ領域 12、コンタクト領域 15、ベース領域 14、並びにゲートトレンチ部 40 およびダミートレンチ部 30 を通る XZ 面である。本例の半導体装置 100 は、a-a' 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。

[0077] 耐圧構造部 190 は、ガードリング 92 を有してよい。ガードリング 92 は、半導体基板 10 のおもて面 21 と接する P 型の領域である。ガードリング 92 は、フィールドプレート 94 と電氣的に接続されている。なお、本例の耐圧構造部 190 は複数のガードリングを有するが、図 2A では省略して 1 つのガードリング 92 のみが示されている。複数のガードリング 92 を設けることで、活性部 160 の上面側における空乏層を外側に伸ばすことがで

き、半導体装置100の耐圧を向上できる。なお、本例ではガードリング92とフィールドプレート94の電氣的な接続を示すために層間絶縁膜38にコンタクトホールを描いているが、必ずしもa-a'断面上にコンタクトホールを有することを示したものではない。

[0078] 層間絶縁膜38は、半導体基板10のおもて面21に設けられている。層間絶縁膜38は、ボロンまたはリン等の不純物が添加されたシリケートガラス等の絶縁膜である。層間絶縁膜38はおもて面21に接してよく、層間絶縁膜38とおもて面21との間に酸化膜等の他の膜が設けられていてもよい。層間絶縁膜38には、図1において説明したコンタクトホール54が設けられている。

[0079] エミッタ電極52は、半導体基板10のおもて面21および層間絶縁膜38の上面に設けられている。エミッタ電極52は、層間絶縁膜38のコンタクトホール54によって、おもて面21と電氣的に接続する。コンタクトホール54の内部には、タングステン(W)等のプラグおよび／またはバリアメタルが設けられていてよい。また、プラグおよび／またはバリアメタルが設けられたコンタクトホールの下には、コンタクト領域15よりもドーピング濃度が高いP++型のプラグ領域(不図示)が設けられてもよい。プラグ領域は、バリアメタルとウェル領域11、ベース領域14およびコンタクト領域15をはじめとするP型領域の接触抵抗を改善する。バリアメタルとコンタクト領域15との接触抵抗を改善することによりラッチアップ耐量を向上させる。

[0080] コレクタ電極24は、半導体基板10の裏面23に設けられている。エミッタ電極52およびコレクタ電極24は、金属を含む材料またはそれらの積層膜で形成される。

[0081] 半導体基板10は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってよい。本例の半導体基板10はシリコン基板である。

[0082] 半導体基板10は、第1導電型のドリフト領域18を有する。本例のドリ

フト領域18は、N型である。ドリフト領域18は、半導体基板10において他のドーピング領域が設けられずに残存した領域であってよい。

[0083] ドリフト領域18の上方には、Z軸方向に1つ以上の蓄積領域16が設けられてよい。蓄積領域16は、ドリフト領域18と同じドーパントが、ドリフト領域18よりも高濃度に蓄積した領域である。蓄積領域16のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。本例の蓄積領域16は、N型である。蓄積領域16のドーパントは、一例としてヒ素(As)、リン(P)、アンチモン(Sb)等である。蓄積領域16を設けることで、キャリアの注入促進効果(IE効果)を高めて、オン電圧を低減できる。

[0084] 本例の蓄積領域16は、ベース領域14と、後述するトレンチボトム部75との間に設けられていてよい。本例の蓄積領域16の上端はベース領域14と接し、下端はトレンチボトム部75と接している。他の例では、蓄積領域16の下端とトレンチボトム部75の上端との間にドリフト領域18が介在してもよい。

[0085] ベース領域14の上方には、半導体基板10のおもて面21に接してエミッタ領域12が設けられている。エミッタ領域12は、ゲートトレンチ部40と接して設けられている。エミッタ領域12のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。エミッタ領域12のドーパントは、一例としてヒ素(As)、リン(P)、アンチモン(Sb)等である。

[0086] ドリフト領域18の下方には、第1導電型のバッファ領域20が設けられてよい。本例のバッファ領域20は、N型である。バッファ領域20のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。バッファ領域20の下方にはコレクタ領域22が設けられている。本例のコレクタ領域22は、一例としてP+型である。バッファ領域20は、ベース領域14の下面側から広がる空乏層がコレクタ領域22に到達することを防ぐフィールドストップ層として機能してよい。

[0087] 半導体基板10には、ゲートトレンチ部40およびダミートレンチ部30

が設けられている。ゲートトレンチ部40およびダミートレンチ部30は、おもて面21からベース領域14および蓄積領域16を貫通して、ドリフト領域18に到達するように設けられている。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したのも、トレンチ部がドーピング領域を貫通しているものに含まれる。

[0088] ゲートトレンチ部40は、半導体基板10のおもて面21に設けられたゲートトレンチ、ゲート絶縁膜42およびゲート導電部44を有する。ゲート絶縁膜42は、ゲートトレンチの内壁を覆って設けられている。ゲート絶縁膜42は、酸化膜または窒化膜で形成してよい。ゲート導電部44は、ゲートトレンチの内部においてゲート絶縁膜42よりも内側を埋め込むように設けられている。ゲート導電部44の上面は、おもて面21と同じXY平面内にある。ゲート絶縁膜42は、ゲート導電部44と半導体基板10とを絶縁する。ゲート導電部44は、不純物がドーピングされたポリシリコン等で形成される。

[0089] ゲート導電部44は、深さ方向においてベース領域14よりも長く設けられてよい。ゲートトレンチ部40は、おもて面21において層間絶縁膜38により覆われる。ゲート導電部44に所定の電圧が印加されると、ベース領域14のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャネルが形成される。

[0090] ダミートレンチ部30は、XZ断面においてゲートトレンチ部40と同一の構造を有してよい。ダミートレンチ部30は、半導体基板10のおもて面21に設けられたダミートレンチ、ダミー絶縁膜32およびダミー導電部34を有する。ダミー絶縁膜32は、ダミートレンチの内壁を覆って設けられている。ダミー絶縁膜32は、酸化膜または窒化膜で形成してよい。ダミー導電部34は、ダミートレンチの内部においてダミー絶縁膜32よりも内側を埋め込むように設けられている。ダミー導電部34の上面は、おもて面2

1と同じXY平面内であってよい。ダミー絶縁膜32は、ダミー導電部34と半導体基板10とを絶縁する。ダミー導電部34は、ゲート導電部44と同一の材料で形成されてよい。

[0091] 本例のゲートトレンチ部40およびダミートレンチ部30は、半導体基板10のおもて面21において層間絶縁膜38により覆われている。なお、ダミートレンチ部30およびゲートトレンチ部40の底部は、下側に凸の曲面状(XZ断面においては曲線状)であってよい。

[0092] トレンチ部の底部には、P型のトレンチボトム部75が設けられている。本例のトレンチボトム部75は、蓄積領域16より下方に設けられている。半導体基板10の深さ方向において、トレンチボトム部75の下端は、ゲートトレンチ部40の底部より下方に位置してよい。換言すると、トレンチボトム部75は、ゲートトレンチ部40の底部を覆っていてよい。

[0093] トレンチボトム部75は、電氣的に浮遊するフローティング層であってよい。本明細書において、フローティング層とは、エミッタ電極52等のいずれの電極とも電氣的に接続されていない層をいう。トレンチボトム部75を設けることにより、トランジスタ部70のターンオン特性が向上する。また、トレンチボトム部75を設けることにより、ゲートトレンチ部40の底部における電界集中を緩和し、アバランシェ耐量を向上させる。

[0094] トランジスタ部70は、上面視で、トレンチボトム部75が設けられていない電子通過領域76を有してよい。電子通過領域76には、蓄積領域16が設けられていてよい。他の例では、蓄積領域16が設けられていなくてよい。また、トレンチボトム部75は、電子通過領域76よりも活性部160の中央部側に設けられた、電氣的に浮遊するフローティング層であってよい。他の例では、電子通過領域76よりも耐圧構造部190側に設けられた、ウェル領域11と接する領域も有してよい。

[0095] 電子通過領域76は、活性部160の中央部側のトレンチボトム部75を、エミッタ電位に固定されたウェル領域11から分離し、電氣的に浮遊させるので、トランジスタ部70の導通時に、電子は活性部160の中央部側の

トレンチボトム部75を流れることができる。また、トランジスタ部70の導通時に、電子は電子通過領域76を流れることができる。

[0096] 図3Aおよび図3Bは、実施例1に係る半導体装置100の製造方法の一例を示す図である。ここでは主に、トレンチボトム部75の形成に関連するプロセスを説明し、他のプロセスについては説明を省略する。

[0097] ステップS100において、半導体基板10のおもて面21にトレンチエッチマスク60を形成し、トレンチエッチマスク60を用いてエッチングすることにより、複数のトレンチを形成する。トレンチは、ドリフト領域18となる領域（後のドーピング領域形成工程で、他のドーピング領域が設けられずに残存する領域）に到達する深さまでエッチングして形成される。

[0098] ステップS130において、厚さ50nm～200nmの酸化膜を形成する。酸化膜の形成前にトレンチエッチマスク60を除去してもよい。また、複数のトレンチのうち、底部にトレンチボトム部75を形成しないトレンチ内に、注入マスク62を形成する。本例の注入マスク62は、レジストマスクである。本例では便宜上、複数のトレンチのうち、底部にトレンチボトム部75を形成しないトレンチを第1トレンチ、底部にトレンチボトム部75を形成するトレンチを第2トレンチと称することがある。

[0099] 注入マスク62の上面は、Z軸方向において、半導体基板10のおもて面21と同じ位置か、半導体基板10のおもて面21よりも深い位置まで設けられる。つまり、本例の注入マスク62は、メサ部上には設けられず、第1トレンチ内にのみ設けられる。

[0100] ステップS140において、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。本例では、複数のトレンチの上方から、トレンチ部の底部に向けて垂直にドーパントをイオン注入する。ドーズ量は、所定のドーピング濃度になるよう適宜調整してよい。P型ドーパントは、一例として、ボロン（B）である。

[0101] P型ドーパントは、注入マスク62が形成されていない第2トレンチに注入される。さらに、P型ドーパントは、注入マスク62が形成されていない

メサ部にも注入される。本例では便宜上、第1トレンチと隣接するメサ部を第1メサ部、第2トレンチと隣接するメサ部を第2メサ部と称することがある。第1トレンチと第2トレンチとに挟まれるメサ部においては、第1トレンチの側を第1メサ部、第2トレンチの側を第2メサ部とみなしてよい。P型ドーパントは、第1メサ部および第2メサ部にも注入される。図3Bにおいて、第1メサ部および第2メサ部におけるP型ドーパントの注入深さを、破線で示す。

[0102] ステップS150において、複数のトレンチの側壁およびメサ部から酸化膜を除去した後、ステップS160において、複数のトレンチの側壁に酸化膜を形成する。これにより、イオン注入によるダメージを古い酸化膜と共に除去し、新たな酸化膜によりトレンチからのリークを防止する。この酸化膜は、ダミー絶縁膜32およびゲート絶縁膜42となる。さらに、ダミー絶縁膜32およびゲート絶縁膜42で側壁が覆われた複数のトレンチに不純物がドーパされたポリシリコン等を充填し、ダミー導電部34およびゲート導電部44をそれぞれ形成する。半導体基板10のおもて面21に堆積した余剰のポリシリコン等をエッチングで除去し、ダミートレンチ部30およびゲートトレンチ部40が形成される。

[0103] ステップS170において、半導体基板10のおもて面21にベース領域14等を形成するためのドーパントをイオン注入した後、熱拡散により、ドーピング領域を形成する。これにより、ステップS140において第2トレンチの底部に注入されたP型ドーパントがトレンチ配列方向（X軸方向）に拡散し、複数の第2トレンチにまたがってトレンチ配列方向（X軸方向）に延伸するトレンチボトム部75が形成される。また、トレンチボトム部75の他、ベース領域14、エミッタ領域12、コンタクト領域15、蓄積領域16等のドーピング領域が形成される。

[0104] 本例では、ステップS140において、メサ部にP型ドーパントが注入されている。しかしながら、図3Bに示すように、第1メサ部および第2メサ部に、P型ドーパントが均等に注入されている。そのため、ステップS17

0のドーピング領域形成工程を経ても、第1メサ部および第2メサ部に注入されたP型ドーパントのドーズ量は均等となり、ベース領域14のドーピング濃度が均等となるので、底部にトレンチボトム部75が設けられているか否かに関わらず、ゲートトレンチ部40に接するメサ部の閾値電圧を揃えることができる。

[0105] 図4Aおよび図4Bは、実施例1に係る半導体装置100の製造方法の他の一例を示す図である。本例は、注入マスク62の形成工程において、図3Aおよび図3Bの例と相違する。ここでは、図3Aおよび図3Bの例との相違点を中心に説明し、共通する工程については説明を省略する。

[0106] ステップS200～S220は、図3AのステップS100～120と同じである。ステップS230において、複数のトレンチのうち、底部にトレンチボトム部75を形成しないトレンチ（すなわち、第1トレンチ）内と、第1トレンチと隣接するメサ部（すなわち、第1メサ部）の上面および底部にトレンチボトム部75を形成するトレンチ（すなわち第2トレンチ）と隣接するメサ部（すなわち、第2メサ部）の上面に、注入マスク62を形成する。

[0107] 注入マスク62は、トレンチ配列方向（X軸方向）の端部が第2トレンチの側壁と揃うように形成される。本明細書において、トレンチの側壁は、半導体基板10のおもて面21と交差する点を上端とし、注入マスク62がトレンチの側壁と揃うとは、トレンチ配列方向（X軸方向）において、注入マスク62の端部がトレンチの側壁の上端に位置することを意味する。つまり、本例の注入マスク62は、第1トレンチ内のみならず、第1メサ部および第2メサ部をいずれも覆うように設けられる。

[0108] ステップS240において、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。本例では、複数のトレンチの上方から、トレンチ部の底部に向けて垂直にドーパントをイオン注入する。ドーズ量は、所定のドーピング濃度になるよう適宜調整してよい。P型ドーパントは、一例として、ボロン（B）である。

- [0109] P型ドーパントは、注入マスク62が形成されていない第2トレンチに注入される。しかしながら、P型ドーパントは、注入マスク62が形成されたメサ部には注入されない。つまり、本例では、P型ドーパントは、第2トレンチ内にのみ注入される。
- [0110] ステップS250～ステップS270において、複数のトレンチの側壁から酸化膜を除去した後、ダミートレンチ部30およびゲートトレンチ部40およびドーピング領域が形成されるが、ステップS150～ステップS170と共通するので説明を省略する。
- [0111] 本例では、ステップS240において、P型ドーパントは、第2トレンチ内にのみ注入され、第1メサ部および第2メサ部のいずれにも注入されない。そのため、ステップS270のドーピング領域形成工程より前には、いずれのメサ部にもP型ドーパントは注入されておらず、ステップS270のドーピング領域形成工程において、第1メサ部および第2メサ部にP型ドーパントが均等に注入される。従って、いずれのメサ部においても、ベース領域14のドーピング濃度は均等となるので、底部にトレンチボトム部75が設けられているか否かに関わらず、ゲートトレンチ部40に接するメサ部の閾値電圧を揃えることができる。
- [0112] 図5Aおよび図5Bは、実施例1に係る半導体装置100の製造方法の他の一例を示す図である。本例は、トレンチエッチマスク60の形成工程において、図3Aおよび図3Bに示す例と相違する。ここでは、図3Aおよび図3Bに示す例との相違点を中心に説明し、共通する工程については説明を省略する。
- [0113] ステップS300において、半導体基板10のおもて面21にトレンチエッチマスク60を形成し、トレンチエッチマスク60を用いてエッチングすることにより、複数のトレンチを形成する。トレンチエッチマスク60の厚みTは、 $0.3\mu\text{m}$ 以上、 $1\mu\text{m}$ 以下である。本例のトレンチエッチマスク60の厚みTは、図3Aおよび図3Bに示す例で用いられたトレンチエッチマスク60の厚みよりも大きい。

- [0114] ステップS340において、トレンチエッチマスク60および注入マスク62を用いて、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。P型ドーパントは、注入マスク62が形成されていない第2トレンチに注入される。しかしながら、P型ドーパントは、トレンチエッチマスク60が残存するメサ部には注入されない。つまり、本例では、P型ドーパントは、第2トレンチ内にのみ注入される。
- [0115] ステップS350において、メサ部の上面に設けられたトレンチエッチマスク60および複数のトレンチの側壁に設けられた酸化膜を除去する。ステップS350～ステップS370において、ダミートレンチ部30およびゲートトレンチ部40およびドーピング領域が形成されるが、ステップS160～ステップS170と共通するので説明を省略する。
- [0116] 本例では、ステップS300において厚く形成したトレンチエッチマスク60を、ステップS340のトレンチボトム部75の形成工程においても利用するので、P型ドーパントは、第2トレンチ内にのみ注入され、メサ部には注入されない。そのため、ステップS370のドーピング領域形成工程より前には、いずれのメサ部にもP型ドーパントは注入されておらず、ステップS370のドーピング領域形成工程において、メサ部にP型ドーパントが均等に注入される。従って、いずれのメサ部においても、ベース領域14のドーピング濃度は均等となるので、底部にトレンチボトム部75が設けられているか否かに関わらず、ゲートトレンチ部40に接するメサ部の閾値電圧を揃えることができる。
- [0117] 本例では、トレンチエッチマスク60の厚みTを $0.3\mu\text{m}$ 以上、 $1\mu\text{m}$ 以下とすることにより、トレンチエッチマスク60は、エッチング後も注入マスクとして利用可能な程度に十分な厚みを有することができる。
- [0118] 図6Aから図6Cは、実施例1に係る半導体装置100の製造方法の他の一例を示す図である。本例は、ドーピング領域の形成工程において、図3Aおよび図3Bに示す例と相違する。ここでは、図3Aおよび図3Bに示す例との相違点を中心に説明し、共通する工程については説明を省略する。

- [0119] ステップS400は、図3AのステップS100と同じである。ステップS430において、底部にトレンチボトム部75を形成しないトレンチ（すなわち、第1トレンチ）が形成された第1領域R1に注入マスク62を形成する。本例の注入マスク62は、第1トレンチ内にのみ設けられてもよく、第1トレンチ内および第1領域R1において第1トレンチと隣接するメサ部（すなわち、第1メサ部）上に設けられてもよい。
- [0120] ステップS440において、注入マスク62が形成されていない第2領域R2において、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。P型ドーパントは、第2領域R2において、注入マスク62が形成されていない第2トレンチおよび第2トレンチと隣接するメサ部（すなわち、第2メサ部）に注入される。図6Bにおいて、第1メサ部および第2メサ部におけるP型ドーパントの注入深さを、破線で示す。ステップS450～S460において、複数のトレンチの側壁から酸化膜を除去した後、ダミートレンチ部30およびゲートトレンチ部40およびドーピング領域が形成されるが、ステップS160～ステップS170と共通するので説明を省略する。
- [0121] ステップS462において、第1領域R1において第1トレンチと隣接する第1メサ部に、ベース領域14を形成するためのP型ドーパントを注入する。ステップS464において、第2メサ部にベース領域14を形成するためのP型ドーパントを注入する。
- [0122] ステップS464において、第2領域R2の第2メサ部に注入されるP型ドーパントのドーズ量は、ステップS462において、第1領域R1の第1メサ部に注入されるP型ドーパントのドーズ量よりも小さい。第2メサ部に注入されるP型ドーパントのドーズ量、すなわち、ステップS440およびステップS464において第2メサ部に注入されるP型ドーパントの合計ドーズ量は、第1メサ部に注入されるP型ドーパントのドーズ量に等しい。なお、ステップS462およびステップS464のP型ドーパント注入工程は、どちらが先に行われてもよい。

- [0123] ステップS470において、半導体基板10のおもて面21にエミッタ領域12等を形成するためのドーパントをイオン注入した後、熱拡散により、ドーピング領域を形成する。これにより、ステップS440において第2トレンチの底部に注入されたP型ドーパントがトレンチ配列方向（X軸方向）に拡散し、複数の第2トレンチにまたがってトレンチ配列方向（X軸方向）に延伸するトレンチボトム部75が形成される。また、トレンチボトム部75の他、ベース領域14、エミッタ領域12、コンタクト領域15、蓄積領域16等のドーピング領域が形成される。
- [0124] 本例では、ステップS440において、第2領域R2の第2メサ部にP型ドーパントが注入されている。しかしながら、ステップS462において、ステップS464よりも多くのP型ドーパントを注入することにより、第1メサ部および第2メサ部に注入されたP型ドーパントのドーズ量は均等となり、ベース領域14のドーピング濃度が均等となるので、底部にトレンチボトム部75が設けられているか否かに関わらず、ゲートトレンチ部40に接するメサ部の閾値電圧を揃えることができる。
- [0125] 図7Aは、実施例2に係る半導体装置200の断面の一例を示す図である。ここでは、半導体装置100と共通する部材には共通の符号を付し、半導体装置100との相違点を中心に説明する。
- [0126] 本例の半導体装置200は、ゲートトレンチ部40、ダミートレンチ部30を含む複数のトレンチ部を備える。本例では便宜上、複数のトレンチ部のうち、底部にトレンチボトム部75が設けられていないトレンチ部を第1トレンチ部、底部にトレンチボトム部75が設けられたトレンチ部を第2トレンチ部と称することがある。
- [0127] 図7Aは、本例の半導体装置200のトレンチ部と電極との接続を模式的に示している。本例では、トレンチボトム部75が設けられていない複数の第1トレンチ部が連続して配列された領域と、トレンチボトム部75が設けられた複数の第2トレンチ部が連続して配列された領域とが、トレンチ配列方向（X軸方向）に、交互に設けられている。複数の第1トレンチ部が連続

して配列された領域は、電子通過領域 7 6 を構成する。トレンチボトム部 7 5 は、連続して配列された複数の第 2 トレンチ部にまたがって、トレンチ配列方向（X 軸方向）に延伸して設けられている。

[0128] 本例の連続して配列された第 1 トレンチ部は、エミッタ電位に設定されたダミートレンチ部 3 0 である。

[0129] 実施例 1 に関連して説明したように、トレンチボトム部 7 5 の形成工程において、実施例 1 で説明した方法に依らない場合、トレンチボトム部 7 5 が形成されるトレンチ（すなわち、第 2 トレンチ）に隣接するメサ部（すなわち、第 2 メサ部）には P 型ドーパントが注入される一方、トレンチボトム部 7 5 が形成されないトレンチ（すなわち、第 1 トレンチ）に隣接するメサ部（すなわち、第 1 メサ部）は、注入マスク 6 2 で覆われる。つまり、第 1 メサ部に注入された P 型ドーパントのドーズ量は第 2 メサ部に注入された P 型ドーパントのドーズ量よりも少なく、第 1 メサ部の閾値電圧には第 2 メサ部の閾値電圧に対して低下が生じている可能性がある。

[0130] 本例の半導体装置 2 0 0 では、第 1 トレンチ部は、ゲートパッド G に接続されないダミートレンチ部 3 0 となっている。つまり、第 1 メサ部と接していないトレンチ部のみをゲートトレンチ部 4 0 とすることにより、ゲートトレンチ部 4 0 に接するメサ部の閾値電圧を揃えることができる。

[0131] 本例の第 2 トレンチ部は、ゲート電位に設定されたゲートトレンチ部 4 0 またはエミッタ電位に設定されたダミートレンチ部 3 0 である。また、第 2 トレンチ部には、図 7 C に示すダミーゲートトレンチ部 4 5 が含まれていてもよい。ダミーゲートトレンチ部 4 5 はゲート電位に設定されていて、エミッタ領域 1 2 に接していないトレンチ部を指す。ゲートトレンチ部 4 0 は、ゲートランナー 4 7 等を介してゲートパッド G と電氣的に接続されている。第 1 メサ部と接していないトレンチ部のみをゲートトレンチ部 4 0 とすることにより、ゲートトレンチ部 4 0 に接するメサ部の閾値電圧を揃えることができる。また、第 1 トレンチ部と第 2 トレンチ部との間のメサ部では、第 2 トレンチ部の側（第 2 メサ部）に注入された P 型ドーパントが、P 型ドーパ

ントが注入されない第1トレンチ部の側（第1メサ部）にまで拡散して、第2メサ部のベース領域14のドーピング濃度が低下する場合がある。そのため、第1トレンチ部と第2トレンチ部との間の第2メサ部では、第2トレンチ部の間の第2メサ部に比べて閾値電圧が低い場合がある。そのため、第1トレンチ部に隣接する第2トレンチ部をダミートレンチ部30、または、ダミーゲートトレンチ部45としてもよい。第1トレンチ部に隣接する第2トレンチ部をダミーゲートトレンチ部45とする場合、隣接する第2トレンチ部の側の第2メサ部にエミッタ領域12を設けて当該第2トレンチ部をゲートトレンチ部40として動作させ、隣接する第1トレンチ部の側の第2メサ部にエミッタ領域12を設けない構成にしてもよい。また、第1トレンチ部に隣接する第2トレンチ部の両側の第2メサ部において、ベース領域14の濃度差が小さく、閾値電圧の差が小さく問題とならない場合は、当該第2トレンチ部を、両側の第2メサ部にエミッタ領域12を有するゲートトレンチ部40としてもよい。

[0132] 図7Bは、実施例3に係る半導体装置300の断面の一例を示す図である。ここでは、半導体装置100と共通する部材には共通の符号を付し、相違点を中心に説明する。

[0133] 図7Bは、本例の半導体装置300のトレンチ部と電極との接続を模式的に示している。本例の複数のトレンチ部のうち、トレンチ配列方向（X軸方向）に連続して配列された複数の第1トレンチ部は、ゲートトレンチ部40がゲートランナー47-1を介してゲートパッドG1に接続されており、トレンチ配列方向（X軸方向）に連続して配列された複数の第2トレンチ部は、ゲートトレンチ部40がゲートランナー47-2を介してゲートパッドG2に接続されている。ダミートレンチ部30はエミッタ電極52と接続されエミッタ電位に設定されている。

[0134] 上述したように、トレンチボトム部75の形成工程において、トレンチボトム部75が形成されないトレンチ（すなわち、第1トレンチ）に隣接するメサ部（すなわち、第1メサ部）に注入されるP型ドーパントのドーズ量と

、トレンチボトム部75が形成されるトレンチ（すなわち、第2トレンチ）に隣接するメサ部（すなわち、第2メサ部）に注入されるP型ドーパントのドーズ量とは異なる。

[0135] 本例の半導体装置300では、複数の第1トレンチ部および複数の第2トレンチ部のゲートトレンチ部40は、異なるゲートランナーを介して異なるゲートパッドに接続されている。これにより、閾値電圧の差に応じて、ゲートパッドG1およびG2が異なるタイミングで信号を送ることにより、第1トレンチ部および複数の第2トレンチ部のオンオフのタイミングを揃えることができる。

[0136] あるいは、第1ゲートランナー47-1および第2ゲートランナー47-2は、異なるゲート配線抵抗を有してよい。例えば、第1ゲートランナー47-1および第2ゲートランナー47-2は、経路の途中で異なる抵抗値の抵抗部が挿入される、抵抗の異なる材料で形成される、あるいは、異なる断面積を有する。この場合、ゲートパッドG1およびG2が同じゲートパッドであったとしても、第1トレンチ部および第2トレンチ部への信号伝送速度が、ゲートランナー47-1および第2ゲートランナー47-2のゲート配線抵抗に応じて異なるので、第1トレンチ部および複数の第2トレンチ部のオンオフのタイミングを揃えることができる。本例においても、図7Aに示した半導体装置200同様に、第1トレンチ部に隣接する第2トレンチ部をダミートレンチ部30、または、ダミーゲートトレンチ部45としてもよく、あるいは、隣接するベース領域14の濃度差が小さい場合はゲートトレンチ部40としてもよい。その他の第2トレンチ部にダミーゲートトレンチ部45が含まれていてもよい。また、第2トレンチ部に隣接する第1トレンチ部のメサ部では、第2トレンチ部の側（第2メサ部）に注入されたP型ドーパントが、P型ドーパントが注入されない第1トレンチ部の側（第1メサ部）にまで拡散して、第1メサ部のベース領域14の濃度が増加する場合がある。そのため、第1トレンチ部と第2トレンチ部との間の第1メサ部では、第1トレンチ部の間の1メサ部に比べて閾値電圧が高い場合がある。そのた

め、第2トレンチ部に隣接する第1トレンチ部をダミートレンチ部30、または、ダミーゲートトレンチ部45としてもよい。第2トレンチ部に隣接する第1トレンチ部をダミーゲートトレンチ部45とする場合、隣接する第1トレンチ部の側の第1メサ部にエミッタ領域12を設けて当該第1トレンチ部をゲートトレンチ部40として動作させ、隣接する第2トレンチ部の側の第1メサ部にエミッタ領域12を設けない構成にしてもよい。また、第2トレンチ部に隣接する第1トレンチ部の両側の第1メサ部において、ベース領域14の濃度差が小さく、閾値電圧の差が小さく問題とならない場合は、当該第1トレンチ部を、両側の第1メサ部にエミッタ領域12を有するゲートトレンチ部40としてもよい。その他の第1トレンチ部にダミーゲートトレンチ部45が含まれていてもよい。

[0137] 図7Cは、実施例4に係る半導体装置400の断面の一例を示す図である。ここでは、半導体装置100と共通する部材には共通の符号を付し、相違点を中心に説明する。

[0138] 図7Cは、本例の半導体装置400のトレンチ部と電極との接続を模式的に示している。本例の複数のトレンチ部のうち、トレンチ配列方向（X軸方向）に連続して配列された複数の第1トレンチ部のダミーゲートトレンチ部45とトレンチ配列方向（X軸方向）に連続して配列された複数の第2トレンチ部のゲートトレンチ部40は、ゲートランナー47を介してゲートパッドGに接続されている。ここで、ダミーゲートトレンチ部45はゲート電位に設定されていて、エミッタ領域12に接していないトレンチ部を指す。ダミートレンチ部30はエミッタ電極52と接続されエミッタ電位に設定されている。

[0139] 上述したように、トレンチボトム部75の形成工程において、トレンチボトム部75が形成されないトレンチ（すなわち、第1トレンチ）に隣接するメサ部（すなわち、第1メサ部）に注入されるP型ドーパントのドーズ量と、トレンチボトム部75が形成されるトレンチ（すなわち、第2トレンチ）に隣接するメサ部（すなわち、第2メサ部）に注入されるP型ドーパントの

ドーズ量とは異なる。

[0140] 本例の半導体装置400では、複数の第1トレンチ部のダミーゲートトレンチ部45および複数の第2トレンチ部のゲートトレンチ部40は、ゲートランナーを介してゲートパッドに接続されている。第1トレンチ部はエミッタ領域12と接していないダミーゲートトレンチ部45であるので、ベース領域14が反転チャネルを形成してもおもて面21から電子が導通することがない。第2トレンチ部はエミッタ領域12を備えるゲートトレンチ部40であるので、ベース領域14が反転チャネルを形成しておもて面21から電子が導通する。以上のように、第1メサ部と接していないトレンチ部のみをゲートトレンチ部40とすることにより、ゲートトレンチ部40に接するメサ部の閾値電圧を揃えることができる。

[0141] なお、図7Cでは、ダミーゲートトレンチ部45に接して、コンタクト領域15がエミッタ領域12に代えて設けられているが、これに限らない。コンタクト領域15が形成されずにベース領域14であってもよい。また、第1トレンチ部のダミートレンチ部30に隣接してエミッタ領域12が形成されていなくても良い。本例においても、図7Aに示した半導体装置200同様に、第1トレンチ部に隣接する第2トレンチ部をダミートレンチ部30、または、ダミーゲートトレンチ部45としてもよく、あるいは、隣接するベース領域14の濃度差が小さい場合はゲートトレンチ部40としてもよい。その他の第2トレンチ部にダミーゲートトレンチ部45が含まれていてもよい。

[0142] 以上ではトレンチボトム部75はそれぞれの第2トレンチ部に注入されたP型の不純物が1メサの幅未満で拡散し、互いが繋がって形成される例で説明してきたが、P型の不純物の拡散幅の異なる場合についても本発明は当てはまる。P型の不純物の拡散が狭く互いに繋がらず、トレンチボトム部75が離散的に形成される場合においても、同様に上記の発明を適用することで、各メサ部の閾値を揃えることができる。

[0143] 一方、1メサの幅よりも広く拡散する場合、トレンチボトム部75の端に

位置するトレンチ部に、底部にP型のイオンが注入されないにもかかわらずトレンチボトム部75が形成される。この場合も当該トレンチ部（第3トレンチ部という場合がある）を第1トレンチ部に類する扱いとすることで、各メサ部の閾値を揃えることができる。

[0144] 図8Aは、第3トレンチを有する場合の、実施例1に係る半導体装置100の製造方法の一例を示す図である。ここでは主に、図3Aおよび図3Bに示すプロセスからの第3トレンチに関連する変更点を説明し、他のプロセスについては説明を省略する。

[0145] ステップS130において、第3トレンチ73に対して、第1トレンチおよび第2トレンチ同様に厚さ50nm~200nmの酸化膜を形成する。酸化膜の形成前にトレンチエッチマスク60を除去してもよい。また、複数のトレンチのうち、第3トレンチ73内に、第1トレンチ同様、注入マスク62を形成する。本例の注入マスク62は、レジストマスクである。

[0146] 注入マスク62の上面は、Z軸方向において、半導体基板10のおもて面21と同じ位置か、半導体基板10のおもて面21よりも深い位置まで設けられる。つまり、本例の注入マスク62は、メサ部上には設けられず、第1トレンチおよび第3トレンチ73内にのみ設けられる。

[0147] ステップS140において、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。P型ドーパントは、注入マスク62が形成されていない第2トレンチに注入される。さらに、P型ドーパントは、注入マスク62が形成されていないメサ部にも注入される。本例では便宜上、第1トレンチおよび第3トレンチ73と隣接するメサ部を第1メサ部、第2トレンチと隣接するメサ部を第2メサ部と称することがある。第3トレンチ73と第2トレンチとに挟まれるメサ部においては、第3トレンチ73の側を第1メサ部、第2トレンチの側を第2メサ部とみなしてよい。P型ドーパントは、第1メサ部および第2メサ部にも注入される。図8Aにおいて、第1メサ部および第2メサ部におけるP型ドーパントの注入深さを、破線で示す。

[0148] 図8Aでは図示を省略しているが、ステップS150、およびステップS

160において、図3Bに示すように第3トレンチ73を含む複数のトレンチにおいて、ダミートレンチ部30およびゲートトレンチ部40を形成してよい。ステップS170において、半導体基板10のおもて面21にベース領域14等を形成するためのドーパントをイオン注入した後、熱拡散により、ドーピング領域を形成する。これにより、ステップS140において第2トレンチの底部に注入されたP型ドーパントがトレンチ配列方向（X軸方向）に拡散し、複数の第2トレンチにまたがってトレンチ配列方向（X軸方向）に延伸するトレンチボトム部75が形成され、このとき第3トレンチ73の底部にもトレンチボトム部75が形成される。なお、図8Aでは第3トレンチは2つ設けられゲートトレンチ部40とダミートレンチ部30として形成されているが、3つ以上設けられてもよく、1つだけ設けられる場合にはゲートトレンチ部40として形成されてもよく、ダミートレンチ部30として形成されてもよい。

[0149] 図8Bは、第3トレンチを有する場合の、実施例1に係る半導体装置100の製造方法の他の一例を示す図である。ここでは主に、図4Aおよび図4Bに示すプロセスからの第3トレンチに関連する変更点を説明し、他のプロセスについては説明を省略する。

[0150] ステップS230において、複数のトレンチのうち、底部にトレンチボトム部75を形成するためのP型ドーパントをイオン注入しないトレンチ（すなわち、第1トレンチおよび第3トレンチ73）内と、第1トレンチと隣接するメサ部（すなわち、第1メサ部）の上面および底部にトレンチボトム部75を形成するためのP型ドーパントをイオン注入するトレンチ（すなわち、第2トレンチ）と隣接するメサ部（すなわち、第2メサ部および第1メサ部）の上面に、注入マスク62を形成する。

[0151] ステップS240において、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。P型ドーパントは、注入マスク62が形成されていない第2トレンチに注入される。しかしながら、P型ドーパントは、注入マスク62が形成されたメサ部には注入されない。つまり、本例では、

P型ドーパントは、第2トレンチ内にのみ注入される。

[0152] 図8Bでは図示を省略しているが、ステップS250、およびステップS260において、図4Bに示すように第3トレンチ73を含む複数のトレンチにおいて、ダミートレンチ部30およびゲートトレンチ部40を形成してよい。ステップS270において、半導体基板10のおもて面21にベース領域14等を形成するためのドーパントをイオン注入した後、熱拡散により、ドーピング領域を形成する。これにより、ステップS240において第2トレンチの底部に注入されたP型ドーパントがトレンチ配列方向（X軸方向）に拡散し、複数の第2トレンチにまたがってトレンチ配列方向（X軸方向）に延伸するトレンチボトム部75が形成され、このとき第3トレンチ73の底部にもトレンチボトム部75が形成される。なお、図8Bでは第3トレンチは2つ設けられゲートトレンチ部40とダミートレンチ部30として形成されているが、3つ以上設けられてもよく、1つだけ設けられる場合にはゲートトレンチ部40として形成されてもよく、ダミートレンチ部30として形成されてもよい。

[0153] 図8Cは、第3トレンチを有する場合の、実施例1に係る半導体装置100の製造方法の他の一例を示す図である。ここでは主に、図5Aおよび図5Bに示すプロセスからの第3トレンチに関連する変更点を説明し、他のプロセスについては説明を省略する。

[0154] ステップS330において、第3トレンチ73および第1トレンチの内部に注入マスク62を形成する。

[0155] ステップS340において、トレンチエッチマスク60および注入マスク62を用いて、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。P型ドーパントは、注入マスク62が形成されていない第2トレンチに注入される。しかしながら、P型ドーパントは、トレンチエッチマスク60が残存するメサ部には注入されない。つまり、本例では、P型ドーパントは、第2トレンチ内にのみ注入され、第1メサ部、第2メサ部、第1トレンチ、第3トレンチ73には注入されない。

- [0156] 図8Cでは図示を省略しているが、ステップS350、およびステップS360において、図5Bに示すように第3トレンチ73を含む複数のトレンチにおいて、ダミートレンチ部30およびゲートトレンチ部40を形成してよい。ステップS370において、半導体基板10のおもて面21にベース領域14等を形成するためのドーパントをイオン注入した後、熱拡散により、ドーピング領域を形成する。これにより、ステップS340において第2トレンチの底部に注入されたP型ドーパントがトレンチ配列方向（X軸方向）に拡散し、複数の第2トレンチにまたがってトレンチ配列方向（X軸方向）に延伸するトレンチボトム部75が形成され、このとき第3トレンチ73の底部にもトレンチボトム部75が形成される。なお、図8Cでは第3トレンチは2つ設けられゲートトレンチ部40とダミートレンチ部30として形成されているが、3つ以上設けられてもよく、1つだけ設けられる場合にはゲートトレンチ部40として形成されてもよく、ダミートレンチ部30として形成されてもよい。
- [0157] 図8Dは、第3トレンチを有する場合の、実施例1に係る半導体装置100の製造方法の他の一例を示す図である。ここでは主に、図6Aから図6Cに示すプロセスからの第3トレンチに関連する変更点を説明し、他のプロセスについては説明を省略する。
- [0158] ステップS430において、第1領域R1において第3トレンチ73および第1トレンチの内部と第1メサ部に注入マスク62を形成する。
- [0159] 図8Dでは図示を省略しているが、ステップS440において第2領域R2に、トレンチボトム部75を形成するためのP型ドーパントをイオン注入する。図8Dでは図示を省略しているが、ステップS450、およびステップS460において、図6Bに示すように第3トレンチ73を含む複数のトレンチにおいて、ダミートレンチ部30およびゲートトレンチ部40を形成してよい。ステップS462において、第1領域R1において第1トレンチおよび第3トレンチと隣接する第1メサ部に、ベース領域14を形成するためのP型ドーパントを注入する。

[0160] 図8Dでは図示を省略しているが、ステップS464において、第2領域R2において第2トレンチと隣接する第2メサ部に、ベース領域14を形成するためのP型ドーパントを注入する。ステップS470において、熱拡散により、ドーピング領域を形成する。これにより、ステップS440において第2トレンチの底部に注入されたP型ドーパントがトレンチ配列方向(X軸方向)に拡散し、複数の第2トレンチにまたがってトレンチ配列方向(X軸方向)に延伸するトレンチボトム部75が形成され、このとき第3トレンチ73の底部にもトレンチボトム部75が形成される。なお、図8Dでは第3トレンチは2つ設けられゲートトレンチ部40とダミートレンチ部30として形成されているが、3つ以上設けられてもよく、1つだけ設けられる場合にはゲートトレンチ部40として形成されてもよく、ダミートレンチ部30として形成されてもよい。

[0161] 図9Aは、第3トレンチ部を有する場合の実施例2に係る半導体装置200の断面の一例を示す図である。ここでは、図7Aに示す半導体装置からの第3トレンチ部に関連する変更点を説明し、他の構造については説明を省略する。

[0162] 図7Aでは、トレンチボトム部75の端に位置するトレンチ部は第2トレンチであった。図9Aでは、トレンチボトム部75の端に位置するトレンチ部は第3トレンチ73であり、隣接する第1メサ部にはトレンチボトム部75を形成するイオン注入がされない。しかし、本例でも、第3トレンチ73はダミートレンチ部30として形成されるため、第3トレンチ73に隣接する第1メサ部においてチャンネルが形成されず、導通する各メサ部の閾値のずれを生じない。図9Aでは第3トレンチ73は2つ設けられているが、3つ以上設けられてもよく、1つだけ設けられてもよい。

[0163] 図9Bは、第3トレンチ部を有する場合の実施例3に係る半導体装置300の断面の一例を示す図である。ここでは、図7Bに示す半導体装置からの第3トレンチ部に関連する変更点を説明し、他の構造については説明を省略する。

[0164] 図7Bでは、トレンチボトム部75の端に位置するトレンチ部は第2トレンチであった。図9Bでは、トレンチボトム部75の端に位置するトレンチ部は第3トレンチ73であり、隣接する第1メサ部にはトレンチボトム部75を形成するイオン注入がされない。本例では、第3トレンチ73はゲートトレンチ部40として形成されるが、電子通過領域76の第1トレンチ同様にゲートランナー47-1に接続される。第3トレンチ73に隣接する第1メサ部においても、他の各メサ部のゲートのオンおよび／またはオフのタイミングとのずれを生じない。また、第3トレンチ73はダミートレンチ部30として形成されてもよく、この場合も第3トレンチ73に隣接する第1メサ部においてチャンネルが形成されず、導通する各メサ部の閾値のずれを生じない。他の例では、第3トレンチ73から形成されたゲートトレンチ部40が第1ゲートランナー47-1と接続され、他の第1トレンチ部は第1ゲートランナー47-1、第2ゲートランナー47-2には接続されなくてもよい。図9Bでは第3トレンチ73は2つ設けられているが、3つ以上設けられてもよく、1つだけ設けられる場合にはゲートトレンチ部40として形成されてもよく、ダミートレンチ部30として形成されてもよい。

[0165] 図9Cは、第3トレンチ部を有する場合の実施例4に係る半導体装置400の断面の一例を示す図である。ここでは、図7Cに示す半導体装置からの第3トレンチ部に関連する変更点を説明し、他の構造については説明を省略する。

[0166] 図7Cでは、トレンチボトム部75の端に位置するトレンチ部は第2トレンチであった。図9Cでは、トレンチボトム部75の端に位置するトレンチ部は第3トレンチ73であり、隣接する第1メサ部にはトレンチボトム部75を形成するイオン注入がされない。しかし、本例でも、第3トレンチ73はダミーゲートトレンチ部45として形成されるため、第3トレンチ73に隣接する第1メサ部において形成されるチャンネルはエミッタ領域12と接続されず電子が導通しない。従って導通する各メサ部の閾値のずれを生じない。また、第3トレンチ73はダミートレンチ部30として形成されてもよく

、この場合も第3トレンチ73に隣接する第1メサ部においてチャンネルが形成されず、導通する各メサ部の閾値のずれを生じない。図9Cでは第3トレンチ73は2つ設けられているが、3つ以上設けられてもよく、1つだけ設けられる場合にはダミーゲートトレンチ部45として形成されてもよく、ダミートレンチ部30として形成されてもよい。なお、実施例2および3にかかる半導体装置200および300において第3トレンチ73がダミーゲートトレンチ部45として形成されてもよい。

[0167] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0168] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0169] 10・・・半導体基板、11・・・ウェル領域、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、18・・・ドリフト領域、20・・・バッファ領域、21・・・おもて面、22・・・コレクタ領域、23・・・裏面、24・・・コレクタ電極、29・・・直線部分、30・・・ダミートレンチ部、31・・・先端部、32・・・ダミー絶縁膜、34・・・ダミー導電部、38・・・層間絶縁膜、39・・・直線部分、40・・・ゲートトレンチ部、41・・・先端部、42・・・ゲート絶縁膜、44・・・ゲート導電部、45・・・ダミーゲートト

ンチ部、47・・・ゲートランナー、48・・・半導体ゲートランナー、49・・・コンタクトホール、50・・・ゲート金属層、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コンタクトホール、60・・・トレンチエッチマスク、62・・・注入マスク、70・・・トランジスタ部、73・・・第3トレンチ、75・・・トレンチボトム部、76・・・電子通過領域、92・・・ガードリング、94・・・フィールドプレート、100・・・半導体装置、160・・・活性部、190・・・耐圧構造部、200・・・半導体装置、300・・・半導体装置、400・・・半導体装置

請求の範囲

- [請求項1] 半導体基板のおもて面に複数のトレンチを形成する段階と、
前記複数のトレンチの第1トレンチ内に注入マスクを形成する段階と、
前記複数のトレンチのうち前記注入マスクが形成されていない第2トレンチの底部にトレンチボトム部を形成するために、前記第2トレンチに第2導電型のドーパントを注入する段階と、
を備え、
前記ドーパントを注入する段階において、前記第2導電型のドーパントは、前記第1トレンチと隣接する第1メサ部および前記第2トレンチと隣接する第2メサ部にも注入される
半導体装置の製造方法。
- [請求項2] 前記複数のトレンチを形成する段階において、更に、前記第1トレンチと前記第2トレンチとの間に第3トレンチを形成し、
前記注入マスクを形成する段階において、更に、前記第3トレンチ内に前記注入マスクを形成し、
前記ドーパントを注入する段階において、更に、前記第2導電型のドーパントは前記第3トレンチと隣接する前記第1メサ部にも注入され、
前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成する、
請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記注入マスクの上面は、前記半導体基板の深さ方向において、前記半導体基板のおもて面と同じ位置か、前記半導体基板のおもて面よりも深い位置まで設けられる
請求項1または2に記載の半導体装置の製造方法。
- [請求項4] 半導体基板のおもて面に複数のトレンチを形成する段階と、
前記複数のトレンチの第1トレンチ内に注入マスクを形成する段階

と、

前記複数のトレンチのうち前記注入マスクが形成されていない第2トレンチの底部にトレンチボトム部を形成するために、前記第2トレンチに第2導電型のドーパントを注入する段階と、

を備え、

前記注入マスクを形成する段階において、前記第1トレンチと隣接する第1メサ部の上面および前記第2トレンチと隣接する第2メサ部の上面にもマスクが形成される

半導体装置の製造方法。

[請求項5]

前記複数のトレンチを形成する段階において、更に、前記第1トレンチと前記第2トレンチとの間に第3トレンチを形成し、

前記注入マスクを形成する段階において、更に、前記第3トレンチ内および前記第3トレンチと隣接する前記第1メサ部の上面にも前記注入マスクが形成され、

前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成する、

請求項4に記載の半導体装置の製造方法。

[請求項6]

前記注入マスクを形成する段階において、前記注入マスクは、トレンチ配列方向の端部が前記第2トレンチの側壁と揃うように形成される

請求項4または5に記載の半導体装置の製造方法。

[請求項7]

半導体基板のおもて面にトレンチエッチマスクを形成する段階と、前記トレンチエッチマスクを用いて、前記半導体基板のおもて面に複数のトレンチを形成する段階と、

前記複数のトレンチの第1トレンチ内に注入マスクを形成する段階と、

前記トレンチエッチマスクおよび前記注入マスクを用いて、前記注入マスクが形成されていない第2トレンチの底部にトレンチボトム部

を形成するために、前記第2トレンチに第2導電型のドーパントを注入する段階と、

を備える半導体装置の製造方法。

[請求項8] 前記複数のトレンチを形成する段階において、更に、前記第1トレンチと前記第2トレンチとの間に第3トレンチを形成し、

前記注入マスクを形成する段階において、更に、前記第3トレンチ内に前記注入マスクを形成し、

前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成する、

請求項7に記載の半導体装置の製造方法。

[請求項9] 前記トレンチエッチマスクの厚みは $0.3\mu\text{m}$ 以上、 $1\mu\text{m}$ 以下である

請求項7または8に記載の半導体装置の製造方法。

[請求項10] 半導体基板のおもて面に複数のトレンチを形成する段階と、
前記複数のトレンチの第1トレンチが形成された第1領域に注入マスクを形成する段階と、

前記注入マスクが形成されていない第2領域において、前記複数のトレンチの第2トレンチおよび前記第2トレンチと隣接する第2メサ部に、前記第2トレンチの底部にトレンチボトム部を形成するための第2導電型のドーパントを注入するトレンチボトム注入段階と、

前記第1領域から前記注入マスクを除去した後、前記第1領域において前記第1トレンチと隣接する第1メサ部にベース領域を形成するための第2導電型のドーパントを注入する第1ベース注入段階と、

前記第2メサ部にベース領域を形成するための第2導電型のドーパントを注入する第2ベース注入段階と、

を備える

半導体装置の製造方法。

[請求項11] 前記複数のトレンチを形成する段階において、更に、前記第1トレ

ンチと前記第2トレンチとの間に第3トレンチを形成し、

前記注入マスクを形成する段階において、更に、前記第1領域の前記第3トレンチ内に前記注入マスクを形成し、

前記第1ベース注入段階において、更に、前記第2導電型のドーパントは前記第3トレンチと隣接する前記第1メサ部にも注入され、

前記ドーパントを拡散させる段階を備え、更に前記第3トレンチの底部にも前記トレンチボトム部を形成する、

請求項10に記載の半導体装置の製造方法。

[請求項12] 前記第2ベース注入段階のドーズ量は、前記第1ベース注入段階のドーズ量よりも小さい

請求項10または11に記載の半導体装置の製造方法。

[請求項13] 前記第2メサ部に注入される前記ドーパントのドーズ量は、前記第1メサ部に注入される前記ドーパントのドーズ量に等しい

請求項10または11に記載の半導体装置の製造方法。

[請求項14] 第1トレンチ部および第2トレンチ部を含む複数のトレンチ部と、前記第2トレンチ部の底部に設けられた第2導電型のトレンチボトム部と、

を備え、

前記トレンチボトム部が設けられていない前記第1トレンチ部は、ダミートレンチ部またはダミーゲートトレンチ部である

半導体装置。

[請求項15] 第1トレンチ部および第2トレンチ部を含む複数のトレンチ部と、前記第2トレンチ部の底部に設けられた第2導電型のトレンチボトム部と、

前記トレンチボトム部が設けられていない前記第1トレンチ部に接続された第1ゲートランナーと、

前記第2トレンチ部に接続された、前記第1ゲートランナーと異なる第2ゲートランナーと、

を備える半導体装置。

[請求項16] 更に、前記第1トレンチ部と前記第2トレンチ部との間に第3トレンチ部を備え、

前記第3トレンチ部の底部には前記トレンチボトム部が設けられ、
前記第3トレンチ部は、前記ダミートレンチ部または前記ダミーゲートトレンチ部である

請求項14に記載の半導体装置。

[請求項17] 更に、前記第1トレンチ部と前記第2トレンチ部との間に第3トレンチ部を備え、

前記第3トレンチ部の底部には前記トレンチボトム部が設けられ、
前記第3トレンチ部は、ダミートレンチ部またはダミーゲートトレンチ部である

請求項15に記載の半導体装置。

[請求項18] 更に、前記第1トレンチ部と前記第2トレンチ部との間に第3トレンチ部を備え、

前記第3トレンチ部の底部には前記トレンチボトム部が設けられ、
前記第3トレンチ部と前記第1ゲートランナーとが接続される、
請求項15に記載の半導体装置。

[請求項19] 更に、前記第1トレンチ部と前記第2トレンチ部との間に第3トレンチ部を備え、

前記第3トレンチ部の底部には前記トレンチボトム部が設けられ、
前記第3トレンチ部に接続された第1ゲートランナーと、
前記第2トレンチ部に接続された、前記第1ゲートランナーと異なる第2ゲートランナーと、を備える

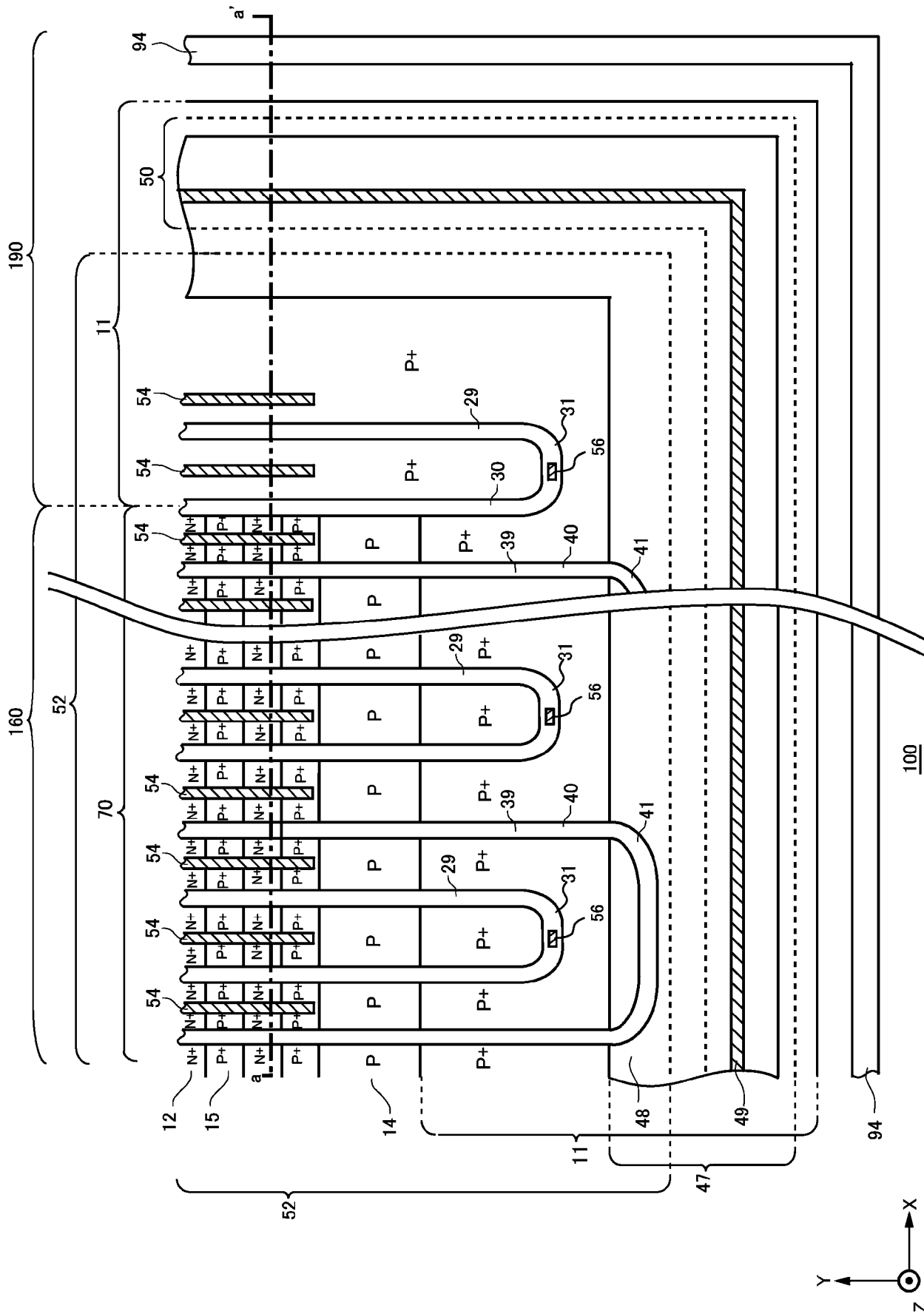
請求項14に記載の半導体装置。


[請求項20] 前記第1ゲートランナーおよび前記第2ゲートランナーは、異なるゲートパッドに接続されている

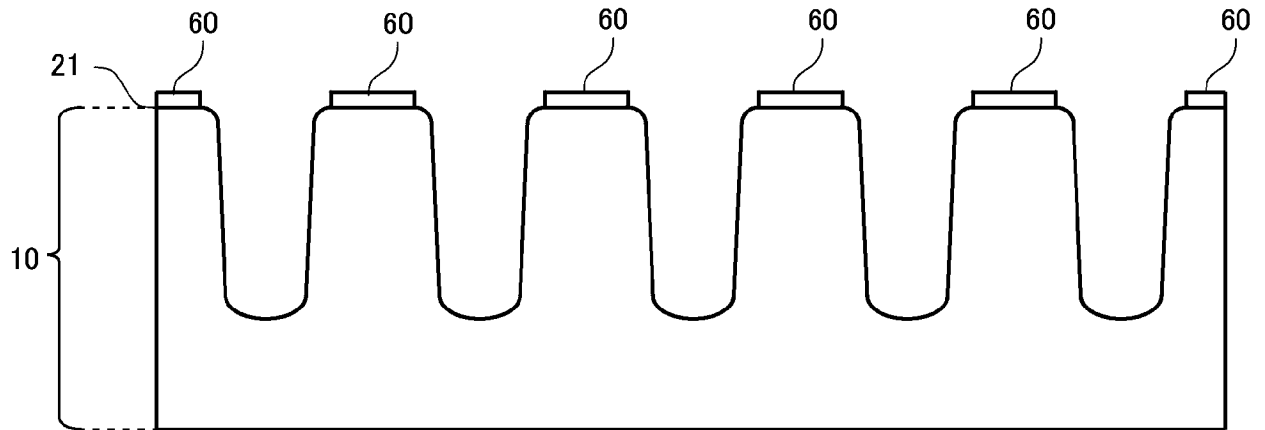
請求項15、17または18のいずれか一項に記載の半導体装置。

- [請求項21] 前記第1ゲートランナーおよび前記第2ゲートランナーは、異なるゲート配線抵抗を有する
請求項15、18または19のいずれか一項に記載の半導体装置。
- [請求項22] 前記第1トレンチ部と隣接する前記第2トレンチ部は、前記ダミートレンチ部または前記ダミーゲートトレンチ部である
請求項14に記載の半導体装置。
- [請求項23] 前記第1トレンチ部と隣接する前記第2トレンチ部は、ダミートレンチ部またはダミーゲートトレンチ部である
請求項15に記載の半導体装置。
- [請求項24] 前記第2トレンチ部と隣接する前記第1トレンチ部は、ダミートレンチ部またはダミーゲートトレンチ部である
請求項15に記載の半導体装置。

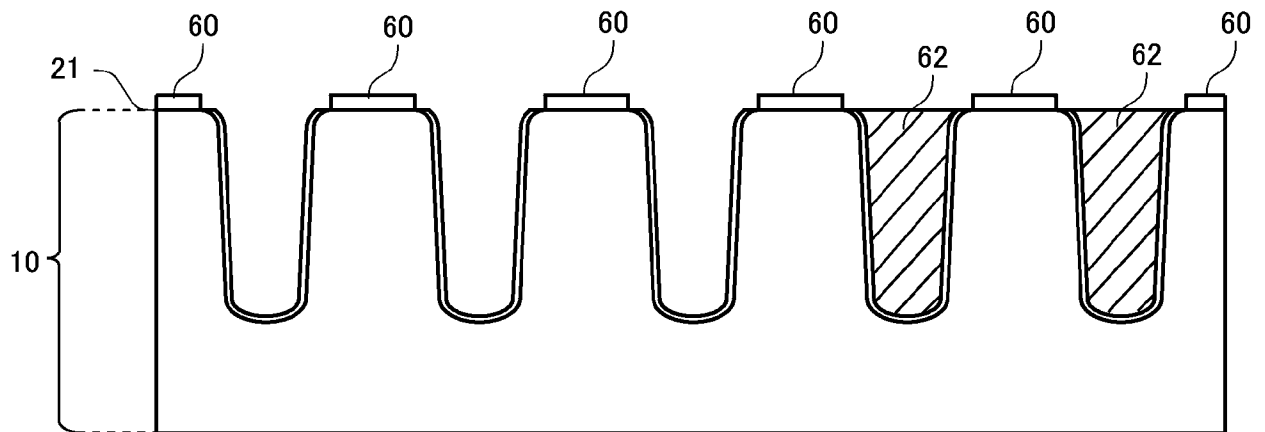
[1]



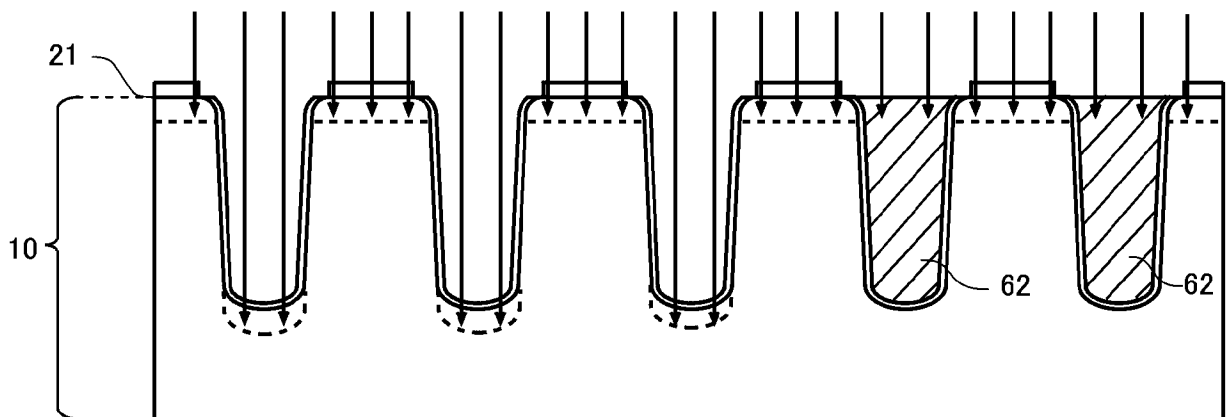
[3A]
S100




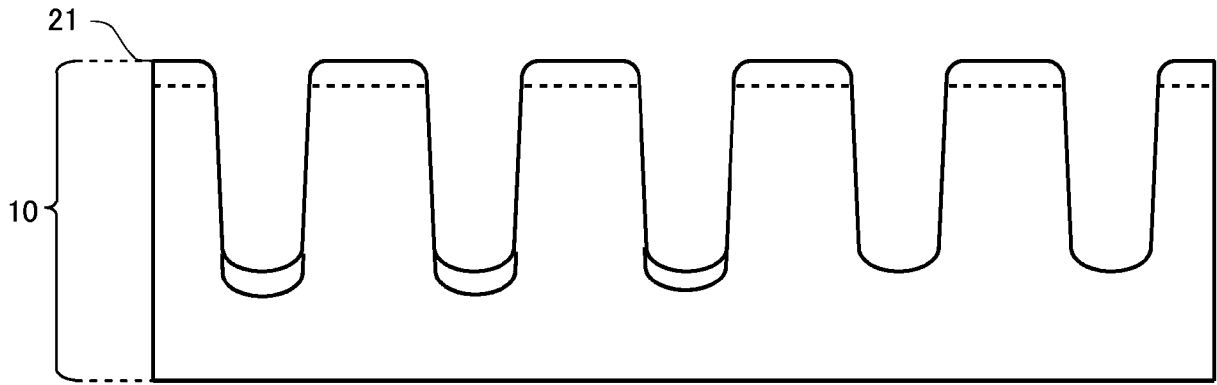
S130



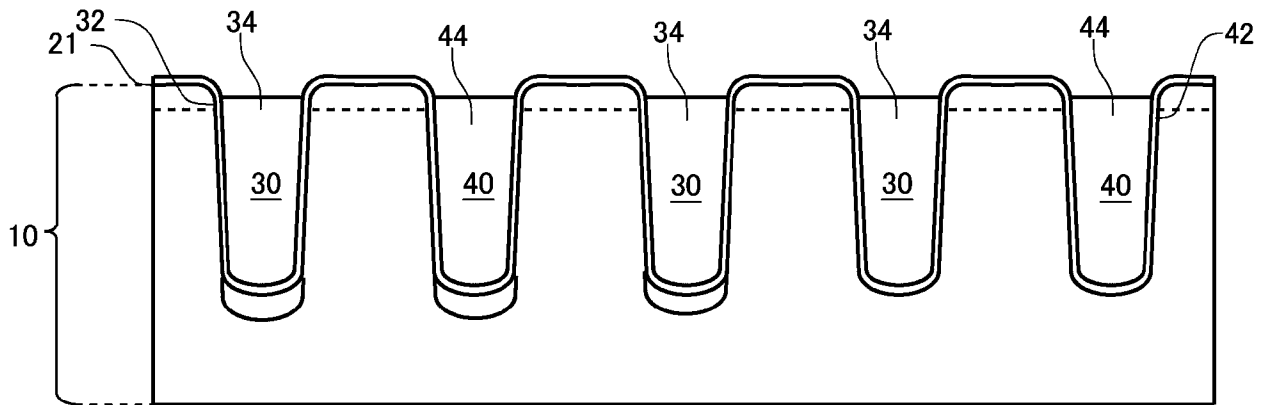
S140



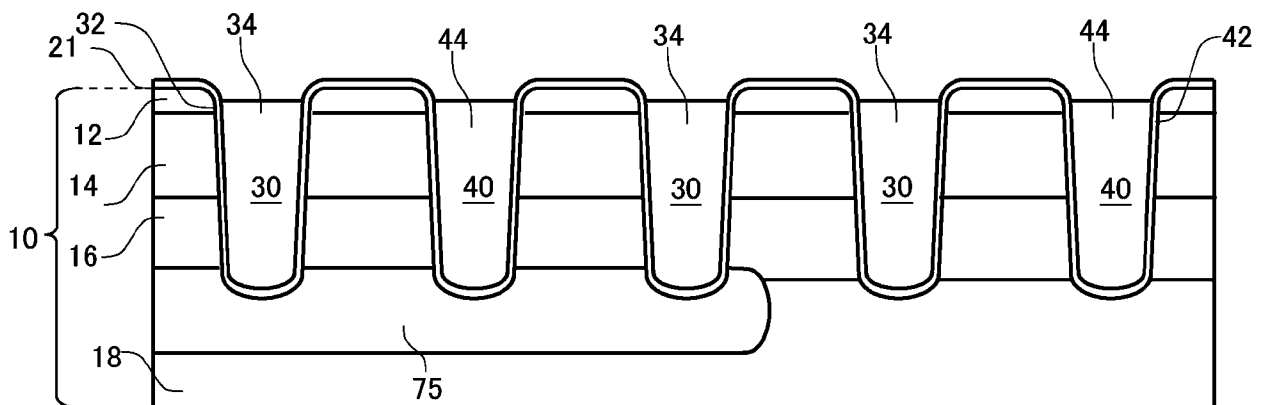
[ 3B]
S150


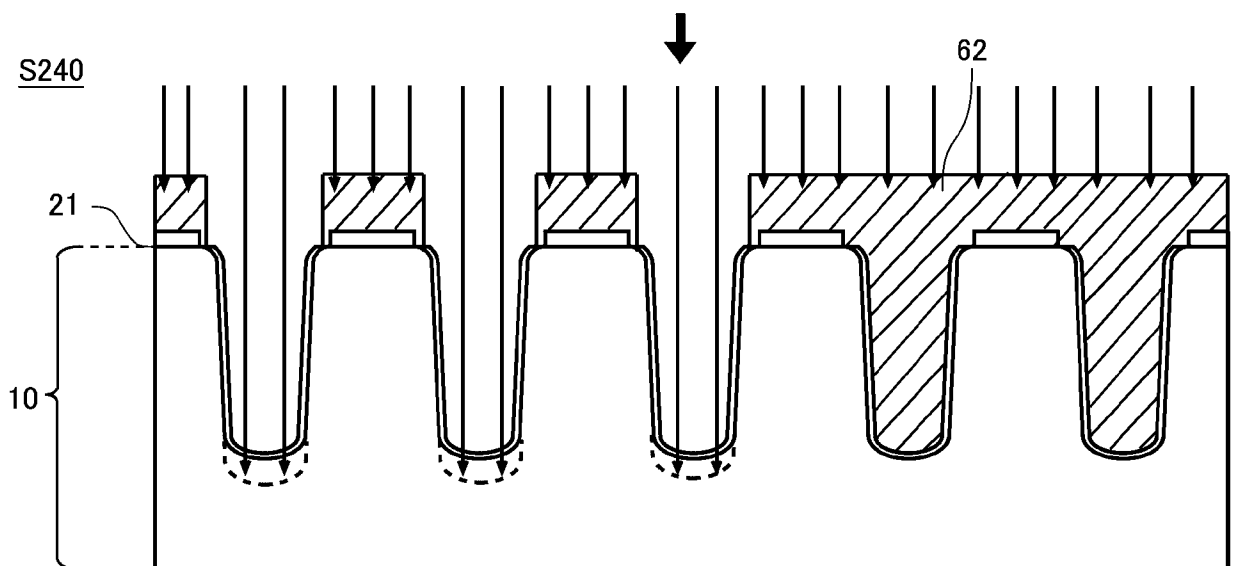
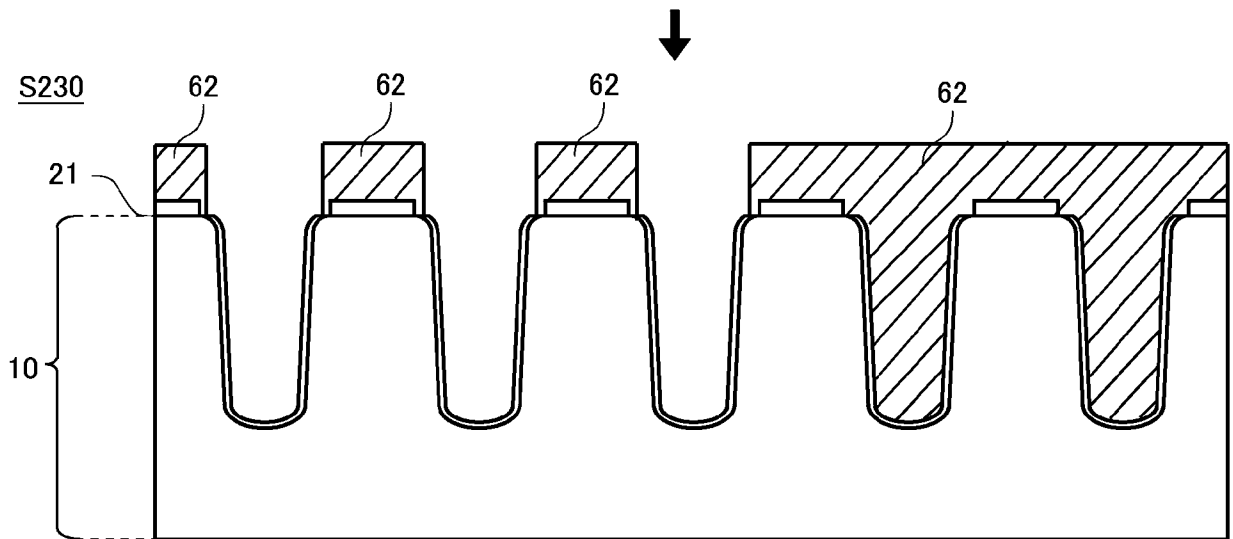
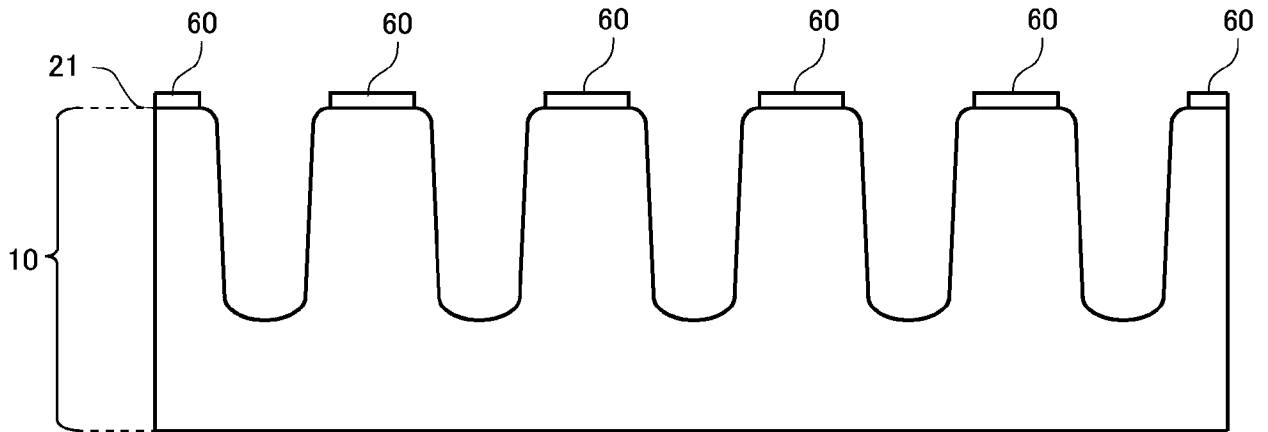



S160

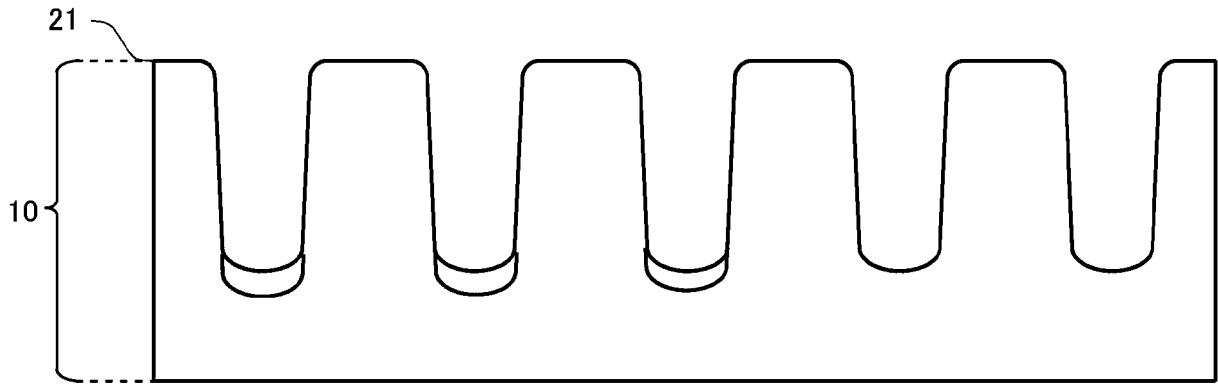


S170

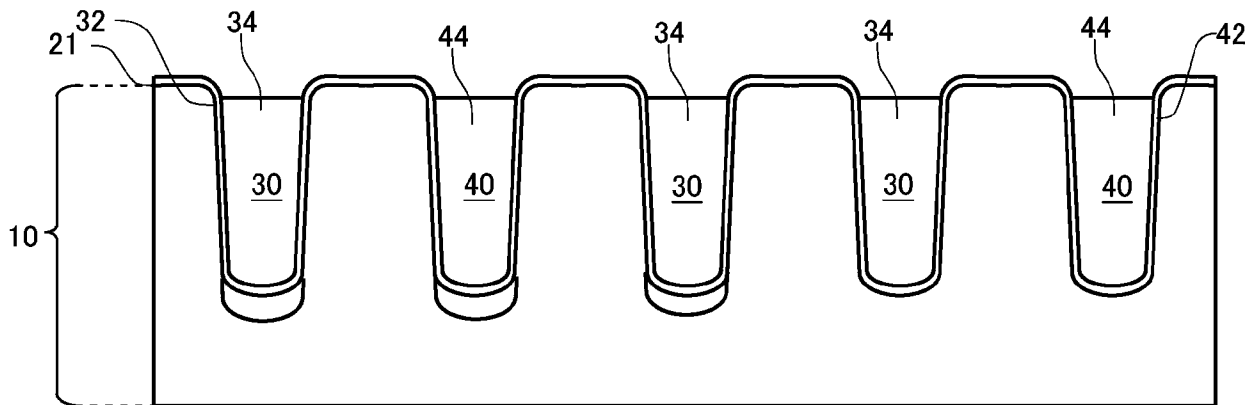


[4A]
S200

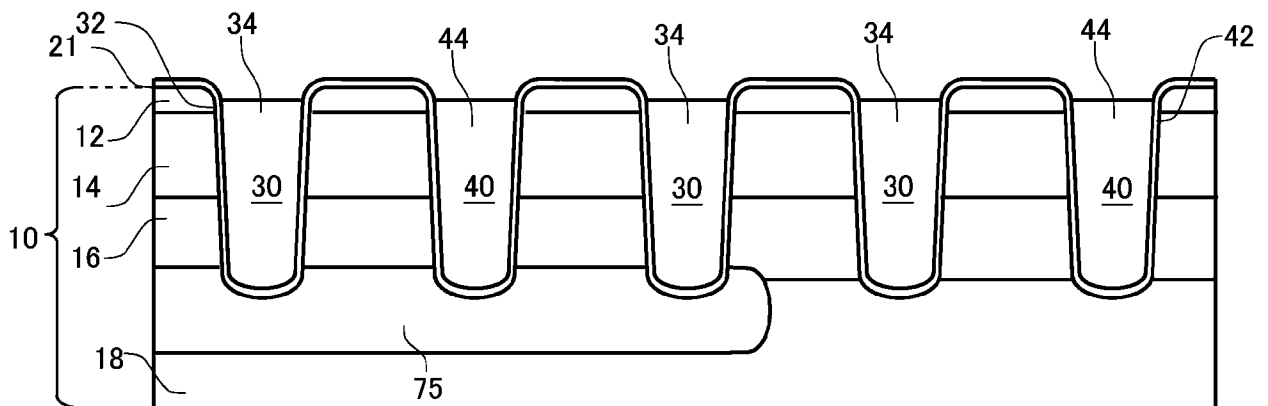
[4B]
S250




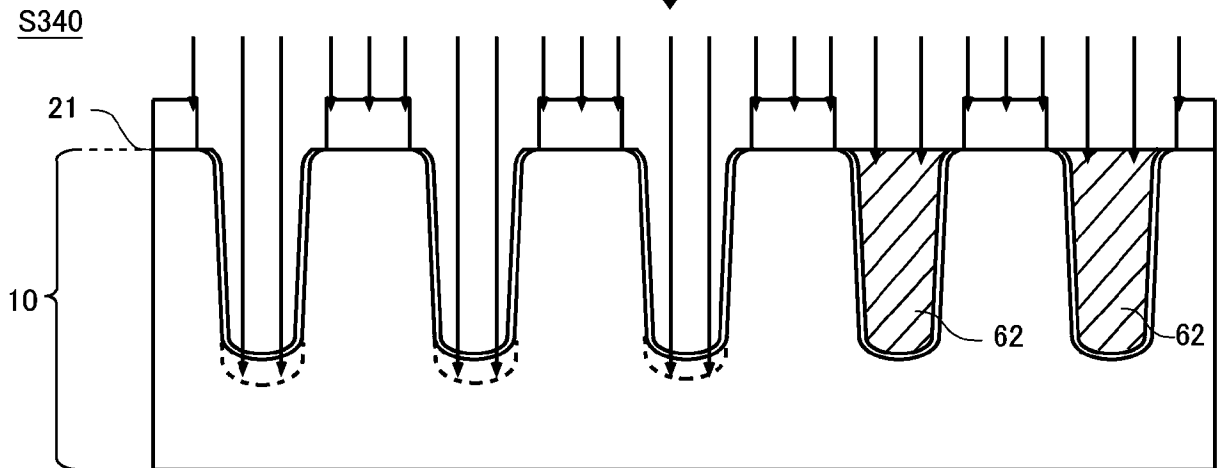
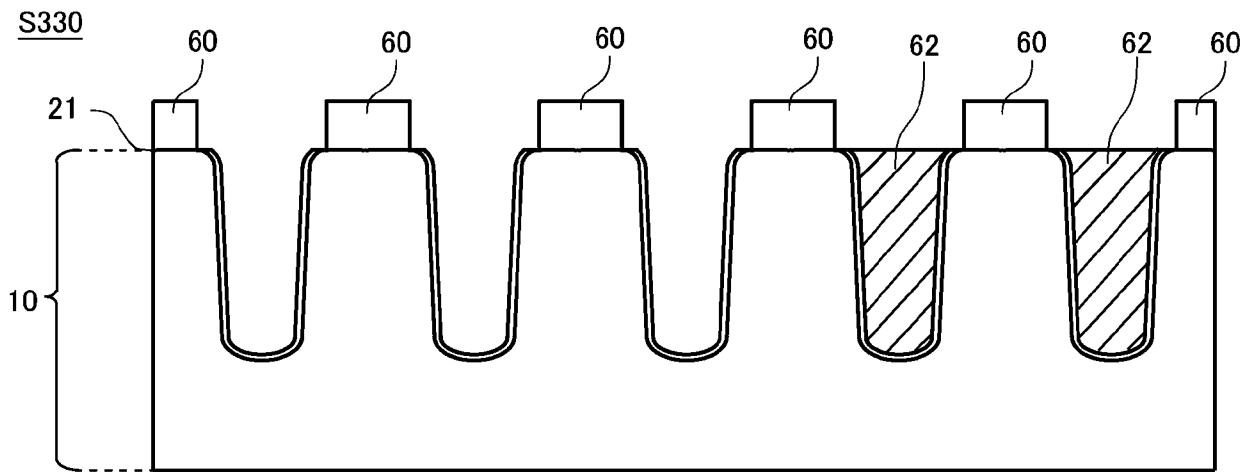
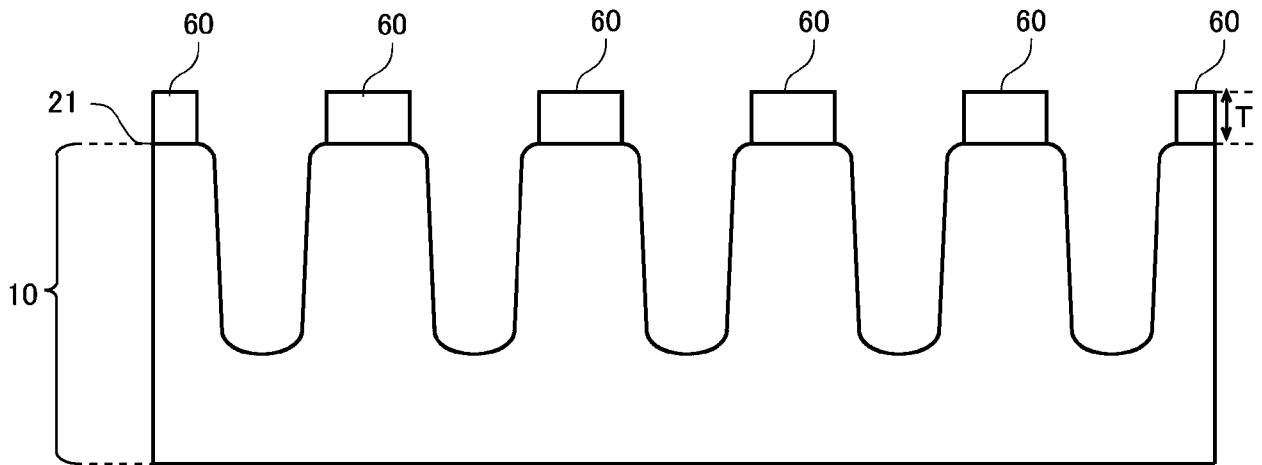
S260




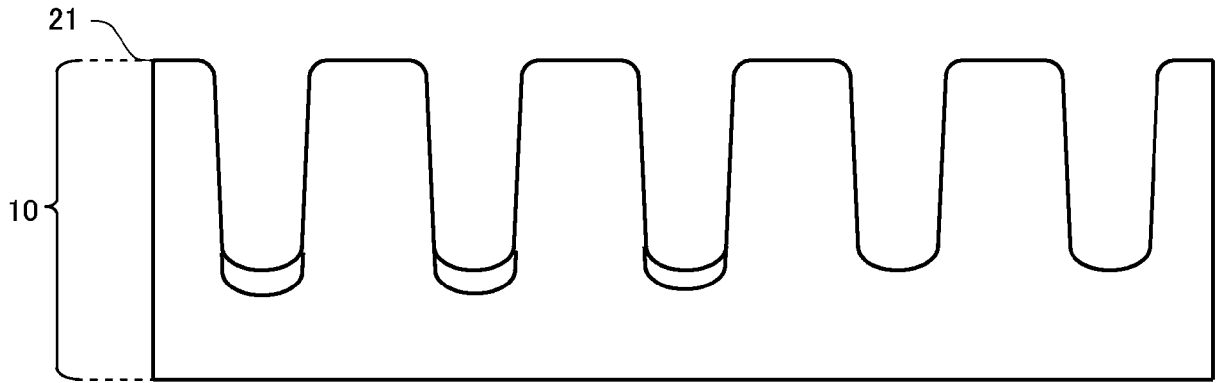
S270



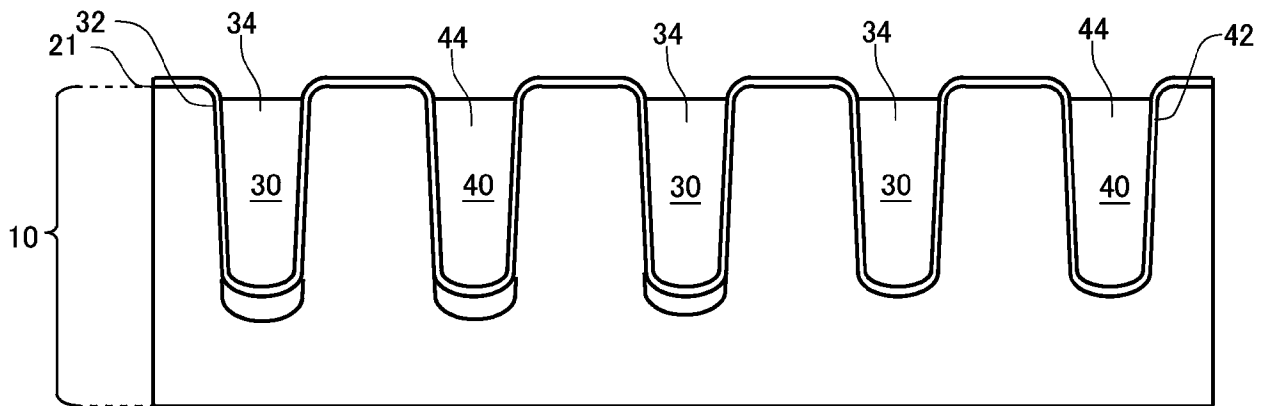
[5A]
S300



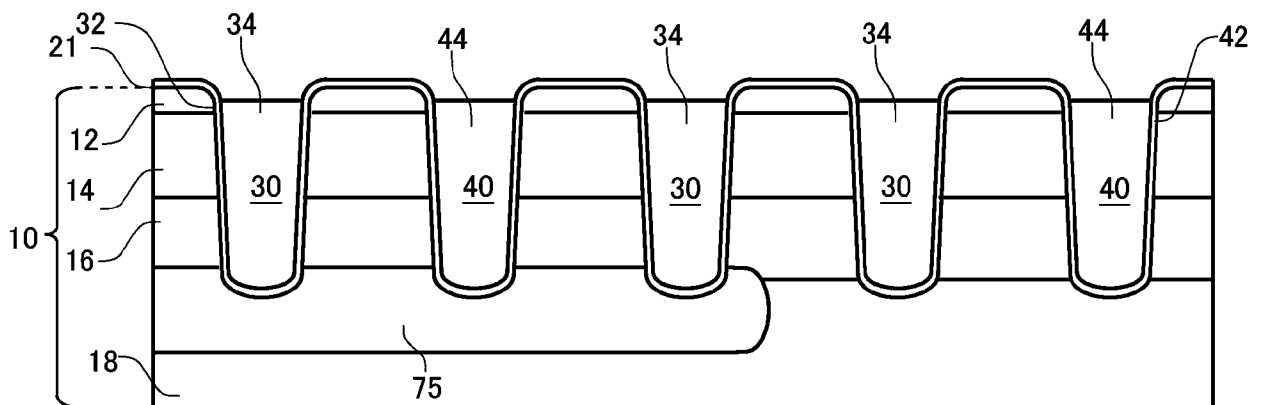
[5B]
S350




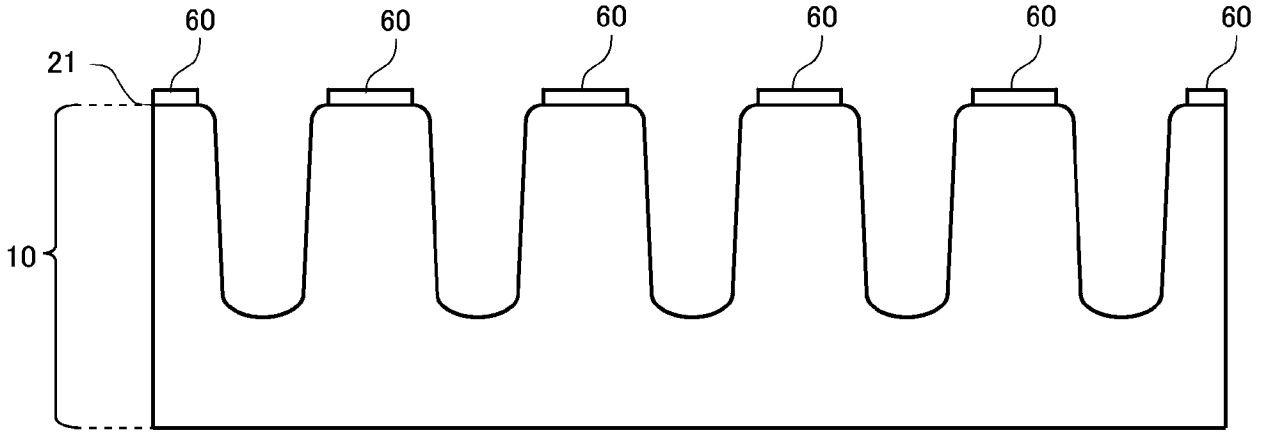
S360



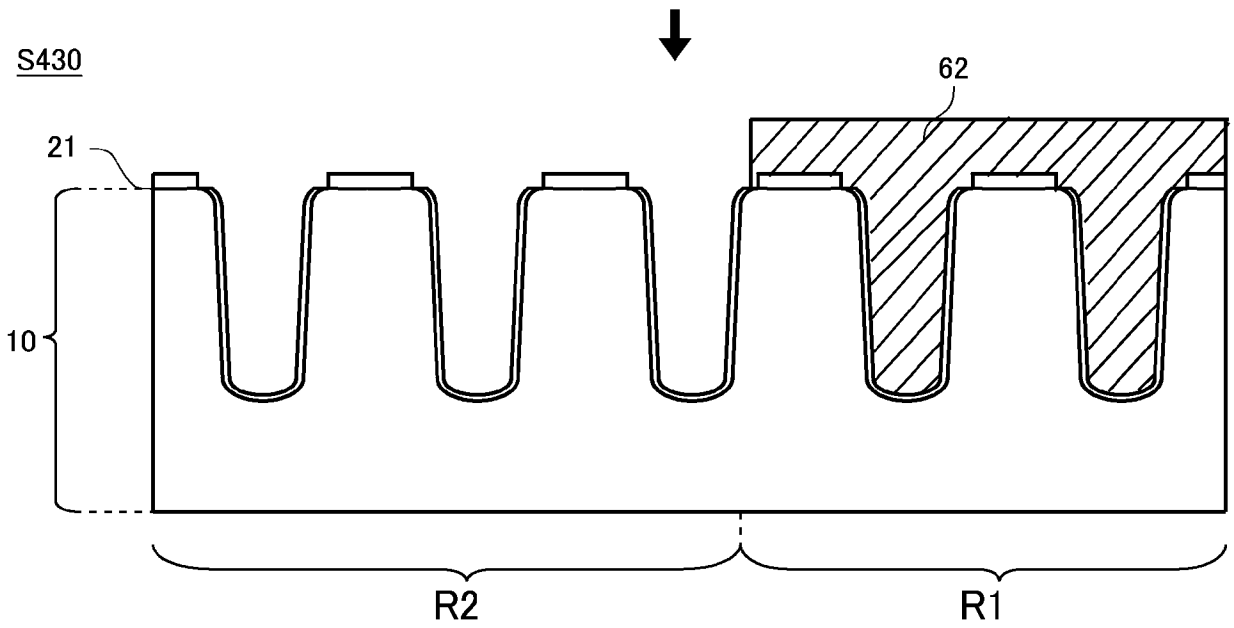
S370



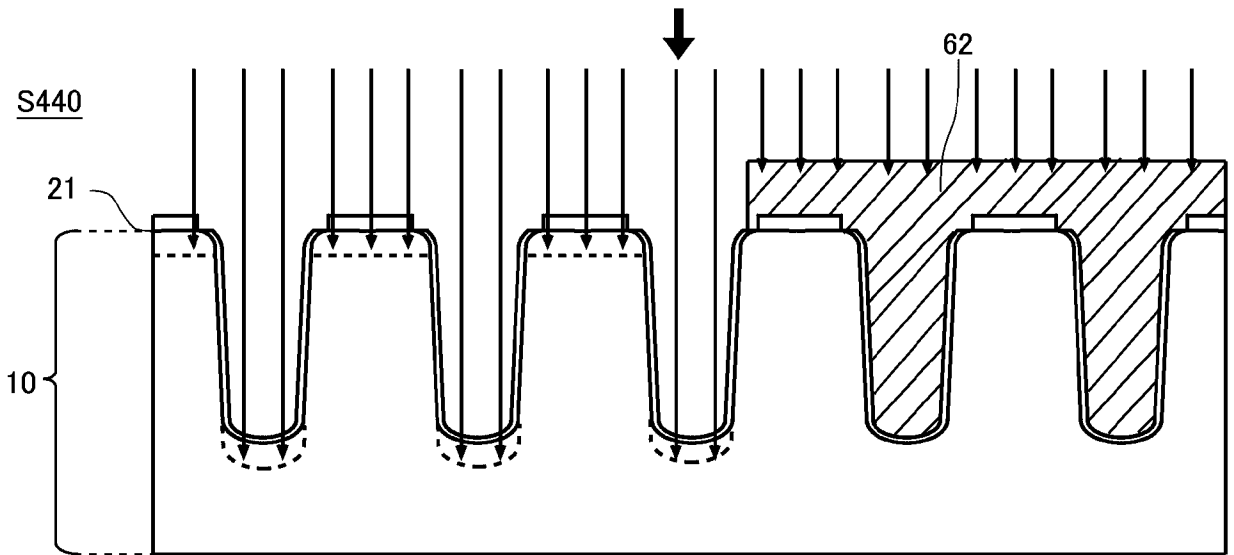
[6A]
S400



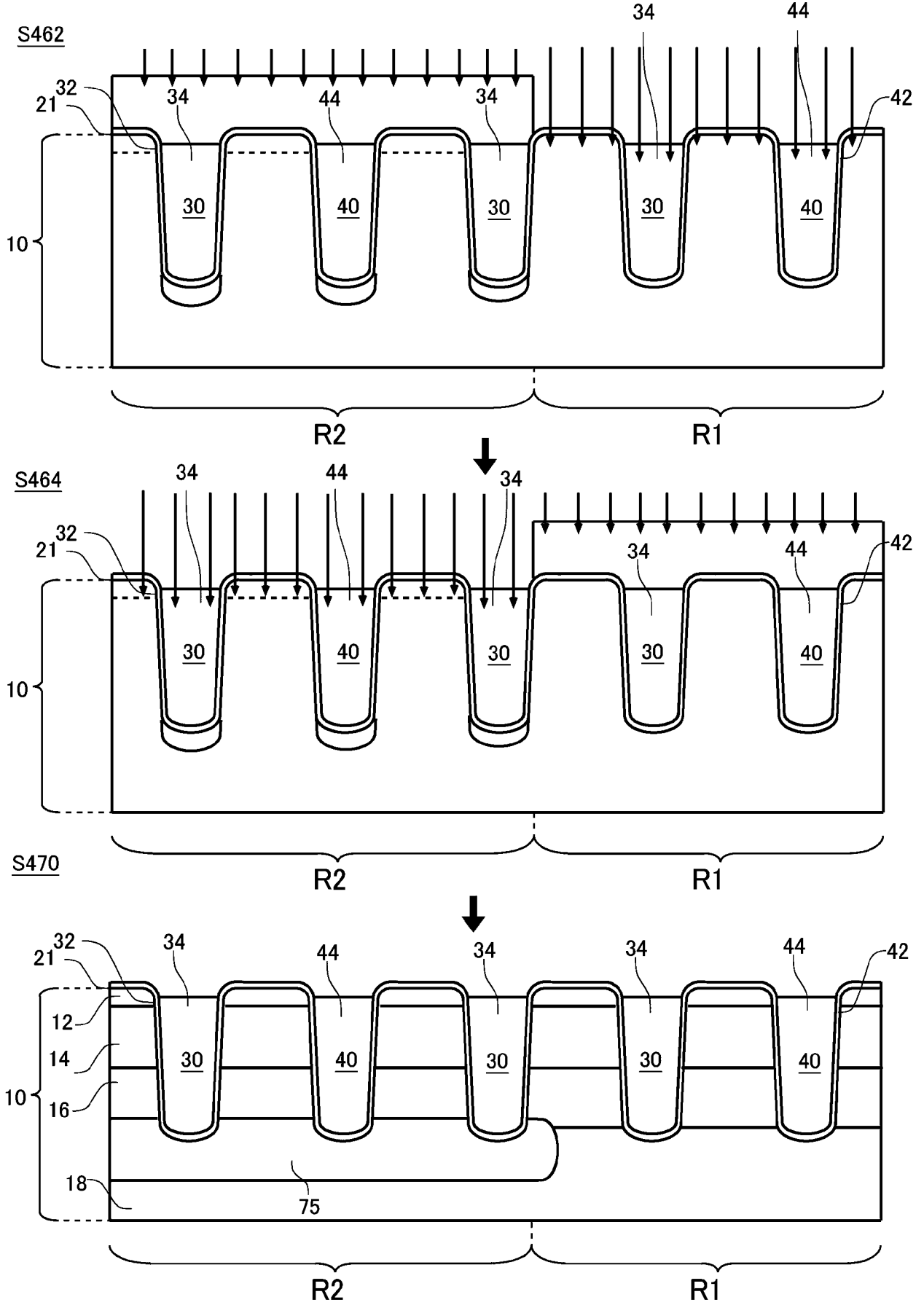
S430



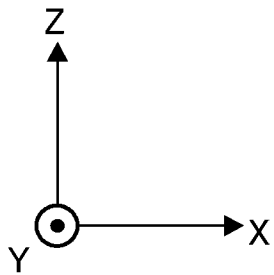
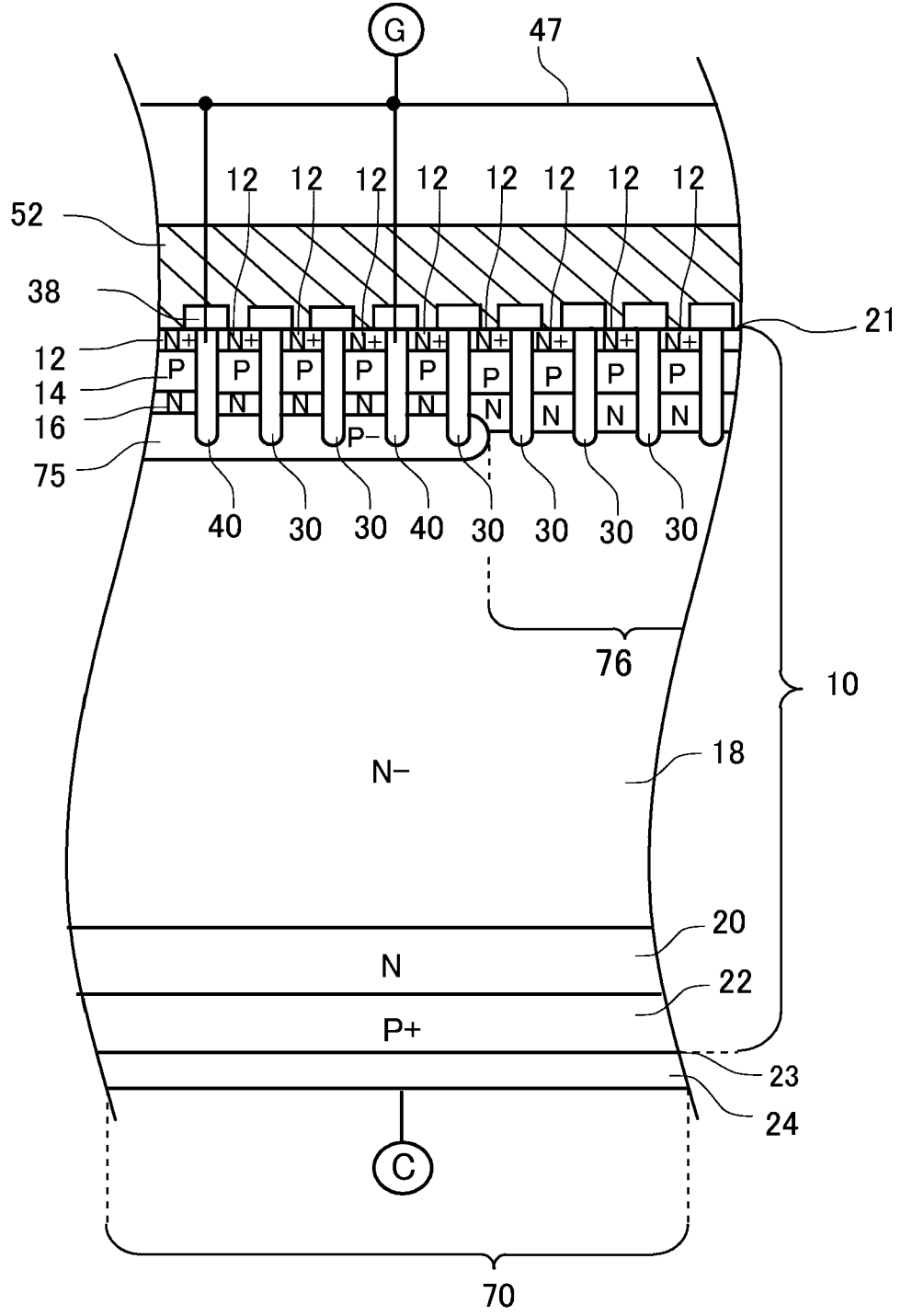
S440



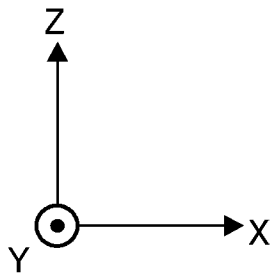
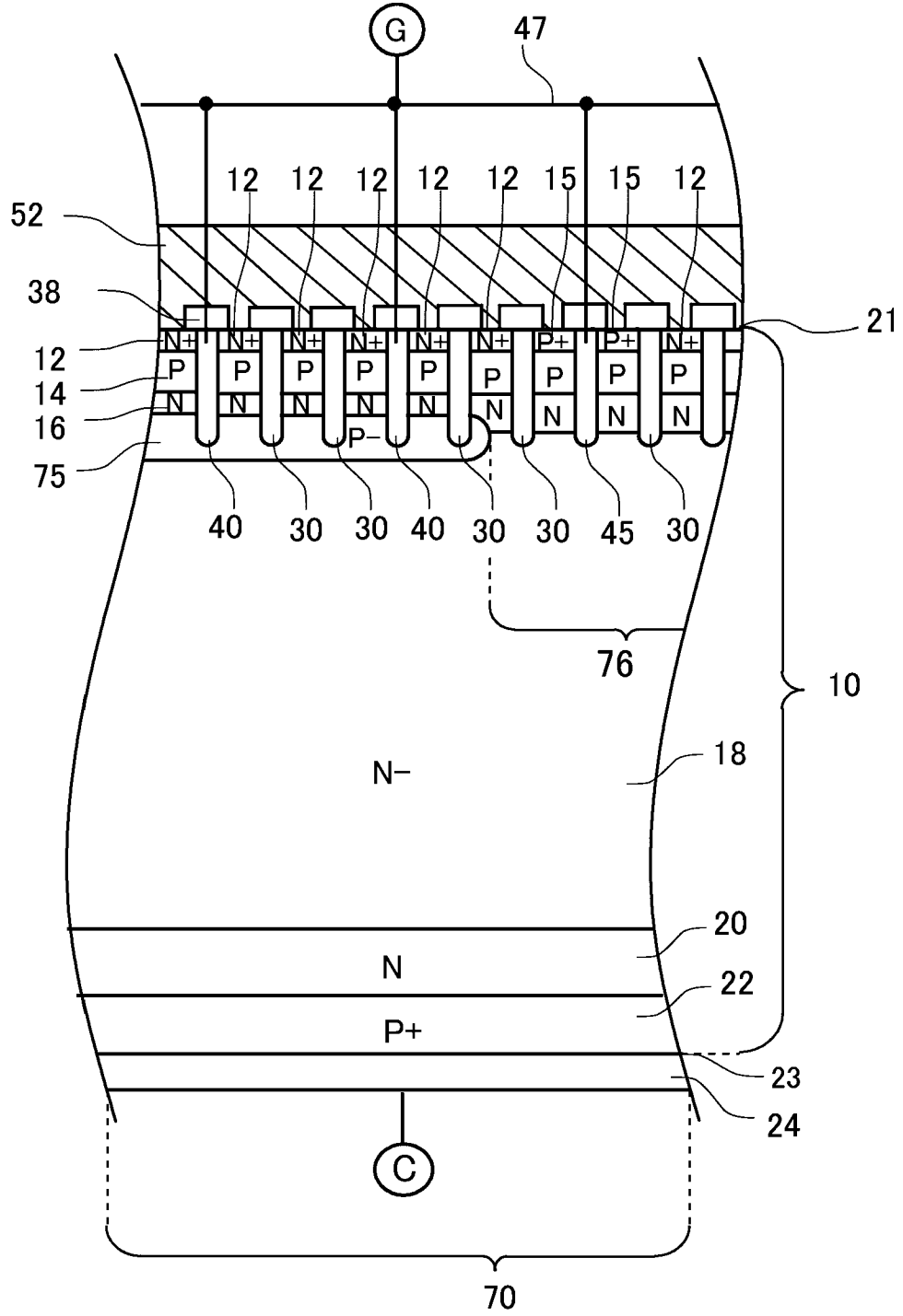
[図6C]



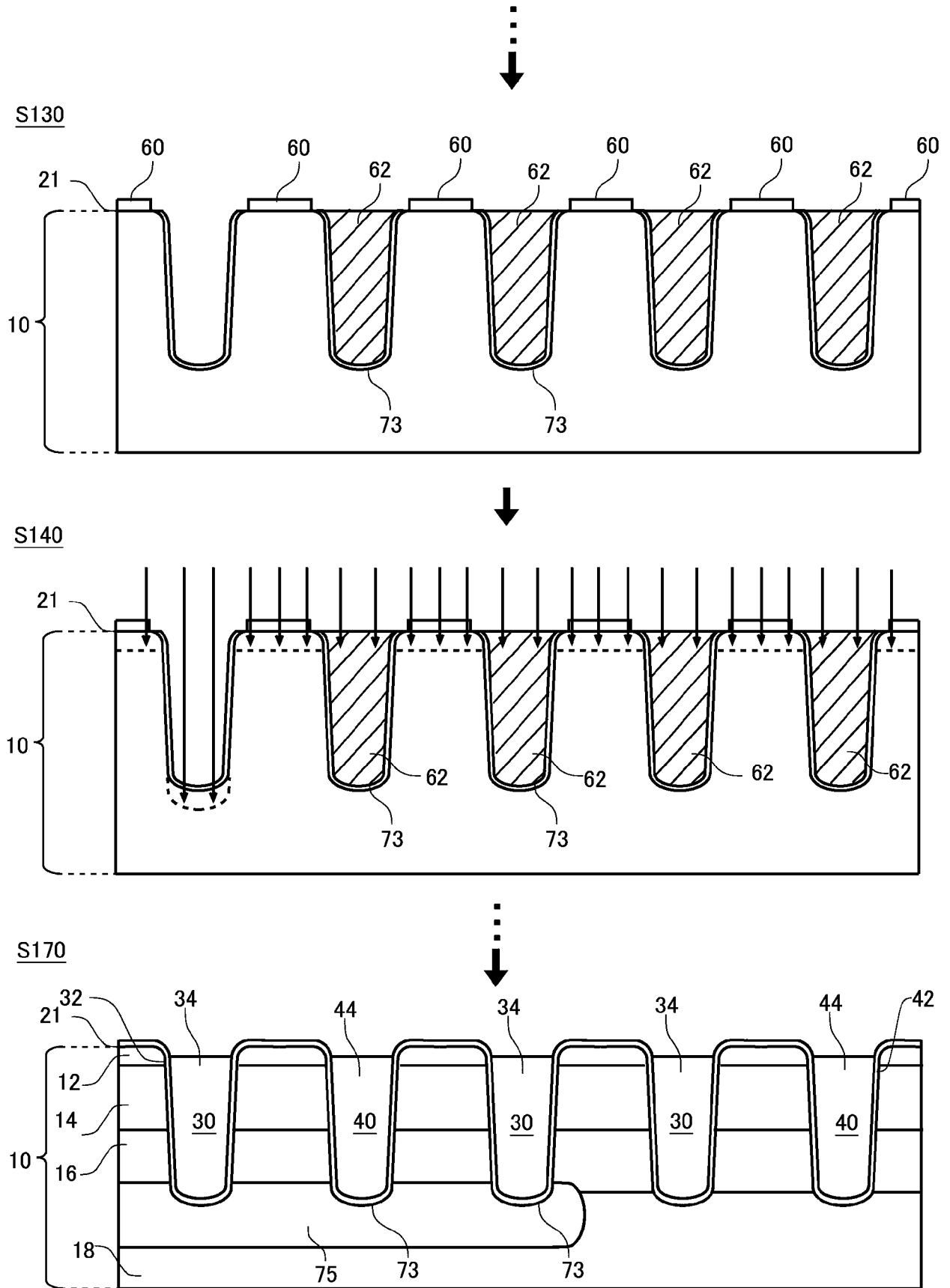
[図7A]



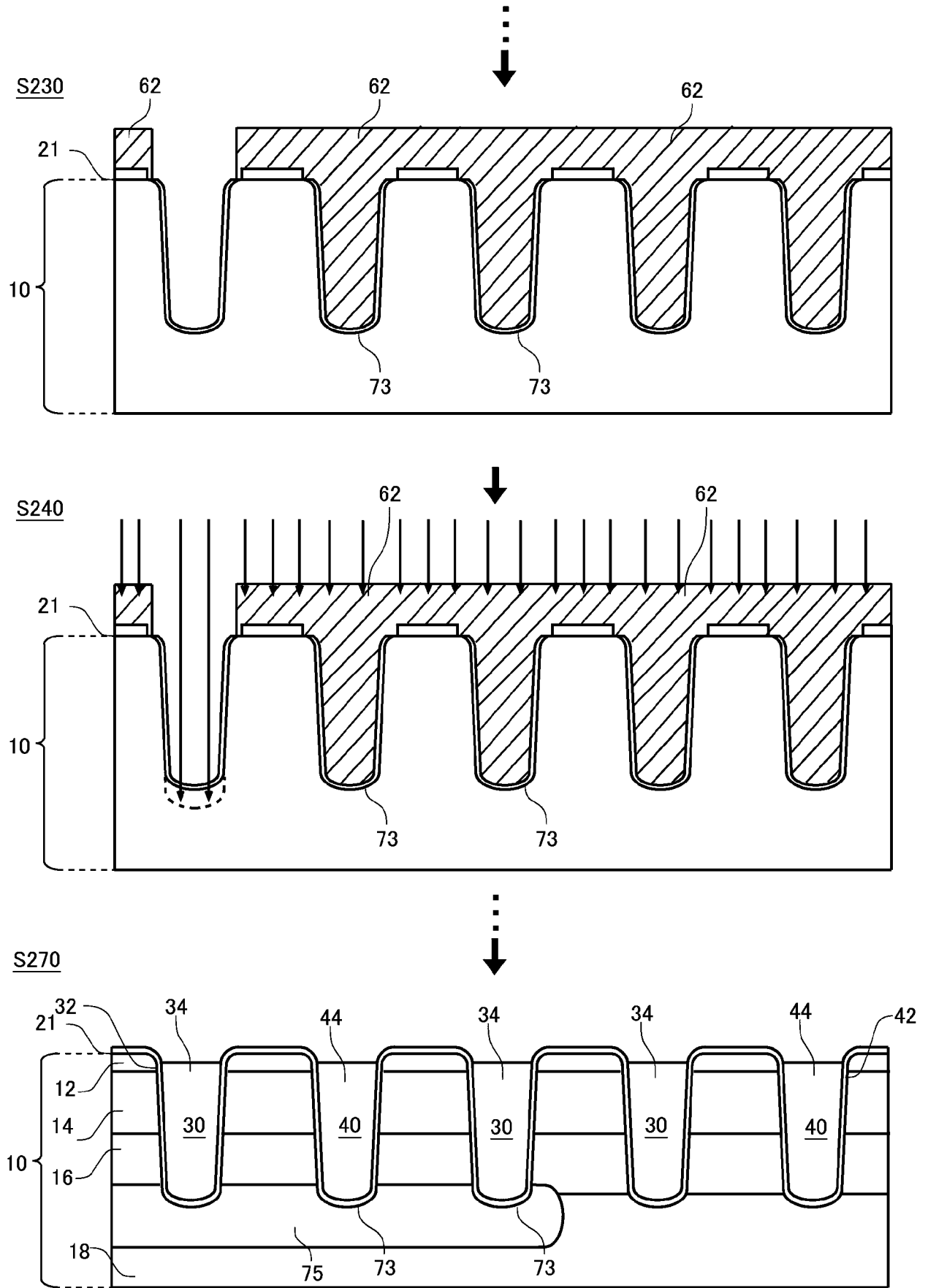
[図7C]



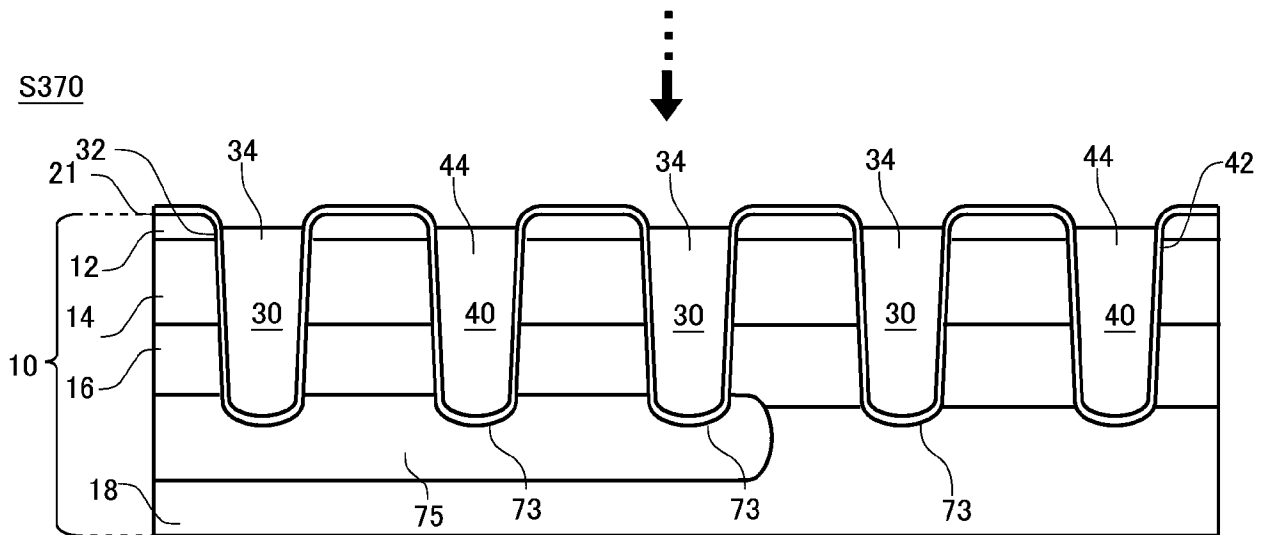
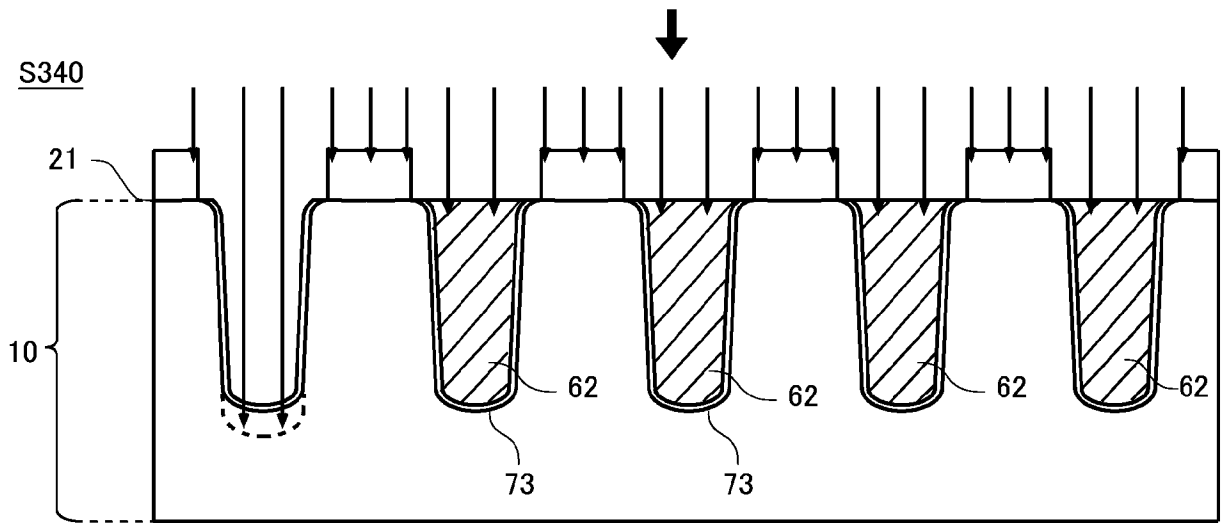
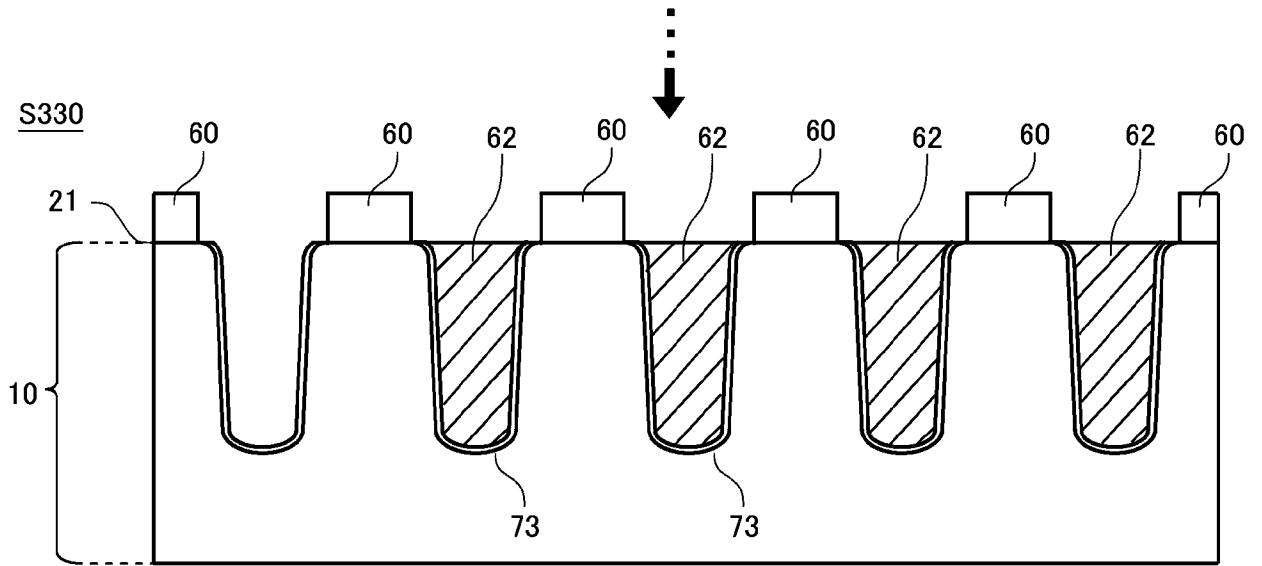
[図8A]



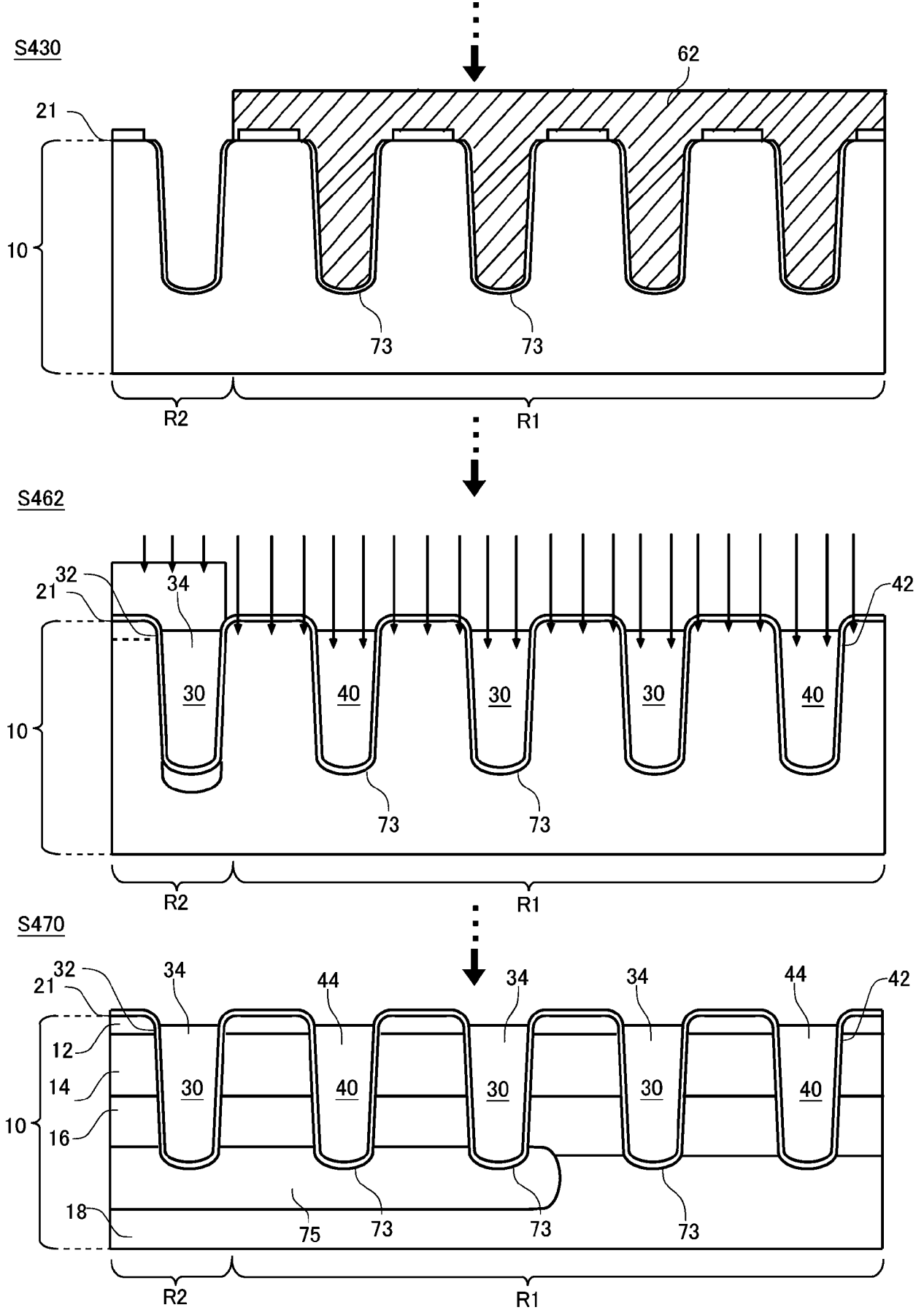
[図8B]



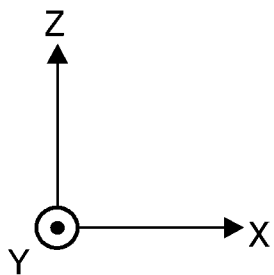
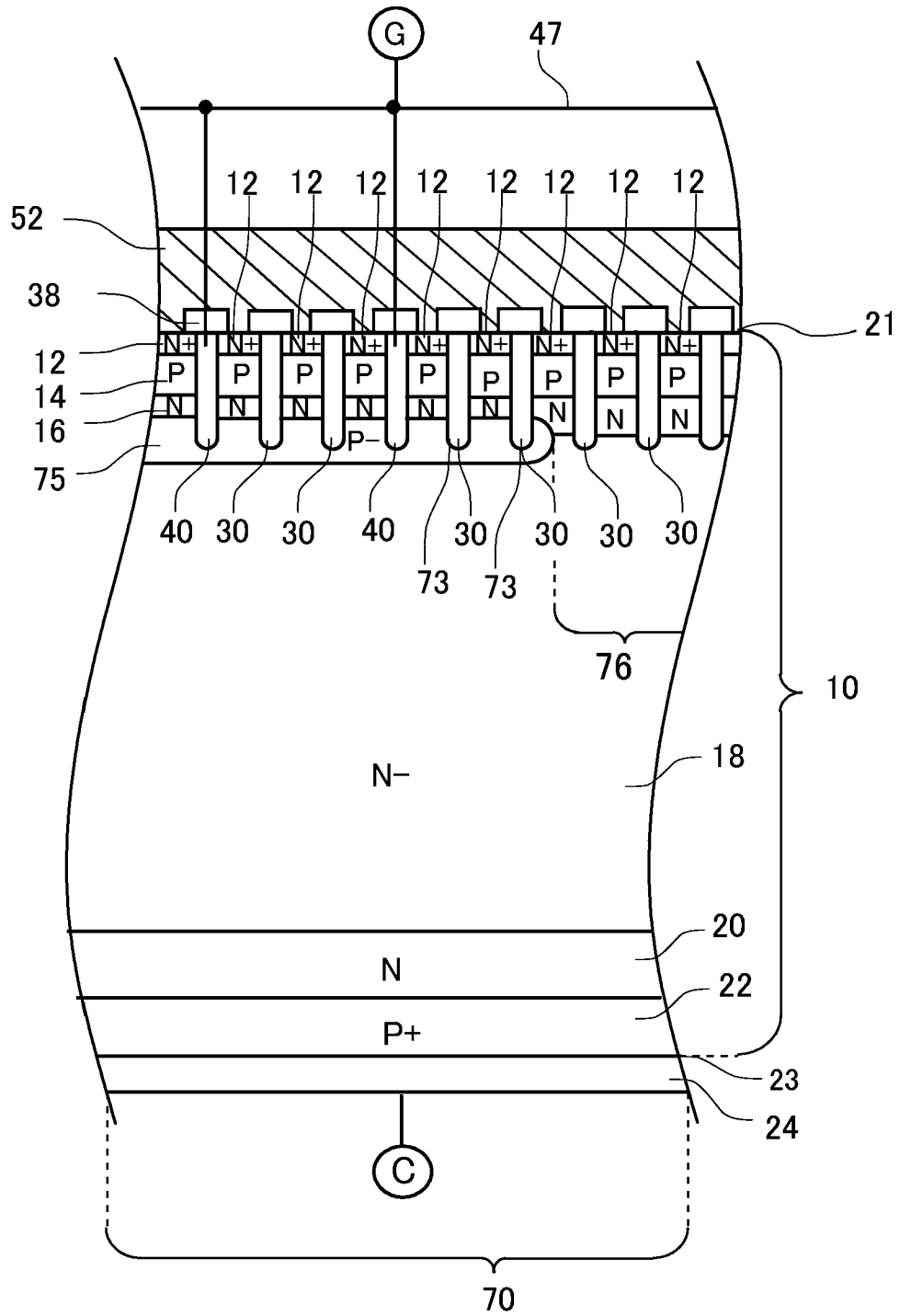
[図8C]



[図8D]

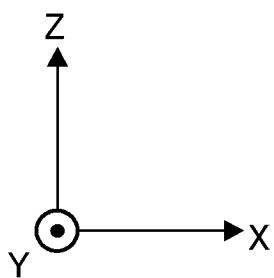
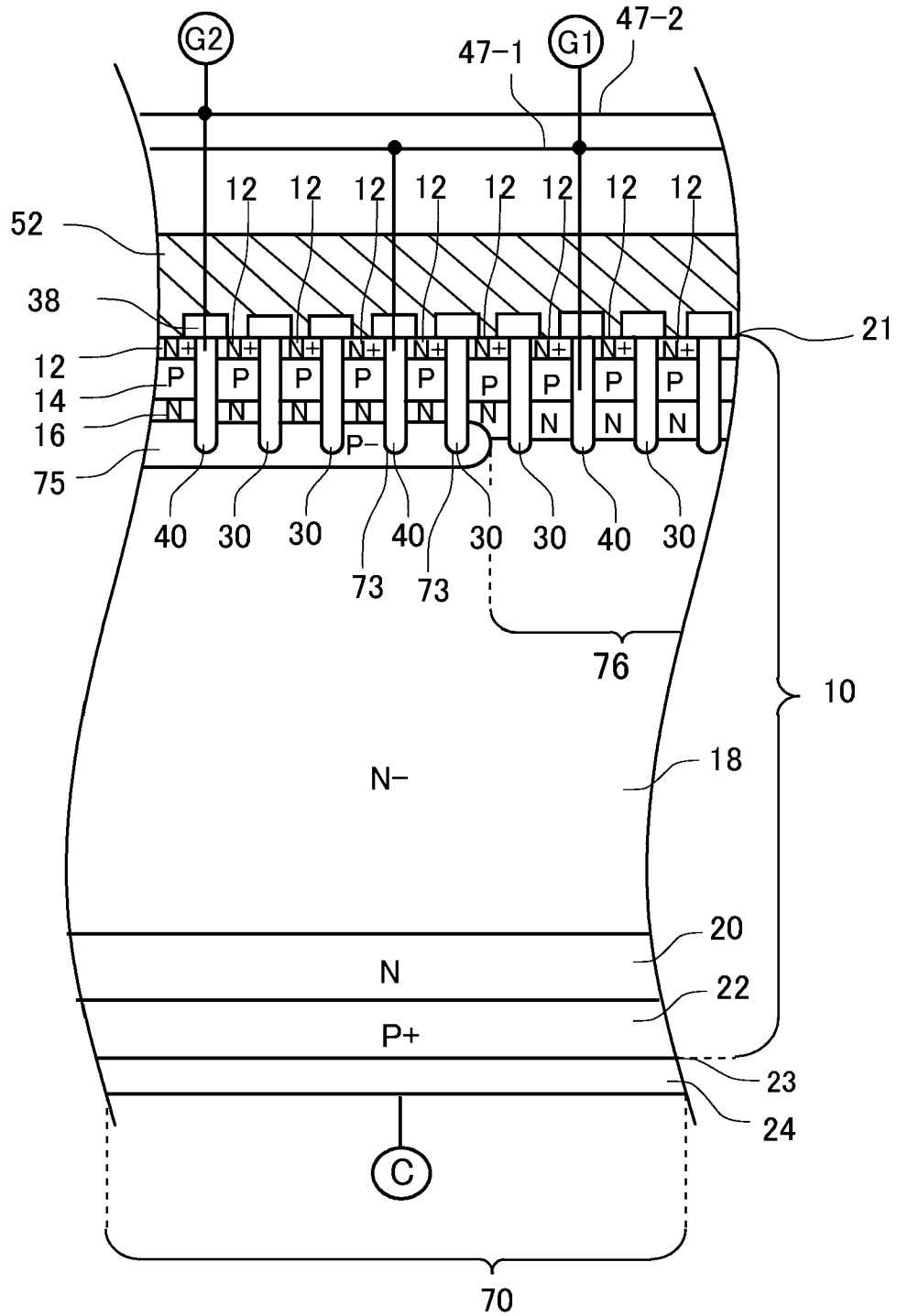


[図9A]

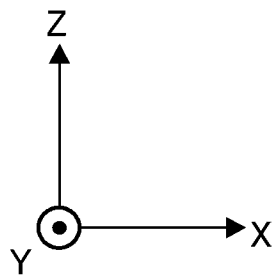
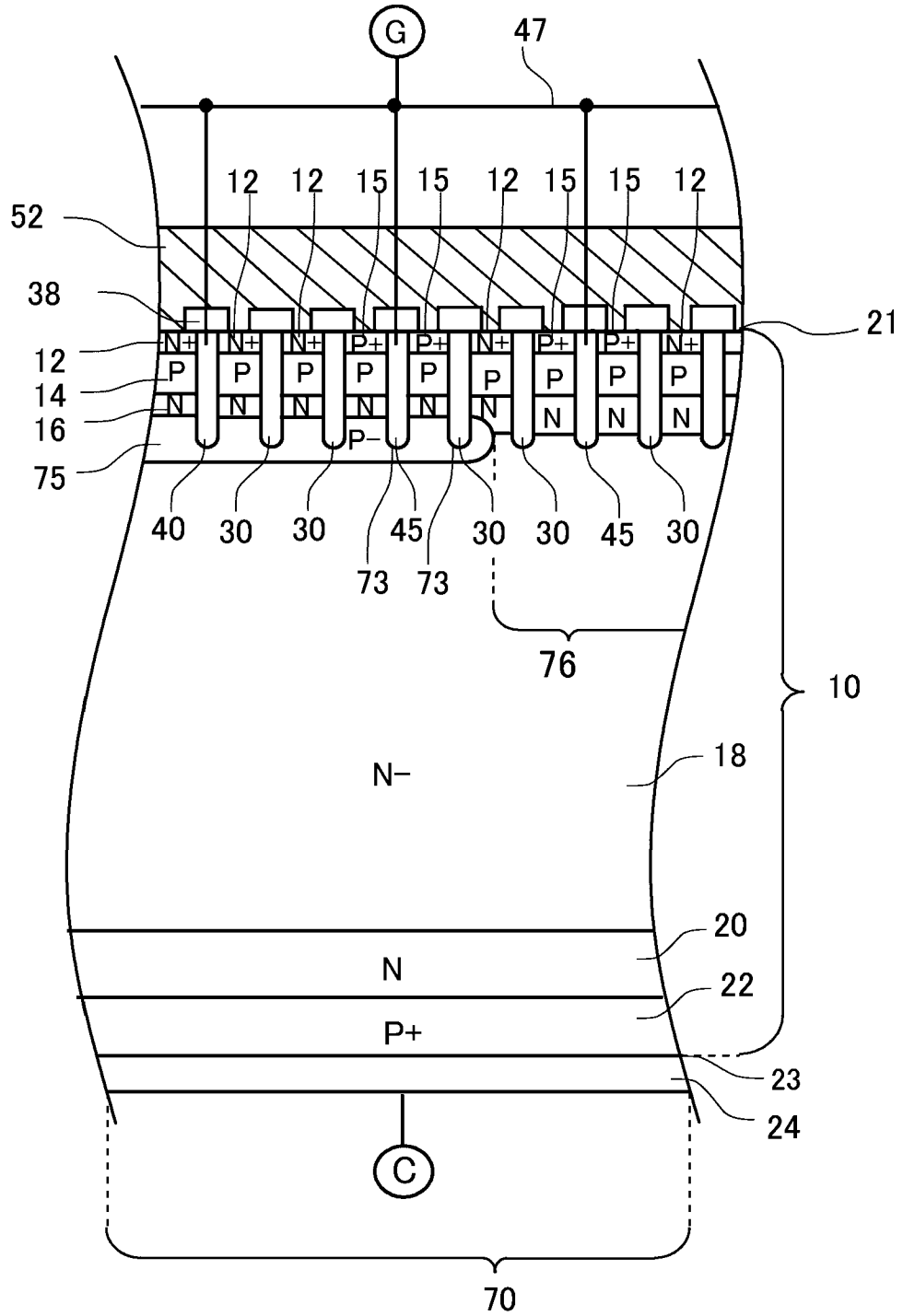


200

[図9B]



[図9C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/035494

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H10D 30/66</i> (2025.01)i; <i>H10D 12/00</i> (2025.01)i; <i>H10D 30/01</i> (2025.01)i; <i>H10D 62/10</i> (2025.01)i; <i>H10D 84/80</i> (2025.01)i FI: H01L29/78 652J; H01L29/78 658A; H01L29/78 657D; H01L29/78 655G; H01L29/78 655B; H01L29/78 652P; H01L29/78 653A; H01L29/06 301V; H01L29/06 301F		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/336; H01L29/06; H01L29/739		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-109033 A (RENESAS TECHNOLOGY CORP.) 13 May 2010 (2010-05-13) paragraphs [0019]-[0083], fig. 1-16	7, 9 1, 4, 10, 13 2, 3, 5, 6, 8, 11, 12, 14-24
Y A	WO 2019/159391 A1 (FUJI ELECTRIC CO., LTD.) 22 August 2019 (2019-08-22) paragraph [0148], fig. 23	1, 4, 10, 13 2, 3, 5-9, 11, 12, 14-24
X A	WO 2023/140254 A1 (FUJI ELECTRIC CO., LTD.) 27 July 2023 (2023-07-27) paragraphs [0038]-[0125], fig. 1-7	14 1-13, 15-24
A	JP 2014-060387 A (ROHM CO., LTD.) 03 April 2014 (2014-04-03) paragraphs [0016]-[0089], fig. 1-11	1-24
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 December 2024		Date of mailing of the international search report 17 December 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/035494

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-109033	A	13 May 2010	(Family: none)	
WO	2019/159391	A1	22 August 2019	US 2020/0161457 A1 paragraph [0182], fig. 23 CN 111033751 A	
WO	2023/140254	A1	27 July 2023	US 2024/0128362 A1 paragraphs [0041]-[0129], fig. 1-7 EP 4350777 A1 CN 117561611 A	
JP	2014-060387	A	03 April 2014	US 2014/0077256 A1 paragraphs [0051]-[0151], fig. 1-11	
US	2016/0336394	A1	17 November 2016	CN 104051509 A paragraphs [0063]-[0069], fig. 12-15	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H10D 30/66(2025.01)i; H10D 12/00(2025.01)i; H10D 30/01(2025.01)i; H10D 62/10(2025.01)i; H10D 84/80(2025.01)i FI: H01L29/78 652J; H01L29/78 658A; H01L29/78 657D; H01L29/78 655G; H01L29/78 655B; H01L29/78 652P; H01L29/78 653A; H01L29/06 301V; H01L29/06 301F</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L29/06; H01L29/739</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2024年																
日本国実用新案登録公報	1996 - 2024年																
日本国登録実用新案公報	1994 - 2024年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>JP 2010-109033 A (株式会社ルネサステクノロジ) 13.05.2010 (2010-05-13) 段落[0019]-[0083], 図1-16</td> <td>7,9 1,4,10,13 2,3,5,6,8, 11,12,14-24</td> </tr> <tr> <td>Y A</td> <td>WO 2019/159391 A1 (富士電機株式会社) 22.08.2019 (2019-08-22) 段落[0148], 図23</td> <td>1,4,10,13 2,3,5-9,11,12,14-24</td> </tr> <tr> <td>X A</td> <td>WO 2023/140254 A1 (富士電機株式会社) 27.07.2023 (2023-07-27) 段落[0038]-[0125], 図1-7</td> <td>14 1-13,15-24</td> </tr> <tr> <td>A</td> <td>JP 2014-060387 A (ローム株式会社) 03.04.2014 (2014-04-03) 段落[0016]-[0089], 図1-11</td> <td>1-24</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y A	JP 2010-109033 A (株式会社ルネサステクノロジ) 13.05.2010 (2010-05-13) 段落[0019]-[0083], 図1-16	7,9 1,4,10,13 2,3,5,6,8, 11,12,14-24	Y A	WO 2019/159391 A1 (富士電機株式会社) 22.08.2019 (2019-08-22) 段落[0148], 図23	1,4,10,13 2,3,5-9,11,12,14-24	X A	WO 2023/140254 A1 (富士電機株式会社) 27.07.2023 (2023-07-27) 段落[0038]-[0125], 図1-7	14 1-13,15-24	A	JP 2014-060387 A (ローム株式会社) 03.04.2014 (2014-04-03) 段落[0016]-[0089], 図1-11	1-24
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X Y A	JP 2010-109033 A (株式会社ルネサステクノロジ) 13.05.2010 (2010-05-13) 段落[0019]-[0083], 図1-16	7,9 1,4,10,13 2,3,5,6,8, 11,12,14-24															
Y A	WO 2019/159391 A1 (富士電機株式会社) 22.08.2019 (2019-08-22) 段落[0148], 図23	1,4,10,13 2,3,5-9,11,12,14-24															
X A	WO 2023/140254 A1 (富士電機株式会社) 27.07.2023 (2023-07-27) 段落[0038]-[0125], 図1-7	14 1-13,15-24															
A	JP 2014-060387 A (ローム株式会社) 03.04.2014 (2014-04-03) 段落[0016]-[0089], 図1-11	1-24															
<p>国際調査を完了した日</p> <p>03.12.2024</p>	<p>国際調査報告の発送日</p> <p>17.12.2024</p>																
<p>名称及びあて先</p> <p>日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>杉山 芳弘 5F 6311</p> <p>電話番号 03-3581-1101 内線 3514</p>																

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2016/0336394 A1 (ALPHA AND OMEGA SEMICONDUCTOR INCORPORATED) 17.11.2016 (2016 - 11 - 17) 段落[0066]-[0069], 図13-15	1-24

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/035494

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-109033 A	13.05.2010	(ファミリーなし)	
WO 2019/159391 A1	22.08.2019	US 2020/0161457 A1 段落[0182], 図23 CN 111033751 A	
WO 2023/140254 A1	27.07.2023	US 2024/0128362 A1 段落[0041]-[0129], 図1-7 EP 4350777 A1 CN 117561611 A	
JP 2014-060387 A	03.04.2014	US 2014/0077256 A1 段落[0051]-[0151], 図1-11	
US 2016/0336394 A1	17.11.2016	CN 104051509 A 段落[0063]-[0069], 図12-15	