

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6486674号
(P6486674)

(45) 発行日 平成31年3月20日 (2019. 3. 20)

(24) 登録日 平成31年3月1日 (2019. 3. 1)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 C

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/8234 (2006. 01)

H O 1 L 29/78 6 1 7 T

H O 1 L 27/088 (2006. 01)

H O 1 L 29/78 6 2 6 C

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/088 E

請求項の数 7 (全 101 頁) 最終頁に続く

(21) 出願番号 特願2014-256908 (P2014-256908)
 (22) 出願日 平成26年12月19日 (2014. 12. 19)
 (65) 公開番号 特開2015-144259 (P2015-144259A)
 (43) 公開日 平成27年8月6日 (2015. 8. 6)
 審査請求日 平成29年12月15日 (2017. 12. 15)
 (31) 優先権主張番号 特願2013-267525 (P2013-267525)
 (32) 優先日 平成25年12月25日 (2013. 12. 25)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 下村 明久
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山根 靖正
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐藤 裕平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の酸化物半導体膜と、
 前記第 1 の酸化物半導体膜上の第 2 の酸化物半導体膜と、
 前記第 2 の酸化物半導体膜と接する領域を有するソース電極と、
 前記第 2 の酸化物半導体膜と接する領域を有するドレイン電極と、
 前記ソース電極及び前記ドレイン電極上のゲート絶縁膜と、
 前記ゲート絶縁膜を介して、前記第 1 の酸化物半導体膜と重なる領域を有するゲート電極と、を有し、

前記第 1 の酸化物半導体膜を前記ゲート電極上からみたとき、前記ソース電極及び前記ドレイン電極と重ならない領域の幅は、前記ソース電極と重なる領域及び前記ドレイン電極と重なる領域の幅と等しく、

前記第 2 の酸化物半導体膜を前記ゲート電極上からみたとき、前記ソース電極及び前記ドレイン電極と接しない領域の幅は、前記ソース電極と接する領域及び前記ドレイン電極と接する領域の幅より小さい、半導体装置。

【請求項 2】

酸化物半導体膜と、
 前記酸化物半導体膜上の酸化防止膜と、
 前記酸化防止膜と接する領域を有するソース電極と、
 前記酸化防止膜と接する領域を有するドレイン電極と、

10

20

前記ソース電極及び前記ドレイン電極上のゲート絶縁膜と、
前記ゲート絶縁膜を介して、前記酸化物半導体膜と重なる領域を有するゲート電極と、
を有し、

前記酸化物半導体膜を前記ゲート電極上からみたとき、前記ソース電極及び前記ドレイン電極と重ならない領域の幅は、前記ソース電極と重なる領域及び前記ドレイン電極と重なる領域の幅と等しく、

前記酸化防止膜を前記ゲート電極上からみたとき、前記ソース電極及び前記ドレイン電極と接しない領域の幅は、前記ソース電極と接する領域及び前記ドレイン電極と接する領域の幅より小さい、半導体装置。

【請求項 3】

10

請求項 1 または請求項 2 において、

前記ゲート絶縁膜は、電子スピン共鳴スペクトルにおいて、 g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルが観測される、半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記ゲート絶縁膜は、窒素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満である領域を有する、半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

20

前記ゲート絶縁膜は、水素濃度が $5 \times 10^{20} \text{ atoms/cm}^3$ 未満である領域を有する、半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、

前記ゲート絶縁膜は、電子スピン共鳴スペクトルにおいて、窒素酸化物に起因するシグナルが観測される、半導体装置。

【請求項 7】

請求項 6 において、

前記窒素酸化物は、一酸化窒素または二酸化窒素である、半導体装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明の一態様は、電界効果トランジスタを有する半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

40

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

【背景技術】

【0004】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いら

50

れているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコンまたは多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路（ＩＣ）などにも利用されている。

【０００５】

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶことにする。

【０００６】

例えば、酸化物半導体として、酸化亜鉛、またはＩｎ－Ｇａ－Ｚｎ系酸化物を用いたトランジスタを作製し、該トランジスタを表示装置の画素のスイッチング素子などに用いる技術が開示されている（特許文献１及び特許文献２参照）。

10

【０００７】

ところで、特に酸化物半導体においては、水素がキャリアの供給源となることが指摘されている。そのため、酸化物半導体の形成時に水素が混入しないような措置を講じることが求められており、酸化物半導体膜や、酸化物半導体に接するゲート絶縁膜の水素を低減することで、しきい値電圧の変動を抑制している（特許文献３参照）。

【先行技術文献】

【特許文献】

【０００８】

【特許文献１】特開２００７－１２３８６１号公報

20

【特許文献２】特開２００７－９６０５５号公報

【特許文献３】特開２００９－２２４４７９号公報

【発明の概要】

【発明が解決しようとする課題】

【０００９】

しかしながら、水素と同様に窒素がキャリア供給源となる。このため、酸化物半導体膜に接する膜に大量に窒素が含まれることで、酸化物半導体膜を有するトランジスタの電気特性の変動、代表的にはしきい値電圧のシフトが生じる。また、トランジスタごとに電気特性がばらつくという問題がある。

【００１０】

30

また、酸化物半導体膜中の酸素欠損を低減するために酸化物半導体膜に酸素を供給する必要がある。酸化物半導体膜に酸素を直接添加すると、酸化物半導体膜の結晶構造が乱れ、結晶性が低下してしまう。このため、酸化物半導体膜に接する膜に酸素を添加し、その酸素を酸化物半導体膜に供給することがある。

【００１１】

しかしながら、酸化物半導体膜に接する膜には窒素が含まれている場合があり、そこに酸素を添加すると窒素酸化物（代表例としては、一酸化窒素、二酸化窒素等がある）が発生し、酸化物半導体膜に接する膜中の窒素酸化物が酸化物半導体膜との界面におけるトラップ準位を形成してしまい、トランジスタの電気特性の変動に影響を及ぼす。

【００１２】

40

そこで、本発明の一態様は、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることを課題の一とする。または、本発明の一態様は、消費電力が低減された半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【００１３】

50

本発明の一態様は、絶縁表面上の酸化物半導体膜と、絶縁表面及び酸化物半導体膜上の酸化防止膜と、酸化防止膜に接する一対の電極と、一対の電極上のゲート絶縁膜と、酸化物半導体膜と重畳するゲート絶縁膜上のゲート電極と、を有し、酸化防止膜は、一対の電極と重畳する領域の幅が一対の電極と重畳しない領域の幅より長いことを特徴とする半導体装置である。

【0014】

また、上記構成において、酸化防止膜は、酸化物半導体膜であってもよい。

【0015】

また、本発明の他の一態様は、絶縁表面上の酸化物半導体膜と、酸化物半導体膜に接する一対の電極と、一対の電極上のゲート絶縁膜と、酸化物半導体膜と重畳するゲート絶縁膜上のゲート電極と、を有し、酸化物半導体膜は、一対の電極と重畳する領域の幅が一対の電極と重畳しない領域の幅より長いことを特徴とする半導体装置である。

10

【0016】

また、上記構成において、絶縁表面と酸化物半導体膜の間に導電膜及び下地絶縁膜を有し、導電膜は、絶縁表面に接し、下地絶縁膜は、絶縁表面及び酸化物半導体膜に接してもよい。

【0017】

また、上記構成において、ゲート絶縁膜及び下地絶縁膜の少なくとも一方は、電子スピン共鳴スペクトルにおいて、 g 値が 2.037 以上 2.039 以下の第1のシグナル、 g 値が 2.001 以上 2.003 以下の第2のシグナル、及び g 値が 1.964 以上 1.966 以下の第3のシグナルが観測される。

20

【0018】

また、上記構成において、ゲート絶縁膜及び下地絶縁膜の少なくとも一方は、窒素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満である部分を有する。

【0019】

また、上記構成において、ゲート絶縁膜及び下地絶縁膜の少なくとも一方は、水素濃度が $5 \times 10^{20} \text{ atoms/cm}^3$ 未満である部分を有する。

【0020】

また、上記構成において、ゲート絶縁膜及び下地絶縁膜の少なくとも一方は、電子スピン共鳴スペクトルにおいて、窒素酸化物に起因するシグナルが観測される。

30

【0021】

また、上記構成において、窒素酸化物は、一酸化窒素または二酸化窒素である。

【発明の効果】

【0022】

本発明の一態様により、酸化物半導体膜を有するトランジスタの電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

40

【図面の簡単な説明】

【0023】

【図1】トランジスタの上面図及び断面図を説明する図。

【図2】トランジスタの作製方法を説明する図。

【図3】トランジスタの作製方法を説明する図。

【図4】トランジスタの作製方法を説明する図。

【図5】トランジスタの上面図及び断面図を説明する図。

【図6】トランジスタの断面図を説明する図。

50

- 【図 7】トランジスタの上面図及び断面図を説明する図。
- 【図 8】トランジスタのバンド構造を説明する図。
- 【図 9】トランジスタの断面図を説明する図。
- 【図 10】トランジスタの断面図を説明する図。
- 【図 11】トランジスタの断面図を説明する図。
- 【図 12】トランジスタの断面図を説明する図。
- 【図 13】トランジスタの上面図及び断面図を説明する図。
- 【図 14】トランジスタの作製方法を説明する図。
- 【図 15】トランジスタの作製方法を説明する図。
- 【図 16】トランジスタの断面図を説明する図。 10
- 【図 17】トランジスタの上面図及び断面図を説明する図。
- 【図 18】トランジスタの断面図を説明する図。
- 【図 19】トランジスタの断面図を説明する図。
- 【図 20】トランジスタの断面図を説明する図。
- 【図 21】形成エネルギー及び遷移レベルの関係と、欠陥の電子配置を説明する図。
- 【図 22】フェルミレベルの変化と、欠陥の荷電状態の変化を説明する図。
- 【図 23】 $c-SiO_2$ の結晶モデルを説明する図。
- 【図 24】 $c-SiO_2$ モデルの格子間に NO_2 を導入したモデルを説明する図。
- 【図 25】 $c-SiO_2$ モデルの格子間に N_2O を導入したモデルを説明する図。
- 【図 26】 $c-SiO_2$ モデルの格子間に NO を導入したモデルを説明する図。 20
- 【図 27】 $c-SiO_2$ モデルの格子間に N を導入したモデルを説明する図。
- 【図 28】バンドダイアグラムを説明する図。
- 【図 29】クラスタ構造のモデルを説明する図。
- 【図 30】トランジスタのしきい値電圧がプラスシフトする現象のメカニズムを説明する図。
- 【図 31】バルクモデルを説明する図。
- 【図 32】モデルの構造を説明する図。
- 【図 33】 VoH の形成エネルギー及び遷移レベルの関係、及び VoH の熱力学的遷移レベルを説明する図。
- 【図 34】 VoH のキャリア密度と欠陥密度の関係を説明する図。 30
- 【図 35】酸化物半導体膜内部、及びその界面近傍の DOS を示すバンド構造。
- 【図 36】酸化物半導体膜を有するトランジスタの暗状態における劣化を説明する図。
- 【図 37】酸化物半導体膜を有するトランジスタの暗状態における劣化を説明する図。
- 【図 38】酸化物半導体膜を有するトランジスタの光照射下における劣化を説明する図。
- 【図 39】酸化物半導体膜を有するトランジスタの光照射下における劣化を説明する図。
- 【図 40】酸化物半導体膜を有するトランジスタの光照射下における劣化を説明する図。
- 【図 41】酸化物半導体膜の高純度真性化を説明するモデル図。
- 【図 42】 $CAAC-OS$ 膜の断面における Cs 補正高分解能 TEM 像、および $CAAC-OS$ 膜の断面模式図。
- 【図 43】 $CAAC-OS$ 膜の平面における Cs 補正高分解能 TEM 像。 40
- 【図 44】 $CAAC-OS$ 膜および単結晶酸化物半導体膜の XRD による構造解析を説明する図。
- 【図 45】 $CAAC-OS$ 膜の電子回折パターンを示す図。
- 【図 46】 $In-Ga-Zn$ 酸化物の電子照射による結晶部の変化を示す図。
- 【図 47】 $CAAC-OS$ 膜および $nc-OS$ 膜の成膜モデルを説明する模式図。
- 【図 48】 $InGaZnO_4$ の結晶、およびペレットを説明する図。
- 【図 49】 $CAAC-OS$ 膜の成膜モデルを説明する模式図。
- 【図 50】半導体装置の断面図及び回路図。
- 【図 51】記憶装置の回路図及び断面図。
- 【図 52】 RF タグの構成例を説明する図。 50

【図 5 3】CPU の構成例を説明する図。

【図 5 4】記憶素子の回路図。

【図 5 5】表示装置の構成例を説明する図及び画素の回路図。

【図 5 6】表示モジュールを説明する図。

【図 5 7】電子機器を説明する図。

【図 5 8】RF デバイスの使用例を説明する図。

【図 5 9】ESR の測定結果を説明する図。

【図 6 0】ESR の測定結果を説明する図。

【図 6 1】TDS 分析の測定結果を説明する図。

【図 6 2】TDS 分析の測定結果を説明する図。

10

【図 6 3】TDS 分析の測定結果を説明する図。

【図 6 4】酸素分圧と各分子量のガスの放出量の関係を説明する図。

【図 6 5】しきい値電圧の変動量及びシフト値の差を説明する図。

【図 6 6】しきい値電圧の変動量、シフト値の変動量と、酸化窒化シリコン膜中の 3 本シグナルのスピン密度の合計、窒化酸化物及び酸素の放出量の相関を説明する図。

【図 6 7】SIMS 分析の測定結果を説明する図。

【図 6 8】SIMS 分析の測定結果を説明する図。

【図 6 9】断面 SEM 写真を説明する図。

【図 7 0】比較例試料の電気特性を説明する図。

【図 7 1】実施例試料の電気特性を説明する図。

20

【図 7 2】実施例試料の電気特性を説明する図。

【図 7 3】実施例試料の電気特性を説明する図。

【発明を実施するための形態】

【0024】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態及び実施例の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態及び実施例において、同一部分または同様の機能を有する部分には、同一の符号または同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

30

【0025】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0026】

また、本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。

【0027】

40

また、「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0028】

また、電圧とは 2 点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

50

【 0 0 2 9 】

また、酸化物半導体膜を有するトランジスタはnチャネル型トランジスタであるため、本明細書において、ゲート電圧が0Vの場合、ドレイン電流が流れていないとみなすことができるトランジスタを、ノーマリーオフ特性を有するトランジスタと定義する。また、ゲート電圧が0Vの場合、ドレイン電流が流れているとみなすことができるトランジスタを、ノーマリーオン特性を有するトランジスタと定義する。

【 0 0 3 0 】

なお、チャネル長とは、例えば、トランジスタの上面図において、酸化物半導体膜（またはトランジスタがオン状態のときに酸化物半導体膜の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【 0 0 3 1 】

チャネル幅とは、例えば、酸化物半導体膜（またはトランジスタがオン状態のときに酸化物半導体膜の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースまたはドレインの幅をいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【 0 0 3 2 】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅とよぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅とよぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、酸化物半導体膜の上面に形成されるチャネル領域の割合に対して、酸化物半導体膜の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

【 0 0 3 3 】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、酸化物半導体膜の形状が既知という仮定が必要である。したがって、酸化物半導体膜の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

【 0 0 3 4 】

そこで、本明細書では、トランジスタの上面図において、酸化物半導体膜とゲート電極とが重なる領域における、ソースまたはドレインの幅である見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW: Surrounded Channel Width）」とよぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【 0 0 3 5 】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【 0 0 3 6 】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

10

【 0 0 3 7 】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【 0 0 3 8 】

(実施の形態 1)

本実施の形態では、本発明の一態様である半導体装置、及びその作製方法について図面を参照して説明する。本実施の形態に示すトランジスタ 10 は、デュアルゲート構造のトランジスタである。

【 0 0 3 9 】

20

< 1 . トランジスタの構造 >

図 1 (A) 乃至図 1 (C) に、半導体装置が有するトランジスタ 10 の上面図及び断面図を示す。図 1 (A) はトランジスタ 10 の上面図であり、図 1 (B) は、図 1 (A) の一点鎖線 A 1 - A 2 間の断面図、図 1 (C) は、図 1 (A) の一点鎖線 A 3 - A 4 間の断面図である。また、図 1 (A) 乃至図 1 (C) では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している場合がある。また、一点鎖線 A 1 - A 2 方向をチャンネル長方向、一点鎖線 A 3 - A 4 方向をチャンネル幅方向と呼称する場合がある。

【 0 0 4 0 】

図 1 (A) 乃至図 1 (C) に示すトランジスタ 10 は、基板 11 上に設けられる導電膜 12 と、基板 11 及び導電膜 12 上に形成される下地絶縁膜 13 と、下地絶縁膜 13 上に形成される酸化物半導体膜 14 と、下地絶縁膜 13 及び酸化物半導体膜 14 に接する酸化防止膜 20 と、酸化防止膜 20 上に一对の電極 15、16 と、一对の電極 15、16 上に形成されるゲート絶縁膜 17 と、ゲート絶縁膜 17 を介して、酸化物半導体膜 14 と重畳するゲート電極 18 と、を有する。また、ゲート絶縁膜 17 及びゲート電極 18 上に絶縁膜 19 が形成されてもよい。

30

【 0 0 4 1 】

絶縁膜 19 はバリア膜として機能し、酸素、水素、水などをブロックする。したがって、絶縁膜 19 を設けることによって、水素や水が外部から酸化物半導体膜 14 に混入すること、及び酸化物半導体膜 14 中の酸素が外部へ放出されることを防ぐことができる。

【 0 0 4 2 】

40

酸化防止膜 20 は、一对の電極 15、16 の直下に設けられており、下地絶縁膜 13 から放出される酸素による一对の電極の酸化を抑制する機能を有する。このため、一对の電極 15、16 が酸化されることによる一对の電極 15、16 の体積膨張を抑制し、一对の電極 15、16 上のゲート絶縁膜 17 の被覆性を向上させることができる。

【 0 0 4 3 】

また、酸化防止膜 20 は、一对の電極 15、16 と重畳する領域の幅が一对の電極 15、16 と重畳しない領域の幅より長い。このため、一对の電極 15、16 と重畳しない領域の幅は短くて微細化することができ、かつ、一对の電極 15、16 との接触面積を広くすることができて接触抵抗を低減することができる。

【 0 0 4 4 】

50

酸化防止膜 20 としては、下地絶縁膜 13 からの酸素が一对の電極 15、16 に達するのを抑制する膜であればよい。たとえば、ターゲットの金属元素の原子数比が $In : Ga : Zn = 1 : 1 : 1$ 、 $1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 3 : 8$ 、 $1 : 4 : 5$ のターゲットを用いたスパッタリング法により形成した $In - Ga - Zn$ 酸化物半導体膜などが挙げられる。

【0045】

また、本実施の形態において、酸化物半導体膜 14 と近接する膜、代表的には、下地絶縁膜 13 及びゲート絶縁膜 17 の少なくとも一方が、酸化物絶縁膜であり、該酸化物絶縁膜は、窒素を含み、且つ欠陥量の少ないことが好ましい。

【0046】

窒素を含み、且つ欠陥量の少ない酸化物絶縁膜の代表例としては、酸化窒化シリコン膜、酸化窒化アルミニウム膜等がある。なお、酸化窒化シリコン膜、酸化窒化アルミニウム膜などの「酸化窒化膜」とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの「窒化酸化膜」とは、その組成として、酸素よりも窒素の含有量が多い膜を指す。

【0047】

欠陥の少ない酸化物絶縁膜は、100 K 以下の ESR で測定して得られたスペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルが観測される。なお、本実施の形態では、「シグナルが観測される」とは、規定の g 値において $4.7 \times 10^{15} \text{ spins/cm}^3$ 以上のスピン密度を有することを示す。なお、第 1 のシグナル及び第 2 のシグナルのスプリット幅、並びに第 2 のシグナル及び第 3 のシグナルのスプリット幅は、X バンドの ESR 測定において約 5 mT である。また、第 1 のシグナル乃至第 3 のシグナルのスピン密度の合計が $4 \times 10^{18} \text{ spins/cm}^3$ 未満であり、代表的には $2.4 \times 10^{18} \text{ spins/cm}^3$ 以上 $4 \times 10^{18} \text{ spins/cm}^3$ 未満である。

【0048】

なお、100 K 以下の ESR スペクトルにおいて、 g 値が 2.037 以上 2.039 以下の第 1 シグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルは、窒素酸化物 (NO_x 、 x は 0 より大きく 2 以下、好ましくは 1 以上 2 以下) 起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、 g 値が 2.037 以上 2.039 以下の第 1 シグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、 g 値が 1.964 以上 1.966 以下である第 3 のシグナルのスピン密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないといえる。

【0049】

また、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜は、成膜時の温度が高いほど窒素濃度及び水素濃度が低減する。上記酸化物絶縁膜の代表的な成膜温度は、500 以上、好ましくは 500 以上 550 以下である。窒素濃度を低減した後に酸素を添加することで窒素酸化物の発生を抑制することができ、かつ酸化物絶縁膜に酸素を添加することができるため、その酸素を酸化物半導体膜 14 に供給することが可能になる。

【0050】

酸化物半導体膜 14 に近接する下地絶縁膜 13 及びゲート絶縁膜 17 の少なくとも一方が、上記のように、窒素酸化物の含有量が少ないと、下地絶縁膜 13 と、酸化物半導体膜 14 との界面におけるキャリアのトラップを低減することが可能である。この結果、半導体装置に含まれるトランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0051】

また、下地絶縁膜 13 及びゲート絶縁膜 17 の少なくとも一方は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で

10

20

30

40

50

測定される窒素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満である部分を有することが好ましい。この結果、下地絶縁膜 13 及びゲート絶縁膜 17 の少なくとも一方において、窒素酸化物が生成されにくくなり、下地絶縁膜 13 と、酸化物半導体膜 14 との界面におけるキャリアのトラップを低減することが可能である。また、半導体装置に含まれるトランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0052】

また、下地絶縁膜 13 及びゲート絶縁膜 17 の少なくとも一方は、SIMS で測定される水素濃度が $5 \times 10^{20} \text{ atoms/cm}^3$ 未満である部分を有することが好ましい。酸化物半導体膜 14 に近接する下地絶縁膜 13 及びゲート絶縁膜 17 の水素濃度を低減することで、酸化物半導体膜 14 への水素の混入を抑制することができる。

10

【0053】

以下に、トランジスタ 10 の他の構成の詳細について説明する。

【0054】

基板 11 の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 11 として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI (Silicon On Insulator) 基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 11 として用いてもよい。

20

【0055】

また、基板 11 として、可撓性基板を用い、可撓性基板上に直接、トランジスタ 10 を形成してもよい。または、基板 11 とトランジスタ 10 の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板 11 より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ 10 は耐熱性の劣る基板や可撓性の基板にも転載できる。

【0056】

導電膜 12 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、導電膜 12 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

30

【0057】

また、導電膜 12 は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを含むインジウム錫酸化物、酸化マグネシウムを含む酸化インジウム化合物、酸化ガリウムを含む酸化亜鉛、酸化アルミニウムを含む酸化亜鉛、酸化マグネシウムを含む酸化亜鉛、フッ素を含む酸化スズ等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

40

【0058】

導電膜 12 は、ゲート電極としての機能を有し、バックゲートとして用いることができ、さらなるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加

50

させるには、例えば、ゲート電極 18 と導電膜 12 を電氣的に接続して同電位とし、デュアルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、ゲート電極 18 と導電膜 12 が電氣的に接続しないようにし、ゲート電極 18 とは異なる定電位を導電膜 12 に供給すればよい。なお、ゲート電極 18 は、導電膜 12 で示した材料を用いることができる。

【0059】

下地絶縁膜 13 としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等の材料を用いることができる。なお、下地絶縁膜 13 として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム等を用いることで、基板 11 側から不純物、代表的にはアルカリ金属、水、水素等の酸化物半導体膜 14 への拡散を抑制することができる。

10

【0060】

下地絶縁膜 13 が窒素を含み、且つ欠陥量の少ない酸化物絶縁膜で形成される場合、ゲート絶縁膜 17 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga - Zn 系金属酸化物などを用いればよく、積層または単層で設ける。なお、酸化物半導体膜 14 との界面特性を向上させるため、ゲート絶縁膜 17 において少なくとも酸化物半導体膜 14 と近接する領域は酸化物絶縁膜で形成することが好ましい。

【0061】

20

また、ゲート絶縁膜 17 として、酸素、水素、水等のブロッキング効果を有する絶縁膜を設けることで、酸化物半導体膜 14 からの酸素の外部への拡散と、外部から酸化物半導体膜 14 への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化窒化ガリウム膜、酸化イットリウム膜、酸化窒化イットリウム膜、酸化ハフニウム膜、酸化窒化ハフニウム膜等がある。

【0062】

また、ゲート絶縁膜 17 として、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート (HfSi_xO_y)、窒素が添加されたハフニウムアルミネート (HfAl_xO_y)、酸化ハフニウム、酸化イットリウムなどの high - k 材料を用いることでトランジスタのゲートリークを低減できる。

30

【0063】

酸化物半導体膜 14 は、少なくとも In 若しくは Zn を含む金属酸化物で形成され、代表的には、In - Ga 酸化物、In - Zn 酸化物、In - Mg 酸化物、Zn - Mg 酸化物、In - M - Zn 酸化物 (M は Al、Ga、Sn、Y、Zr、La、Ce、Mg、または Nd) 等で形成される。

【0064】

なお、酸化物半導体膜 14 が In - M - Zn 酸化物であるとき、Zn 及び O を除いての In 及び M の原子数比率は、好ましくは In が 25 atomic % 以上、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % 以上、M が 66 atomic % 未満とする。

40

【0065】

酸化物半導体膜 14 は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ 10 のオフ電流を低減することができる。

【0066】

酸化物半導体膜 14 の厚さは、3 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下、さらに好ましくは 3 nm 以上 50 nm 以下とする。

【0067】

酸化物半導体膜 14 が In - M - Zn 酸化物 (M は Al、Ga、Y、Zr、La、Ce

50

、Mg、またはNd)の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、In M、Zn Mを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2が好ましい。なお、成膜される酸化物半導体膜14の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

【0068】

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子(または酸素が脱離した部分)に酸素欠損を形成する。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。

【0069】

このため、酸化物半導体膜14は、酸素欠損と共に、水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜14において、SIMSにより得られる水素濃度が、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下である部分を有する。この結果、トランジスタ10は、しきい値電圧がプラスとなる電気特性(ノーマリーオフ特性ともいう)を有する。

【0070】

また、酸化物半導体膜14において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜14において酸素欠損が増加し、n型化してしまう。このため、酸化物半導体膜14におけるシリコンや炭素の濃度(二次イオン質量分析法により得られる濃度)が、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下である部分を有する。この結果、トランジスタ10は、しきい値電圧がプラスとなる電気特性(ノーマリーオフ特性ともいう)を有する。

【0071】

また、酸化物半導体膜14において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度が、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下である部分を有する。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜14のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。この結果、トランジスタ10は、しきい値電圧がプラスとなる電気特性(ノーマリーオフ特性ともいう)を有する。

【0072】

また、酸化物半導体膜14に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい。例えば、二次イオン質量分析法により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下である部分を有することが好ましい。

【0073】

酸化物半導体膜14の不純物を低減することで、酸化物半導体膜のキャリア密度を低減することができる。このため、酸化物半導体膜14は、キャリア密度が $1 \times 10^{17} \text{ 個/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ 個/cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} \text{ 個/cm}^3$ 以下、より好ましくは $1 \times 10^{11} \text{ 個/cm}^3$ 以下である部分を有することが好ましい。

【0074】

酸化物半導体膜14として、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができる。ここでは、不純物濃度が低く、欠陥準位密度の低い(酸素欠損の少ない)ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がプラスとなる電気特性(ノーマリーオフ特性ともいう)になりやすい。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち 1×10^{-13} A以下という特性を得ることができる。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。

10

【0075】

また、酸化物半導体膜14は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、後述する微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

20

【0076】

なお、酸化物半導体膜14が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域の二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上の領域の積層構造を有する場合がある。

【0077】

一対の電極15、16は、ソース電極またはドレイン電極として機能し、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

30

40

【0078】

また、絶縁膜19として、酸素、水素、水等のブロッキング効果を有する絶縁膜を設けることで、酸化物半導体膜14からの酸素の外部への拡散と、外部から酸化物半導体膜14への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化窒化ガリウム膜、酸化イットリウム膜、酸化窒化イットリウム膜、酸化ハフニウム膜、酸化窒化ハフニウム膜等がある。

50

【0079】

絶縁膜19の厚さは、150nm以上400nm以下とするとよい。

【0080】

<2. トランジスタの作製方法>

次に、図1に示すトランジスタ10の作製方法について、図2乃至図4を用いて説明する。なお、図2乃至図4において、図1(A)の一点破線A1-A2に示すチャンネル長方向の断面図、及び一点破線A3-A4に示すチャンネル幅方向の断面図を用いて、トランジスタ10の作製方法を説明する。

【0081】

トランジスタ10を構成する膜(絶縁膜、酸化物半導体膜、金属酸化物膜、導電膜等)は、スパッタリング法、化学気相堆積(CVD)法、真空蒸着法、パルスレーザー堆積(PLD)法を用いて形成することができる。あるいは、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積(PECVD)法が代表的であるが、熱CVD法でもよい。熱CVD法の例として、MOCVD(有機金属化学気相堆積)法やALD(原子層成膜)法を使ってもよい。

10

【0082】

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行う。このように、熱CVD法は、プラズマを発生させない成膜方法であるため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

20

【0083】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行う。例えば、それぞれのスイッチングバルブ(高速バルブともよぶ)を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス(アルゴン、或いは窒素など)などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。

30

【0084】

このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なトランジスタを作製する場合に適している。

【0085】

基板11上に導電膜12を形成する。

【0086】

導電膜12の形成方法を以下に示す。はじめに、スパッタリング法、真空蒸着法、パルスレーザー堆積(PLD)法、熱CVD法等により導電膜を形成し、導電膜上にリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜の一部をエッチングして、導電膜12を形成する。この後、マスクを除去する。

40

【0087】

なお、導電膜12は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等で形成してもよい。

【0088】

また、ALDを利用する成膜装置により導電膜としてタングステン膜を成膜することができる。この場合には、WF₆ガスとB₂H₆ガスを順次繰り返し導入して初期タングス

50

テン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0089】

ここでは、厚さ 100 nm のタングステン膜をスパッタリング法により形成する。次に、リソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜をドライエッチングして、導電膜 12 を形成する。

【0090】

次に、基板 11 及び導電膜 12 上に下地絶縁膜 13a を成膜する（図 2（A）参照）。成膜した下地絶縁膜に対して平坦化处理を施して下地絶縁膜 13 を形成する（図 2（B）参照）。平坦化处理は、CMP（化学的機械的研磨）などの研磨処理やエッチング処理等を用いることができる。

10

【0091】

下地絶縁膜 13 は、スパッタリング法、CVD 法、真空蒸着法、パルスレーザー堆積（PLD）法、熱 CVD 法等で形成する。

【0092】

下地絶縁膜 13 として酸化シリコン膜または酸化窒化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

20

【0093】

また、下地絶縁膜 13 として酸化ガリウム膜を形成する場合、MOCVD（Metal Organic Chemical Vapor Deposition）法を用いて形成することができる。

【0094】

また、下地絶縁膜 13 として、MOCVD 法や ALD 法などの熱 CVD 法を用いて、酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム（TDMAH））を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の 2 種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

30

【0095】

また、下地絶縁膜 13 として、MOCVD 法や ALD 法などの熱 CVD 法を用いて、酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（TMA）など）を気化させた原料ガスと、酸化剤として H_2O の 2 種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6 - テトラメチル - 3, 5 - ヘプタンジオナート）などがある。

【0096】

また、下地絶縁膜 13 として、MOCVD 法や ALD 法などの熱 CVD 法を用いて、酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

40

【0097】

ここでは、下地絶縁膜 13 として、PECVD 法により酸化窒化シリコン膜を形成する。

【0098】

次に、下地絶縁膜 13 に対して酸素 30 を添加する（図 2（C）参照）。下地絶縁膜 13 に添加する酸素 30 としては、酸素ラジカル、酸素原子、酸素分子、酸素原子イオン、酸素分子イオン等のいずれか一以上がある。また、下地絶縁膜 13 に酸素 30 を添加する

50

方法としては、イオンドーピング法、イオン注入法等がある。

【0099】

また、酸素30を添加するタイミングはこれに限られず、酸化物半導体膜14形成後でもよい。酸化物半導体膜14形成後、酸化物半導体膜14に酸素30を添加する場合、特に酸素分子の陽イオン(O_2^+)を添加することが好ましい。 O_2^+ は、酸素原子の陽イオン(O^+)と比較して原子1つあたりの加速電圧を半分にすることができ、下地絶縁膜13へ到達する酸素の量を少なくすることができる。また、 O_2^+ を添加するとき、 O_2^+ が最表面に当たって O^+ となって分散するため、 O^+ を添加するときと比べて酸素が添加される領域のばらつきを小さくすることができる。

【0100】

また、酸化物半導体膜14と接する一对の電極15、16に下地絶縁膜13から酸素が供給されることで一对の電極15、16の体積が膨張し、一对の電極15、16上のゲート絶縁膜17を断裂させてしまうことがあり、特性不良をもたらすことがある。このため、一对の電極15、16へ到達する酸素の量を少なくすることが好ましい。

【0101】

次に、下地絶縁膜13上に導電膜12と重畳する領域に酸化物半導体膜14を形成する(図3(A)参照)。

【0102】

酸化物半導体膜14の形成方法について以下に説明する。下地絶縁膜13上にスパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法、熱CVD法等により酸化物半導体膜を形成する。次に、酸化物半導体膜上に導電膜を形成し、導電膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて導電膜及び酸化物半導体膜の一部をエッチングすることで、下地絶縁膜13上であって、導電膜12の一部と重畳するように素子分離された酸化物半導体膜14を形成する。この後、マスク、導電膜を除去する。なお、導電膜としては、マスクとのエッチング選択比が高く、マスクが薄くてもパターン形成が容易にできるものを用いることが好ましい。また、導電膜は、酸化物半導体膜をエッチングするとき、マスクとして用いるため、酸化物半導体膜をエッチングする条件でエッチングされにくい膜であることが好ましい。導電膜として、例えばタンゲステン膜を用いることができる。

【0103】

また、上記導電膜を除去せず、一对の電極15、16を、該導電膜を用いて形成してもよい。

【0104】

また、酸化物半導体膜14として印刷法を用いることで、素子分離された酸化物半導体膜14を直接形成することができる。

【0105】

スパッタリング法で酸化物半導体膜を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0106】

スパッタリングガスは、希ガス(代表的にはアルゴン)、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

【0107】

また、ターゲットは、形成する酸化物半導体膜の組成にあわせて、適宜選択すればよい。

【0108】

なお、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を150 以上750 以下、好ましくは150 以上450 以下、さらに好ましくは200 以上350 以下として、酸化物半導体膜を成膜することで、CAAC-O膜を形成することができる。

10

20

30

40

50

【 0 1 0 9 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 1 1 0 】

成膜時の不純物混入を抑制することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素及び窒素など）を低減すればよい。また、スパッタリングガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下であるスパッタリングガスを用いる。

【 0 1 1 1 】

また、スパッタリングガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。スパッタリングガス中の酸素割合は、3 0 体積%以上、好ましくは1 0 0 体積%とする。

10

【 0 1 1 2 】

また、酸化物半導体膜を形成した後、加熱処理を行い、酸化物半導体膜の脱水素化または脱水化をしてもよい。加熱処理の温度は、代表的には、1 5 0 以上基板歪み点未満、好ましくは2 5 0 以上4 5 0 以下、更に好ましくは3 0 0 以上4 5 0 以下とする。

【 0 1 1 3 】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気加熱した後、酸素雰囲気加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分乃至2 4時間とする。

20

【 0 1 1 4 】

該加熱処理は、電気炉、R T A 装置等を用いることができる。R T A 装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため加熱処理時間を短縮することができる。

【 0 1 1 5 】

酸化物半導体膜を加熱しながら成膜することで、さらには酸化物半導体膜を形成した後、加熱処理を行うことで、酸化物半導体膜において、水素濃度を $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下である部分を有することができる。

30

【 0 1 1 6 】

A L D を利用する成膜装置により酸化物半導体膜、例えば InGaZnO_x ($x > 0$) 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて InGaO_2 層や InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層などの混合化合物層を形成してもよい。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングした H_2O ガスを用いてもよいが、H を含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いてもよい。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いてもよい。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いてもよい。

40

【 0 1 1 7 】

ここでは、スパッタリング法により、厚さ 3 5 n m の酸化物半導体膜を形成した後、当該酸化物半導体膜上にマスクを形成し、酸化物半導体膜の一部を選択的にエッチングする。次に、マスクを除去した後、窒素及び酸素を含む混合ガス雰囲気加熱処理を行うこと

50

で、酸化物半導体膜 1 4 を形成する。

【 0 1 1 8 】

なお、加熱処理は、350 より高く650 以下、好ましくは450 以上600 以下で行うことで、CAAC 化率が、70%以上100%未満、好ましくは80%以上100%未満、好ましくは90%以上100%未満、より好ましくは95%以上98%以下である酸化物半導体膜を得ることができる。ここで、CAAC 化率とは、一定の範囲におけるCAAC - OS 膜の回折パターンが観測される領域の割合を表す。また、水素、水等の含有量が低減された酸化物半導体膜を得ることが可能である。すなわち、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を形成することができる。

【 0 1 1 9 】

また、酸化物半導体膜 1 4 を形成する際のエッチングにより下地絶縁膜 1 3 の表面が多少エッチングされて膜厚が小さい領域があってもよい。

【 0 1 2 0 】

次に、下地絶縁膜 1 3 及び酸化物半導体膜 1 4 上に酸化防止膜 2 0 a 及び導電膜 1 5 a の積層を成膜する（図 3（B）参照）。

【 0 1 2 1 】

次に、酸化防止膜 2 0 a 及び導電膜 1 5 a の積層をエッチングし、島状の酸化防止膜 2 0 b 及び島状の導電膜 1 5 b の積層を形成する（図 3（C）参照）。

【 0 1 2 2 】

次に、島状の酸化防止膜 2 0 b 及び島状の導電膜 1 5 b の積層をエッチングし、一対の電極 1 5、1 6 及び酸化防止膜 2 0 c を形成する（図 4（A）参照）。なお、一対の電極を形成する際のエッチングにより酸化防止膜の表面が多少エッチングされて膜厚が小さい領域があってもよい。

【 0 1 2 3 】

なお、一対の電極 1 5、1 6 を形成した後、加熱処理を行ってもよい。当該加熱処理としては酸化物半導体膜 1 4 を形成した後に行う加熱処理と同様の条件を用いて行うことができる。

【 0 1 2 4 】

また、一対の電極 1 5、1 6 を形成した後、エッチング残渣を除去するため、洗浄処理をすることが好ましい。この洗浄処理を行うことで、一対の電極 1 5、1 6 の短絡を抑制することができる。当該洗浄処理は、TMAH（Tetra Methyl Ammonium Hydroxide）溶液などのアルカリ性の溶液、フッ酸、シュウ酸、リン酸などの酸性の溶液、または水を用いて行うことができる。

【 0 1 2 5 】

次に、酸化防止膜 2 0 c 上にレジストマスクを形成し、酸化防止膜 2 0 c をエッチングして酸化防止膜 2 0 を形成する（図 4（B）参照）。なお、酸化防止膜 2 0 を形成する際のエッチングにより下地絶縁膜 1 3 の表面が多少エッチングされて膜厚が小さい領域があってもよい。なお、このとき、酸化防止膜 2 0 は、一対の電極 1 5、1 6 と重畳する領域の幅が一対の電極 1 5、1 6 と重畳しない領域の幅より長い。

【 0 1 2 6 】

次に、酸化防止膜 2 0、一対の電極 1 5、1 6 上にゲート絶縁膜 1 7 を形成する（図 4（C）参照）。ゲート絶縁膜 1 7 は、下地絶縁膜 1 3 の材料や形成方法を参酌することができる。

【 0 1 2 7 】

次に、ゲート絶縁膜 1 7 を介して、酸化物半導体膜 1 4 と重畳するゲート電極 1 8 を形成する。ゲート電極 1 8 は、導電膜 1 2 の材料や形成方法を参酌することができる。なお、図 4（D）のように導電膜 1 2 とゲート電極 1 8 とが電氣的に接続する構成にするには、ゲート絶縁膜 1 7 及び下地絶縁膜 1 3 に導電膜 1 2 に達する開口を設けてからゲート電極 1 8 を形成する。

【 0 1 2 8 】

次に、ゲート絶縁膜 17 及びゲート電極 18 上に絶縁膜 19 を形成する（図 4（D）参照）。絶縁膜 19 は、スパッタリング法、CVD 法、蒸着法等により形成することができる。

【0129】

絶縁膜 19 として、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を形成する場合、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜の一例として、酸化窒化シリコン膜を CVD 法を用いて形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、一酸化二窒素、二酸化窒素等がある。

10

【0130】

また、堆積性気体に対する酸化性気体を 20 倍より大きく 100 倍未満、好ましくは 40 倍以上 80 倍以下とし、処理室内の圧力を 100 Pa 未満、好ましくは 50 Pa 以下とする CVD 法を用いることで、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を形成することができる。

【0131】

ここでは、基板 11 を保持する温度を 220 とし、流量 50 sccm のシラン及び流量 2000 sccm の一酸化二窒素を原料ガスとし、処理室内の圧力を 20 Pa とし、平行平板電極に供給する高周波電力を 13.56 MHz、100 W（電力密度としては $1.6 \times 10^{-2} \text{ W/cm}^2$ ）とする PECVD 法を用いて、酸化窒化シリコン膜を形成する。

20

【0132】

次に、加熱処理を行ってもよい。該加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは 200 以上 450 以下、更に好ましくは 300 以上 450 以下とする。当該加熱処理により、絶縁膜 19 に含まれる水、水素等を放出させることが可能である。

【0133】

ここでは、窒素及び酸素を含む混合ガス雰囲気中、350、1 時間の加熱処理を行う。

【0134】

以上の工程により、しきい値電圧のシフトが低減されたトランジスタを作製することができる。また、電気特性の変動が低減されたトランジスタを作製することができる。

30

【0135】

<変形例 1>

本実施の形態に示すトランジスタ 10 の変形例について、図 5 及び図 6 を用いて説明する。本実施の形態に示すトランジスタ 10 は、酸化物半導体膜が単層であったが、本変形例で説明するトランジスタ 10 a、トランジスタ 10 b は、多層膜を有する。

【0136】

図 5（A）乃至図 5（C）に、半導体装置が有するトランジスタ 10 a の上面図及び断面図を示す。図 5（A）はトランジスタ 10 a の上面図であり、図 5（B）は、図 5（A）の一点鎖線 A1 - A2 間の断面図であり、図 5（C）は、図 5（A）の一点鎖線 A3 - A4 間の断面図である。また、図 5（A）乃至図 5（C）では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

40

【0137】

図 5 に示すトランジスタ 10 a は、酸化物半導体膜 14 が多層膜 24 に置き換わっている点がトランジスタ 10 とは異なる。

【0138】

本実施の形態に示すトランジスタ 10 a において、多層膜 24 は、酸化物半導体膜 14 及び酸化物半導体膜 25 を有する。即ち、多層膜 24 は 2 層構造である。また、酸化物半導体膜 14 の一部がチャネル領域として機能する。

50

【0139】

酸化物半導体膜25は、酸化物半導体膜14を構成する元素の一種以上から構成される酸化物半導体膜である。このため、酸化物半導体膜14と酸化物半導体膜25との界面において、界面散乱が起こりにくい。従って、該界面においてはキャリアの動きが阻害されないため、トランジスタの電界効果移動度が高くなる。

【0140】

酸化物半導体膜25は、少なくともIn若しくはZnを含む金属酸化物で形成され、代表的には、In-Ga酸化物、In-Zn酸化物、In-Mg酸化物、Zn-Mg酸化物、In-M-Zn酸化物(MはAl、Ga、Sn、Y、Zr、La、Ce、Mg、またはNd)であり、且つ酸化物半導体膜14よりも伝導帯の下端のエネルギーが真空準位に近く、代表的には、酸化物半導体膜25の伝導帯の下端のエネルギーと、酸化物半導体膜14の伝導帯の下端のエネルギーとの差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.15eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下である。即ち、酸化物半導体膜25の電子親和力と、酸化物半導体膜14の電子親和力との差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.15eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下である。

【0141】

酸化物半導体膜25は、Inを含むことで、キャリア移動度(電子移動度)が高くなるため好ましい。

【0142】

酸化物半導体膜25として、Al、Ga、Sn、Y、Zr、La、Ce、Mg、またはNdをInより高い原子数比で有することで、以下の効果を有する場合がある。(1)酸化物半導体膜25のエネルギーギャップを大きくする。(2)酸化物半導体膜25の電子親和力を小さくする。(3)外部からの不純物の拡散を低減する。(4)酸化物半導体膜14と比較して、絶縁性が高くなる。(5)Al、Ga、Sn、Y、Zr、La、Ce、Mg、またはNdは、酸素との結合力が強い金属元素であるため、Al、Ga、Sn、Y、Zr、La、Ce、Mg、またはNdをInより高い原子数比で有することで、酸素欠損が生じにくくなる。

【0143】

酸化物半導体膜25がIn-M-Zn酸化物であるとき、Zn及びOを除いてのIn及びMの原子数比率は、好ましくは、Inが50atomic%未満、Mが50atomic%以上、さらに好ましくは、Inが25atomic%未満、Mが75atomic%以上とする。

【0144】

また、酸化物半導体膜14及び酸化物半導体膜25が、In-M-Zn酸化物の場合、酸化物半導体膜14と比較して、酸化物半導体膜25に含まれるM(Al、Ga、Sn、Y、Zr、La、Ce、Mg、またはNd)の原子数比が大きく、代表的には、酸化物半導体膜14に含まれる上記原子と比較して、1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比である。

【0145】

また、酸化物半導体膜14及び酸化物半導体膜25が、In-M-Zn酸化物(MはAl、Ga、Sn、Y、Zr、La、Ce、Mg、またはNd)の場合、酸化物半導体膜25をIn:M:Zn= x_1 : y_1 : z_1 [原子数比]、酸化物半導体膜14をIn:M:Zn= x_2 : y_2 : z_2 [原子数比]とすると、 y_1/x_1 が y_2/x_2 よりも大きく、好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上である。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きく、より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きい。このとき、酸化物半導体膜において、 y_2 が x_2 以上であると、当該酸化物半導体膜を用いたトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_2 が x_2 の3倍以上になると、当該酸化物半導体膜を用いたトランジスタの

10

20

30

40

50

電界効果移動度が低下してしまうため、 y_2 は x_2 の 3 倍未満であると好ましい。

【0146】

酸化物半導体膜 14 が $In-M-Zn$ 酸化物 (M は、 Al 、 Ga 、 Sn 、 Y 、 Zr 、 La 、 Ce 、 Mg 、または Nd) の場合、酸化物半導体膜 14 を成膜するために用いるターゲットにおいて、金属元素の原子数比を $In:M:Zn = x_1:y_1:z_1$ とすると、 x_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であって、 z_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_1/y_1 を 1 以上 6 以下とすることで、酸化物半導体膜 14 として $CAAC-OS$ 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In:M:Zn = 1:1:1$ 、 $In:M:Zn = 1:1:1.2$ 、 $In:M:Zn = 3:1:2$ 等がある。

10

【0147】

酸化物半導体膜 25 が $In-M-Zn$ 酸化物 (M は、 Al 、 Ga 、 Sn 、 Y 、 Zr 、 La 、 Ce 、 Mg 、または Nd) の場合、酸化物半導体膜 25 を成膜するために用いるターゲットにおいて、金属元素の原子数比を $In:M:Zn = x_2:y_2:z_2$ とすると、 $x_2/y_2 < x_1/y_1$ であって、 z_2/y_2 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_2/y_2 を 1 以上 6 以下とすることで、酸化物半導体膜 25 として $CAAC-OS$ 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In:M:Zn = 1:3:2$ 、 $In:M:Zn = 1:3:4$ 、 $In:M:Zn = 1:3:6$ 、 $In:M:Zn = 1:3:8$ 等がある。

【0148】

20

なお、酸化物半導体膜 14 及び酸化物半導体膜 25 の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 40% の変動を含む。

【0149】

酸化物半導体膜 25 の厚さは、 3 nm 以上 100 nm 以下、好ましくは 3 nm 以上 50 nm 以下とする。

【0150】

また、酸化物半導体膜 25 は、酸化物半導体膜 14 と同様に、例えば非単結晶構造でもよい。非単結晶構造は、例えば、後述する $CAAC-OS$ 、多結晶構造、後述する微結晶構造、または非晶質構造を含む。

【0151】

30

酸化物半導体膜 25 は、例えば非晶質構造でもよい。非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物半導体膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

【0152】

なお、酸化物半導体膜 14 及び酸化物半導体膜 25 によって、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、 $CAAC-OS$ の領域、単結晶構造の二種以上を有する混合膜を構成してもよい。混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、 $CAAC-OS$ の領域、単結晶構造の領域のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、 $CAAC-OS$ の領域、単結晶構造の領域のいずれか二種以上の領域の積層構造を有する場合がある。

40

【0153】

ここでは、酸化物半導体膜 14 及びゲート絶縁膜 17 の間に、酸化物半導体膜 25 が設けられている。このため、酸化物半導体膜 25 とゲート絶縁膜 17 の間の領域において、不純物及び欠陥によりトラップ準位が形成されても、当該領域と酸化物半導体膜 14 との間には隔たりがある。この結果、酸化物半導体膜 14 を流れる電子がトラップ準位に捕獲されにくく、トランジスタのオン電流を増大させることが可能であると共に、電界効果移動度を高めることができる。また、トラップ準位に電子が捕獲されると、該電子がマイナスの固定電荷となってしまう。この結果、トランジスタのしきい値電圧が変動してしまう。しかしながら、酸化物半導体膜 14 と当該領域との間に隔たりがあるため、トラップ準

50

位における電子の捕獲を低減することが可能であり、しきい値電圧の変動を低減することができる。

【0154】

また、酸化物半導体膜25は、外部からの不純物を遮蔽することが可能であるため、外部から酸化物半導体膜14へ移動する不純物量を低減することが可能である。また、酸化物半導体膜25は、酸素欠損を形成しにくい。これらのため、酸化物半導体膜14における不純物濃度及び酸素欠損量を低減することが可能である。

【0155】

なお、酸化物半導体膜14及び酸化物半導体膜25は、各膜を単に積層するのではなく連続接合（ここでは特に伝導帯の下端のエネルギーが各膜の間で連続的に変化する構造）が形成されるように作製する。すなわち、各膜の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないような積層構造とする。仮に、積層された酸化物半導体膜14及び酸化物半導体膜25の間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップされ、あるいは再結合して、消滅してしまう。

【0156】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体膜にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせる排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

【0157】

なお、多層膜24の代わりに、図6（A）に示すトランジスタ10bのように、多層膜34を有してもよい。

【0158】

多層膜34は、酸化物半導体膜26、酸化物半導体膜14、及び酸化物半導体膜25が順に積層されている。即ち、多層膜34は3層構造である。また、酸化物半導体膜14がチャネル領域として機能する。

【0159】

また、下地絶縁膜13は酸化物半導体膜26と接する。即ち、下地絶縁膜13と酸化物半導体膜14との間に、酸化物半導体膜26が設けられている。

【0160】

また、ゲート絶縁膜17は酸化物半導体膜25と接する。即ち、酸化物半導体膜14とゲート絶縁膜17との間に、酸化物半導体膜25が設けられている。

【0161】

酸化物半導体膜26は、酸化物半導体膜25と同様の材料及び形成方法を適宜用いることができる。

【0162】

酸化物半導体膜26は、酸化物半導体膜14より膜厚が小さいと好ましい。酸化物半導体膜26の厚さを1 nm以上5 nm以下、好ましくは1 nm以上3 nm以下とすることで、トランジスタのしきい値電圧の変動量を低減することが可能である。

【0163】

本実施の形態に示すトランジスタは、酸化物半導体膜14及び下地絶縁膜13の間に、酸化物半導体膜26が設けられている。このため、酸化物半導体膜26と下地絶縁膜13の間の領域において、不純物及び欠陥によりトラップ準位が形成されても、当該領域と酸化物半導体膜14との間には隔たりがある。この結果、酸化物半導体膜14を流れる電子がトラップ準位に捕獲されにくく、トランジスタのオン電流を増大させることが可能であ

10

20

30

40

50

ると共に、電界効果移動度を高めることができる。また、トラップ準位に電子が捕獲されると、該電子がマイナスの固定電荷となってしまう。この結果、トランジスタのしきい値電圧が変動してしまう。しかしながら、酸化物半導体膜 14 と当該領域との間に隔たりがあるため、トラップ準位における電子の捕獲を低減することが可能であり、しきい値電圧の変動を低減することができる。

【0164】

また、酸化物半導体膜 26 は、外部からの不純物を遮蔽することが可能であるため、外部から酸化物半導体膜 14 へ移動する不純物量を低減することが可能である。また、酸化物半導体膜 26 は、酸素欠損を形成しにくい。これらのため、酸化物半導体膜 14 における不純物濃度及び酸素欠損量を低減することが可能である。

10

【0165】

また、ゲート絶縁膜 17 と酸化物半導体膜 14 との間に、酸化物半導体膜 25 が設けられており、酸化物半導体膜 14 と下地絶縁膜 13 との間に、酸化物半導体膜 26 が設けられているため、酸化物半導体膜 26 と酸化物半導体膜 14 との界面近傍におけるシリコンや炭素の濃度、酸化物半導体膜 14 におけるシリコンや炭素の濃度、または酸化物半導体膜 25 と酸化物半導体膜 14 との界面近傍におけるシリコンや炭素の濃度を低減することができる。

【0166】

このような構造を有するトランジスタ 10b は、酸化物半導体膜 14 を含む多層膜 34 において欠陥が極めて少ないため、トランジスタの電気特性を向上させることが可能であり、代表的には、オン電流の増大及び電界効果移動度の向上が可能である。また、ストレス試験の一例である BT ストレス試験及び光 BT ストレス試験におけるしきい値電圧の変動量が少なく、信頼性が高い。

20

【0167】

また、図 6 (B) に示すトランジスタ 10c のように、導電膜 12 を設けない構成としてもよい。

【0168】

さらに、図 6 (C) に示すトランジスタ 10d のような構成にしてもよい。

【0169】

<変形例 2>

30

本実施の形態に示すトランジスタ 10 の変形例について、図 7 を用いて説明する。本変形例で説明するトランジスタは、一対の電極とゲート絶縁膜の間に酸化物半導体膜を有する例について説明する。

【0170】

図 7 (A) 乃至図 7 (C) は、本発明の一態様の半導体装置が有するトランジスタ 10e の上面図及び断面図である。図 7 (A) は上面図であり、図 7 (B) は図 7 (A) 中の一点破線 A1 - A2 における断面概略図を示し、図 7 (C) は図 7 (A) 中の一点破線 A3 - A4 における断面概略図を示す。また、図 7 (A) 乃至図 7 (C) では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

【0171】

40

図 7 (A) に示すトランジスタ 10e は、基板 11 上に設けられる導電膜 12 と、基板 11 及び導電膜 12 上に形成される下地絶縁膜 13 と、下地絶縁膜 13 上に形成される酸化物半導体膜 26 と、酸化物半導体膜 26 上に形成される酸化物半導体膜 14 と、下地絶縁膜 13、酸化物半導体膜 26 上及び酸化物半導体膜 14 に接する酸化防止膜 20 と、酸化防止膜 20 上に一対の電極 15、16 と、酸化防止膜 20 及び一対の電極 15、16 に接する酸化物半導体膜 25 と、酸化物半導体膜 25 上に形成されるゲート絶縁膜 17 と、ゲート絶縁膜 17 を介して、酸化物半導体膜 14 と重畳するゲート電極 18 と、を有する。また、ゲート絶縁膜 17 及びゲート電極 18 上に絶縁膜 19 が形成されてもよい。

【0172】

酸化物半導体膜 25 は、図 7 (B) に示すように、酸化防止膜 20 の上面、及び一対の

50

電極 15、16 の上面及び側面において接し、図 7 (C) に示すように、下地絶縁膜 13 の上面の一部に接する。

【0173】

図 7 (C) に示すように、トランジスタ 10e のチャネル幅方向において、ゲート電極 18 は、ゲート絶縁膜 17 を介して酸化物半導体膜 14 及び酸化物半導体膜 26 の上面及び側面に面する。

【0174】

ゲート電極 18 は、酸化物半導体膜 14 を電気的に取り囲む。この構造により、トランジスタ 10e のオン電流を増大させることができる。このようなトランジスタの構造を、*surrounded channel (s-channel)* 構造とよぶ。なお、*s-channel* 構造では、電流は酸化物半導体膜 14 の全体（バルク）を流れる。酸化物半導体膜 14 の内部を電流が流れることで、界面散乱の影響を受けにくいため、高いオン電流を得ることができる。なお、酸化物半導体膜 14 を厚くすると、オン電流を向上させることができる。

【0175】

また、トランジスタのチャネル長及びチャネル幅を微細化するとき、レジストマスクを後退させながら一対の電極や酸化物半導体膜等を形成すると、一対の電極や酸化物半導体膜の端部が丸みを帯びる（曲面を有する）場合がある。このような構成により、酸化物半導体膜 14 上に形成される酸化物半導体膜 25 及びゲート絶縁膜 17 の被覆性を向上させることができる。また、一対の電極 15、16 の端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。

【0176】

また、トランジスタを微細化することで、集積度を高め、高密度化することができる。例えば、トランジスタのチャネル長を 100 nm 以下、好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下とし、かつ、トランジスタのチャネル幅を 100 nm 以下、好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下とする。本発明の一態様に係るトランジスタは、チャネル幅が上記のように縮小していても、*s-channel* 構造を有することでオン電流を高めることができる。

【0177】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、チャネル幅が縮小するとオン電流が低下する。

【0178】

しかしながら、本発明の一態様のトランジスタでは、前述したように、酸化物半導体膜 14 のチャネルが形成される領域を覆うように酸化物半導体膜 25 が形成されており、チャネル領域とゲート絶縁膜 17 が接しない構成となっている。そのため、酸化物半導体膜 14 とゲート絶縁膜 17 との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を高くすることができる。

【0179】

また、酸化物半導体膜を真性または実質的に真性とする、酸化物半導体膜に含まれるキャリア数の減少により、電界効果移動度の低下が懸念される。しかしながら、本発明の一態様のトランジスタにおいては、酸化物半導体膜 14 に垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、酸化物半導体膜 14 の全体的にゲート電界が印加させることとなり、電流は酸化物半導体膜のバルクを流れる。これによって、高純度真性化による、電気特性の変動の抑制を達成しつつ、トランジスタの電界効果移動度の向上を図ることが可能となる。

【0180】

また、本発明の一態様のトランジスタは、酸化物半導体膜 14 を酸化物半導体膜 26 上に形成することで界面準位を形成しにくくする効果や、酸化物半導体膜 14 を酸化物半導

10

20

30

40

50

体膜 26、酸化物半導体膜 25 の間に設けることで、上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、酸化物半導体膜 14 は、酸化物半導体膜 26 と酸化物半導体膜 25 で取り囲まれた構造（また、ゲート電極 18 で電氣的に取り囲まれた構造）となり、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化が可能である。したがって、ゲート電極の電圧が 0 V においてソース及びドレインの間を流れる電流を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。

【0181】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0182】

<トランジスタのバンド構造>

次に、図 5 に示すトランジスタ 10a に設けられる多層膜 24、及び図 6 (A) に示すトランジスタ 10b に設けられる多層膜 34 のバンド構造について、図 8 を用いて説明する。

【0183】

ここでは、例として、酸化物半導体膜 14 としてエネルギーギャップが 3.15 eV である In-Ga-Zn 酸化物を用い、酸化物半導体膜 25 としてエネルギーギャップが 3.5 eV である In-Ga-Zn 酸化物とする。エネルギーギャップは、分光エリブソメータ (HORIBA JOBIN YVON 社 UT-300) を用いて測定した。

【0184】

酸化物半導体膜 14 及び酸化物半導体膜 25 の真空準位と価電子帯上端のエネルギー差（イオン化ポテンシャルともいう。）は、それぞれ 8 eV 及び 8.2 eV であった。なお、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置 (PHI 社 VersaProbe) を用いて測定した。

【0185】

したがって、酸化物半導体膜 14 及び酸化物半導体膜 25 の真空準位と伝導帯下端のエネルギー差（電子親和力ともいう）は、それぞれ 4.85 eV 及び 4.7 eV であった。

【0186】

図 8 (A) は、トランジスタ 10a に含まれる多層膜 24 のバンド構造の一部を模式的に示している。ここでは、下地絶縁膜 13 及びゲート絶縁膜 17 を酸化シリコン膜とし、多層膜 24 と酸化シリコン膜を接して設けた場合について説明する。なお、図 8 (A) に表す EcI1 は酸化シリコン膜の伝導帯下端のエネルギーを示し、EcS1 は酸化物半導体膜 14 の伝導帯下端のエネルギーを示し、EcS2 は酸化物半導体膜 25 の伝導帯下端のエネルギーを示し、EcI2 は酸化シリコン膜の伝導帯下端のエネルギーを示す。また、EcI1 は、図 5 (B) に示す下地絶縁膜 13 に相当し、EcI2 は、図 5 (B) に示すゲート絶縁膜 17 に相当する。

【0187】

図 8 (A) に示すように、酸化物半導体膜 14 及び酸化物半導体膜 25 において、伝導帯下端のエネルギーはなだらかに変化する。換言すると、連続的に変化することともいうことができる。これは、多層膜 24 は、酸化物半導体膜 14 と共通の元素を含み、酸化物半導体膜 14 及び酸化物半導体膜 25 の間で、酸素が相互に移動することで混合層が形成されるためであるといえることができる。

【0188】

図 8 (A) より、多層膜 24 の酸化物半導体膜 14 がウェル（井戸）となり、多層膜 24 を用いたトランジスタにおいて、チャネル領域が酸化物半導体膜 14 に形成されることがわかる。なお、多層膜 24 は、伝導帯下端のエネルギーが連続的に変化しているため、酸化物半導体膜 14 と酸化物半導体膜 25 とが連続接合している、ともいえる。

【 0 1 8 9 】

なお、図 8 (A) に示すように、酸化物半導体膜 2 5 と、ゲート絶縁膜 1 7 との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るものの、酸化物半導体膜 2 5 が設けられることにより、酸化物半導体膜 1 4 と該トラップ準位とを遠ざけることができる。ただし、 E_{cS1} と E_{cS2} とのエネルギー差が小さい場合、酸化物半導体膜 1 4 の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。したがって、 E_{cS1} と E_{cS2} とのエネルギー差を、 0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、安定した電気特性となるため好適である。

10

【 0 1 9 0 】

また、図 8 (B) は、トランジスタ 1 0 a の多層膜 2 4 のバンド構造の一部を模式的に示し、図 8 (A) に示すバンド構造の変形例である。ここでは、下地絶縁膜 1 3 及びゲート絶縁膜 1 7 を酸化シリコン膜とし、多層膜 2 4 と酸化シリコン膜を接して設けた場合について説明する。なお、図 8 (B) に表す E_{cI1} は酸化シリコン膜の伝導帯下端のエネルギーを示し、 E_{cS1} は酸化物半導体膜 1 4 の伝導帯下端のエネルギーを示し、 E_{cI2} は酸化シリコン膜の伝導帯下端のエネルギーを示す。また、 E_{cI1} は、図 5 (B) に示す下地絶縁膜 1 3 に相当し、 E_{cI2} は、図 5 (B) に示すゲート絶縁膜 1 7 に相当する。

【 0 1 9 1 】

20

図 5 (B) に示すトランジスタにおいて、一对の電極 1 5、1 6 の形成時に多層膜 2 4 の上方、すなわち酸化物半導体膜 2 5 がエッチングされる場合がある。一方、酸化物半導体膜 1 4 の上面は、酸化物半導体膜 2 5 の成膜時に酸化物半導体膜 1 4 と酸化物半導体膜 2 5 の混合層が形成される場合がある。

【 0 1 9 2 】

例えば、酸化物半導体膜 1 4 が、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の $In - Ga - Zn$ 酸化物、または $In : Ga : Zn = 3 : 1 : 2$ [原子数比] の $In - Ga - Zn$ 酸化物をスパッタリングターゲットに用いて成膜した酸化物半導体膜であり、酸化物半導体膜 2 5 が、 $In : Ga : Zn = 1 : 3 : 2$ [原子数比] の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比] の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 1 : 3 : 6$ [原子数比] の $In - Ga - Zn$ 酸化物、または $In : Ga : Zn = 1 : 4 : 5$ [原子数比] の $In - Ga - Zn$ 酸化物をスパッタリングターゲットに用いて成膜した酸化物半導体膜である場合、酸化物半導体膜 1 4 よりも酸化物半導体膜 2 5 の Ga の含有量が多いため、酸化物半導体膜 1 4 の上面には、 GaO_x 層または酸化物半導体膜 1 4 よりも Ga を多く含む混合層が形成されうる。

30

【 0 1 9 3 】

したがって、酸化物半導体膜 2 5 がエッチングされた場合においても、 E_{cS1} の E_{cI2} 側の伝導帯下端のエネルギーが高くなり、図 8 (B) に示すバンド構造のようになる場合がある。

【 0 1 9 4 】

40

図 8 (B) に示すバンド構造のようになる場合、チャネル領域の断面観察時において、多層膜 2 4 は、酸化物半導体膜 1 4 のみと見かけ上観察される場合がある。しかしながら、実質的には、酸化物半導体膜 1 4 上には、酸化物半導体膜 1 4 よりも Ga を多く含む混合層が形成されているため、該混合層を 1 . 5 番目の層として、捉えることができる。なお、該混合層は、例えば、EDX 分析等によって、多層膜 2 4 に含有する元素を測定した場合、酸化物半導体膜 1 4 の上方の組成を分析することで確認することができる。例えば、酸化物半導体膜 1 4 の上方の組成が、酸化物半導体膜 1 4 中の組成よりも Ga の含有量が多い構成となることで確認することができる。

【 0 1 9 5 】

図 8 (C) は、トランジスタ 1 0 b の多層膜 3 4 のバンド構造の一部を模式的に示して

50

いる。ここでは、下地絶縁膜 13 及びゲート絶縁膜 17 を酸化シリコン膜とし、多層膜 34 と酸化シリコン膜を接して設けた場合について説明する。なお、図 8 (C) に表す E_{cI1} は酸化シリコン膜の伝導帯下端のエネルギーを示し、 E_{cS1} は酸化物半導体膜 14 の伝導帯下端のエネルギーを示し、 E_{cS2} は酸化物半導体膜 25 の伝導帯下端のエネルギーを示し、 E_{cS3} は酸化物半導体膜 26 の伝導帯下端のエネルギーを示し、 E_{cI2} は酸化シリコン膜の伝導帯下端のエネルギーを示す。また、 E_{cI1} は、図 6 (A) に示す下地絶縁膜 13 に相当し、 E_{cI2} は、図 6 (A) に示すゲート絶縁膜 17 に相当する。

【0196】

図 8 (C) に示すように、酸化物半導体膜 26、酸化物半導体膜 14、及び酸化物半導体膜 25 において、伝導帯下端のエネルギーは障壁が無くなだらかに変化する。換言すると、連続的に変化するともいうことができる。これは、多層膜 34 は、酸化物半導体膜 14 と共通の元素を含み、酸化物半導体膜 14 及び酸化物半導体膜 26 の間で、酸化物半導体膜 14 及び酸化物半導体膜 25 の間で、酸素が相互に移動することで混合層が形成されるためであるということができる。

【0197】

図 8 (C) より、多層膜 34 の酸化物半導体膜 14 がウェル (井戸) となり、多層膜 34 を用いたトランジスタにおいて、チャネル領域が酸化物半導体膜 14 に形成されることがわかる。なお、多層膜 34 は、伝導帯下端のエネルギーが連続的に変化しているため、酸化物半導体膜 26 と、酸化物半導体膜 14 と、酸化物半導体膜 25 とが連続接合している、ともいえる。

【0198】

なお、酸化物半導体膜 14 及びゲート絶縁膜 17 の界面近傍、並びに酸化物半導体膜 14 及び下地絶縁膜 13 の界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るものの、図 8 (C) に示すように、酸化物半導体膜 25、酸化物半導体膜 26 が設けられることにより、酸化物半導体膜 14 と該トラップ準位とを遠ざけることができる。ただし、 E_{cS1} と E_{cS2} とのエネルギー差、及び E_{cS1} と E_{cS3} とのエネルギー差が小さい場合、酸化物半導体膜 14 の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。したがって、 E_{cS1} と E_{cS2} とのエネルギー差、及び E_{cS1} と E_{cS3} とのエネルギー差を、0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、安定した電気特性となるため好適である。

【0199】

また、酸化物半導体膜 25 とゲート絶縁膜 17 の間に酸化物半導体膜 27 を設けてもよい。酸化物半導体膜 27 は、酸化物半導体膜 25 より電子親和力が小さくなるような材料を用いる。酸化物半導体膜 27 に用いることができる材料は、酸化物半導体膜 14、酸化物半導体膜 25、酸化物半導体膜 26 等を援用することできる。また、上記構成のバンド構造は、図 8 (D) に示すようになる。 E_{cS4} は酸化物半導体膜 27 の伝導帯下端のエネルギーを示す。

【0200】

また、上記構成に限られず、酸化防止膜 20 を形成する際に一对の電極 15、16 をマスクにして図 9 (A) に示すような構成にしてもよいし、酸化防止膜 20 を形成する際に一对の電極 15、16 およびレジストをマスクにして酸化防止膜 20 のみをエッチングして図 9 (B) に示すような構成にしてもよい。また、先で説明した多層膜を含むトランジスタにおいても適宜組み合わせてもよい。

【0201】

また、上記構成において、図 10 (A) 乃至図 10 (C) に示すようにオフセット領域を低抵抗化したセルフアライン構造とすることができる。

【0202】

n型の低抵抗領域41、低抵抗領域42は、ゲート電極18をマスクとして不純物を添加することで形成することができる。当該不純物の添加方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

【0203】

酸化物半導体膜14、酸化物半導体膜25及び酸化物半導体膜26の導電率を高める不純物としては、例えば、水素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、ホウ素、窒素、リン、または砒素がある。

【0204】

なお、ゲート電極18をマスクとして不純物を添加することは、必ずしも、行わなくてもよい。その場合の例を、図11(A)、図11(B)、図11(C)に示す。なお、図11では、ゲート電極18の端部と、一对の電極15、16の端部とは、そろっていないが、本発明の一態様は、これに限定されない。ゲート電極18の端部と、一对の電極15、16の端部とを、揃えて配置してもよい。

【0205】

なお、ゲート電極18の形状を、テーパー状にすることにより、低抵抗領域41、低抵抗領域42の形状を制御してもよい。その場合の例を、図12(A)、図12(B)、図12(C)に示す。

【0206】

なお、本実施の形態において、チャネルなどにおいて、酸化物半導体膜を用いた場合の例を示したが、本発明の実施形態の一態様は、これに限定されない。例えば、チャネルやその近傍、ソース領域、ドレイン領域などにおいて、場合によっては、または、状況に応じて、Si(シリコン)、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)などを有する材料で形成してもよい。

【0207】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせることもできる。

【0208】

(実施の形態2)

本実施の形態では、実施の形態1で説明したトランジスタとは異なる構造のトランジスタについて説明する。

【0209】

<1. トランジスタの構造>

図13(A)乃至図13(C)に、半導体装置が有するトランジスタ50の上面図及び断面図を示す。図13(A)はトランジスタ50の上面図であり、図13(B)は、図13(A)の一点鎖線B1-B2間の断面図、図13(C)は、図13(A)の一点鎖線B3-B4間の断面図である。また、図13(A)乃至図13(C)では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線B1-B2方向をチャネル長方向、一点鎖線B3-B4方向をチャネル幅方向と呼称する場合がある。

【0210】

図13(A)乃至図13(C)に示すトランジスタ50は、基板11上に設けられる導電膜12と、基板11及び導電膜12上に形成される下地絶縁膜13と、下地絶縁膜13上に形成される酸化物半導体膜26と、酸化物半導体膜26上に形成される酸化物半導体膜14と、酸化物半導体膜14上面に形成される一对の電極15、16と、酸化物半導体膜14及び一对の電極15、16に接する酸化物半導体膜25と、酸化物半導体膜25上に形成されるゲート絶縁膜17と、ゲート絶縁膜17を介して、酸化物半導体膜14と重畳するゲート電極18と、を有する。また、ゲート絶縁膜17及びゲート電極18上に絶縁膜19が形成されてもよい。

【0211】

なお、酸化物半導体膜 14 上面のみに一対の電極 15、16 が形成されるため、一対の電極 15、16 は下地絶縁膜 13 からの酸素による酸化を抑制することができる。また、酸化物半導体膜 14 は、一対の電極 15、16 と重畳する領域のチャネル幅が一対の電極 15、16 と重畳しない領域（チャネルが形成される領域）のチャネル幅より長い。このため、一対の電極 15、16 と重畳しない領域のチャネル幅は短くできて微細化することができ、かつ、一対の電極 15、16 との接触面積を広くすることができて接触抵抗を低減することができる。

【0212】

< 2 . トランジスタの作製方法 >

次に、図 13 に示すトランジスタ 50 の作製方法について、図 14、図 15 を用いて説明する。なお、図 14、図 15 において、図 13 (A) の一点破線 B1 - B2 に示すチャネル長方向の断面図、及び一点破線 B3 - B4 に示すチャネル幅方向の断面図を用いて、トランジスタ 50 の作製方法を説明する。

10

【0213】

図 2 (A) 乃至図 2 (C) の工程を経た後、下地絶縁膜 13 上に酸化物半導体膜 26a、酸化物半導体膜 14a 及び導電膜 15a の積層を成膜する（図 14 (A) 参照）。酸化物半導体膜 26a、酸化物半導体膜 14a 及び導電膜 15a の材料や形成方法は実施の形態 1 を参照することができる。

【0214】

次に、導電膜 15a をエッチングして導電膜 15b を形成する（図 14 (B) 参照）。

20

【0215】

次に、導電膜 15b をマスクとして、酸化物半導体膜 26a 及び酸化物半導体膜 14a をエッチングして酸化物半導体膜 26 及び酸化物半導体膜 14 を形成する（図 14 (C) 参照）。

【0216】

次に、導電膜 15b をエッチングして一対の電極 15、16 を形成する（図 15 (A) 参照）。

【0217】

次に、酸化物半導体膜 14、一対の電極 15、16 上に酸化物半導体膜 25 及びゲート絶縁膜 17 を形成する（図 15 (B) 参照）。酸化物半導体膜 25 及びゲート絶縁膜 17 の材料や形成方法は実施の形態 1 を参照することができる。

30

【0218】

次に、ゲート絶縁膜 17 を介して、酸化物半導体膜 14 と重畳するゲート電極 18 を形成する。次に、ゲート絶縁膜 17 及びゲート電極 18 上に絶縁膜 19 を形成する（図 15 (C) 参照）。ゲート電極 18 及び絶縁膜 19 の材料や形成方法は実施の形態 1 を参照することができる。

【0219】

以上の工程により、しきい値電圧のシフトが低減されたトランジスタを作製することができる。また、電気特性の変動が低減されたトランジスタを作製することができる。

【0220】

40

< 変形例 1 >

本実施の形態に示すトランジスタ 50 の変形例について、図 16 を用いて説明する。

【0221】

図 16 (A) に示すトランジスタ 50a は、酸化物半導体膜 25 及びゲート絶縁膜 17 の形状がトランジスタ 50 と異なる。図 16 (A) は、ゲート電極 18 をマスクにして酸化物半導体膜 25 及びゲート絶縁膜 17 を形成するため、マスク数を削減できる。

【0222】

また、酸化物半導体膜 25 及びゲート絶縁膜 17 の形成とゲート電極 18 の形成のマスクを別々に設けて図 16 (B) に示すトランジスタ 50b のような構成にしてもよい。

【0223】

50

また、図 16 (C) に示すトランジスタ 50c のように、導電膜 12 を設けない構成としてもよい。

【0224】

また、図 17 (A) 乃至図 17 (C) に示すトランジスタ 50d は、一对の電極 15、16 を形成後に酸化物半導体膜 26 及び酸化物半導体膜 14 を形成してもよい。

【0225】

また、上記構成において、図 18 (A)、図 18 (B)、図 18 (C) に示すようにオフセット領域を低抵抗化したセルフアライン構造とすることができる。

【0226】

n 型の低抵抗領域 41、低抵抗領域 42 は、ゲート電極 18 をマスクとして不純物を添加することで形成することができる。当該不純物の添加方法、不純物としては、実施の形態 1 を参照することができる。

10

【0227】

なお、ゲート電極 18 をマスクとして不純物を添加することは、必ずしも、行わなくてもよい。その場合の例を、図 19 (A)、図 19 (B)、図 19 (C) に示す。なお、図 19 では、ゲート電極 18 の端部と、一对の電極 15、16 の端部とは、そろっていないが、本発明の一態様は、これに限定されない。ゲート電極 18 の端部と、一对の電極 15、16 の端部とを、揃えて配置してもよい。

【0228】

なお、図 12 と同様に、図 18 (A) 乃至図 18 (C) においても、ゲート電極 18 の形状を、テーパ状にすることにより、低抵抗領域 41、低抵抗領域 42 の形状を制御してもよい。その場合の例を、図 20 (A)、図 20 (B)、図 20 (C) に示す。

20

【0229】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0230】

(実施の形態 3)

本実施の形態では、トランジスタに含まれる酸化物半導体膜、及び該酸化物半導体膜に接する酸化物絶縁膜 (下地絶縁膜やゲート絶縁膜) に含まれる欠陥と、トランジスタ特性の劣化について説明する。

30

【0231】

< 1. NO_x >

はじめに、酸化物半導体膜に接する酸化物絶縁膜に含まれる窒素酸化物 (以下、NO_x と表記する (x は 0 より大きく 2 以下、好ましくは 1 以上 2 以下)) について説明する。

【0232】

< 1-1. 酸化物絶縁膜中の NO_x の遷移レベルについて >

はじめに、固体中の点欠陥の遷移レベルを用いて説明する。遷移レベルとは、ギャップ内に準位を形成する不純物あるいは欠陥 (以下、欠陥 D と記す) の荷電状態を説明する概念であり、欠陥の形成エネルギーから算出される。すなわち、遷移レベルは、ドナー準位やアクセプター準位と類似の概念である。

40

【0233】

欠陥 D の荷電状態の形成エネルギーと遷移レベルの関係について説明する。欠陥 D は荷電状態によって形成エネルギーが異なり、フェルミエネルギーにも依存する。欠陥が電子を 1 つ放出した状態を D⁺ と示し、電子を 1 つ捕獲した状態を D⁻ と示し、電子の移動のない状態を、D⁰ と示す。

【0234】

欠陥 D⁺、欠陥 D⁰、欠陥 D⁻ それぞれの形成エネルギーと遷移レベルの関係を図 21 (A) に示す。また、図 21 (B) に、欠陥 D⁺、欠陥 D⁰、欠陥 D⁻ それぞれの電子配置を示す。

【0235】

50

図 2 1 (A) において、点線は欠陥 D^+ の形成エネルギー、実線は欠陥 D^0 の形成エネルギー、破線は欠陥 D^- の形成エネルギーを示す。また、欠陥 D の電荷が欠陥 D^+ から欠陥 D^0 となる遷移レベル（即ち、点線と実線の交点のレベル）を $(+ / 0)$ と表し、欠陥 D^0 から欠陥 D^- となる遷移レベル（即ち、実線と破線の交点のレベル）を $(0 / -)$ と表す。

【 0 2 3 6 】

次に、フェルミレベルを変化させたときの欠陥の荷電状態の変遷の概念図を図 2 2 に示す。図 2 2 において、二点破線はフェルミレベルを表す。また、図 2 2 左図において、(1)、(2)、(3) それぞれをフェルミレベルとした場合のバンド図を図 2 2 右図に示す。

10

【 0 2 3 7 】

固体の遷移レベルを知ることで、フェルミレベルをパラメータとしたときに、それぞれのフェルミレベルで欠陥がどのような荷電状態をとるかを定性的に把握することができる。

【 0 2 3 8 】

次に、酸化物半導体膜に接する酸化物絶縁膜の代表例として酸化窒化シリコン (SiO_N) を用い、酸化窒化シリコン中の欠陥準位と、該欠陥準位に起因する ESR シグナルについて、計算による検証を行った。具体的には、酸化シリコン (SiO_2) 中に NO_2 、 N_2O 、 NO 、及び N 原子を導入したモデルについて、これらの遷移レベルを調べることでトランジスタの電子トラップとなりうるのかどうかを検証した。

20

【 0 2 3 9 】

計算には、低温型石英 (α -quartz) 結晶構造の SiO_2 (c - SiO_2) をモデルとして用いた。欠陥のない c - SiO_2 の結晶モデルを図 2 3 に示す。

【 0 2 4 0 】

まず、 c - SiO_2 の単位格子を全ての軸方向に 2 倍した 72 原子モデルに対し、格子定数、各原子座標について構造最適化計算を行った。計算には、第一原理計算ソフトウェア VASP (The Vienna Ab initio simulation package) を用いた。また、内殻電子の効果は Projector Augmented Wave (PAW) 法により計算し、汎関数には Heyd-Scuseria-Ernzerhof (HSE) DFT ハイブリッド汎関数 (HSE06) を用いた。計算条件を以下に示す。

30

【 0 2 4 1 】

【表 1】

ソフトウェア	VASP
擬ポテンシャル	PAW法
汎関数	HSE06
交換項の混合比	0.4
カットオフエネルギー	800eV
k点	1×1×1(最適化)
	2×2×2(全エネルギー)

40

【 0 2 4 2 】

最適化後の c - SiO_2 モデルのバンドギャップは、実験値である 9 . 0 eV に近い 8 . 97 eV であった。

【 0 2 4 3 】

続いて、上記 c - SiO_2 モデルにおける、結晶構造内の空間（格子間）に NO_2 、 N_2O 、 NO 、または N 原子を導入したそれぞれのモデルについて、構造の最適化計算を行った。ここで、各モデルについて、系全体が + 1 価である場合（電荷：+ 1）、系全体が電氣的に中性（0 価）である場合（電荷：中性）、及び系全体が - 1 価である場合（電荷

50

： - 1)、の 3 通りについて、それぞれ最適化計算を行った。ただし、系全体に課した電荷は、電子の基底状態ではそれぞれ、 NO_2 、 N_2O 、 NO 、及び N 原子を含む欠陥に局在していることを確認した。

【 0 2 4 4 】

まず、 c-SiO_2 モデルの格子間に NO_2 を導入したモデルについて、最適化計算を行った後の構造及び NO_2 分子の構造パラメータを図 2 4 に示す。なお、図 2 4 において、参考例として、気相状態における NO_2 分子の構造パラメータも付記する。

【 0 2 4 5 】

一般に電氣的に中性でない分子を分子イオンなどと呼ぶことが多いが、ここでは結晶格子の内部に導入された分子を議論しているため、孤立系とは異なり分子の価数を定量することは困難であることなどから、便宜上、電氣的に中性でない分子についても分子と呼ぶこととする。

【 0 2 4 6 】

図 2 4 より、 NO_2 分子を導入したとき、系の電荷が + 1 の場合では NO_2 分子がほぼ直線状であり、系の電荷が中性、- 1 の順で O - N - O 結合角が小さくなる傾向がみられた。この NO_2 分子の構造変化は、気相中の孤立分子の電荷数を変えたときの結合角の変化とほぼ同等であることから、仮定した電荷の殆どは NO_2 分子が担っており、また SiO_2 中の NO_2 分子は、孤立分子に近い状態で存在していることが推察される。

【 0 2 4 7 】

続いて、 c-SiO_2 モデルの格子間に N_2O を導入したモデルについて、最適化計算を行った後の構造と、 N_2O 分子の構造パラメータを図 2 5 に示す。なお、図 2 5 において、参考例として、気相状態における N_2O 分子の構造パラメータも付記する。

【 0 2 4 8 】

図 2 5 より、系の電荷が + 1 の場合と中性の場合とでは、 N_2O 分子の構造はほぼ同じ直線状の構造となった。一方、系の電荷が - 1 の場合では、 N_2O 分子は折れ曲がった構造であり、且つ N - O 間距離が他の 2 条件に比べて伸びている。これは N_2O 分子の * 軌道である LUMO 準位に電子が入ったためと考えられる。

【 0 2 4 9 】

次に、 c-SiO_2 モデルの格子間に NO を導入したモデルについて、最適化計算を行った後の構造と、 NO 分子の構造パラメータを図 2 6 に示す。

【 0 2 5 0 】

図 2 6 より、系の電荷が + 1 の場合 N - O 間距離は短く、逆に系の電荷が - 1 のときには N - O 間距離が長くなっている。これは、孤立系の NO 分子の電荷が + 1、0、または - 1 のときに、N - O 結合の結合次数がそれぞれ 3 . 0、2 . 5、2 . 0 であり、電荷が + 1 のときに最も大きいことを反映していると推察される。このことから、 SiO_2 中の NO 分子は、孤立分子に近い状態で安定に存在すると推察される。

【 0 2 5 1 】

最後に、 c-SiO_2 モデルの格子間に N 原子を導入したモデルについて、最適化計算を行った後の構造を図 2 7 に示す。

【 0 2 5 2 】

図 2 7 より、いずれの電荷状態でも、N 原子は格子間に孤立原子として存在するよりも、 SiO_2 中の原子と結合した方が、エネルギー的に安定であることが分かった。

【 0 2 5 3 】

続いて、各モデルに対して、遷移レベルの計算を行った。

【 0 2 5 4 】

ここで、構造中に欠陥 D を有するモデルにおける、電荷 q の状態と電荷 q ' の状態とを遷移する遷移レベル (q / q ') は、以下の数式 1 により算出することができる。

【 0 2 5 5 】

10

20

30

40

【数 1】

$$\varepsilon(q/q') = \frac{\Delta E^q - \Delta E^{q'}}{q' - q}$$

$$\Delta E^q = E_{tot}(D^q) - E_{tot}(bulk) + \sum_i n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F)$$

【0256】

ここで、 $E_{tot}(D^q)$ は電荷 q の欠陥 D をもつモデルの全エネルギー、 $E_{tot}(bulk)$ は欠陥のないモデルの全エネルギー、 n_i は欠陥に寄与する原子 i の個数、 μ_i は原子 i の化学ポテンシャル、 ε_{VBM} は欠陥のないモデルにおける価電子帯上端のエネルギー、 ΔV_q は静電ポテンシャルに関する補正項、 E_F はフェルミエネルギーである。

10

【0257】

上記式より得られた遷移レベルを記載したバンドダイアグラムを図 28 に示す。なお、酸化物半導体膜として、原子数比が $In : Ga : Zn = 1 : 1 : 1$ の金属酸化物を用いて形成した酸化物半導体膜（以下、 $IGZO(111)$ ）と示す。）を用いた。また、図 28 には、上記 4 つのモデルのバンドダイアグラムに加え、 $IGZO(111)$ のバンドダイアグラムも合わせて明示している。なお、図 28 の数値の単位は eV である。

【0258】

20

図 28 において、各遷移レベルの値は、 SiO_2 の価電子帯上端を基準（ $0.0 eV$ ）とした値を示している。なお、ここでは SiO_2 の電子親和力として文献値を用いたが、 SiO_2 と $IGZO(111)$ を接合した場合の各々のバンドの位置関係は、実際には SiO_2 の電子親和力に影響を受ける場合がある。

【0259】

また、系の電荷が $+1$ の状態と 0 の状態を遷移する遷移レベルを（ $+ / 0$ ）と表記し、系の電荷が 0 の状態と -1 の状態を遷移する遷移レベルを（ $0 / -$ ）と表記する。

【0260】

図 28 において、 SiO_2 内に NO_2 分子を導入したモデルでは、 $IGZO(111)$ のバンドギャップ内に相当する位置に（ $+ / 0$ ）及び（ $0 / -$ ）の 2 つの遷移レベルが存在し、電子のトラップ・デトラップに関与する可能性があることを示唆する。また、 SiO_2 に NO 分子を導入したモデル、及び N 原子を導入したモデルでは、いずれも $IGZO(111)$ のバンドギャップ内に相当する位置に（ $+ / 0$ ）の遷移レベルが存在する。一方、 SiO_2 内に N_2O 分子を導入したモデルの遷移レベルは、いずれも $IGZO(111)$ のバンドギャップよりも外側に存在し、フェルミ準位の位置に関わらず中性分子として安定に存在することが推察される。

30

【0261】

以上の結果から、トランジスタのしきい値電圧のプラスシフトの要因である電子のトラップ・デトラップに関与する、窒素を含む格子間分子としては、 $IGZO(111)$ のバンドギャップ内の伝導帯よりの位置に遷移レベルを有する NO_2 分子または NO 分子、若しくはその両方である可能性が高いことが強く示唆される。

40

【0262】

< 1 - 2 . ESR シグナルの検証 >

上記遷移レベルの計算結果を受け、以下では NO_2 分子の ESR シグナルを計算にて求めた。また、ここでは SiO_2 内の O 原子のサイトに N 原子が置換したモデルについても同様の検証を行った。

【0263】

ここで、 N 原子は電子が 7 個、 O 原子は電子が 8 個存在するため、 NO_2 分子は電子が開殻構造となる。したがって、中性の NO_2 分子は孤立電子を有するため、ESR で測定することが可能である。また、 SiO_2 中の O 原子のサイトに N 原子が置換した場合、 N

50

原子の周りに Si が 2 つしかない状況となり、N はダングリングボンドを有するため、同様に ESR で測定することが可能である。また、 ^{14}N はその核スピンの 1 であるため、 ^{14}N が関与する ESR シグナルのピークは 3 つにスプリットする。このとき、ESR シグナルのスプリット幅は超微細結合定数である。

【0264】

そこで、酸化物絶縁膜における ESR シグナルが 3 つにスプリットする起源が、 NO_2 分子に起因するのか、または SiO_2 内の O 原子サイトに置換した N 原子に起因するのかを計算により検証した。なお、 SiO_2 の結晶構造をモデルとして用いた場合、計算量が膨大となるため、ここでは図 29 に示すような 2 種類のクラスタ構造のモデルを用い、これらに関して構造最適化を行った後、g 値と超微細結合定数について計算した。図 29 (A) は中性状態の NO_2 分子のモデルであり、図 29 (B) は、Si - N - Si 結合を有するクラスタモデルである。なお、図 29 (B) に示すモデルでは、Si 原子の未結合手を H 原子で終端したクラスタモデルを用いた。

10

【0265】

モデルの構造最適化ならびに構造最適化されたモデルの g 値及び超微細結合定数の計算には ADF (Amsterdam Density Functional software) を用いた。また、モデルの構造最適化ならびに構造最適化されたモデルの g 値及び超微細結合定数の計算共に、汎関数として "GGA:BP" を、基底関数として "QZ4P" を、Core Type として "None" を用いた。また、g 値及び超微細結合定数の計算時には、相対論効果として "Spin-Orbit" を考慮し、ESR/EPR の計算方法として、"g & A-Tensor (full SO)" を選択した。計算条件を以下に示す。

20

【0266】

【表 2】

ソフトウェア	ADF
基底関数	QZ4P
汎関数	GGA-BP
Core Type	None
相対論効果	Spin-Orbit
ESR/EPR 計算方法	g & A-Tensor (full SO)

30

【0267】

構造最適化の結果、まず、図 29 (A) に示す NO_2 分子について、N - O 結合長は 0.1205 nm、O - N - O 結合角は 134.1° となった。これは NO_2 分子についての実験値である結合長 0.1197 nm、結合角 134.3° と近い値となった。また、図 29 (B) に示す Si - N - Si クラスタモデルについては、Si - N の結合長は 0.172 nm、Si - N - Si 結合角は 138.3° となった。これは、第一原理計算により SiO_2 結晶中の O 原子のサイトに N 原子を置換して構造最適化計算を行った後の構造における、Si - N の結合長 0.170 nm、Si - N - Si 結合角 139.0° と同程度であった。

40

【0268】

計算した g 値及び超微細結合定数の値を、以下に示す。

【0269】

【表 3】

	g値				超微細結合定数 [mT]			
	g_x	g_y	g_z	g(平均)	A_x	A_y	A_z	A(平均)
NO ₂	2.0066	1.9884	2.0014	1.9988	4.54	4.49	6.53	5.19
Si-N-Si	2.0021	2.0174	2.0056	2.0084	3.14	-0.61	-0.62	0.64

【0270】

上述のように、超微細結合定数Aは、ESRシグナルの間隔（ピークのスプリット幅ともいう）に対応する。表3より、NO₂分子の超微細結合定数Aの値は、平均値がほぼ5 mTである。一方、Si-N-Siクラスタモデルについては、超微細結合定数AのうちA_xのみ正の値を取るが、その値は3 mT程度である。

10

【0271】

この結果から、XバンドのESR測定において、3つのシグナルを有し、約5 mTの超微細構造定数を有し、g値が約2であるESRスペクトルは、SiO₂結晶中のNO₂分子に起因するものである可能性が高い。なお、3つのシグナルにおいて、中央のシグナルのg値が約2である。

【0272】

< 1 - 3 . トランジスタの劣化メカニズムの考察 >

以下では、上記の結果をもとに、トランジスタにプラスGBTを印加したときの、トランジスタのしきい値電圧がプラスシフトする現象について、そのメカニズムを考察する。

20

【0273】

図30を用いてメカニズムを考察する。図30には、ゲート(GE)、ゲート絶縁膜(GI)、酸化物半導体膜(OS)、酸化窒化シリコン膜(SiON)が順に積層された構造を示す。ここでは、OSのバックチャネル側であるSiONに、窒素酸化物が含まれる場合について説明する。

【0274】

まず、トランジスタにプラスGBTを印加すると、OSのGI側及びSiON側の電子密度は大きくなる。なお、OSのSiON側は、GI側と比較して電子密度が小さい。SiONに含まれるNO₂分子またはNO分子が、GI及びOSの界面、並びにOSとSiONの界面に拡散すると、プラスGBTによって誘起されたGI側及びバックチャネル側の電子をトラップする。その結果、トラップされた電子が、GI及びOSの界面、並びにOS及びSiONの界面近傍に留まるため、トランジスタのしきい値電圧がプラス方向にシフトする。

30

【0275】

すなわち、酸化物半導体膜と接する酸化窒化シリコン膜において、含有する窒素酸化物の濃度が低いほどトランジスタのしきい値電圧の変動を抑制することができる。ここで、酸化物半導体膜と接する酸化窒化シリコン膜としては、下地絶縁膜、及びゲート絶縁膜などがある。窒素酸化物の含有量が極めて低い酸化窒化シリコン膜を、酸化物半導体膜と接して設けることにより、極めて信頼性の高いトランジスタを実現することができる。

40

【0276】

< 2 . VoH >

次に、酸化物半導体膜に含まれる欠損の一つである、酸素欠損Vo中に位置するH原子（以下、VoHと表記する。）について説明する。

【0277】

< 2 - 1 . Hの存在形態間のエネルギーと安定性 >

はじめに、酸化物半導体膜に存在するHの形態のエネルギー差と安定性について、計算した結果を説明する。ここでは、酸化物半導体膜としてIGZO(111)を用いた。

【0278】

計算に用いた構造は、IGZO(111)の六方晶の単位格子をa軸及びb軸方向に2

50

倍ずつにした 8 4 原子バルクモデルを基本とした。

【 0 2 7 9 】

バルクモデルにおいて、3 個の I n 原子及び 1 個の Z n 原子と結合した O 原子 1 個を H 原子に置換したモデルを用意した（図 3 1（A）参照）。また、図 3 1（A）において、I n O 層における a b 面を c 軸から見た図を図 3 1（B）に示す。3 個の I n 原子及び 1 個の Z n 原子と結合した O 原子 1 個を取り除いた領域を、酸素欠損 V o と示し、図 3 1（A）及び図 3 1（B）において破線で示す。また、酸素欠損 V o 中に位置する H 原子を V o H と表記する。

【 0 2 8 0 】

また、バルクモデルにおいて、3 個の I n 原子及び 1 個の Z n 原子と結合した O 原子 1 個を取り除き、酸素欠損（V o）を形成する。該 V o 近傍で、a b 面に対して 1 個の G a 原子及び 2 個の Z n 原子と結合した O 原子に H 原子が結合したモデルを用意した（図 3 1（C）参照）。また、図 3 1（C）において、I n O 層における a b 面を c 軸から見た図を図 3 1（D）に示す。図 3 1（C）及び図 3 1（D）において、酸素欠損 V o を破線で示す。また、酸素欠損 V o を有し、且つ酸素欠損 V o 近傍で、a b 面に対して 1 個の G a 原子及び 2 個の Z n 原子と結合した O 原子に結合した H 原子を有するモデルを V o + H と表記する。

【 0 2 8 1 】

上記 2 つのモデルに対して、格子定数を固定しての最適化計算を行い、全エネルギーを算出した。なお、全エネルギーの値が小さいほどその構造はより安定といえる。

【 0 2 8 2 】

計算には、第一原理計算ソフトウェア V A S P を用いた。計算条件を表 4 に示す。

【 0 2 8 3 】

【表 4】

ソフトウェア	VASP
擬ポテンシャル	PAW法
汎関数	GGA/PBE
カットオフエネルギー	500 eV
k点	4×4×1

【 0 2 8 4 】

電子状態擬ポテンシャルには P A W 法により生成されたポテンシャルを、汎関数には G G A / P B E (G e n e r a l i z e d - G r a d i e n t - A p p r o x i m a t i o n / P e r d e w - B u r k e - E r n z e r h o f) を用いた。

【 0 2 8 5 】

また、計算により算出された 2 つのモデルの全エネルギーを表 5 に示す。

【 0 2 8 6 】

【表 5】

モデル	全エネルギー
VoH	-456.084 eV
Vo+H	-455.304 eV

【 0 2 8 7 】

表 5 より、V o H の方が V o + H よりも全エネルギーが 0 . 7 8 e V 小さい。よって、V o H の方が V o + H よりも安定であるといえる。したがって、酸素欠損（V o）に H 原子が近づくと、H 原子は O 原子と結合するよりも、酸素欠損（V o）中に取り込まれやす

いと考えられる。

【 0 2 8 8 】

< 2 - 2 . V o H の熱力学的状態 >

次に、酸素欠損 (V o) 中に H 原子が取り込まれた V o H の熱力学的状態に関して電子状態計算を用いて評価した結果を説明する。

【 0 2 8 9 】

I G Z O に含まれる欠陥 V o H について、(V o H) ⁺、(V o H) ⁻、(V o H) ⁰ それぞれの形成エネルギーを計算した。なお、(V o H) ⁺ は電子を 1 つ放出した状態を示し、(V o H) ⁻ は電子を 1 つ捕獲した状態を示し、(V o H) ⁰ は電子の移動のない状態を示す。

10

【 0 2 9 0 】

計算には、第一原理計算ソフトウェア V A S P を用いた。計算条件を表 6 に示す。また、計算に用いたモデルの構造を図 3 2 に示す。なお、形成エネルギーの評価は、以下の数式 2 に示す反応を想定して算出した。また、電子状態擬ポテンシャル計算には P A W 法により生成されたポテンシャルを、汎関数には H e y d - S c u s e r i a - E r n z e r h o f (H S E) D F T ハイブリッド汎関数 (H S E 0 6) を用いた。また、酸素欠損の形成エネルギーの算出では酸素欠損濃度の希薄極限を仮定し、電子及び正孔の伝導帯、価電子帯への過剰な広がりを補正してエネルギーを算出した。また、完全結晶の価電子帯上端をエネルギー原点とし、欠陥構造に起因する価電子帯のズレは、平均静電ポテンシャルを用いて補正した。

20

【 0 2 9 1 】

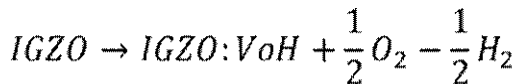
【表 6】

ソフトウェア	VASP
擬ポテンシャル	PAW法
汎関数	HSE06
カットオフエネルギー	800 eV
k点サンプリング数	2x2x1(opt.)
	4x4x1(single)
スピン分極	○
遮蔽パラメータ	0.2
交換項混合比	0.25
原子数	84

30

【 0 2 9 2 】

【数 2】



40

$$E_{form}(IGZO:VoH) = E_{tot}(IGZO:VoH) - E_{tot}(IGZO) + \frac{1}{2}E_{tot}(O_2) - \frac{1}{2}E_{tot}(H_2)$$

【 0 2 9 3 】

本計算で得られた形成エネルギーを図 3 3 に示す。

【 0 2 9 4 】

図 3 3 (A) に、(V o H) ⁺、(V o H) ⁻、(V o H) ⁰ それぞれの形成エネルギーを示す。横軸はフェルミレベルであり、縦軸は形成エネルギーである。点線は (V o H) ⁺ の形成エネルギーを示し、実線は (V o H) ⁰ の形成エネルギーを示し、破線は (V o H) ⁻ の形成エネルギーを示す。また、V o H の電荷が、(V o H) ⁺ から (V o H)

50

⁰を経て(V o H)⁻に変わる遷移レベルを(+ / -)と示す。

【0295】

図33(B)に、V o Hの熱力学的遷移レベルを示す。計算結果から、InGaZnO₄のエネルギーギャップは2.739 eVであった。また、価電子帯のエネルギーを0 eVとすると、遷移レベル(+ / -)は2.62 eVであり、伝導帯の直下に存在する。このことから、フェルミレベルがエネルギーギャップ内に存在する場合、V o Hの荷電状態は常に+1であり、V o Hはドナーとなると考えられる。すなわち、酸素欠損(V o)中にH原子が取り込まれることにより、IGZO(111)がn型になることが分かる。

【0296】

次に、キャリア(電子)密度と欠陥(V o H)密度の関係を評価した結果を図34に示す。

【0297】

図34より、欠陥(V o H)密度が増加することで、キャリア密度が増加することがわかる。

【0298】

以上のことから、IGZO(111)中のV o Hは、ドナーとなることが分かった。また、V o Hの密度が高くなると、IGZO(111)はn型となることがわかった。

【0299】

< 3. 酸化物半導体膜におけるDOS、及びDOSとなる元素の関係を説明するモデル >

酸化物半導体膜内部、及び酸化物半導体膜と外部との界面近傍において、DOS(Density of States)が存在すると、酸化物半導体膜を有するトランジスタを劣化させる要因などとなる。酸化物半導体膜内部、及びその界面近傍のDOSは、酸素(O)、酸素欠損(V o)、水素(H)、及び窒素酸化物(NO_x)の位置や結合関係によって説明することができる。以下、モデルの概要を説明する。

【0300】

トランジスタに安定した電気特性を付与するためには、酸化物半導体膜内部、及びその界面近傍にDOSをより少なくすること(高純度真性化)が重要である。そのDOSを低減するためには、酸素欠損、水素、及び窒素酸化物を低減することが必要となる。以下に、酸化物半導体膜内部及びその界面近傍のDOSと、酸素欠損、水素及び窒素酸化物との関係について、モデルを用いて説明する。

【0301】

図35は、酸化物半導体膜内部、及びその界面近傍のDOSを示すバンド構造である。以下では、酸化物半導体膜が、インジウム、ガリウム及び亜鉛を有する酸化物半導体膜(IGZO(111))である場合について説明する。

【0302】

まず、一般に、DOSには、浅い位置のDOS(shallow level DOS)と深い位置のDOS(deep level DOS)とがある。なお、本明細書において、浅い位置のDOS(shallow level DOS)は、伝導帯下端のエネルギー(E_c)とミッドギャップ(mid gap)との間にあるDOSのことをいう。従って、例えば、浅い位置のDOS(shallow level DOS)は、伝導帯下端のエネルギーの近くに位置する。また、本明細書において、深い位置のDOS(deep level DOS)は、価電子帯上端のエネルギー(E_v)とミッドギャップとの間にあるDOSのことをいう。従って、例えば、深い位置のDOS(deep level DOS)は、価電子帯上端のエネルギーよりもミッドギャップの近くに位置する。

【0303】

酸化物半導体膜において、浅い位置のDOS(shallow level DOS)は2種類ある。1つ目の浅い位置のDOS(shallow level DOS)は、酸化物半導体膜の表面近傍(絶縁膜(Insulator)との界面またはその近傍)の

10

20

30

40

50

DOS (surface shallow DOS) である。2つ目の浅い位置のDOS (shallow level DOS) は、酸化物半導体膜内部のDOS (bulk shallow DOS) である。一方、深い位置のDOS (deep level DOS) としては、酸化物半導体膜内部のDOS (bulk deep DOS) がある。
【0304】

これらのDOSは、以下のように作用する可能性がある。まず、酸化物半導体膜の表面近傍のsurface shallow DOSは、伝導帯下端から浅い位置にある。このため、surface shallow DOSにおいて、電荷の捕獲及び消失が容易に起こりうる。一方、酸化物半導体膜内部のbulk shallow DOSは、酸化物半導体膜の表面近傍のsurface shallow DOSと比べると伝導帯下端から深い位置にある。このため、bulk shallow DOSにおいて、電荷の消失が起こりにくい。

10

【0305】

以下では、酸化物半導体膜にDOSを作る原因元素について説明する。

【0306】

例えば、酸化物半導体膜上に酸化シリコン膜を形成する場合、酸化シリコン膜中に酸化物半導体膜に含まれるインジウムが入り込み、シリコンと置換することで、浅い位置のDOS (shallow level DOS) を作る場合がある。

【0307】

また、例えば、酸化物半導体膜及び酸化シリコン膜の界面では、酸化物半導体膜に含まれるインジウムと酸素との結合が切れ、当該酸素とシリコンとの結合が生じる。これは、シリコンと酸素との結合エネルギーがインジウムと酸素との結合エネルギーよりも高いこと、及びシリコン(4価)がインジウム(3価)よりも価数が多いことに起因する。そして、酸化物半導体膜に含まれる酸素がシリコンに奪われることによって、インジウムと結合していた酸素のサイトは酸素欠損となる。また、この現象は、表面だけでなく、酸化物半導体膜内部にシリコンが入っていった場合も、同様に生じる。これらの酸素欠損は、深い位置のDOS (deep level DOS) を形成する。

20

【0308】

また、シリコンだけでなく、別の要因によっても、インジウムと酸素との結合が切れる場合がある。例えば、インジウム、ガリウム及び亜鉛を有する酸化物半導体膜において、インジウムと酸素との結合は、ガリウムや亜鉛と酸素との結合よりも弱くて切れやすい。そのため、例えば、プラズマによるダメージやスパッタ粒子によるダメージなどによっても、インジウムと酸素との結合が切れ、酸素欠損が生じうる。この酸素欠損は、深い位置のDOS (deep level DOS) を形成する。

30

【0309】

これらの深い位置のDOS (deep level DOS) は、正孔を捕獲することができるため、正孔トラップ(正孔捕獲中心)となる。つまり、この酸素欠損が、酸化物半導体膜内部のbulk deep DOSを形成する。酸素欠損は、bulk deep DOSを形成するため、酸化物半導体膜の不安定要因となる。

【0310】

また、これらの酸素欠損による深い位置のDOS (deep level DOS) は、以下で説明するように、酸化物半導体膜内部のbulk shallow DOSを形成するための要因の一つとなる。

40

【0311】

酸化物半導体膜中の酸素欠損は、水素を捕獲することで準安定状態となる。つまり、深い位置のDOS (deep level DOS) であり、正孔を捕獲することができる酸素欠損が、水素を捕獲すると、bulk shallow DOSを形成し、準安定状態となる。本実施の形態に示す<VoHの熱力学的状態>で述べたように、酸素欠損は水素を捕獲すると、プラスに帯電する。すなわち、酸化物半導体膜内部のbulk shallow DOSの一つであるVoHが電子を放出して、中性またはプラスに帯電するた

50

め、トランジスタの特性に影響を与える。

【0312】

なお、酸素欠損がトランジスタの特性に対して悪影響を及ぼさないようにするためには、酸素欠損の密度を低減することが重要となる。そこで、酸化物半導体膜に過剰な酸素を供給することで、即ち酸素欠損を過剰酸素で埋めることで、酸化物半導体膜の酸素欠損の密度を低減することができる。つまり、酸素欠損は、過剰酸素が入ることで安定状態となる。例えば、酸化物半導体膜の内部、または酸化物半導体膜の界面近傍に設けられた絶縁膜中に、過剰酸素を有せしめると、該過剰酸素が酸化物半導体膜の酸素欠損を埋めることが可能であり、酸化物半導体膜の酸素欠損を効果的に消滅または低減することができる。

【0313】

このように、酸素欠損は、水素または酸素のいずれかによって、準安定状態または安定状態となる。

【0314】

また、本実施の形態に示す<酸化物絶縁膜中のNO_xの遷移レベルについて>で述べたように、NO_xであるNOまたはNO₂が、酸化物半導体膜に含まれる電子を捕獲する。NO_xであるNOまたはNO₂は、酸化物半導体膜の表面近傍のsurface shallow DOSの一つであるため、酸化物半導体膜の界面近傍に設けられた絶縁膜中にNO_xが含まれることで、トランジスタの特性に影響を与える。

【0315】

なお、NO_xがトランジスタの特性に対して悪影響を及ぼさないようにするためには、酸化物半導体膜の界面近傍に設けられた絶縁膜に含まれるNO_xの含有量を低減することが重要となる。

【0316】

<3-1. 酸化物半導体膜を有するトランジスタの暗状態におけるヒステリシス劣化モデル>

次に、酸化物半導体膜を有するトランジスタの劣化のメカニズムについて述べる。酸化物半導体膜を有するトランジスタは、光が照射されている場合と、光が照射されていない場合とで、特性が劣化の挙動が異なる。光が照射されている場合は、酸化物半導体膜内部の深い位置のDOS(bulk deep DOS)が大きく影響する可能性がある。光が照射されていない場合は、酸化物半導体膜の表面近傍(絶縁膜(Insulator)との界面またはその近傍)の浅い位置のDOS(surface shallow DOS)が関係している可能性がある。

【0317】

そこで、まず、酸化物半導体膜を有するトランジスタに光が照射されていない場合(暗状態)について述べる。暗状態では、酸化物半導体膜の表面近傍(絶縁膜(Insulator)との界面またはその近傍)の浅い位置のDOS(surface shallow DOS)による電荷の捕獲、放出の関係から、トランジスタの劣化メカニズムについて説明することができる。なお、ここでは、酸化物半導体膜の界面近傍に設けられた絶縁膜として、ゲート絶縁膜を用いて説明する。

【0318】

酸化物半導体膜を有するトランジスタに対し、暗状態においてゲートBT(bias temperature)ストレス試験を繰り返し行った場合のしきい値電圧(V_{th})の変化を図36に示す。図36より、プラスゲートBTストレス試験(+GBT)を行うことでしきい値電圧はプラス方向へと変化する。次に、マイナスゲートBTストレス試験(-GBT)を行うと、しきい値電圧はマイナス方向へと変化して、初期値(Initial)と同程度のしきい値電圧となる。このように、プラスゲートBTストレス試験と、マイナスゲートBTストレス試験とを交互に繰り返し行くと、しきい値電圧が上下に変化する(ヒステリシスが生じる)。つまり、光を照射しない状態において、マイナスゲートBTストレス試験と、プラスゲートBT試験とを繰り返し行くと、しきい値電圧はプラス方向とマイナス方向へと、繰り返しシフトするが、全体としては、一定の範囲内での変化

10

20

30

40

50

にとどまることがわかった。

【0319】

このような暗状態でのゲートBTストレス試験におけるトランジスタのしきい値電圧の変化は、酸化物半導体膜の表面近傍の *surface shallow DOS* によって説明することができる。図37に、酸化物半導体膜を含むバンド構造と、バンド構造に対応するフローチャートを示す。

【0320】

ゲートBTストレスの印加前（ゲート電圧（ V_g ）は0）は、酸化物半導体膜の表面近傍の *surface shallow DOS* は、フェルミ準位（ E_f ）よりもエネルギーが高く、電子が捕獲されていないため電氣的に中性である（図37のステップS101）。ステップS101において測定したしきい値電圧を、ゲートBTストレスの印加前の初期値とする。

10

【0321】

次に、プラスゲートBTストレス試験（暗状態）を行う。プラスのゲート電圧を印加することで、伝導帯のバンドが曲がり、酸化物半導体膜の表面近傍の *surface shallow DOS* がフェルミ準位よりも低いエネルギーとなる。その結果、酸化物半導体膜の表面近傍の *surface shallow DOS* には電子が捕獲され、マイナスに帯電する（図37のステップS102）。

【0322】

次に、ストレスを止め、ゲート電圧を0にする。ゲート電圧を0にすることで、酸化物半導体膜の表面近傍の *surface shallow DOS* がフェルミ準位よりも高いエネルギーとなる。ところが、酸化物半導体膜の表面近傍の *surface shallow DOS* に捕獲された電子が放出するまでに長い時間を要する。そのため、酸化物半導体膜の表面近傍の *surface shallow DOS* はマイナスに帯電したままとなる（図37のステップS103）。このとき、トランジスタのチャネル形成領域にはゲート電圧のほかに、マイナスの電圧が印加され続けている状態となる。従って、トランジスタをオンするために、初期値よりも高いゲート電圧を印加しなくてはならず、しきい値電圧はプラス方向に変化する。つまり、ノーマリーオフ化しやすくなる可能性がある。

20

【0323】

次に、マイナスゲートBTストレス試験（暗状態）を行い、マイナスのゲート電圧を印加する。マイナスのゲート電圧を印加することで、伝導帯のバンドが曲がり、酸化物半導体膜の表面近傍の *surface shallow DOS* がさらに高いエネルギーとなる。そのため、酸化物半導体膜の表面近傍の *surface shallow DOS* に捕獲された電子が放出され、電氣的に中性となる（図37のステップS104）。

30

【0324】

次に、ストレスを止め、ゲート電圧を0にする。このとき、酸化物半導体膜の表面近傍の *surface shallow DOS* は、すでに電子を放出しているため、電氣的に中性である（ステップS101）。そのため、しきい値電圧は、プラス方向に変化し、結果として、ゲートBTストレスの印加前の初期値に戻る。つまり、暗状態で、マイナスゲートBTストレス試験と、プラスゲートBTストレス試験とを繰り返し行くと、しきい値電圧はプラス方向とマイナス方向へと、繰り返し変化していく。しかし、酸化物半導体膜の表面近傍の *surface shallow DOS* において、プラスゲートBTストレス試験時に捕獲された電子が、マイナスゲートBTストレス試験時に放出されるため、全体としては、しきい値電圧は一定の範囲内で変化することがわかった。

40

【0325】

以上のように、暗状態におけるゲートBTストレス試験によるトランジスタのしきい値電圧の変化は、酸化物半導体膜の表面近傍の *surface shallow DOS* を理解することによって説明することができる。

【0326】

50

< 3 - 2 . 酸化物半導体膜を有するトランジスタの明状態における劣化モデル >

次に、光が照射されている場合（明状態）における劣化のメカニズムについて述べる。明状態では、酸化物半導体膜内部の深い位置のDOS (bulk deep DOS) による電荷の捕獲、放出の関係から、トランジスタの劣化のメカニズムについて説明することができる。

【0327】

酸化物半導体膜を有するトランジスタに対し、明状態においてゲートBTストレス試験を繰り返し行った場合のしきい値電圧 (V_{th}) の変化を図38に示す。図38より、しきい値電圧 (V_{th}) は初期値 (Initial) からマイナス方向へ変化する。

【0328】

図38では、はじめに、しきい値電圧の初期値として、ゲートBTストレスを加えずに、暗状態において測定した結果をプロットした。次に、ゲートBTストレスを加えずに、明状態において、しきい値電圧を測定した。その結果、暗状態でのしきい値電圧と比べて、明状態でのしきい値電圧は、マイナス方向に大きく変化することがわかった。これは、光を照射することによって、電子及び正孔（ホール）が生成され、生成された電子が伝導帯へ励起されることが一要因として考えられる。つまり、ゲートBTストレスを加えない場合であっても、光の照射によって、酸化物半導体膜を有するトランジスタのしきい値電圧は、マイナス方向へシフトし、ノーマリーオン化しやすくなるといえる。この場合、酸化物半導体膜のエネルギーギャップが大きいほど、または、ギャップ内のDOSが少ないほど、励起される電子は少なくなる。そのため、そのような場合は、光の照射のみによるしきい値電圧の変化は小さくなる。

【0329】

次に、光を照射したままの状態、マイナスゲートBTストレス試験 (-GBT) を行くと、しきい値電圧はさらにマイナス方向に変化した。

【0330】

その後、光を照射したままの状態、プラスゲートBTストレス試験 (+GBT) を行くと、しきい値電圧はプラス方向に変化した。

【0331】

さらに、光を照射したままの状態、マイナスゲートBTストレス試験と、プラスゲートBTストレス試験とを繰り返し行っていくと、しきい値電圧はプラス方向とマイナス方向へと、繰り返し変化しながら、全体としては、徐々にマイナス方向へ変化していくことがわかった。

【0332】

以上を示した明状態でのゲートBTストレス試験（プラスゲートBTとマイナスゲートBTの繰り返し試験）において、トランジスタのしきい値電圧が変化していくメカニズムについて、図39及び図40に示すバンド構造を用いて説明する。図39及び図40では、酸化物半導体膜内部のbulk deep DOS、及びゲート絶縁膜中の非架橋酸素正孔捕獲中心 (NB O H C 1 及びNB O H C 2) を用いて説明する。なお、非架橋酸素正孔捕獲中心 (NB O H C 1) は、非架橋酸素正孔捕獲中心 (NB O H C 2) よりも、酸化物半導体膜との界面に近い位置（表面側）にある非架橋酸素正孔捕獲中心 (NB O H C) である。

【0333】

ゲートBTストレスの印加と光の照射とを行う前（ゲート電圧 (V_g) は0）、酸化物半導体膜内部のbulk deep DOSは、フェルミ準位 (E_f) よりもエネルギーが低く、正孔が捕獲されていないため電氣的に中性である（図39のステップS111）。このとき、暗状態で測定したしきい値電圧を、暗状態の初期値とする。

【0334】

次に、ゲートBTストレスを加えずに、酸化物半導体膜に光を照射すると、電子及び正孔が生成される（図39のステップS112）。生成された電子は、伝導帯に励起され、しきい値電圧をマイナス方向へ変化させる（以降のステップでは電子を省略して示す。）

。また、正孔が生成されることで、正孔の擬フェルミ準位 (E_{fp}) が下がる。正孔の擬フェルミ準位 (E_{fp}) が下がることで、酸化物半導体膜内部の $bulk\ deep\ DOS$ に正孔が捕獲される (図 39 のステップ S 1 1 3)。従って、ゲート BT ストレスを加えずに、光を照射すると、暗状態のときと比べて、しきい値電圧がマイナス方向に変化し、ノーマリーオン化しやすくなる可能性がある。

【0335】

次に、光を照射したままの状態、マイナスゲート BT ストレス試験を行うと、電界勾配が生じ、酸化物半導体膜内部の $bulk\ deep\ DOS$ に捕獲された正孔が、ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC1$) に注入される (図 39 のステップ S 1 1 4)。さらに、電界により、ゲート絶縁膜のさらに内部の非架橋酸素正孔捕獲中心 ($NBOHC2$) へも正孔の一部が移動する (図 40 のステップ S 1 1 5)。ゲート絶縁膜中で非架橋酸素正孔捕獲中心 ($NBOHC1$) から非架橋酸素正孔捕獲中心 ($NBOHC2$) への正孔の移動は、電界を印加する時間が長いほど進行する。ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC1$ 及び $NBOHC2$) の正孔は、プラスの固定電荷として振る舞うため、しきい値電圧をマイナス方向に変化させ、ノーマリーオン化しやすくなる。

【0336】

なお、ここでは、理解を容易にするため、光照射とマイナスゲート BT ストレス試験とを異なるステップに分けて示したが、これに限定して解釈されるものではない。例えば、ステップ S 1 1 2 乃至ステップ S 1 1 5 が、並行して起こるステップであると考えても構

【0337】

次に、光を照射したままの状態、プラスゲート BT ストレス試験を行う。プラスのゲート電圧を印加することによって、酸化物半導体膜内部の $bulk\ deep\ DOS$ に捕獲された正孔、及びゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC1$) の正孔が放出される (図 40 のステップ S 1 1 6)。その結果、しきい値電圧はプラス方向に変化する。ただし、ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC2$) は、ゲート絶縁膜の内部の深い位置であるため、明状態でプラスゲート BT ストレス試験を行ったとしても、直接正孔が放出されることはほとんど起こりえない。ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC2$) の正孔を放出するためには、一度、表面側にある非架橋酸素正孔捕獲中心 ($NBOHC1$) に移動しなくてはならない。ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC2$) から非架橋酸素正孔捕獲中心 ($NBOHC1$) への正孔の移動は、電界を印加した時間に応じて少しずつ起こる。従って、しきい値電圧のプラス方向への変化量も小さく、初期値まで戻り切らない。

【0338】

また、ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC1$) と、酸化物半導体膜内部の $bulk\ deep\ DOS$ との間でも、正孔のやりとりが起こる。しかし、酸化物半導体膜内部の $bulk\ deep\ DOS$ には、既に多くの正孔が捕獲されている状態となっているため、酸化物半導体膜及びゲート絶縁膜全体の帯電量はほとんど減少しない可能性がある。

【0339】

次に、再び、光を照射したままの状態、マイナスゲート BT ストレス試験を行うと、電界勾配が生じ、酸化物半導体膜内部の $bulk\ deep\ DOS$ に捕獲された正孔が、ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC1$) に注入される。また、電界により、ゲート絶縁膜のさらに内部の非架橋酸素正孔捕獲中心 ($NBOHC2$) へも正孔の一部が注入される (図 40 のステップ S 1 1 7)。なお、ゲート絶縁膜中の非架橋酸素正孔捕獲中心 ($NBOHC2$) は、ステップ S 1 1 5 で入った正孔が放出せずに残ったままの状態である。そのため、さらに正孔が注入されることで、固定電荷として振る舞う正孔数はさらに増える。しきい値電圧をさらにマイナス方向に変化させ、よりノーマリーオン化しやすくなる。

【 0 3 4 0 】

次に、光を照射したままの状態ですラズゲートBTストレス試験を行うと、プラスのゲート電圧を印加することによって、酸化物半導体膜内部のbulk deep DOSに捕獲された正孔、及びゲート絶縁膜中の非架橋酸素正孔捕獲中心(NBOHC1)の正孔が放出される(図40のステップS118)。その結果、しきい値電圧はプラス方向に変化する。ただし、ゲート絶縁膜中の非架橋酸素正孔捕獲中心(NBOHC2)の正孔は、ほとんど放出されない。従って、しきい値電圧のプラス方向への変化量も小さく、初期値まで戻り切らない。

【 0 3 4 1 】

以上のように、明状態において、マイナスゲートBTストレス試験とプラスゲートBTストレス試験とを繰り返し行うことによって、しきい値電圧はプラス方向とマイナス方向へと、繰り返し変化しながら、全体としては、徐々にマイナス方向へ変化していくものと考えられる。

10

【 0 3 4 2 】

以上のように、明状態でのゲートBTストレス試験におけるトランジスタのしきい値電圧の変化は、酸化物半導体膜内部のbulk deep DOS、及びゲート絶縁膜中の非架橋酸素正孔捕獲中心(NBOHC1及びNBOHC2)を理解することによって説明することができる。

【 0 3 4 3 】

< 3 - 3. 酸化物半導体膜の脱水化及び脱水素化、ならびに加酸素化のプロセスモデル >

20

トランジスタに安定した電気特性を付与するためには、酸化物半導体膜内部、及びその界面近傍にDOSをより少なくすること(高純度真性化)が重要である。以下では、酸化物半導体膜の高純度真性化のプロセスモデルについて説明する。そこで、まずは、酸化物半導体膜の、脱水化及び脱水素化について説明し、次に、酸素欠損(V_o)を酸素で埋めることによる加酸素化について説明する。

【 0 3 4 4 】

なお、高純度真性化のプロセスモデルについて説明する前に、酸化物半導体膜の酸素欠損がどの位置に生じやすいかを説明する。インジウム、ガリウム及び亜鉛を有する酸化物半導体膜において、ガリウムと酸素との結合、亜鉛と酸素との結合に比べ、インジウムと酸素との結合が最も切れやすい。従って、以下では、インジウムと酸素との結合が切れ、酸素欠損が形成されるモデルについて説明する。

30

【 0 3 4 5 】

インジウムと酸素との結合が切れると、酸素が脱離し、インジウムと結合していた酸素のサイトが酸素欠損となる。酸素欠損は、酸化物半導体膜の深い位置のDOS(deep level DOS)を形成する。酸化物半導体膜の酸素欠損は、不安定であるため、酸素または水素を捕獲することで安定化を図る。そのため、酸素欠損の近くに水素があると、酸素欠損が水素を捕獲することで V_oH となる。 V_oH は、酸化物半導体膜の浅い位置のDOS(shallow level DOS)を形成する。

【 0 3 4 6 】

40

次に、酸化物半導体膜の V_oH に酸素が近づいてくると、酸素は、 V_oH から水素を奪い、水酸基(OH)の状態、水素を脱離させる(図41(A)及び図41(B)参照。)。酸素は、加熱処理などによって酸化物半導体膜中を移動することで近づいてくる。

【 0 3 4 7 】

さらに、脱離した水酸基は、別の酸化物半導体膜の V_oH に近づくと、 V_oH から水素を奪い、水分子(H_2O)の状態、さらに水素を脱離させる(図41(C)及び図41(D)参照。)。以上のように、1つの酸素は、酸化物半導体膜の2つの水素を脱離させる。これを、酸化物半導体膜の脱水化及び脱水素化と呼ぶ。脱水化及び脱水素化によって、酸化物半導体膜の浅い位置のDOS(shallow level DOS)が低減され、深い位置のDOS(deep level DOS)が形成される。

50

【0348】

次に、酸化物半導体膜の酸素欠損に酸素が近づいてくると、酸素は、酸素欠損に捕獲され、酸素欠損を低減させる（図41（E）及び図41（F）参照。）。これを、酸化物半導体膜の加酸素化と呼ぶ。加酸素化によって、酸化物半導体膜の深い位置のDOS（deep level DOS）を低減することができる。

【0349】

以上のようにして、酸化物半導体膜の脱水化及び脱水素化、ならびに加酸素化を行うと、酸化物半導体膜の浅い位置のDOS（shallow level DOS）及び深い位置のDOS（deep level DOS）を低減することができる。これを酸化物半導体の高純度真性化と呼ぶ。

10

【0350】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0351】

（実施の形態4）

本実施の形態では、上記実施の形態で説明した半導体装置に含まれているトランジスタにおいて、酸化物半導体膜に適用可能な一態様について説明する。

【0352】

酸化物半導体膜は、単結晶酸化物半導体膜と、それ以外の非単結晶酸化物半導体膜とに分けられる。非単結晶酸化物半導体膜としては、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜、多結晶酸化物半導体膜、nc-OS（nanocrystalline Oxide Semiconductor）膜、擬似非晶質酸化物半導体（a-like OS：amorphous like Oxide Semiconductor）膜、非晶質酸化物半導体膜などがある。

20

【0353】

また、別の観点では、酸化物半導体膜は、非晶質酸化物半導体膜と、それ以外の結晶性酸化物半導体膜とに分けられる。結晶性酸化物半導体膜としては、単結晶酸化物半導体膜、CAAC-OS膜、多結晶酸化物半導体膜、nc-OS膜などがある。

【0354】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

30

【0355】

逆の見方をすると、本質的に安定な酸化物半導体膜の場合、完全な非晶質（completely amorphous）酸化物半導体膜と呼ぶことはできない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体膜を、完全な非晶質酸化物半導体膜と呼ぶことはできない。ただし、a-like OS膜は、微小な領域において周期構造を有するものの、鬆（ボイドともいう。）を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体膜に近いといえる。

40

【0356】

<CAAC-OS膜>

まずは、CAAC-OS膜について説明する。

【0357】

CAAC-OS膜は、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体膜の一つである。

【0358】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OS膜の明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。

50

一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0359】

以下では、TEMによって観察したCAAC-OS膜について説明する。図42（A）に、試料面と略平行な方向から観察したCAAC-OS膜の断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

10

【0360】

図42（A）の領域（1）を拡大したCs補正高分解能TEM像を図42（B）に示す。図42（B）より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OS膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-OS膜の被形成面または上面と平行となる。

【0361】

図42（B）に示すように、CAAC-OS膜は特徴的な原子配列を有する。図42（C）は、特徴的な原子配列を、補助線で示したものである。図42（B）および図42（C）より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。また、CAAC-OS膜を、CANC（C-Axis Aligned nanocrystals）を有する酸化物半導体膜と呼ぶこともできる。

20

【0362】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OS膜のペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる（図42（D）参照。）。図42（C）で観察されたペレットとペレットとの間で傾きが生じている箇所は、図42（D）に示す領域5161に相当する。

【0363】

また、図43（A）に、試料面と略垂直な方向から観察したCAAC-OS膜の平面のCs補正高分解能TEM像を示す。図43（A）の領域（1）、領域（2）および領域（3）を拡大したCs補正高分解能TEM像を、それぞれ図43（B）、図43（C）および図43（D）に示す。図43（B）、図43（C）および図43（D）より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

30

【0364】

次に、X線回折（XRD：X-Ray Diffraction）によって解析したCAAC-OS膜について説明する。例えば、InGaZnO₄の結晶を有するCAAC-OS膜に対し、out-of-plane法による構造解析を行うと、図44（A）に示すように回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

40

【0365】

なお、CAAC-OS膜のout-of-plane法による構造解析では、2θが31°近傍のピーク他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OS膜は、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さな

50

い。

【0366】

一方、CAAC-OS膜に対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。CAAC-OS膜の場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図44(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定してスキャンした場合、図44(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OS膜は、a軸およびb軸の配向が不規則であることが確認できる。

10

【0367】

次に、電子回折によって解析したCAAC-OS膜について説明する。例えば、InGaZnO₄の結晶を有するCAAC-OS膜に対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図45(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OS膜に含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図45(B)に示す。図45(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OS膜に含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図45(B)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図45(B)における第2リングは(110)面などに起因すると考えられる。

20

【0368】

上述したように、CAAC-OS膜は結晶性の高い酸化物半導体膜である。酸化物半導体膜の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-OS膜は不純物や欠陥(酸素欠損など)の少ない酸化物半導体膜ともいえる。

30

【0369】

なお、不純物は、酸化物半導体膜の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。

【0370】

酸化物半導体膜が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体膜に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体膜中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

40

【0371】

不純物および酸素欠損の少ないCAAC-OS膜は、キャリア密度の低い酸化物半導体膜である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体膜とすることができる。そのような酸化物半導体膜を、高純度真性または実質的に高純度真性な酸化物半導体膜と呼ぶ。CAAC-OS膜は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体膜であるといえる。

50

【0372】

<nc-OS膜>

次に、nc-OS膜について説明する。

【0373】

nc-OS膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OS膜に含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化半導体膜を微結晶酸化半導体膜と呼ぶことがある。nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OS膜におけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OS膜の結晶部をペレットと呼ぶ場合がある。

10

【0374】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、a-like OS膜や非晶質酸化半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-OS膜に対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

20

【0375】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OS膜を、RANC(Random Aligned nanocrystals)を有する酸化半導体膜、またはNANC(Non-Aligned nanocrystals)を有する酸化半導体膜と呼ぶこともできる。

30

【0376】

nc-OS膜は、非晶質酸化半導体膜よりも規則性の高い酸化半導体膜である。そのため、nc-OS膜は、a-like OS膜や非晶質酸化半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0377】

<a-like OS膜>

a-like OS膜は、nc-OS膜と非晶質酸化半導体膜との間の構造を有する酸化半導体膜である。

40

【0378】

a-like OS膜は、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0379】

鬆を有するため、a-like OS膜は、不安定な構造である。以下では、a-like OS膜が、CAAC-OS膜およびnc-OS膜と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0380】

50

電子照射を行う試料として、*a-like* OS膜（試料Aと表記する。）、*nc-O* S膜（試料Bと表記する。）およびCAAC-OS膜（試料Cと表記する。）を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0381】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0382】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0383】

図46は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図46より、*a-like* OS膜は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図46中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、*nc-O* S膜およびCAAC-OS膜は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図46中の(2)および(3)で示すように、電子の累積照射量によらず、*nc-O* S膜およびCAAC-OS膜の結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0384】

このように、*a-like* OS膜は、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-O* S膜およびCAAC-OS膜は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、*a-like* OS膜は、*nc-O* S膜およびCAAC-OS膜と比べて、不安定な構造であることがわかる。

【0385】

また、鬆を有するため、*a-like* OS膜は、*nc-O* S膜およびCAAC-OS膜と比べて密度の低い構造である。具体的には、*a-like* OS膜の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、*nc-O* S膜の密度およびCAAC-OS膜の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

【0386】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶InGaZnO₄の密度は $6.357 \text{ g} / \text{cm}^3$ となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体膜において、*a-like* OS膜の密度は $5.0 \text{ g} / \text{cm}^3$ 以上 $5.9 \text{ g} / \text{cm}^3$ 未満となる。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体膜において、*nc-O* S膜の密度およびCAAC-OS膜の密度は $5.9 \text{ g} / \text{cm}^3$ 以上 $6.3 \text{ g} / \text{cm}^3$ 未満となる。

【0387】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせ

せる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0388】

以上のように、酸化物半導体膜は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、a-like OS膜、nc-OS膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0389】

<成膜モデル>

以下では、CAAC-OS膜およびnc-OS膜の成膜モデルの一例について説明する。

10

【0390】

図47(A)は、スパッタリング法によりCAAC-OS膜が成膜される様子を示した成膜室内の模式図である。

【0391】

ターゲット5130は、バックグプレートに接着されている。バックグプレートを紹介してターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

【0392】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離d(ターゲット-基板間距離(T-S間距離)ともいう。)は0.01m以上1m以下、好ましくは0.02m以上0.5m以下とする。成膜室内は、ほとんどが成膜ガス(例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、0.01Pa以上100Pa以下、好ましくは0.1Pa以上10Pa以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン(O^+)やアルゴンの陽イオン(Ar^+)などである。

20

【0393】

ここで、ターゲット5130は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。図48(A)に、一例として、ターゲット5130に含まれる $InGaZnO_4$ の結晶の構造を示す。なお、図48(A)は、b軸に平行な方向から $InGaZnO_4$ の結晶を観察した場合の構造である。図48(A)より、近接する二つのGa-Zn-O層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つのGa-Zn-O層の間には斥力が生じる。その結果、 $InGaZnO_4$ の結晶は、近接する二つのGa-Zn-O層の間に劈開面を有する。

30

【0394】

高密度プラズマ領域で生じたイオン5101は、電界によってターゲット5130側に加速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101の衝突の衝撃によって、構造に歪みが生じる場合がある。

40

【0395】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない、例

50

えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。

【0396】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット5100は、厚さを0.4 nm以上1 nm以下、好ましくは0.6 nm以上0.8 nm以下とする。また、例えば、ペレット5100は、幅を1 nm以上3 nm以下、好ましくは1.2 nm以上2.5 nm以下とする。ペレット5100は、上述の図46中の(1)で説明した初期核に相当する。例えば、In-Ga-Zn酸化物を有するターゲット5130にイオン5101を衝突させると、図48(B)に示すように、Ga-Zn-O層、In-O層およびGa-Zn-O層の3層を有するペレット5100が剥離する。図48(C)に、剥離したペレット5100をc軸に平行な方向から観察した構造を示す。ペレット5100は、二つのGa-Zn-O層(パン)と、In-O層(具)と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。

10

【0397】

ペレット5100は、プラズマを通過する際に、側面が負または正に帯電する場合がある。ペレット5100は、例えば、側面に位置する酸素原子が負に帯電する可能性がある。側面が同じ極性の電荷を有することにより、電荷同士の反発が起こり、平板状またはペレット状の形状を維持することが可能となる。なお、CAAC-OS膜が、In-Ga-Zn酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。また、ペレット5100は、プラズマを通過する際に、プラズマ中のインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。上述の図46中の(2)と(1)の大きさの違いが、プラズマ中での成長分に相当する。ここで、基板5120が室温程度である場合、基板5120上におけるペレット5100の成長が起こりにくいためnc-OS膜となる(図47(B)参照)。室温程度で成膜できることから、基板5120が大面積である場合でもnc-OS膜の成膜が可能である。なお、ペレット5100をプラズマ中で成長させるためには、スパッタリング法における成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット5100の構造を安定にすることができる。

20

30

【0398】

図47(A)および図47(B)に示すように、例えば、ペレット5100は、プラズマ中を風のように飛翔し、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帯びているため、ほかのペレット5100が既に堆積している領域が近づく、斥力が生じる。ここで、基板5120の上面では、基板5120の上面に平行な向きの磁場(水平磁場ともいう。)が生じている。また、基板5120およびターゲット5130間には、電位差が与えられるため、基板5120からターゲット5130に向かう方向に電流が流れる。したがって、ペレット5100は、基板5120の上面において、磁場および電流の作用によって、力(ローレンツ力)を受ける。このことは、フレミングの左手の法則によって理解できる。

40

【0399】

ペレット5100は、原子一つと比べると質量が大きい。そのため、基板5120の上面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット5100に、基板5120の上面を移動するために十分な力を与えるには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10 G以上、好ましくは20 G以上、さらに好ましくは30 G以上、より好ましくは50 G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以

50

上、より好ましくは5倍以上となる領域を設けるとよい。

【0400】

このとき、マグネットと基板5120とが相対的に移動すること、または回転することによって、基板5120の上面における水平磁場の向きは変化し続ける。したがって、基板5120の上面において、ペレット5100は、様々な方向から力を受け、様々な方向へ移動することができる。

【0401】

また、図47(A)に示すように基板5120が加熱されている場合、ペレット5100と基板5120との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動する。ペレット5100の移動は、平板面を基板5120に向けた状態で起こる。その後、既に堆積しているほかのペレット5100の側面まで到達すると、側面同士が結合する。このとき、ペレット5100の側面にある酸素原子が脱離する。脱離した酸素原子によって、CAAC-OS膜中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCAAC-OS膜となる。なお、基板5120の上面の温度は、例えば、100 以上500 未満、150 以上450 未満、または170 以上400 未満とすればよい。したがって、基板5120が大面積である場合でもCAAC-OS膜の成膜は可能である。

【0402】

また、ペレット5100は、基板5120上で加熱されることにより、原子が再配列し、イオン5101の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット5100は、ほとんど単結晶となる。ペレット5100がほとんど単結晶となることにより、ペレット5100同士が結合した後に加熱されたとしても、ペレット5100自体の伸縮はほとんど起こり得ない。したがって、ペレット5100間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。

【0403】

また、CAAC-OS膜は、単結晶酸化物半導体が一枚板のようにになっているのではなく、ペレット5100(ナノ結晶)の集合体がレンガまたはブロックが積み重なったような配列をしている。また、ペレット5100同士の間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、CAAC-OS膜に縮みなどの変形が生じた場合でも、局部応力を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に用いることに適した構造である。なお、nc-OS膜は、ペレット5100(ナノ結晶)が無秩序に積み重なったような配列となる。

【0404】

ターゲット5130をイオン5101でスパッタした際に、ペレット5100だけでなく、酸化亜鉛などが剥離する場合がある。酸化亜鉛はペレット5100よりも軽量であるため、先に基板5120の上面に到達する。そして、0.1nm以上10nm以下、0.2nm以上5nm以下、または0.5nm以上2nm以下の酸化亜鉛層5102を形成する。図49に断面模式図を示す。

【0405】

図49(A)に示すように、酸化亜鉛層5102上にはペレット5105aと、ペレット5105bと、が堆積する。ここで、ペレット5105aとペレット5105bとは、互いに側面が接するように配置している。また、ペレット5105cは、ペレット5105b上に堆積した後、ペレット5105b上を滑るように移動する。また、ペレット5105aの別の側面において、酸化亜鉛とともにターゲットから剥離した複数の粒子5103が、基板5120からの加熱により結晶化し、領域5105a1を形成する。なお、複数の粒子5103は、酸素、亜鉛、インジウムおよびガリウムなどを含む可能性がある。

【0406】

そして、図49(B)に示すように、領域5105a1は、ペレット5105aと一体化し、ペレット5105a2となる。また、ペレット5105cは、その側面がペレット5105bの別の側面と接するように配置する。

【0407】

次に、図49(C)に示すように、さらにペレット5105dがペレット5105a2上およびペレット5105b上に堆積した後、ペレット5105a2上およびペレット5105b上を滑るように移動する。また、ペレット5105cの別の側面に向けて、さらにペレット5105eが酸化亜鉛層5102上を滑るように移動する。

【0408】

そして、図49(D)に示すように、ペレット5105dは、その側面がペレット5105a2の側面と接するように配置する。また、ペレット5105eは、その側面がペレット5105cの別の側面と接するように配置する。また、ペレット5105dの別の側面において、酸化亜鉛とともにターゲット5130から剥離した複数の粒子5103が基板5120の加熱により結晶化し、領域5105d1を形成する。

10

【0409】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において成長が起こることで、基板5120上にCAAC-OS膜が形成される。したがって、CAAC-OS膜は、nc-OS膜よりも一つ一つのペレットが大きくなる。上述の図46中の(3)と(2)の大きさの違いが、堆積後の成長分に相当する。

【0410】

また、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットは、単結晶構造を有する。例えば、ペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。このとき、微細なトランジスタに用いる酸化物半導体において、チャンネル形成領域が一つの大きなペレットに収まる場合がある。即ち、単結晶構造を有する領域をチャンネル形成領域として用いることができる。また、ペレットが大きくなることで、単結晶構造を有する領域をトランジスタのチャンネル形成領域、ソース領域およびドレイン領域として用いることができる場合がある。

20

【0411】

このように、トランジスタのチャンネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

【0412】

以上のようなモデルにより、ペレット5100が基板5120上に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAAC-OS膜の成膜が可能であることから、エピタキシャル成長とは異なる成長機構であることがわかる。また、CAAC-OS膜は、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。例えば、基板5120の上面(被形成面)の構造が非晶質構造(例えば非晶質酸化シリコン)であっても、CAAC-OS膜を成膜することは可能である。

30

【0413】

また、CAAC-OS膜は、被形成面である基板5120の上面に凹凸がある場合でも、その形状に沿ってペレット5100が配列することがわかる。例えば、基板5120の上面が原子レベルで平坦な場合、ペレット5100はa-b面と平行な平面である平板面を下に向けて並置する。ペレット5100の厚さが均一である場合、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層がn段(nは自然数。)積み重なることで、CAAC-OS膜を得ることができる。

40

【0414】

一方、基板5120の上面が凹凸を有する場合でも、CAAC-OS膜は、ペレット5100が凹凸に沿って並置した層がn段(nは自然数。)積み重なった構造となる。基板5120が凹凸を有するため、CAAC-OS膜は、ペレット5100間に隙間が生じやすい場合がある。ただし、この場合でも、ペレット5100間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有するCAAC-OS膜とすることができる。

【0415】

50

このようなモデルによってC A A C - O S膜が成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板5120上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

【0416】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有するC A A C - O Sを得ることができる。

【0417】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

10

【0418】

(実施の形態5)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0419】

[断面構造]

図50(A)に本発明の一態様の半導体装置の断面図を示す。図50(A)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ2200を有し、上部に第2の半導体材料を用いたトランジスタ2100を有している。トランジスタ2100には先の実施の形態で説明したトランジスタを用いることができ、図50(A)ではトランジスタ2100として、トランジスタ10を適用した例を示している。なお、一点鎖線より左側がトランジスタのチャンネル長方向の断面、右側がチャンネル幅方向の断面である。

20

【0420】

なお、当該断面図の半導体装置では、トランジスタ2100にバックゲートを設けた構成を示しているが、バックゲートを設けない構成であってもよい。

【0421】

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコン(歪シリコン含む)、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体など)とし、第2の半導体材料を酸化物半導体とすることができ、酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

30

【0422】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0423】

図50(A)に示す構成では、トランジスタ2200の上部に、絶縁膜2201、絶縁膜2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また、各種絶縁膜に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電気的に接続されている。また、トランジスタ2100を覆う絶縁膜2204と、絶縁膜2204上に配線2205と、トランジスタ2100の一对の電極と同一の導電膜を加工して得られた配線2206と、が設けられている。

40

【0424】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0425】

50

ここで、下層に設けられるトランジスタ 2200 にシリコン系半導体材料を用いた場合、トランジスタ 2200 の半導体層の近傍に設けられる絶縁膜中の水素はシリコンのダングリングボンドを終端し、トランジスタ 2200 の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ 2100 に酸化物半導体を用いた場合、トランジスタ 2100 の半導体層の近傍に設けられる絶縁膜中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ 2100 の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ 2200 の上層に酸化物半導体を用いたトランジスタ 2100 を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁膜 2207 を設けることは特に効果的である。絶縁膜 2207 により、下層に水素を閉じ込めることでトランジスタ 2200 の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ 2100 の信頼性も同時に向上させることができる。

10

【0426】

絶縁膜 2207 としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (YSZ) 等を用いることができる。

【0427】

また、酸化物半導体層を含んで構成されるトランジスタ 2100 を覆うように、トランジスタ 2100 上に水素の拡散を防止する機能を有するブロック膜 2208 (トランジスタ 10 では絶縁膜 19 に相当) を形成することが好ましい。ブロック膜 2208 としては、絶縁膜 2207 と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物及び酸素の双方に対して膜を透過させない遮断 (ブロッキング) 効果が高い。したがって、トランジスタ 2100 を覆うブロック膜 2208 として酸化アルミニウム膜を用いることで、トランジスタ 2100 に含まれる酸化物半導体層からの酸素の脱離を防止するとともに、酸化物半導体層への水及び水素の混入を防止することができる。

20

【0428】

なお、トランジスタ 2200 は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、FIN (フィン) 型、TRI - GATE (トライゲート) 型などのトランジスタなどとすることができる。その場合の断面図の例を、図 50 (D) に示す。半導体基板 2211 の上に、絶縁膜 2212 が設けられている。半導体基板 2211 は、先端の細い凸部 (フィンともいう) を有する。なお、凸部の上には、絶縁膜が設けられていてもよい。その絶縁膜は、凸部を形成するとき、半導体基板 2211 がエッチングされないようにするためのマスクとして機能するものである。なお、凸部は、先端が細くなくてもよく、例えば、略直方体の凸部であってもよいし、先端が太い凸部であってもよい。半導体基板 2211 の凸部の上には、ゲート絶縁膜 2214 が設けられ、その上には、ゲート電極 2213 が設けられている。半導体基板 2211 には、ソース領域及びドレイン領域 2215 が形成されている。なお、ここでは、半導体基板 2211 が、凸部を有する例を示したが、本発明の一態様に係る半導体装置は、これに限定されない。例えば、SOI 基板を加工して、凸部を有する半導体領域を形成しても構わない。

30

40

【0429】

[回路構成例]

上記構成において、トランジスタ 2100 やトランジスタ 2200 の電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0430】

[CMOS 回路]

図 50 (B) に示す回路図は、p チャネル型のトランジスタ 2200 と n チャネル型の

50

トランジスタ 2 1 0 0 を直列に接続し、且つそれぞれのゲートを接続した、いわゆる C M O S 回路の構成を示している。

【 0 4 3 1 】

〔アナログスイッチ〕

また、図 5 0 (C) に示す回路図は、トランジスタ 2 1 0 0 とトランジスタ 2 2 0 0 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【 0 4 3 2 】

〔記憶装置の例〕

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図 5 1 に示す。

【 0 4 3 3 】

図 5 1 (A) に示す半導体装置は、第 1 の半導体材料を用いたトランジスタ 3 2 0 0 と第 2 の半導体材料を用いたトランジスタ 3 3 0 0、及び容量素子 3 4 0 0 を有している。なお、トランジスタ 3 3 0 0 としては、先の実施の形態で説明したトランジスタを用いることができる。

【 0 4 3 4 】

図 5 1 (B) に図 5 1 (A) に示す半導体装置の断面図を示す。当該断面図の半導体装置では、トランジスタ 3 3 0 0 にバックゲートを設けた構成を示している。

【 0 4 3 5 】

トランジスタ 3 3 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 3 3 0 0 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【 0 4 3 6 】

図 5 1 (A) において、第 1 の配線 3 0 0 1 はトランジスタ 3 2 0 0 のソース電極と電氣的に接続され、第 2 の配線 3 0 0 2 はトランジスタ 3 2 0 0 のドレイン電極と電氣的に接続されている。また、第 3 の配線 3 0 0 3 はトランジスタ 3 3 0 0 のソース電極またはドレイン電極の一方と電氣的に接続され、第 4 の配線 3 0 0 4 はトランジスタ 3 3 0 0 のゲート電極と電氣的に接続されている。そして、トランジスタ 3 2 0 0 のゲート電極は、トランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方、及び容量素子 3 4 0 0 の電極の一方と電氣的に接続され、第 5 の配線 3 0 0 5 は容量素子 3 4 0 0 の電極の他方と電氣的に接続されている。

【 0 4 3 7 】

図 5 1 (A) に示す半導体装置では、トランジスタ 3 2 0 0 のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 4 3 8 】

情報の書き込み及び保持について説明する。まず、第 4 の配線 3 0 0 4 の電位を、トランジスタ 3 3 0 0 がオン状態となる電位にして、トランジスタ 3 3 0 0 をオン状態とする。これにより、第 3 の配線 3 0 0 3 の電位が、トランジスタ 3 2 0 0 のゲート電極、及び容量素子 3 4 0 0 に与えられる。すなわち、トランジスタ 3 2 0 0 のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 L o w レベル電荷、H i g h レベル電荷という）のいずれかが与えられるものとする。その後、第 4 の配線 3 0 0 4 の電位を、トランジスタ 3 3 0 0 がオフ状態となる電位にして、トランジスタ 3 3 0 0 をオフ状態とすることにより、トランジスタ 3 2 0 0 のゲート電極に与えられた電荷が保持される（保持）。

【 0 4 3 9 】

トランジスタ 3300 のオフ電流は極めて小さいため、トランジスタ 3200 のゲート電極の電荷は長時間にわたって保持される。

【0440】

次に情報の読み出しについて説明する。第1の配線 3001 に所定の電位（定電位）を与えた状態で、第5の配線 3005 に適切な電位（読み出し電位）を与えると、トランジスタ 3200 のゲート電極に保持された電荷量に応じて、第2の配線 3002 は異なる電位をとる。一般に、トランジスタ 3200 を n チャンネル型とすると、トランジスタ 3200 のゲート電極に High レベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ 3200 のゲート電極に Low レベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 3200 を「オン状態」とするために必要な第5の配線 3005 の電位をいうものとする。したがって、第5の配線 3005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ 3200 のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、High レベル電荷が与えられていた場合には、第5の配線 3005 の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ 3200 は「オン状態」となる。Low レベル電荷が与えられていた場合には、第5の配線 3005 の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ 3200 は「オフ状態」のままである。このため、第2の配線 3002 の電位を判別することで、保持されている情報を読み出すことができる。

10

【0441】

20

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ 3200 が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線 3005 に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ 3200 が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線 3005 に与えればよい。

【0442】

図51(C)に示す半導体装置は、トランジスタ 3200 を設けていない点で図51(A)と相違している。この場合も上記と同様の動作により情報の書き込み及び保持動作が可能である。

30

【0443】

次に、情報の読み出しについて説明する。トランジスタ 3300 がオン状態となると、浮遊状態である第3の配線 3003 と容量素子 3400 とが導通し、第3の配線 3003 と容量素子 3400 の間で電荷が再分配される。その結果、第3の配線 3003 の電位が変化する。第3の配線 3003 の電位の変化量は、容量素子 3400 の電極の一方の電位（あるいは容量素子 3400 に蓄積された電荷）によって、異なる値をとる。

【0444】

例えば、容量素子 3400 の電極の一方の電位を V 、容量素子 3400 の容量を C 、第3の配線 3003 が有する容量成分を CB 、電荷が再分配される前の第3の配線 3003 の電位を V_{B0} とすると、電荷が再分配された後の第3の配線 3003 の電位は、 $(CB \times V_{B0} + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子 3400 の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の2状態をとるとすると、電位 V_1 を保持している場合の第3の配線 3003 の電位 ($= (CB \times V_{B0} + C \times V_1) / (CB + C)$) は、電位 V_0 を保持している場合の第3の配線 3003 の電位 ($= (CB \times V_{B0} + C \times V_0) / (CB + C)$) よりも高くなることがわかる。

40

【0445】

そして、第3の配線 3003 の電位を所定の電位と比較することで、情報を読み出すことができる。

【0446】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用され

50

たトランジスタを用い、トランジスタ 3 3 0 0 として第 2 の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【 0 4 4 7 】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【 0 4 4 8 】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【 0 4 4 9 】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【 0 4 5 0 】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【 0 4 5 1 】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁膜、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数または複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N 個（N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M 個（M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては

10

20

30

40

50

、N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成されるフローチャートから、M個（Mは整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。

【0452】

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

【0453】

（実施の形態6）

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含むRFタグについて、図52を参照して説明する。

10

【0454】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【0455】

RFタグの構成について図52を用いて説明する。図52は、RFタグの構成例を示すブロック図である。

20

【0456】

図52に示すようにRFタグ800は、通信器801（質問器、リーダ/ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一对のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

30

【0457】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

40

【0458】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0459】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに

50

応じて変調を行うための回路である。

【0460】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力を行うための回路である。

【0461】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0462】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

10

【0463】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

20

【0464】

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

【0465】

(実施の形態7)

本実施の形態では、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

30

【0466】

図53は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0467】

図53に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、及びROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROMインターフェース1189は、別チップに設けてもよい。もちろん、図53に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図53に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

40

【0468】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、イン

50

タラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

【0469】

ALUコントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行う。具体的に ALUコントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行う。

10

【0470】

また、タイミングコントローラ 1195 は、ALU 1191、ALUコントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、及びレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、内部クロック信号 CLK2 を上記各種回路に供給する。

【0471】

図 53 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

20

【0472】

図 53 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

30

【0473】

図 54 は、レジスタ 1196 として用いることのできる記憶素子の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

【0474】

ここで、回路 1202 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには接地電位 (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 の第 1 ゲートが抵抗等の負荷を介して接地される構成とする。

40

【0475】

スイッチ 1203 は、一導電型 (例えば、n チャネル型) のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型 (例えば、p チャネル型) のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203

50

はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1213のオン状態またはオフ状態）が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214のオン状態またはオフ状態）が選択される。

【0476】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうち的一方、及びトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電氣的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電氣的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。容量素子1208の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

【0477】

なお、容量素子1207及び容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0478】

トランジスタ1209の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ1203及びスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0479】

なお、図54におけるトランジスタ1209では第2ゲート（第2のゲート電極：バックゲート）を有する構成を図示している。第1ゲートには制御信号WEを入力し、第2ゲートには制御信号WE2を入力することができる。制御信号WE2は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位GNDやトランジスタ1209のソース電位よりも小さい電位などが選ばれる。このとき、制御信号WE2は、トランジスタ1209のしきい値電圧を制御するための電位信号であり、トランジスタ1209のI_{cut}をより低減することができる。また、制御信号WE2は、制御信号WEと同じ電位信号であってもよい。なお、トランジスタ1209としては、第2ゲートを有さないトランジスタを用いることもできる。

【0480】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデー

タに対応する信号が入力される。図54では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0481】

なお、図54では、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206及び回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

10

【0482】

また、図54において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

20

【0483】

図54における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0484】

本発明の一態様の半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

30

【0485】

また、酸化物半導体層にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

40

【0486】

また、スイッチ1203及びスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0487】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態(オン状態、またはオフ状態)に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信

50

号を正確に読み出すことが可能である。

【0488】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0489】

本実施の形態では、記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF(Radio Frequency)デバイスにも応用可能である。

【0490】

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

【0491】

(実施の形態8)

本実施の形態では、本発明の一態様のトランジスタを利用した表示装置の構成例について説明する。

【0492】

[構成例]

図55(A)は、本発明の一態様の表示装置の上面図であり、図55(B)は、本発明の一態様の表示装置の画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図55(C)は、本発明の一態様の表示装置の画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0493】

画素部に配置するトランジスタは、先の実施の形態に従って形成することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に先の実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0494】

アクティブマトリクス型表示装置の上面図の一例を図55(A)に示す。表示装置の基板700上には、画素部701、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が第1の走査線駆動回路702、及び第2の走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

【0495】

図55(A)では、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704は、画素部701と同じ基板700上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板700の外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板700上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。なお、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704のいずれかが基板7

10

20

30

40

50

00上に実装された構成や基板700の外部に設けられた構成としてもよい。

【0496】

〔液晶表示装置〕

また、画素の回路構成の一例を図55(B)に示す。ここでは、一例としてVA型液晶表示装置の画素に適用することができる画素回路を示す。

【0497】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

10

【0498】

トランジスタ716のゲート配線712と、トランジスタ717のゲート配線713には、異なるゲート信号を与えることができるように分離されている。一方、データ線714は、トランジスタ716とトランジスタ717で共通に用いられている。トランジスタ716とトランジスタ717は先の実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示装置を提供することができる。

【0499】

トランジスタ716と電氣的に接続する第1の画素電極層と、トランジスタ717と電氣的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離されている。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

20

【0500】

トランジスタ716のゲート電極はゲート配線712と接続され、トランジスタ717のゲート電極はゲート配線713と接続されている。ゲート配線712とゲート配線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

【0501】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極層または第2の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

【0502】

マルチドメイン設計では、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

30

【0503】

なお、図55(B)に示す画素回路は、これに限定されない。例えば、図55(B)に示す画素回路に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【0504】

〔有機EL表示装置〕

画素の回路構成の他の一例を図55(C)に示す。ここでは、有機EL素子を用いた表示装置の画素構造を示す。

40

【0505】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子及び正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0506】

図55(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型の

50

トランジスタを１つの画素に２つ用いる例を示す。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【０５０７】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【０５０８】

画素７２０は、スイッチング用トランジスタ７２１、駆動用トランジスタ７２２、発光素子７２４及び容量素子７２３を有している。スイッチング用トランジスタ７２１は、ゲート電極層が走査線７２６に接続され、第１電極（ソース電極層及びドレイン電極層の一方）が信号線７２５に接続され、第２電極（ソース電極層及びドレイン電極層の他方）が駆動用トランジスタ７２２のゲート電極層に接続されている。駆動用トランジスタ７２２は、ゲート電極層が容量素子７２３を介して電源線７２７に接続され、第１電極が電源線７２７に接続され、第２電極が発光素子７２４の第１電極（画素電極）に接続されている。発光素子７２４の第２電極は共通電極７２８に相当する。共通電極７２８は、同一基板上に形成される共通電位線と電氣的に接続される。

10

【０５０９】

スイッチング用トランジスタ７２１及び駆動用トランジスタ７２２には先の実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機ＥＬ表示装置を提供することができる。

【０５１０】

発光素子７２４の第２電極（共通電極７２８）の電位は低電源電位に設定する。なお、低電源電位とは、電源線７２７に供給される高電源電位より低い電位であり、例えばＧＮＤ、０Ｖなどを低電源電位として設定することができる。発光素子７２４の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子７２４に印加することにより、発光素子７２４に電流を流して発光させる。なお、発光素子７２４の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

20

【０５１１】

なお、容量素子７２３は駆動用トランジスタ７２２のゲート容量を代用することにより省略できる。

30

【０５１２】

次に、駆動用トランジスタ７２２に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ７２２が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ７２２に入力する。なお、駆動用トランジスタ７２２を線形領域で動作させるために、電源線７２７の電圧よりも高い電圧を駆動用トランジスタ７２２のゲート電極層にかける。また、信号線７２５には、電源線電圧に駆動用トランジスタ７２２の閾値電圧 V_{th} を加えた値以上の電圧をかける。

【０５１３】

アナログ階調駆動を行う場合、駆動用トランジスタ７２２のゲート電極層に発光素子７２４の順方向電圧に駆動用トランジスタ７２２のしきい値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ７２２が飽和領域で動作するようにビデオ信号を入力し、発光素子７２４に電流を流す。また、駆動用トランジスタ７２２を飽和領域で動作させるために、電源線７２７の電位を、駆動用トランジスタ７２２のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子７２４にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【０５１４】

なお、画素回路の構成は、図５５（Ｃ）に示す画素構成に限定されない。例えば、図５５（Ｃ）に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

【０５１５】

50

図 5 5 で例示した回路に先の実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第 1 の電極）、高電位側にドレイン電極（第 2 の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第 1 のゲート電極の電位を制御し、第 2 のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【 0 5 1 6 】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、E L（エレクトロルミネッセンス）素子（有機物及び無機物を含む E L 素子、有機 E L 素子、無機 E L 素子）、L E D（白色 L E D、赤色 L E D、緑色 L E D、青色 L E D など）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（G L V）、プラズマディスプレイ（P D P）、M E M S（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（D M D）、D M S（デジタル・マイクロ・シャッター）、M I R A S O L（登録商標）、I M O D（インターフェアレンス・モジュレーション）素子、シャッター方式の M E M S 表示素子、光干渉方式の M E M S 表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。E L 素子を用いた表示装置の一例としては、E L ディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（F E D）または S E D 方式平面型ディスプレイ（S E D : S u r f a c e - c o n d u c t i o n E l e c t r o n - e m i t t e r D i s p l a y）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、電子粉流体（登録商標）、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、S R A M などの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【 0 5 1 7 】

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

【 0 5 1 8 】

（実施の形態 9）

本実施の形態では、本発明の一態様の半導体装置を適用した表示モジュールについて、図 5 6 を用いて説明を行う。

【 0 5 1 9 】

図 5 6 に示す表示モジュール 8 0 0 0 は、上部カバー 8 0 0 1 と下部カバー 8 0 0 2 との間に、F P C 8 0 0 3 に接続されたタッチパネル 8 0 0 4、F P C 8 0 0 5 に接続された表示パネル 8 0 0 6、バックライトユニット 8 0 0 7、フレーム 8 0 0 9、プリント基板 8 0 1 0、バッテリー 8 0 1 1 を有する。なお、バックライトユニット 8 0 0 7、バッテリー 8 0 1 1、タッチパネル 8 0 0 4 などは、設けられない場合もある。

【 0 5 2 0 】

本発明の一態様の半導体装置は、例えば、表示パネル 8 0 0 6 に用いることができる。

【 0 5 2 1 】

上部カバー 8 0 0 1 及び下部カバー 8 0 0 2 は、タッチパネル 8 0 0 4 及び表示パネル

10

20

30

40

50

８００６のサイズに合わせて、形状や寸法を適宜変更することができる。

【０５２２】

タッチパネル８００４は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル８００６に重畳して用いることができる。また、表示パネル８００６の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル８００６の各画素内に光センサを設け、光学式のタッチパネル機能を付加することも可能である。または、表示パネル８００６の各画素内にタッチセンサ用電極を設け、静電容量方式のタッチパネル機能を付加することも可能である。

【０５２３】

バックライトユニット８００７は、光源８００８を有する。光源８００８をバックライトユニット８００７の端部に設け、光拡散板を用いる構成としてもよい。

10

【０５２４】

フレーム８００９は、表示パネル８００６の保護機能の他、プリント基板８０１０から発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム８００９は、放熱板としての機能を有していてもよい。

【０５２５】

プリント基板８０１０は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー８０１１であってもよい。なお、商用電源を用いる場合には、バッテリー８０１１を省略することができる。

20

【０５２６】

また、表示モジュール８０００には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【０５２７】

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

【０５２８】

（実施の形態１０）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図５７に示す。

30

【０５２９】

図５７（Ａ）は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図５７（Ａ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

40

【０５３０】

図５７（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能であ

50

る。第 1 表示部 9 1 3 における映像を、接続部 9 1 5 における第 1 筐体 9 1 1 と第 2 筐体 9 1 2 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 9 1 3 及び第 2 表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【 0 5 3 1 】

図 5 7 (C) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

10

【 0 5 3 2 】

図 5 7 (D) は腕時計型の情報端末であり、筐体 9 3 1、表示部 9 3 2、リストバンド 9 3 3 等を有する。表示部 9 3 2 はタッチパネルとなっていてよい。

【 0 5 3 3 】

図 5 7 (E) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 及びレンズ 9 4 5 は第 1 筐体 9 4 1 に設けられており、表示部 9 4 3 は第 2 筐体 9 4 2 に設けられている。そして、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 とは、接続部 9 4 6 により接続されており、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度に従って切り替える構成としても良い。

20

【 0 5 3 4 】

図 5 7 (F) は普通自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【 0 5 3 5 】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【 0 5 3 6 】

(実施の形態 1 1)

本実施の形態では、本発明の一態様に係る R F デバイスの使用例について図 5 8 を用いながら説明する。R F デバイスの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 5 8 (A) 参照）、記録媒体（D V D やビデオテープ等、図 5 8 (B) 参照）、乗り物類（自転車等、図 5 8 (C) 参照）、包装用容器類（包装紙やボトル等、図 5 8 (D) 参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、E L 表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図 5 8 (E)、図 5 8 (F) 参照）等に設けて使用することができる。

30

【 0 5 3 7 】

本発明の一態様に係る R F デバイス 4 0 0 0 は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係る R F デバイス 4 0 0 0 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係る R F デバイス 4 0 0 0 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係る R F デバイスを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係る R F デバイスを取り付けることにより、盗難などに対するセキュリティ性を高めることがで

40

50

きる。

【0538】

以上のように、本発明の一態様に係わるRFデバイスを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くすることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0539】

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

10

【実施例1】

【0540】

本実施例では、酸化物絶縁膜中の欠陥量について、ESR（電子スピン共鳴）測定結果を用いて説明する。

【0541】

<試料の作製方法1>

本実施例に係る試料A1乃至試料A3の作製方法を以下に示す。

【0542】

<試料A1>

まず、石英基板上に厚さ35nmの酸化物半導体膜をスパッタリング法で形成した。酸化物半導体膜は、スパッタリングターゲットをIn:Ga:Zn=1:1:1（原子数比）のターゲットとし、流量50%の酸素（酸素：アルゴン=1:1）をスパッタリングガスとしてスパッタリング装置の反応室内に供給し、反応室内の圧力を0.6Paに制御し、2.5kWの直流電力を供給して形成した。なお、酸化物半導体膜を形成する際の基板温度を170℃とした。

20

【0543】

次に、加熱処理を行った。ここでは450℃の窒素雰囲気中で1時間加熱処理を行った後、450℃の窒素及び酸素の混合ガス雰囲気中で1時間の加熱処理を行った。

【0544】

次に、酸化物半導体膜上に、第1の酸化物絶縁膜及び第2の酸化物絶縁膜を形成した。

30

【0545】

第1の酸化物絶縁膜は、流量50sccmのシラン及び流量2000sccmの一酸化二窒素を原料ガスとし、反応室の圧力を20Pa、基板温度を220℃とし、100Wの高周波電力を平行平板電極に供給したPECVD法により形成した。第1の酸化物絶縁膜の膜厚は50nmとした。

【0546】

第2の酸化物絶縁膜は、流量160sccmのシラン及び流量4000sccmの一酸化二窒素を原料ガスとし、反応室の圧力を200Pa、基板温度を220℃とし、1500Wの高周波電力を平行平板電極に供給したPECVD法により形成した。当該条件により、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化窒化シリコン膜を形成することができる。第2の酸化物絶縁膜の膜厚は400nmとした。

40

【0547】

次に、加熱処理を行い、第1の酸化物絶縁膜及び第2の酸化物絶縁膜から水、窒素、水素等を脱離させると共に、第2の酸化物絶縁膜に含まれる酸素の一部を酸化物半導体膜へ供給した。ここでは、窒素及び酸素雰囲気中で、350℃、1時間の加熱処理を行った。

【0548】

以上の工程により、本実施例の試料A1を得た。

【0549】

<試料A2>

50

試料 A 2 は、比較例として試料 A 1 における第 1 の酸化物絶縁膜の成膜条件における成膜圧力を変え、その他の条件は試料 A 1 と同様に作製した。具体的には、以下の条件を用いて第 1 の酸化物絶縁膜を形成した試料を試料 A 2 として作製した。

【0550】

試料 A 2 において、第 1 の酸化物絶縁膜は、流量 50 s c c m のシラン及び流量 2000 s c c m の一酸化二窒素を原料ガスとし、反応室の圧力を 100 P a、基板温度を 220 とし、100 W の高周波電力を平行平板電極に供給した P E C V D 法により形成した。

【0551】

< 試料 A 3 >

試料 A 3 は、比較例として試料 A 1 における第 1 の酸化物絶縁膜の成膜条件における成膜圧力を変え、その他の条件は試料 A 1 と同様に作製した。具体的には、以下の条件を用いて第 1 の酸化物絶縁膜を形成した試料を試料 A 3 として作製した。

【0552】

試料 A 3 において、第 1 の酸化物絶縁膜は、流量 50 s c c m のシラン及び流量 2000 s c c m の一酸化二窒素を原料ガスとし、反応室の圧力を 200 P a、基板温度を 220 とし、100 W の高周波電力を平行平板電極に供給した P E C V D 法により形成した。

【0553】

< E S R 測定 >

試料 A 1 乃至試料 A 3 について E S R 測定を行った。ここでは、下記の条件で E S R 測定を行った。測定温度を - 170 とし、8.92 G H z の高周波電力（マイクロ波パワー）を 1 m W とし、磁場の向きは作製した試料の膜表面と平行とした。なお、N O_x に起因するシグナルのスピンの検出下限は 4.7×10^{15} s p i n s / c m³ であった。スピン数が小さいほど膜中欠損が少ないといえる。

【0554】

試料 A 1 において、N O_x に起因するシグナルのスピンの密度を図 59 (A) に示し、試料 A 2 において、N O_x に起因するシグナルのスピンの密度を図 59 (B) に示し、試料 A 3 において、N O_x に起因するシグナルのスピンの密度を図 59 (C) に示す。なお、ここでは、測定されたスピン数を単位体積あたりに換算したスピンの密度を示している。

【0555】

図 59 (A) 乃至図 59 (C) より、試料 A 1 乃至試料 A 3 では、g 値が 2.037 以上 2.039 以下の第 1 シグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルが観察された。これらの 3 つのシグナルは、N O_x に起因し、N の核スピンによる超微細構造を有するシグナルと理解される。また、N O_x に起因するシグナルは、スピン種が異方性を有するため非対称な波形である。

【0556】

N O_x に起因するシグナルのスピンの密度は、試料 A 1 と比較して、試料 A 2 及び試料 A 3 の方が大きく、欠陥量の多い酸化物絶縁膜であることがわかる。また、図 59 (A) 乃至図 59 (C) では、試料 A 1 での N O_x に起因するシグナルのスピンの密度が最も小さく、酸化物半導体膜に接する第 1 の酸化物絶縁膜成膜時において、成膜圧力を小さくすることで欠陥量の低減された酸化物絶縁膜が形成されることが示された。

【0557】

< 試料の作製方法 2 >

本実施例に係る試料 B 1 乃至試料 B 4 の作製方法を以下に示す。

【0558】

< 試料 B 1 >

まず、シリコンウェハを熱酸化し、シリコンウェハ表面に 100 n m の熱酸化膜を形成した。熱酸化の条件は 950 で 4 時間であり、熱酸化の雰囲気は、H C l が酸素に対し

10

20

30

40

50

て3体積%の割合で含まれるものとした。

【0559】

次に、熱酸化膜上に、PECVD法によって300nmの酸化窒化シリコン膜を形成した。成膜ガスとして、流量2.3sccmのシラン及び流量800sccmの一酸化二窒素を原料ガスとし、反応室の圧力を40Paとし、基板温度を400、50Wの電力(RF)を印加することで成膜した。

【0560】

次に、酸化窒化シリコン膜へイオン注入法を用いて酸素イオン($^{16}\text{O}^+$)を注入した。酸素イオンの注入条件は、加速電圧を60kV、ドーズ量を $2.0 \times 10^{16} \text{ ions/cm}^2$ 、チルト角を7°、ツイスト角を72°とした。

10

【0561】

次に、酸化窒化シリコン膜上にIn:Ga:Zn=1:3:4[原子数比]のターゲットを用いたスパッタリング法により、膜厚20nmのIn-Ga-Zn酸化物半導体膜を形成した。成膜条件は、酸素分圧11%、圧力0.4Pa、電源電力(DC)0.5kW、基板温度200、基板とターゲット間の距離を60mmとした。

【0562】

次に、加熱処理を行った。ここでは450の窒素雰囲気中で1時間加熱処理を行った後、450の酸素雰囲気中で1時間の加熱処理を行った。

【0563】

以上の工程により、本実施例の試料B1を得た。

20

【0564】

<試料B2>

試料B2は、試料B1における酸化物半導体膜の成膜条件における酸素分圧を33%に変え、その他の条件は試料B1と同様に作製した。

【0565】

<試料B3>

試料B3は、試料B1における酸化物半導体膜の成膜条件における酸素分圧を50%に変え、その他の条件は試料B1と同様に作製した。

【0566】

<試料B4>

試料B4は、試料B1における酸化物半導体膜の成膜条件における酸素分圧を100%に変え、その他の条件は試料B1と同様に作製した。

30

【0567】

<ESR測定>

試料B1乃至試料B4についてESR測定を行った。試料B1乃至試料B4において、 NO_x に起因する3本シグナルのスピン密度の合計を図60に示す。

【0568】

図60より、低酸素分圧条件で酸化物半導体膜を成膜した方が酸化窒化シリコン膜中の3本シグナルのスピン密度の合計は低減することが確認できた。

【実施例2】

40

【0569】

本実施例では、実施例1で作製した試料B1乃至試料B4について、酸化窒化シリコン膜からの加熱による一酸化窒素、二酸化窒素、酸素それぞれの放出量をTDSで評価した結果について説明する。

【0570】

まず、試料B1乃至試料B4の酸化物半導体膜をすべてエッチングして酸化窒化シリコン膜を露出させた。エッチング液として、85%程度に調整したリン酸水溶液、またはリン酸(72%)と硝酸(2%)と酢酸(9.8%)を混合した混合溶液(混酸アルミ液ともいう)を用いた。

【0571】

50

< T D S 分析 >

試料 B 1 乃至試料 B 4 の酸化窒化シリコン膜について T D S 分析 (昇温脱離ガス分析) を行った。なお、各試料において、シリコンウェハを、50 以上 927 以下で加熱した。試料 B 1 乃至試料 B 4 において、 $m/z = 30$ (一酸化窒素) の放出量、 $m/z = 46$ (二酸化窒素) の放出量、及び $m/z = 32$ (酸素) の放出量をそれぞれ、図 6 1、図 6 2 及び図 6 3 に示す。

【 0 5 7 2 】

なお、図 6 1、図 6 2 及び図 6 3 において、横軸は基板温度であり、ここでは 0 以上 600 以下を示す。また、縦軸は、各分子量のガスの放出量に比例する強度を示す。なお、外部に放出される分子の総量は、当該ピークの積分値に相当する。それゆえ、当該ピーク強度の高低によって酸化窒化シリコン膜に含まれる分子の総量を評価できる。

10

【 0 5 7 3 】

また、図 6 4 に、酸化物半導体膜の成膜条件における酸素分圧と各分子量のガスの放出量 (分子数) の関係を示す。

【 0 5 7 4 】

図 6 1 乃至図 6 4 より、 $m/z = 30$ (一酸化窒素) 及び $m/z = 32$ (酸素) の放出量は、酸化物半導体膜の成膜条件における酸素分圧による違いはほとんど見られなかったが、 $m/z = 46$ (二酸化窒素) の放出量については、酸化物半導体膜の成膜条件における酸素分圧が低いほど放出量が小さいことが確認できた。

20

【 実施例 3 】

【 0 5 7 5 】

本実施例では、トランジスタを作製し、その信頼性の評価を行った結果について説明する。

【 0 5 7 6 】

< 試料の作製方法 >

本実施例に係る試料 C 1 乃至試料 C 4 として、トランジスタを作製した。

【 0 5 7 7 】

< 試料 C 1 >

まず、シリコンウェハを熱酸化し、シリコンウェハ表面に 100 nm の熱酸化膜を形成した。熱酸化の条件は 950 で 4 時間であり、熱酸化の雰囲気は、HCl が酸素に対して 3 体積 % の割合で含まれるものとした。

30

【 0 5 7 8 】

次に、熱酸化膜上に、流量 1 s c c m のシラン (SiH_4) 及び流量 800 s c c m の一酸化二窒素 (N_2O) を原料ガスとし、反応室の圧力を 200 Pa、基板温度を 350、60 MHz の高周波電源を用いて 150 W の高周波電力を平行平板電極に供給した PECVD 法により、下地絶縁膜として機能する酸化窒化シリコン膜を 300 nm 成膜した。

【 0 5 7 9 】

次に、酸化窒化シリコン膜へイオン注入法を用いて酸素イオン ($^{16}\text{O}^+$) を注入した。酸素イオンの注入条件は、加速電圧を 60 kV、ドーズ量を 2.0×10^{16} ions / cm^2 、チルト角を 7°、ツイスト角を 72° とした。

40

【 0 5 8 0 】

次に、酸化窒化シリコン膜上に $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] のターゲットを用いたスパッタリング法により、膜厚 20 nm の In - Ga - Zn 酸化物半導体膜 (以下、第 1 の酸化物半導体膜という) を形成した。成膜条件は、酸素分圧 11 % ($\text{Ar} = 40$ s c c m、 $\text{O}_2 = 5$ s c c m)、圧力 0.4 Pa、電源電力 (DC) 0.5 kW、基板温度 200、基板とターゲット間の距離を 60 mm とした。

【 0 5 8 1 】

次に、第 1 の酸化物半導体膜上に $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] のターゲットを用いたスパッタリング法により、膜厚 15 nm の In - Ga - Zn 酸化物半導体膜

50

(以下、第2の酸化物半導体膜という)を形成した。成膜条件は、酸素分圧33%($Ar = 30\text{ sccm}$ 、 $O_2 = 15\text{ sccm}$)、圧力0.4Pa、電源電力(DC)0.5kW、基板温度300、基板とターゲット間の距離を60mmとした。

【0582】

次に、加熱処理を行った。加熱処理は窒素雰囲気下、450で1時間行った後、酸素雰囲気下、450で1時間行った。

【0583】

次に、第1の酸化物半導体膜及び第2の酸化物半導体膜を、ICPエッチング法により、流量60sccmの三塩化ホウ素(BCl_3)ガス及び流量20sccmの塩素(Cl_2)ガスの混合雰囲気下、電源電力450W、バイアス電力100W、圧力1.9Pa、基板温度70においてエッチングして島状の第1の酸化物半導体膜及び第2の酸化物半導体膜に加工した。

【0584】

次に、第1の酸化物半導体膜及び第2の酸化物半導体膜上に、タングステンターゲットを用い、流量80sccmのアルゴン(Ar)ガス雰囲気下において、圧力0.8Pa、基板温度を230、ターゲットと基板の間の距離を60mm、DC電力を1.0kW印加する条件を用いたスパッタリング法により、タングステン膜を100nm成膜した。

【0585】

次に、タングステン膜をICPエッチング法により、流量45sccmの四弗化炭素(CF_4)ガス、流量45sccmの塩素(Cl_2)ガス及び流量55sccmの酸素(O_2)ガスの混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにて第1のエッチングを行い、さらにICPエッチング法により、流量100sccmの酸素(O_2)ガス雰囲気下、電源電力2000W、バイアス電力0W、圧力3.00Paにて第2のエッチングを行い、さらにICPエッチング法により、流量45sccmの四弗化炭素(CF_4)ガス、流量45sccmの塩素(Cl_2)ガス及び流量55sccmの酸素(O_2)ガスの混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにて第3のエッチングを行い、一対の電極を形成した。

【0586】

次に、第2の酸化物半導体膜、一対の電極上に $In:Ga:Zn = 1:3:2$ [原子数比]のターゲットを用いたスパッタリング法により、膜厚5nmの $In-Ga-Zn$ 酸化物半導体膜(以下、第3の酸化物半導体膜という)を形成した。成膜条件は、酸素分圧33%($Ar = 30\text{ sccm}$ 、 $O_2 = 15\text{ sccm}$)、圧力0.4Pa、電源電力(DC)0.5kW、基板温度200、基板とターゲット間の距離を60mmとした。

【0587】

次に、第3の酸化物半導体膜上に流量1sccmのシラン(SiH_4)及び流量800sccmの一酸化二窒素(N_2O)を原料ガスとし、反応室の圧力を200Pa、基板温度を350、60MHzの高周波電源を用いて150Wの高周波電力を平行平板電極に供給したPECVD法により、ゲート絶縁膜となる酸化窒化シリコン膜を20nm成膜した。

【0588】

次に、酸化窒化シリコン膜上に、窒化タンタルターゲットを用い、成膜ガスとして流量50sccmのアルゴン(Ar)ガス及び流量10sccmの窒素(N_2)ガスを用いて、圧力を0.6Pa、基板温度を室温、DC電力を1.0kW印加する条件を用いたスパッタリング法により、窒化タンタル膜を30nm成膜し、その上に、タングステンターゲットを用い、成膜ガスとして流量100sccmのアルゴンガスを用いて、圧力を2.0Pa、基板温度を230、ターゲットと基板の間の距離を60mm、DC電力を4.0kW印加する条件を用いたスパッタリング法により、タングステン膜を135nm成膜した。

【0589】

次に、窒化タンタル膜及びタングステン膜をICPエッチング法により、流量55scc

10

20

30

40

50

cmの四弗化炭素(CF_4)ガス、流量45 sccmの塩素(Cl_2)ガス及び流量55 sccmの酸素(O_2)ガスの混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにて第1のエッチングを行い、さらにICPEッチング法により、流量100 sccmの塩素(Cl_2)ガス雰囲気下、電源電力2000W、バイアス電力50W、圧力0.67Paにて第2のエッチングを行い、ゲート電極を形成した。

【0590】

次に、ゲート電極をマスクとして、ゲート絶縁膜、第3の酸化物半導体膜をICPEッチング法により、流量80 sccmの三塩化ホウ素(BCl_3)ガス雰囲気下、電源電力450W、バイアス電力100W、圧力1.0Paにてエッチングして島状のゲート絶縁膜、第3の酸化物半導体膜に加工した。

10

【0591】

次に、ゲート電極、一対の電極上に、酸化アルミニウムターゲットを用い、成膜ガスとして流量25 sccmのアルゴン(Ar)ガス及び流量25 sccmの酸素(O_2)ガスを用いて、圧力を0.4Pa、基板温度を250、ターゲットと基板の間の距離を60mm、RF電力を2.5kW印加する条件を用いたスパッタリング法により、酸化アルミニウム膜を70nm成膜した。

【0592】

次に、酸化アルミニウム膜上に流量5 sccmのシラン(SiH_4)及び流量1000 sccmの一酸化二窒素(N_2O)を原料ガスとし、反応室の圧力を133Pa、基板温度を325、13.56MHzの高周波電源を用いて35Wの高周波電力を平行平板電極に供給したPECVD法により、酸化窒化シリコン膜を300nm成膜した。

20

【0593】

以上の工程を経て、本実施例の試料C1を得た。なお、本実施例の試料C1のトランジスタのサイズは、チャンネル長が0.49 μm 、チャンネル幅が10 μm であった。

【0594】

<試料C2>

試料C2は、試料C1における第1の酸化物半導体膜の成膜条件における酸素分圧を33%($\text{Ar} = 30$ sccm、 $\text{O}_2 = 15$ sccm)に変え、その他の条件は試料C1と同様に作製した。

【0595】

<試料C3>

試料C3は、試料C1における第1の酸化物半導体膜の成膜条件における酸素分圧を50%($\text{Ar} = 23$ sccm、 $\text{O}_2 = 23$ sccm)に変え、その他の条件は試料C1と同様に作製した。

30

【0596】

<試料C4>

試料C4は、試料C1における第1の酸化物半導体膜の成膜条件における酸素分圧を100%($\text{O}_2 = 45$ sccm)に変え、その他の条件は試料C1と同様に作製した。

【0597】

<ストレス試験>

40

次に、試料C1乃至試料C4のストレス試験を行った。ストレス試験の条件としてソース電圧 V_s 及びドレイン電圧 V_d を0Vとし、ゲート電圧に-3.3Vまたは+3.3V、ストレス温度を150、ストレス時間を3600秒とした。

【0598】

ゲート電極に正の電圧を印加するプラスゲートBTストレス試験及びゲート電極に負の電圧を印加するマイナスゲートBTストレス試験について、試料C1乃至試料C4に含まれるトランジスタの初期特性のしきい値電圧とBTストレス試験後のしきい値電圧の差(すなわち、しきい値電圧の変動量(V_{th}))、シフト値の差(すなわち、シフト値の変動量($Shift$))を、それぞれ図65に示す。

【0599】

50

ここで、本明細書におけるしきい値電圧及びシフト値について説明する。しきい値電圧 (V_{th}) は、ゲート電圧 (V_g [V]) を横軸、ドレイン電流の平方根 ($I_d^{1/2}$ [A]) を縦軸としてプロットした $V_g - I_d$ 曲線において、曲線上の傾きが最大である点における接線と、 $I_d^{1/2} = 0$ の直線 (すなわち V_g 軸) との交点におけるゲート電圧と定義する。なお、ここでは、ドレイン電圧 V_d を 10 V として、しきい値電圧を算出する。

【0600】

また、本明細書におけるシフト値 ($Shift$) は、ゲート電圧 (V_g [V]) を横軸、ドレイン電流 (I_d [A]) の対数を縦軸としてプロットした $V_g - I_d$ 曲線において、曲線上の傾きが最大である点における接線と、 $I_d = 1.0 \times 10^{-12}$ [A] の直線との交点におけるゲート電圧と定義する。なお、ここではドレイン電圧 V_d を 10 V として、シフト値を算出する。

10

【0601】

図 6 5 より、第 1 の酸化物半導体膜の成膜条件における酸素分圧が低いほどプラスゲート BT ストレス試験に対してしきい値電圧及びシフト値の変動量が少ないことがわかった。

【0602】

また、プラスゲート BT ストレス試験後の下地絶縁膜として機能する酸化窒化シリコン膜中の 3 本シグナルのスピンの密度の合計、窒化酸化物及び酸素の放出量について評価した。

20

【0603】

図 6 6 に、しきい値電圧の変動量、シフト値の変動量と、酸化窒化シリコン膜中の 3 本シグナルのスピンの密度の合計、窒化酸化物及び酸素の放出量の相関について示す。

【0604】

図 6 6 より、3 本シグナルのスピンの密度の合計及び窒化酸化物である二酸化窒素の放出量と、しきい値電圧の変動量、シフト値の変動量に相関がみられ、第 1 の酸化物半導体膜の成膜条件における酸素分圧が低いほど二酸化窒素の放出量が低減し、プラスゲート BT ストレス試験劣化が改善されたことがわかった。

【実施例 4】

【0605】

本実施例では、酸化物絶縁膜に含まれる水素及び窒素それぞれの含有量を SIMS で評価した結果について説明する。

30

【0606】

なお、本実施例では、シリコンウェハ上に酸化物絶縁膜を 100 nm 成膜したサンプルを用いた。また、酸化物絶縁膜には、PECVD 法により成膜温度を 350、400、450、500 及び 550 の 5 条件にて酸化窒化シリコン膜を成膜した。

【0607】

< SIMS 分析 >

上記のサンプルについて SIMS 分析を行った。なお、各試料において、酸化物絶縁膜の表面からシリコンウェハへ向かって、水素及び窒素の濃度を測定した。測定結果を図 6 7 に示す。なお、図 6 7 において、横軸は深さ方向の距離を示し、縦軸は各元素の濃度を示す。

40

【0608】

図 6 7 より、成膜温度を上げることにより酸化物絶縁膜中の水素及び窒素の濃度が低減していることがわかった。また、酸化物絶縁膜中の水素濃度は成膜温度が 500 程度で低減しなくなるが、酸化物絶縁膜中の窒素濃度は 500 以上においても低減し続けていることがわかった。

【0609】

また、SIMS の結果から得られた酸化物絶縁膜中の各元素の濃度に対して、125 10 時間後の電流密度の値をプロットした結果を図 6 8 に示す。

50

【0610】

図68の上段より、基板温度が高くなるにつれて電流密度が小さくなり、基板温度が500以上では大きな変化はみられなかった。また、図68の中段及び下段より、酸化物絶縁膜中の水素濃度と電流密度の値に相関がみられた。また、酸化物絶縁膜中の窒素濃度と電流密度の値においても相関がみられたが窒素濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 乃至 $1 \times 10^{20} \text{ cm}^{-3}$ の間で電流密度の値に大きな変化はみられなかった。

【実施例5】

【0611】

本実施例では、実施例試料として、トランジスタを作製し、断面形状を調べた。また、作製したトランジスタの電気特性の評価を行った。

10

【0612】

<試料の作製方法>

本実施例のトランジスタは、第2の酸化物半導体膜及び一対の電極の間に酸化防止膜を設けている点以外は実施例3を参酌する。

【0613】

実施例3において、第1の酸化物半導体膜及び第2の酸化物半導体膜を、ICPエッチング法によりエッチングした後、In:Ga:Zn=1:1:1[原子数比]のターゲットを用いたスパッタリング法により、膜厚25nmのIn-Ga-Zn酸化物半導体膜(以下、酸化防止膜という)を成膜した。成膜条件は、酸素分圧33%(Ar=30sccm、O₂=15sccm)、圧力0.7Pa、電源電力(DC)0.5kW、基板温度300、基板とターゲット間の距離を60mmとした。

20

【0614】

次に、酸化防止膜上に、タングステンターゲットを用い、流量80sccmのアルゴン(Ar)ガス雰囲気下において、圧力0.8Pa、基板温度を230、ターゲットと基板の間の距離を60mm、DC電力を1.0kW印加する条件を用いたスパッタリング法により、タングステン膜を100nm成膜した。

【0615】

次に、タングステン膜をエッチングして一対の電極を形成した(先の実施例3を参照)。

【0616】

次に、酸化防止膜を、ICPエッチング法により、流量16sccmのメタン(CH₄)ガス及び流量32sccmのアルゴン(Ar)ガスの混合雰囲気下、電源電力600W、バイアス電力50W、圧力3.0Paにて第1のエッチングを行い、さらにICPエッチング法により、流量16sccmのメタン(CH₄)ガス及び流量32sccmのアルゴン(Ar)ガスの混合雰囲気下、電源電力600W、バイアス電力50W、圧力1.0Paにて第2のエッチングを行った。

30

【0617】

次に、第3の酸化物半導体膜、ゲート絶縁膜、ゲート電極、酸化アルミニウム膜、酸化アルミニウム膜上の酸化窒化シリコン膜を実施例3を参酌して形成した。

【0618】

また、ゲート絶縁膜成膜後、加熱処理を行った。加熱処理は酸素雰囲気下、400、490、530のいずれかで行った。

40

【0619】

また、比較例として酸化防止膜を設けていない試料(ゲート絶縁膜成膜後、400加熱処理)も作製した。

【0620】

上記の方法により作製した試料の断面STEM写真を図69に示す。図69(A)は比較例試料のチャネル幅方向の断面図、図69(B)は実施例試料(ゲート絶縁膜成膜後、530加熱処理)のチャネル幅方向の断面図である。

【0621】

50

図 6 9 (A) の比較例試料では、図中の点線で四角く囲った箇所において、下地絶縁膜からの酸素が一对の電極を酸化させ、一对の電極が膨張し、図中の実線で丸く囲った箇所のゲート絶縁膜の被覆性不良や酸化物半導体膜と一对の電極の間に隙間ができてしまうことが確認できた。また、図 6 9 (B) の実施例試料では、一对の電極の酸化は確認されなかった。

【 0 6 2 2 】

次に作製した試料において、ドレイン電圧 V_d が 0 . 1 V または 1 V とし、ゲート電圧 V_g を - 3 V から 3 V まで掃引した際の、ドレイン電流 (I_d : [A]) の測定を行った。比較例試料の測定結果を図 7 0 、実施例試料の測定結果を図 7 1 に示す。図 7 0 及び図 7 1 において、ドレイン電圧 V_d が 0 . 1 V 及び 3 V のときの測定結果であり、横軸はゲート電圧 (V_g : [V]) 、右縦軸はドレイン電流 (I_d : [A]) を示す。なお、「ドレイン電圧 (V_d : [V]) 」とは、ソースを基準としたドレインとソースの電位差であり、「ゲート電圧 (V_g : [V]) 」とは、ソースを基準としたゲートとソースの電位差である。なお、グラフ上の L/W は、試料であるトランジスタのサイズを表しており、 L はチャンネル長、 W はチャンネル幅を表す。

【 0 6 2 3 】

図 7 0 (A) に示すように、ドレイン電圧が 3 V のとき、ゲート電圧が - 3 V 乃至 - 2 V くらいにおいて、ドレイン電流が 1×10^{-12} A 以上になってしまっている。また、図 7 0 (B) に示すように、ゲート絶縁膜の被覆性不良による一对の電極とゲート電極とのショートにより、特性不良がみられる。

【 0 6 2 4 】

一方、実施例試料では、図 7 1 (A) 、図 7 1 (B) 及び図 7 1 (C) に示すようにトランジスタのオンオフが制御できる良好な特性が得られた。

【 実施例 6 】

【 0 6 2 5 】

本実施例では、図 1 7 に示したトランジスタを作製し、その信頼性の評価を行った結果について説明する。

【 0 6 2 6 】

まず、シリコンウェハを熱酸化し、シリコンウェハ表面に 4 0 0 n m の熱酸化膜を形成した。熱酸化の条件は 9 5 0 で 4 時間であり、熱酸化の雰囲気は、H C l が酸素に対して 3 体積 % の割合で含まれるものとした。

【 0 6 2 7 】

次に、タングステンターゲットを用い、流量 8 0 s c c m のアルゴン (A r) ガス雰囲気下において、圧力 0 . 8 P a 、基板温度を 2 3 0 、ターゲットと基板の間の距離を 6 0 m m 、D C 電力を 1 . 0 k W 印加する条件を用いたスパッタリング法により、タングステン膜を 5 0 n m 成膜した。

【 0 6 2 8 】

次に、タングステン膜を I C P エッチング法により、流量 4 5 s c c m の四弗化炭素 (C F ₄) ガス、流量 4 5 s c c m の塩素 (C l ₂) ガス及び流量 5 5 s c c m の酸素 (O ₂) ガスの混合雰囲気下、電源電力 3 0 0 0 W 、バイアス電力 1 1 0 W 、圧力 0 . 6 7 P a にてエッチングを行い、バックゲート電極を形成した。

【 0 6 2 9 】

次に、流量 1 s c c m のシラン (S i H ₄) 及び流量 8 0 0 s c c m の一酸化二窒素 (N ₂ O) を原料ガスとし、反応室の圧力を 4 0 P a 、基板温度を 5 0 0 、6 0 M H z の高周波電源を用いて 1 5 0 W の高周波電力を平行平板電極に供給した P E C V D 法により、下地絶縁膜として機能する酸化窒化シリコン膜を 1 0 0 n m 成膜した。

【 0 6 3 0 】

次に、実施例 3 を参酌して第 1 の酸化物半導体膜及び第 2 の酸化物半導体膜を成膜し、加熱処理を行った。その後、一对の電極を形成した。

【 0 6 3 1 】

次に、第1の酸化物半導体膜及び第2の酸化物半導体膜を、ICPエッチング法により、流量80 sccmの三塩化ホウ素(BCl_3)ガス雰囲気下、電源電力450 W、バイアス電力100 W、圧力1.2 Pa、基板温度70 °においてエッチングして島状の第1の酸化物半導体膜及び第2の酸化物半導体膜に加工した。

【0632】

次に、実施例3を参酌して第3の酸化物半導体膜を形成し、第3の酸化物半導体膜へイオン注入法を用いて酸素イオン($^{16}\text{O}^+$)を注入した。酸素イオンの注入条件は、加速電圧を60 kV、ドーズ量を $2.0 \times 10^{16} \text{ ions/cm}^2$ 、チルト角を7 °、ツイスト角を72 °とした。

【0633】

次に、実施例3を参酌して第3の酸化物半導体膜上にゲート絶縁膜となる酸化窒化シリコン膜を成膜した。

【0634】

次に、酸化窒化シリコン膜上に、窒化チタンターゲットを用い、成膜ガスとして流量50 sccmの窒素(N_2)ガスを用いて、圧力を0.2 Pa、基板温度を室温、DC電力を12 kW印加する条件を用いたスパッタリング法により、窒化チタン膜を30 nm成膜し、その上に、タングステンターゲットを用い、成膜ガスとして流量100 sccmのアルゴンガスを用いて、圧力を2.0 Pa、基板温度を230 °、ターゲットと基板の間の距離を60 mm、DC電力を4.0 kW印加する条件を用いたスパッタリング法により、タングステン膜を135 nm成膜した。

【0635】

次に、窒化チタン膜及びタングステン膜をICPエッチング法により、流量55 sccmの四弗化炭素(CF_4)ガス、流量45 sccmの塩素(Cl_2)ガス及び流量55 sccmの酸素(O_2)ガスの混合雰囲気下、電源電力3000 W、バイアス電力110 W、圧力0.67 Paにて第1のエッチングを行い、さらにICPエッチング法により、流量100 sccmの塩素(Cl_2)ガス及び流量150 sccmの三塩化ホウ素(BCl_3)ガスの混合雰囲気下、電源電力1000 W、バイアス電力50 W、圧力0.67 Paにて第2のエッチングを行い、ゲート電極を形成した。

【0636】

次に、実施例3を参酌してゲート電極をマスクとし、島状のゲート絶縁膜、第3の酸化物半導体膜に加工した。

【0637】

次に、ゲート電極、一対の電極上に、酸化アルミニウムターゲットを用い、成膜ガスとして流量25 sccmのアルゴン(Ar)ガス及び流量25 sccmの酸素(O_2)ガスを用いて、圧力を0.4 Pa、基板温度を250 °、ターゲットと基板の間の距離を60 mm、RF電力を2.5 kW印加する条件を用いたスパッタリング法により、酸化アルミニウム膜を150 nm成膜した。

【0638】

次に、酸化アルミニウム膜上に流量5 sccmのシラン(SiH_4)及び流量1000 sccmの一酸化二窒素(N_2O)を原料ガスとし、反応室の圧力を133 Pa、基板温度を325 °、13.56 MHzの高周波電源を用いて35 Wの高周波電力を平行平板電極に供給したPECVD法により、酸化窒化シリコン膜を300 nm成膜した。

【0639】

以上の工程を経て、本実施例の試料を得た。なお、本実施例の試料のトランジスタのサイズは、チャンネル長が0.82 μm 、チャンネル幅が0.8 μm であった。

【0640】

次に作製した試料において、ドレイン電圧 V_d が0.1 Vまたは1.8 Vとし、ゲート電圧 V_g を-3 Vから3 Vまで掃引した際の、ドレイン電流(I_d : [A])の測定を行った。実施例試料の測定結果を図72(A)に示す。また、本実施例の試料のトランジスタを8列×8行に配置している図51(A)に記載の記憶装置の場合のドレイン電圧 V_d

10

20

30

40

50

が 1.8 V でのトランジスタの測定結果を図 7 2 (B) に示す。

【 0 6 4 1 】

図 7 2 (A)、図 7 2 (B) に示すようにトランジスタのオンオフが制御できる良好な特性が得られた。

【 0 6 4 2 】

また、記憶装置がデータ「 1 」を保持している状態での第 1 のストレス試験及びデータ「 0 」を保持している状態での第 2 のストレス試験を行った。第 1 のストレス試験の条件としてソース電圧 V_s 及びゲート電圧 V_g を 0 V、ドレイン電圧 V_d を 1.8 V とした。また、第 2 のストレス試験の条件としてソース電圧、ドレイン電圧及びゲート電圧を 0 V とした。さらに、第 1 のストレス試験及び第 2 のストレス試験ともにバックゲート電圧 V_{bg} を - 7.0 V (シフト値が 0.8 乃至 1.0 V になるように調整)、ストレス温度を 150、ストレス時間を 3600 秒とした。

【 0 6 4 3 】

上記ストレス試験について、トランジスタの初期特性と第 1 のストレス試験後の特性を図 7 3 (A)、トランジスタの初期特性と第 2 のストレス試験後の特性を図 7 3 (B) に示す。

【 0 6 4 4 】

図 7 3 (A)、図 7 3 (B) とともにトランジスタの初期 (ストレス試験前) 特性とストレス試験後の特性はほぼ同じであった。また、トランジスタの初期特性のしきい値電圧と第 1 のストレス試験後のしきい値電圧の差 (V_{th}) は 0.05 V、シフト値の差 ($Shift$) は 0.02 V、オン電流の劣化率は 10.5 % であった。また、トランジスタの初期特性のしきい値電圧と第 2 のストレス試験後のしきい値電圧の差 (V_{th}) は 0.04 V、シフト値の差 ($Shift$) は 0.02 V、オン電流の劣化率は 7.0 % であった。

【 0 6 4 5 】

以上の結果より、トランジスタのストレス試験による劣化が抑制できていることが確認できた。

【 符号の説明 】

【 0 6 4 6 】

- 10 トランジスタ
- 10a トランジスタ
- 10b トランジスタ
- 10c トランジスタ
- 10d トランジスタ
- 10e トランジスタ
- 11 基板
- 12 導電膜
- 13 下地絶縁膜
- 13a 下地絶縁膜
- 14 酸化物半導体膜
- 14a 酸化物半導体膜
- 15 電極
- 15a 導電膜
- 15b 導電膜
- 16 電極
- 17 ゲート絶縁膜
- 18 ゲート電極
- 19 絶縁膜
- 20 酸化防止膜
- 20a 酸化防止膜

10

20

30

40

50

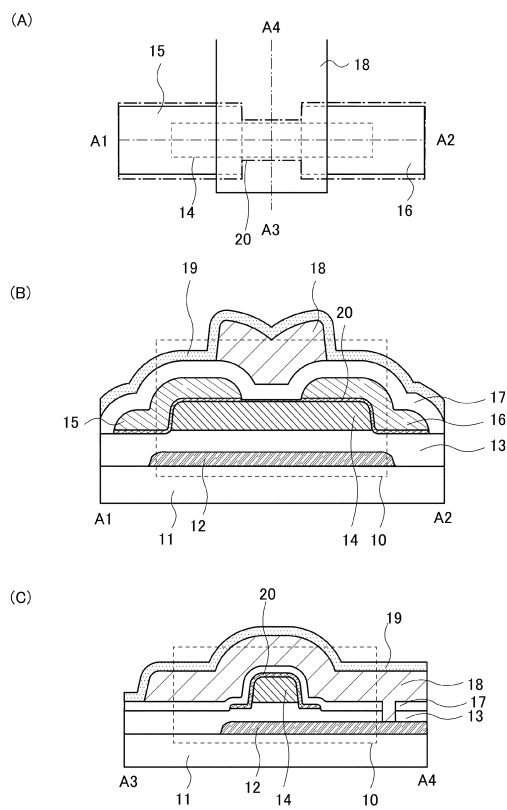
2 0 b	酸化防止膜	
2 0 c	酸化防止膜	
2 4	多層膜	
2 5	酸化物半導体膜	
2 6	酸化物半導体膜	
2 6 a	酸化物半導体膜	
2 7	酸化物半導体膜	
3 0	酸素	
3 4	多層膜	
4 1	低抵抗領域	10
4 2	低抵抗領域	
5 0	トランジスタ	
5 0 a	トランジスタ	
5 0 b	トランジスタ	
5 0 c	トランジスタ	
5 0 d	トランジスタ	
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	20
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	
7 1 4	データ線	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	30
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	40
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	50

9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカ	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	10
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	表示部	20
9 3 3	リストバンド	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	30
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	40
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	50

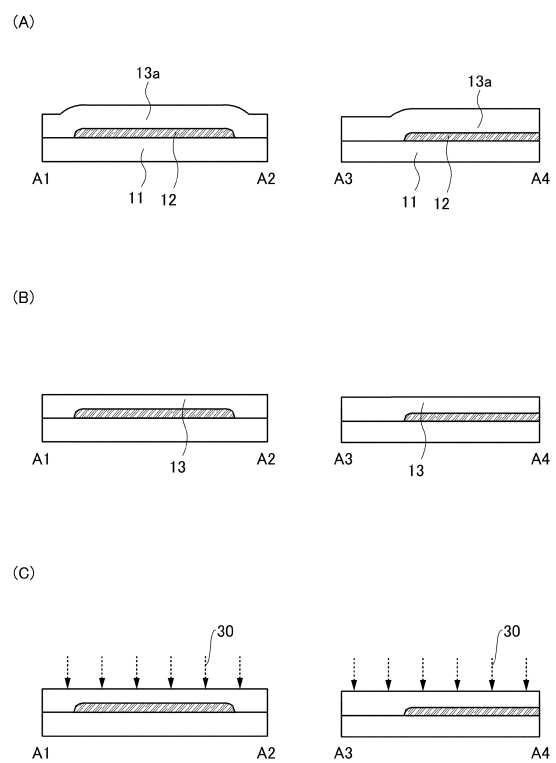
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁膜	
2 2 0 2	配線	
2 2 0 3	プラグ	10
2 2 0 4	絶縁膜	
2 2 0 5	配線	
2 2 0 6	配線	
2 2 0 7	絶縁膜	
2 2 0 8	ブロック膜	
2 2 1 1	半導体基板	
2 2 1 2	絶縁膜	
2 2 1 3	ゲート電極	
2 2 1 4	ゲート絶縁膜	
2 2 1 5	ソース領域及びドレイン領域	20
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F デバイス	
5 1 0 0	ペレット	30
5 1 0 0 a	ペレット	
5 1 0 0 b	ペレット	
5 1 0 1	イオン	
5 1 0 2	酸化亜鉛層	
5 1 0 3	粒子	
5 1 0 5 a	ペレット	
5 1 0 5 a 1	領域	
5 1 0 5 a 2	ペレット	
5 1 0 5 b	ペレット	
5 1 0 5 c	ペレット	40
5 1 0 5 d	ペレット	
5 1 0 5 d 1	領域	
5 1 0 5 e	ペレット	
5 1 2 0	基板	
5 1 3 0	ターゲット	
5 1 6 1	領域	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	50

8 0 0 4	タッチパネル
8 0 0 5	F P C
8 0 0 6	表示パネル
8 0 0 7	バックライトユニット
8 0 0 8	光源
8 0 0 9	フレーム
8 0 1 0	プリント基板
8 0 1 1	バッテリー

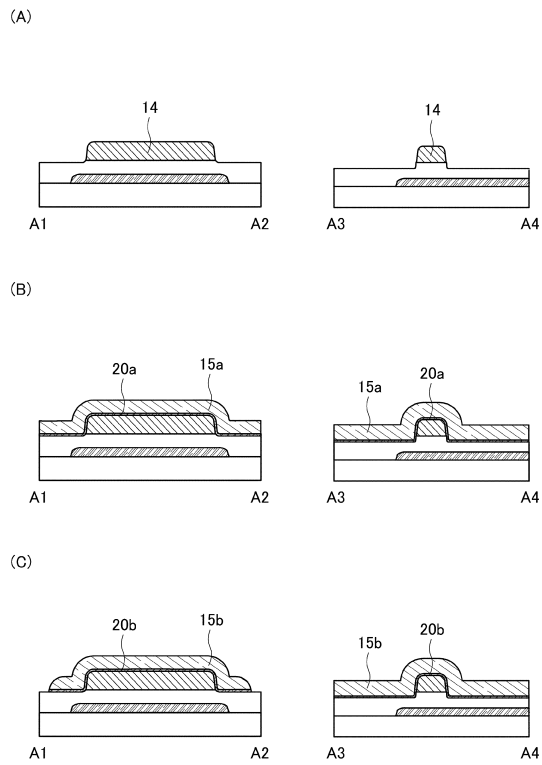
【図 1】



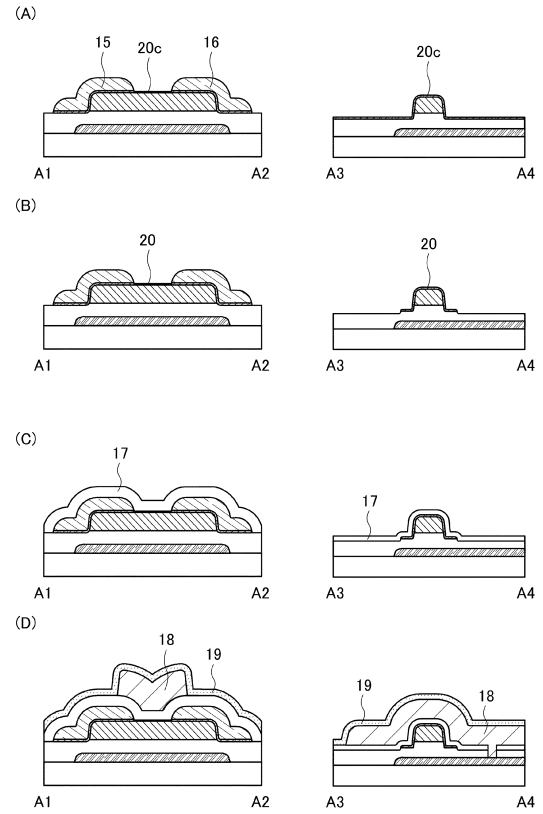
【図 2】



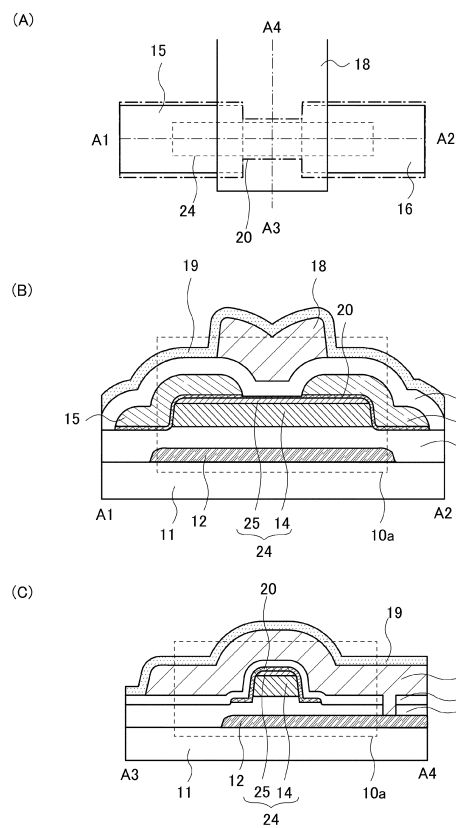
【図 3】



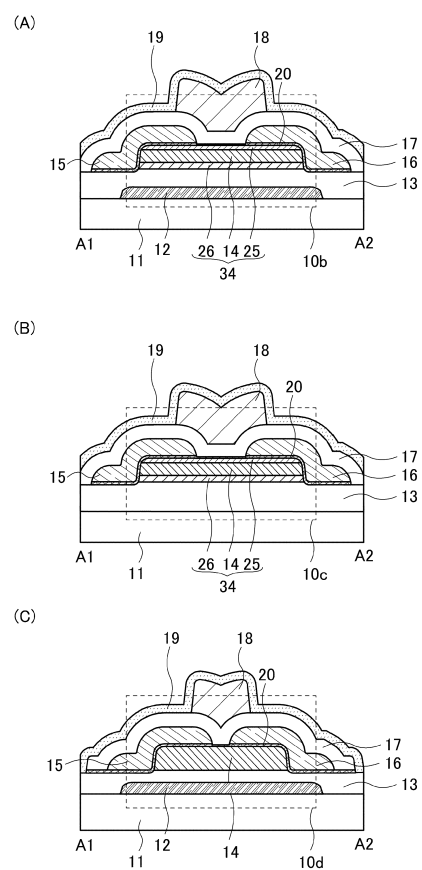
【図 4】



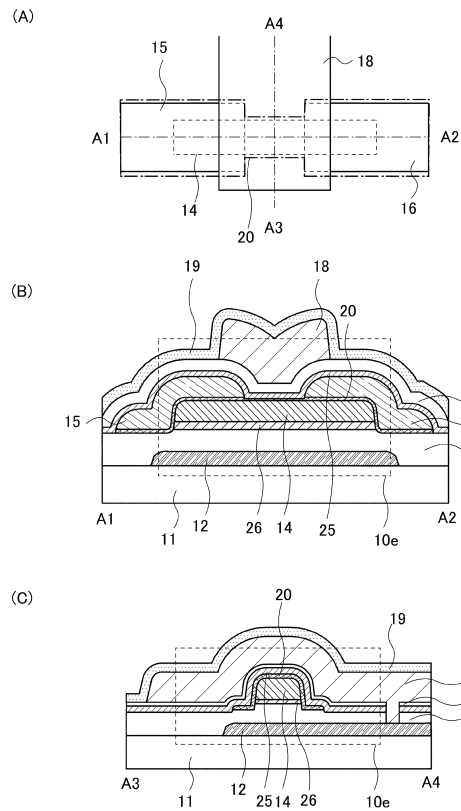
【図 5】



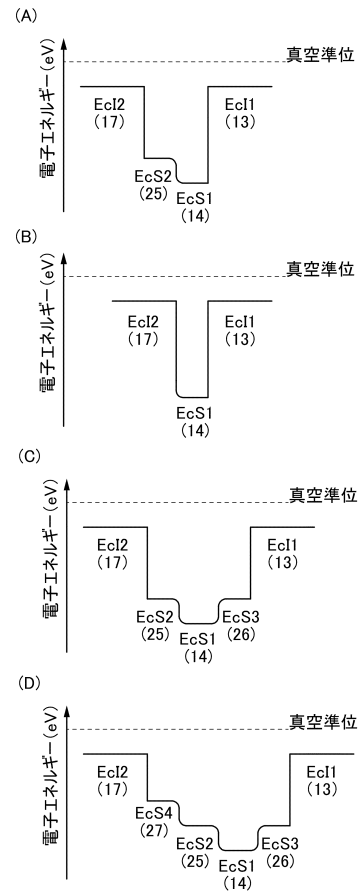
【図 6】



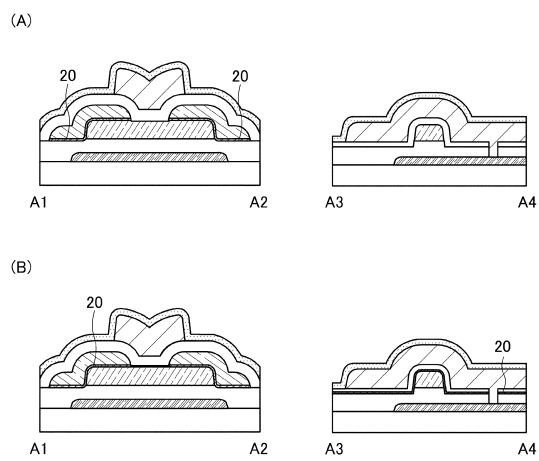
【図 7】



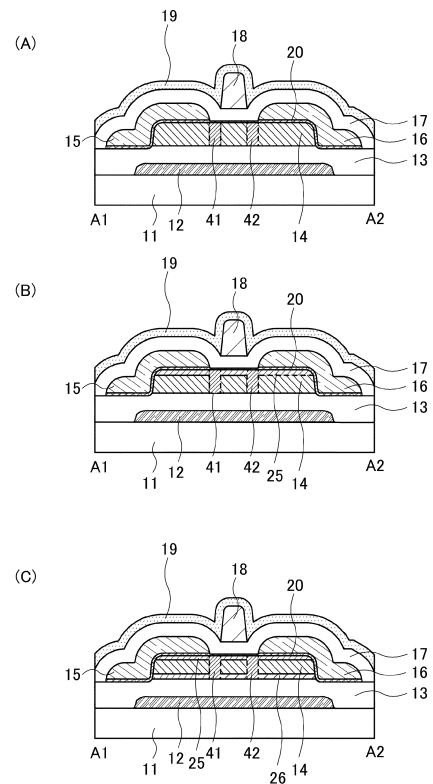
【図 8】



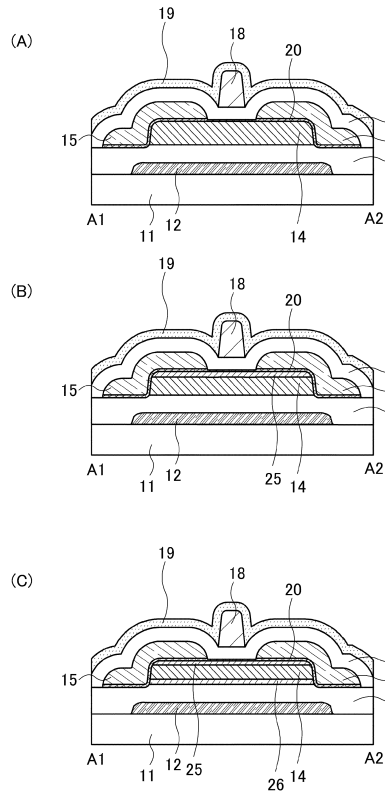
【図 9】



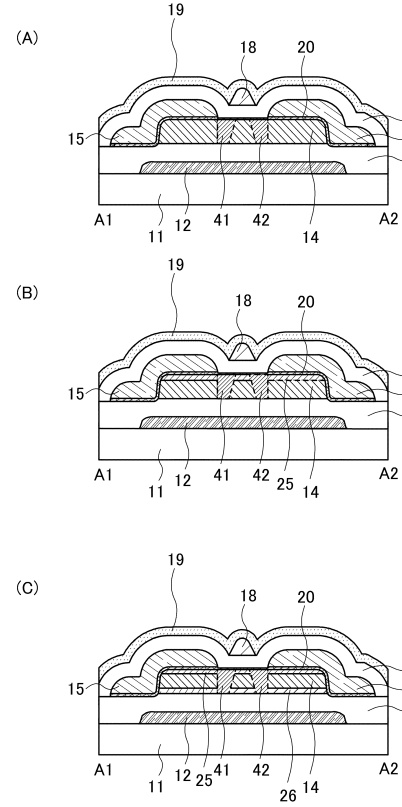
【図 10】



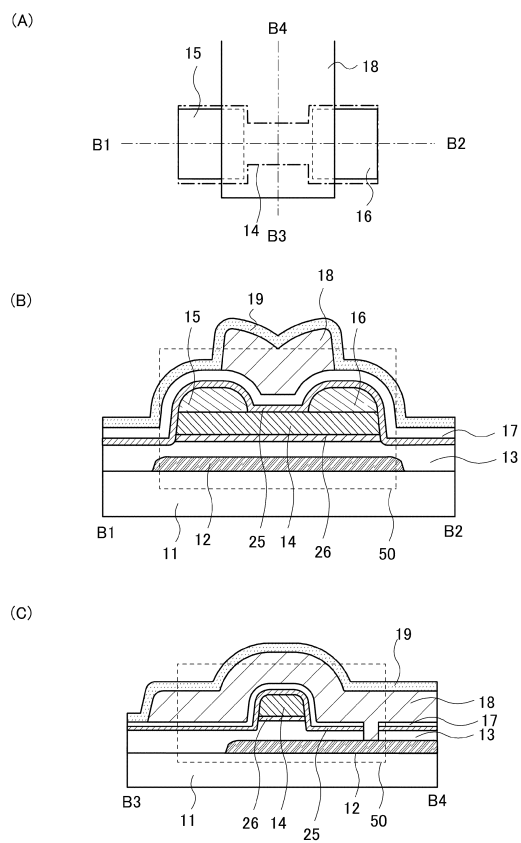
【図 1 1】



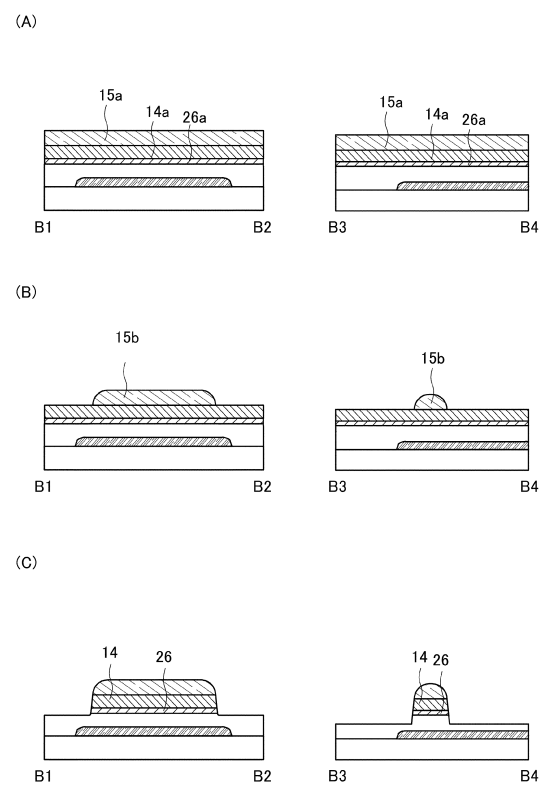
【図 1 2】



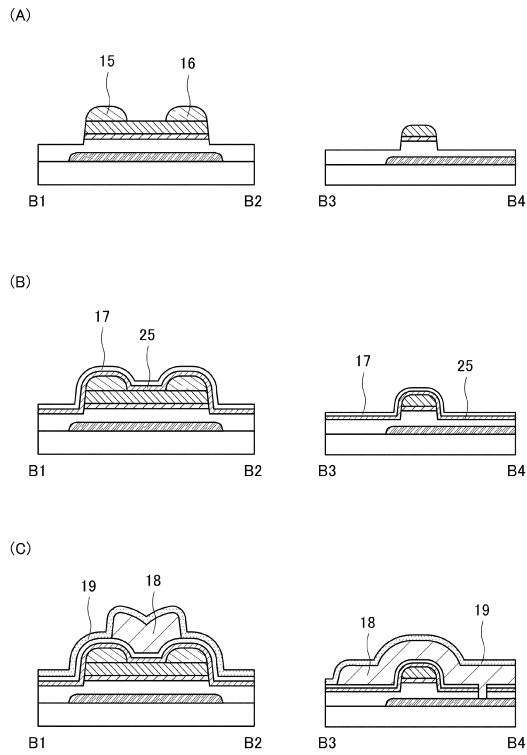
【図 1 3】



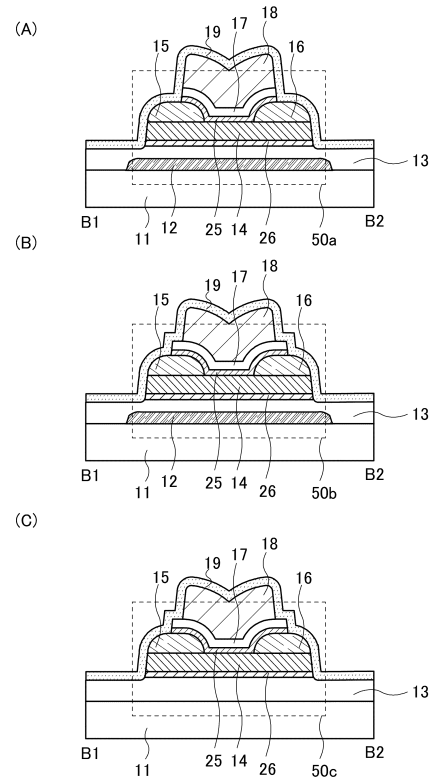
【図 1 4】



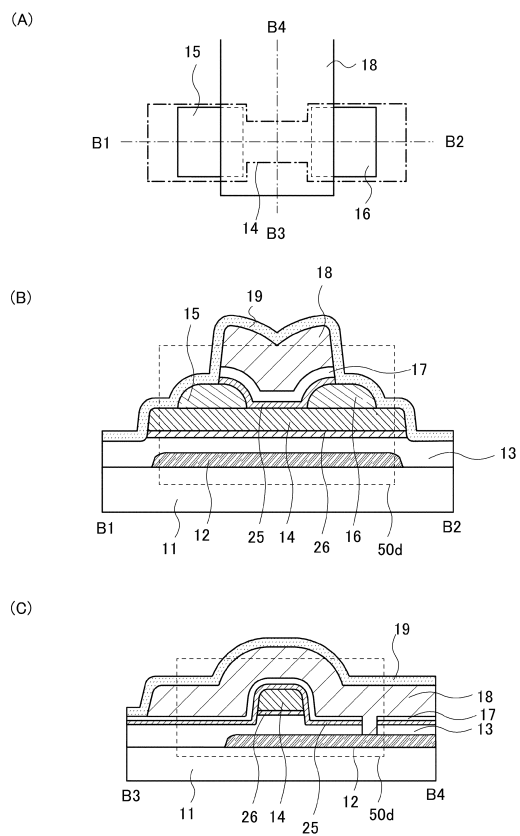
【図 15】



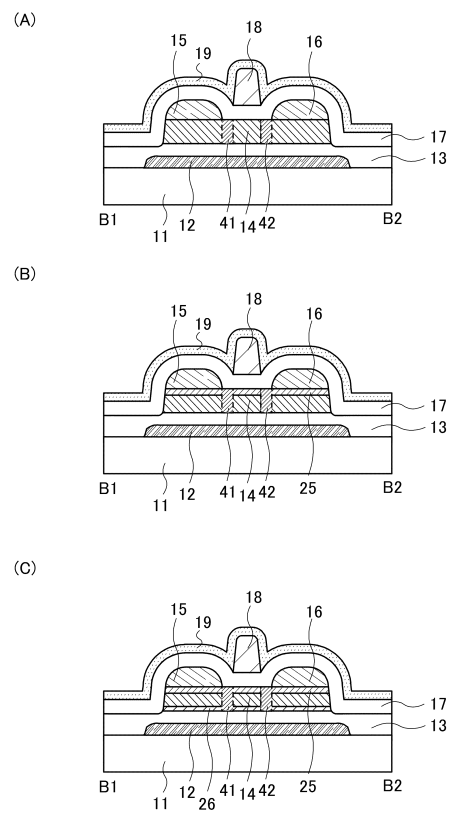
【図 16】



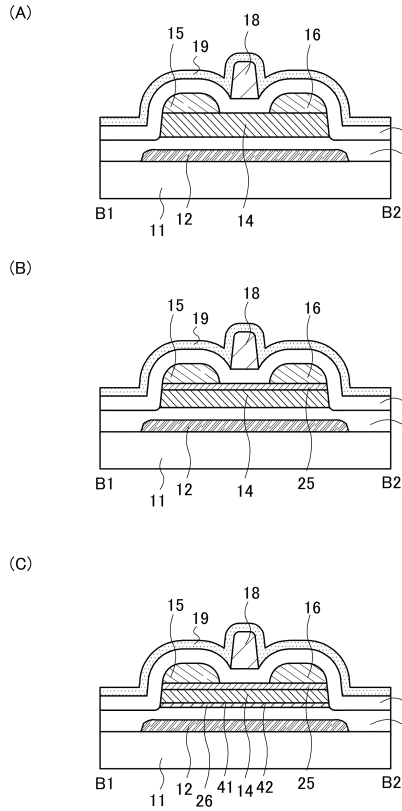
【図 17】



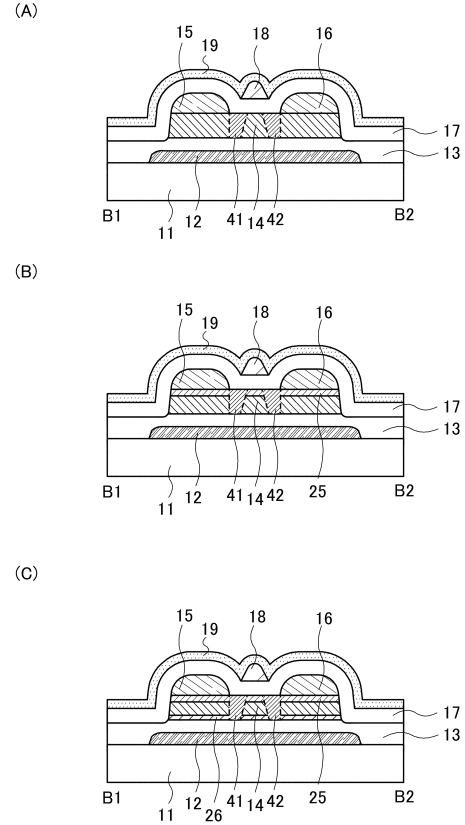
【図 18】



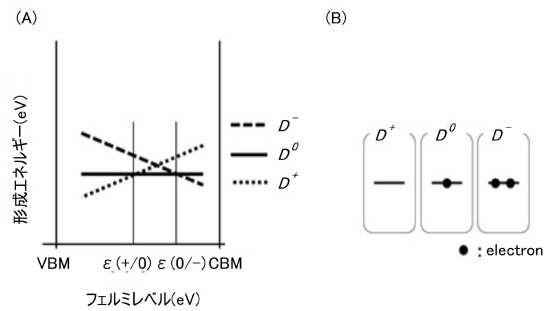
【図 19】



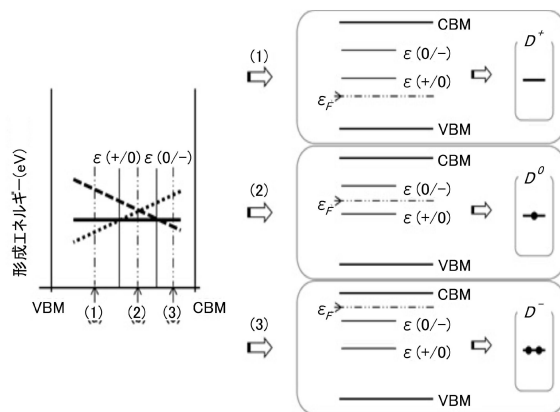
【図 20】



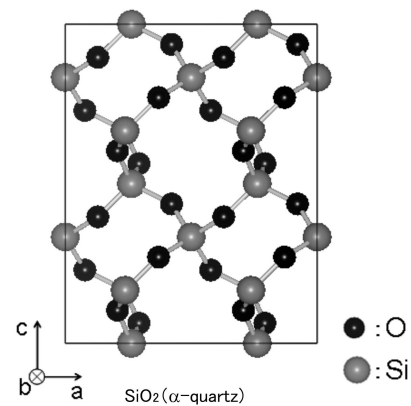
【図 21】



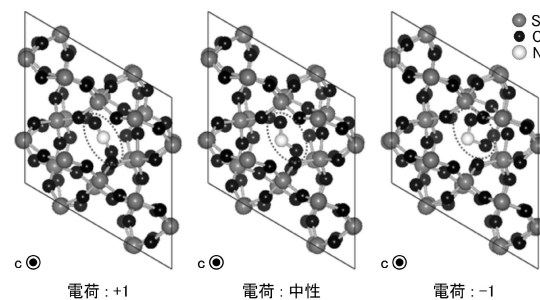
【図 22】



【図 23】



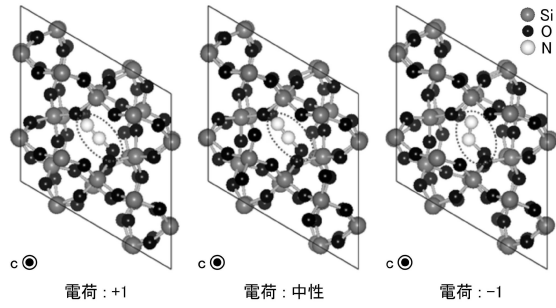
【図 24】



	電荷: +1	電荷: 中性	電荷: -1
d(N-O) [Å]	1.109(1.154)	1.178(1.197)	1.241(1.236)
\angle O-N-O [°]	178.81(180)	133.65(134)	110.34(115)

※括弧内は気相状態におけるNO₂分子の文献値

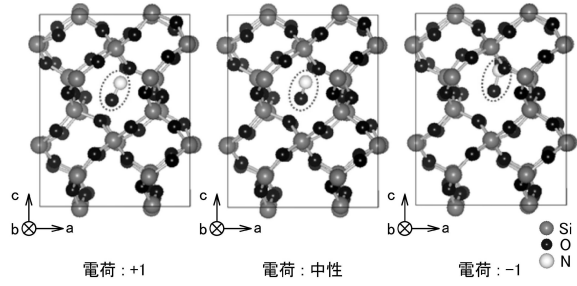
【図 25】



	電荷: +1	電荷: 中性	電荷: -1
d(N-N)[Å]	1.191	1.105(1.126)	1.163
d(N-O)[Å]	1.154	1.175(1.186)	1.310
∠N-N-O[°]	174.52	172.81(180)	130.71

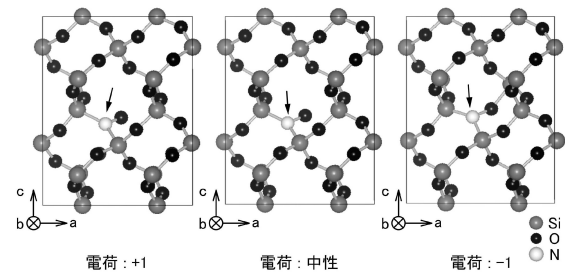
※括弧内は気相状態におけるN₂O分子の文献値

【図 26】

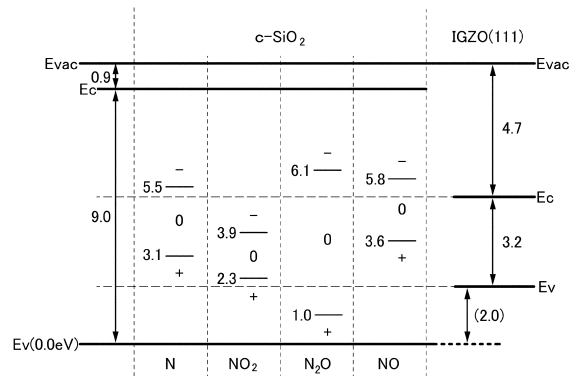


	電荷: +1	電荷: 中性	電荷: -1
d(N-O)[Å]	1.081	1.146	1.224

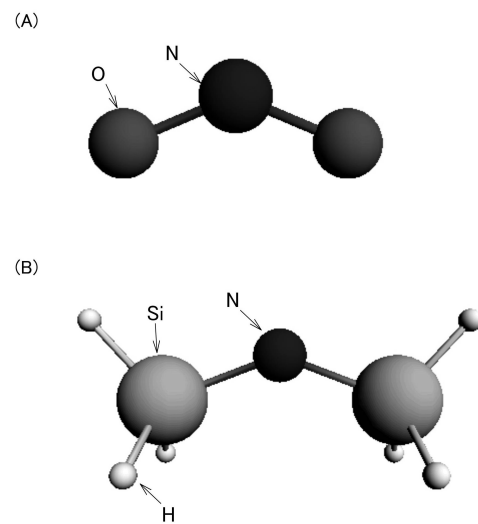
【図 27】



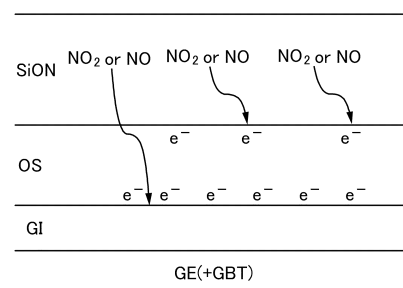
【図 28】



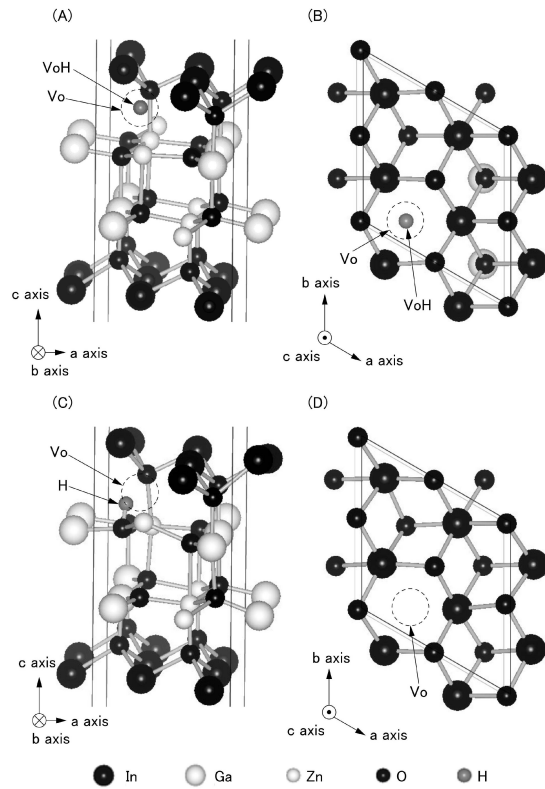
【図 29】



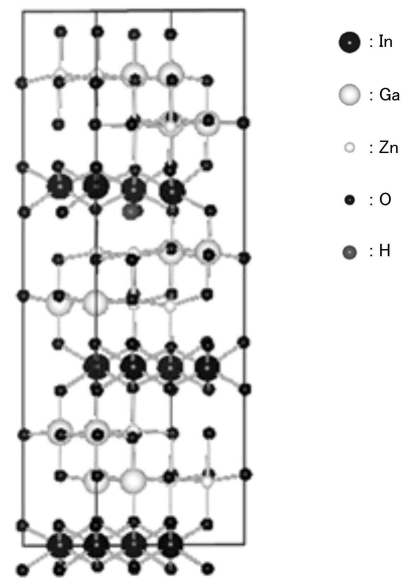
【図 30】



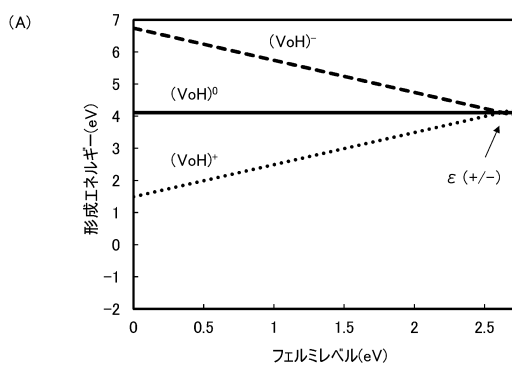
【図 3 1】



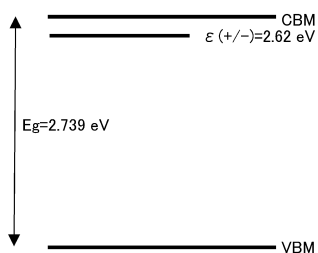
【図 3 2】



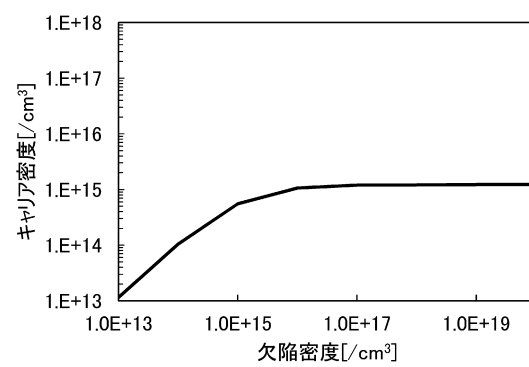
【図 3 3】



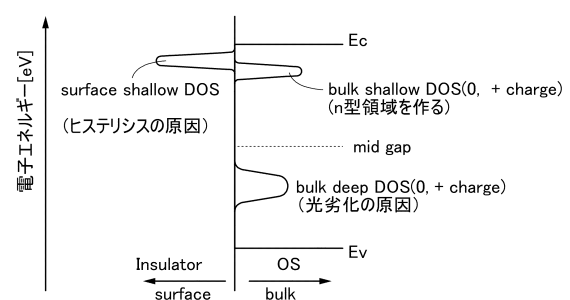
(B)



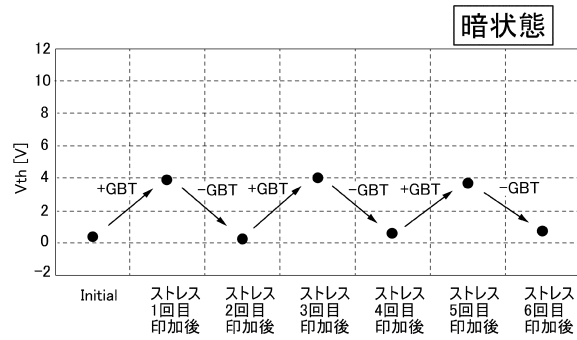
【図 3 4】



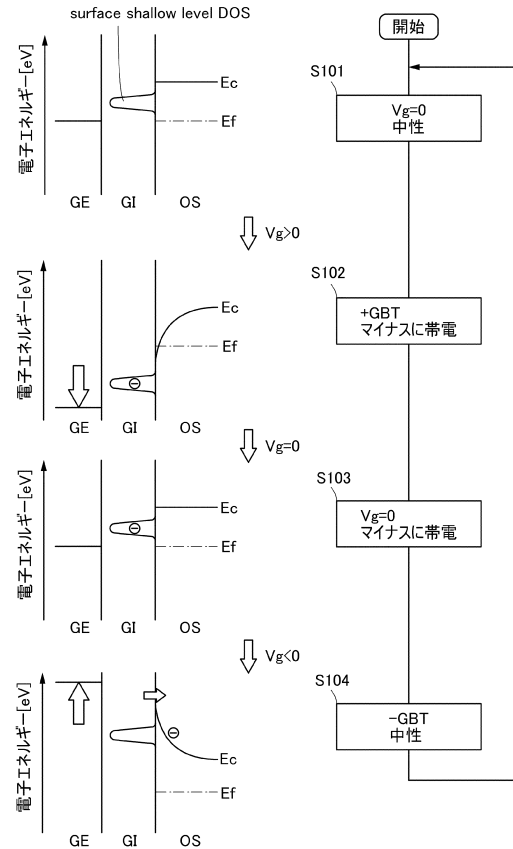
【図 3 5】



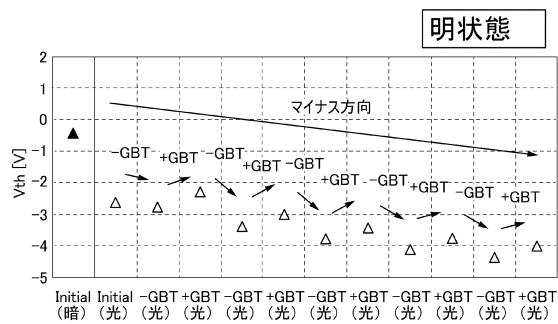
【図 36】



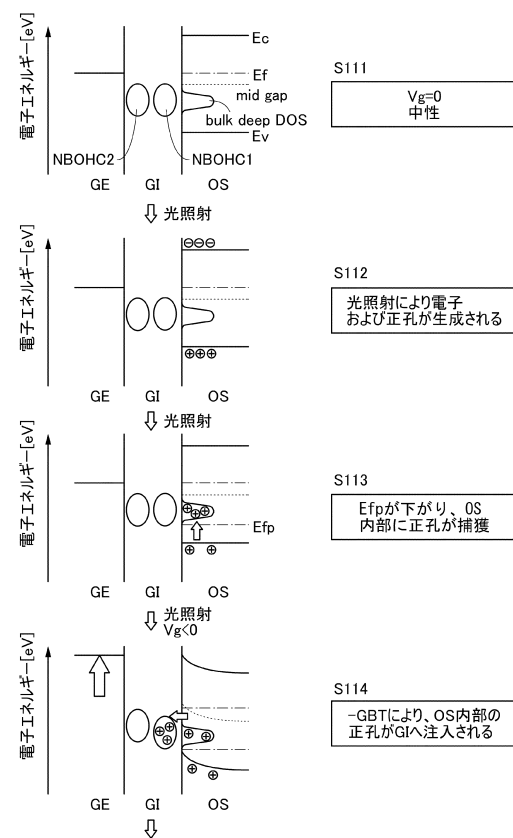
【図 37】



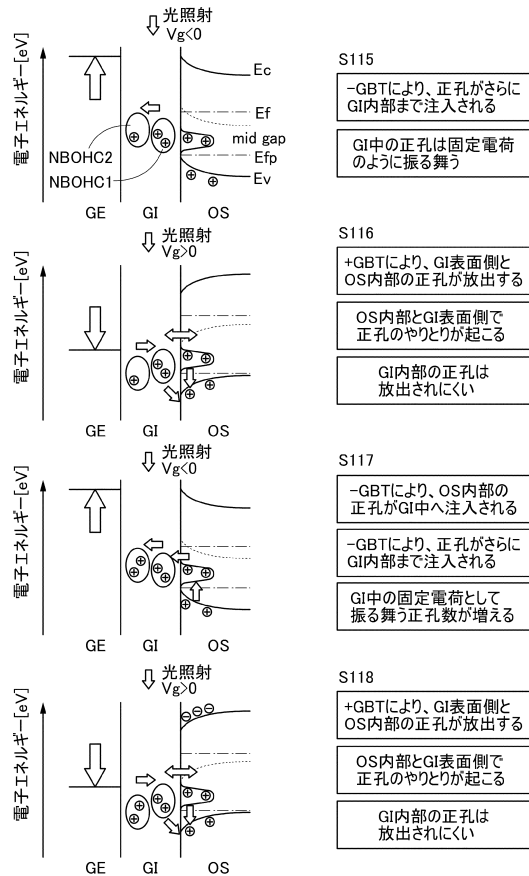
【図 38】



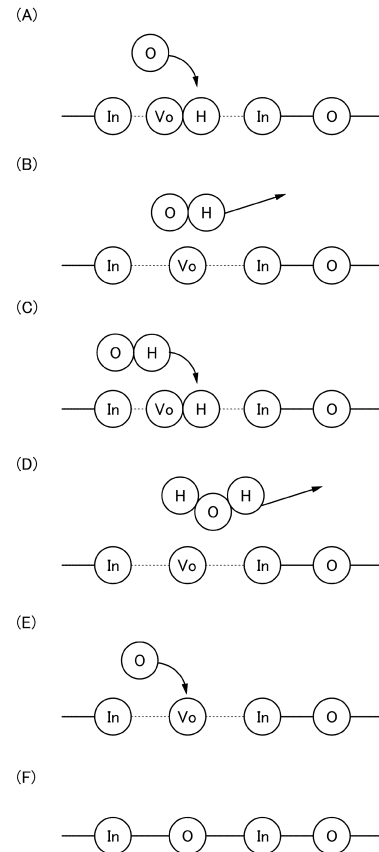
【図 39】



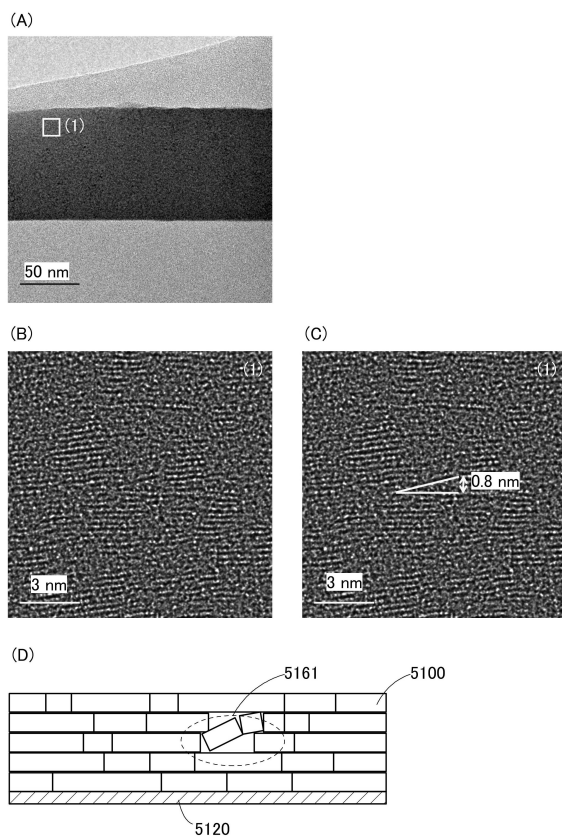
【図 40】



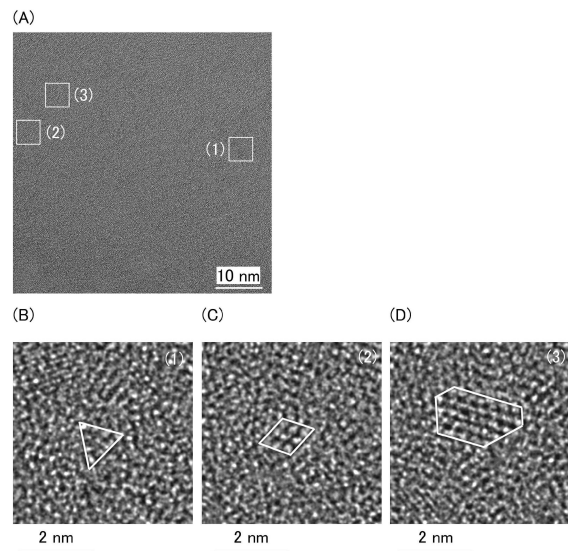
【図 41】



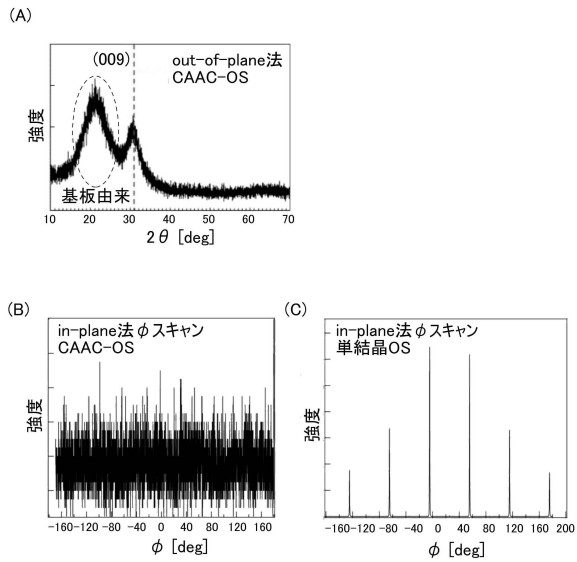
【図 42】



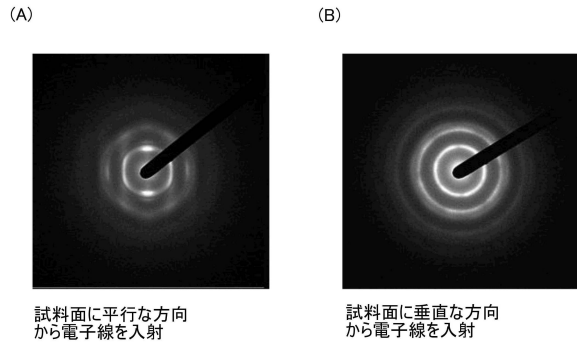
【図 43】



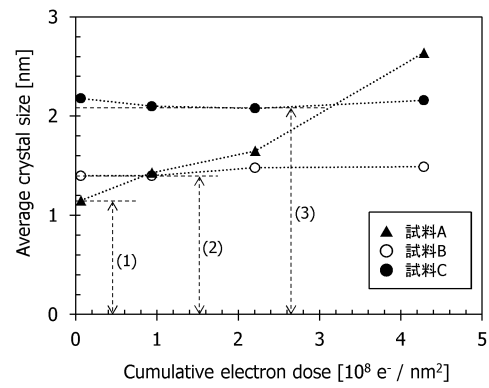
【図 4 4】



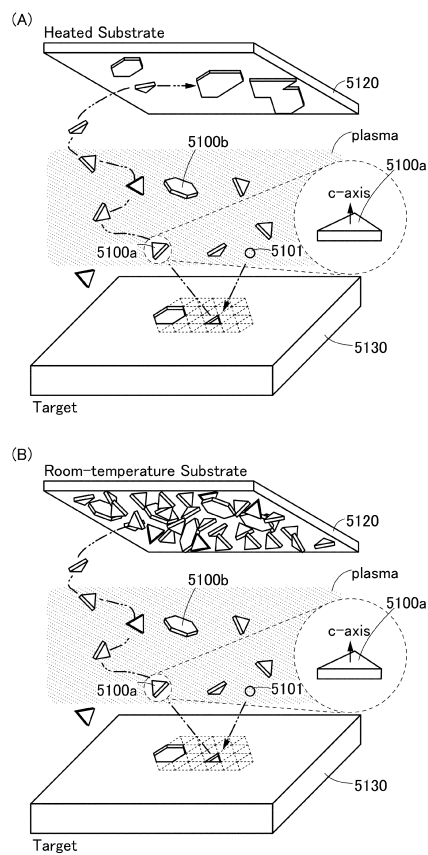
【図 4 5】



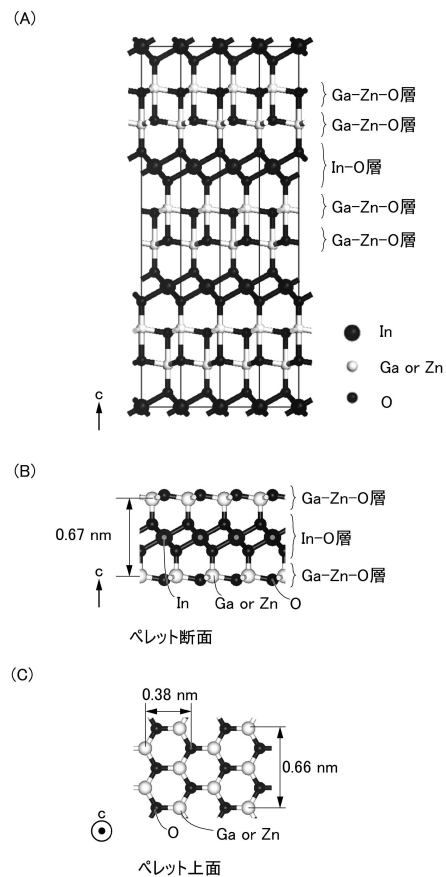
【図 4 6】



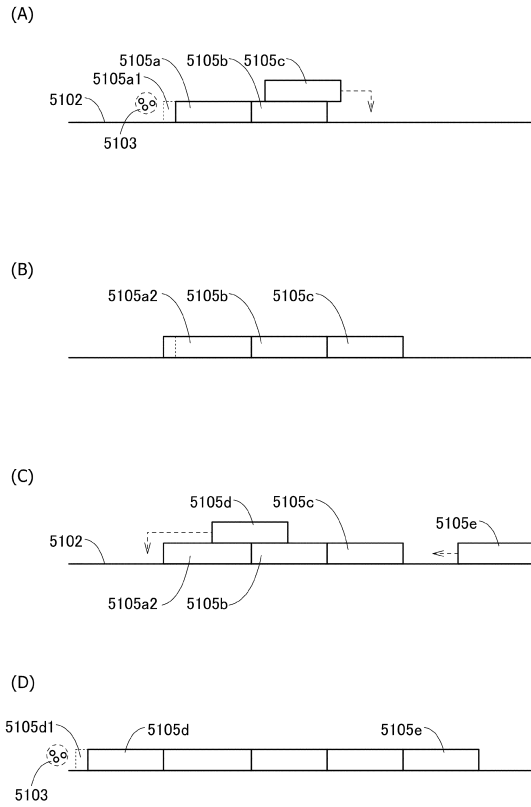
【図 4 7】



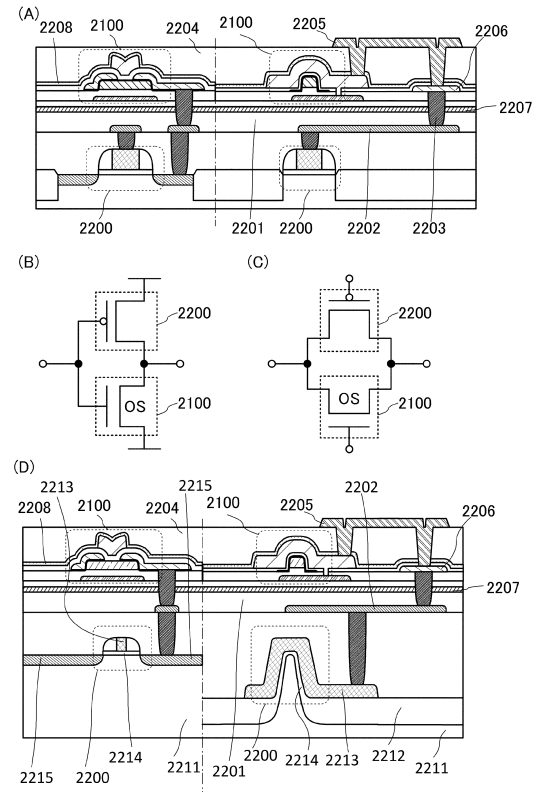
【図 4 8】



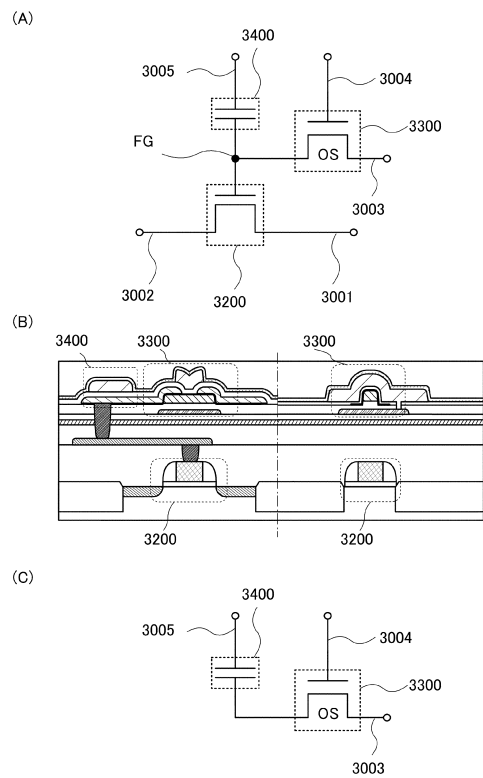
【図 49】



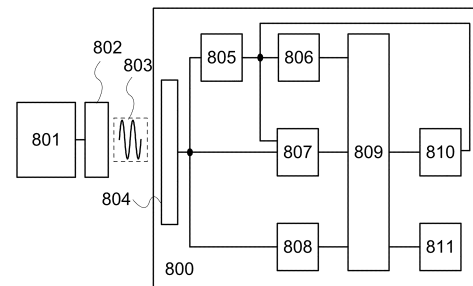
【図 50】



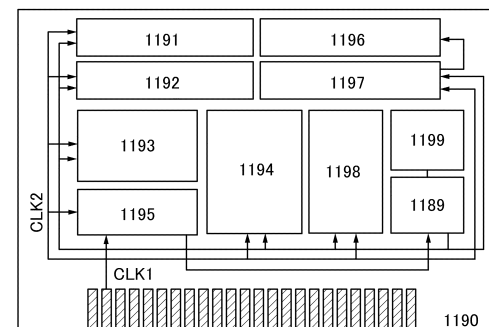
【図 51】



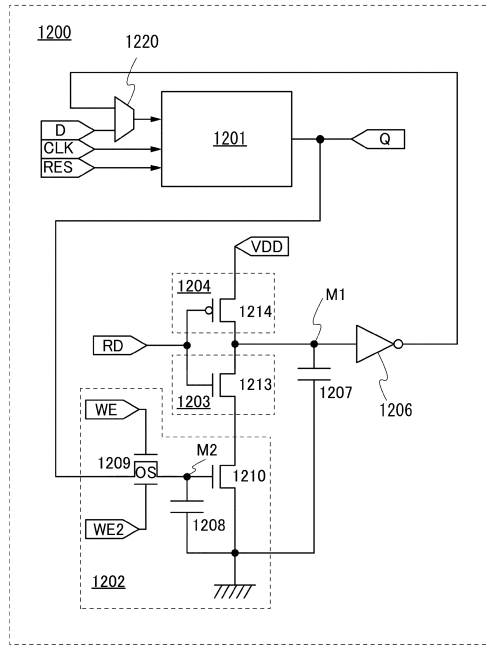
【図 52】



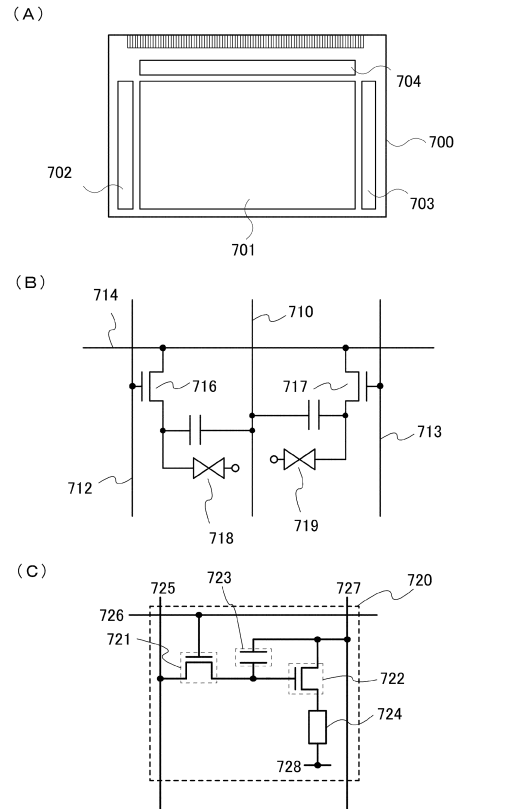
【図 53】



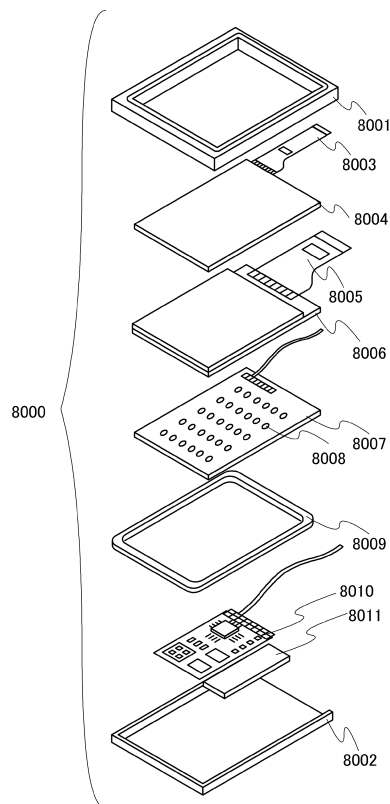
【図 5 4】



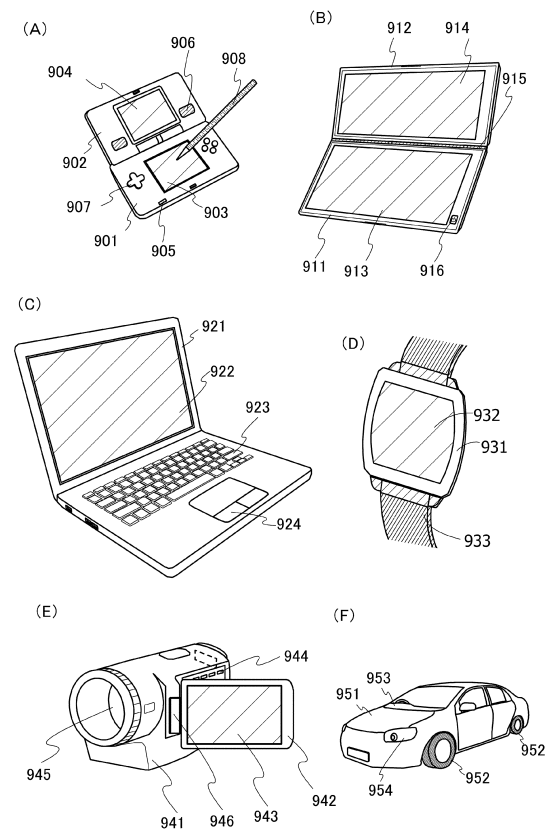
【図 5 5】



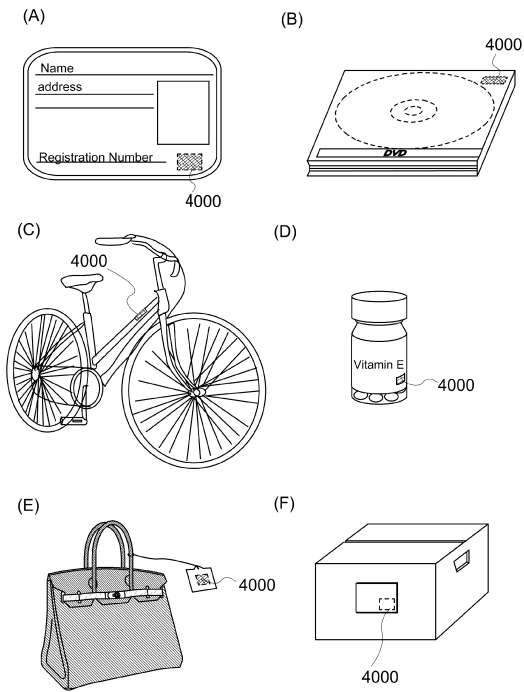
【図 5 6】



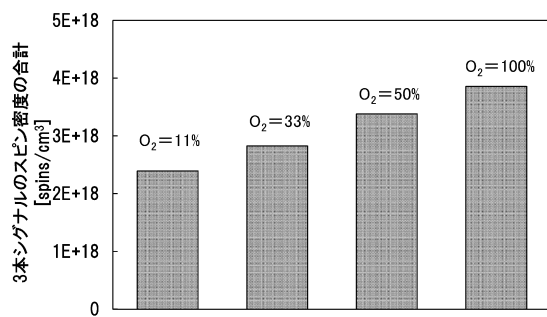
【図 5 7】



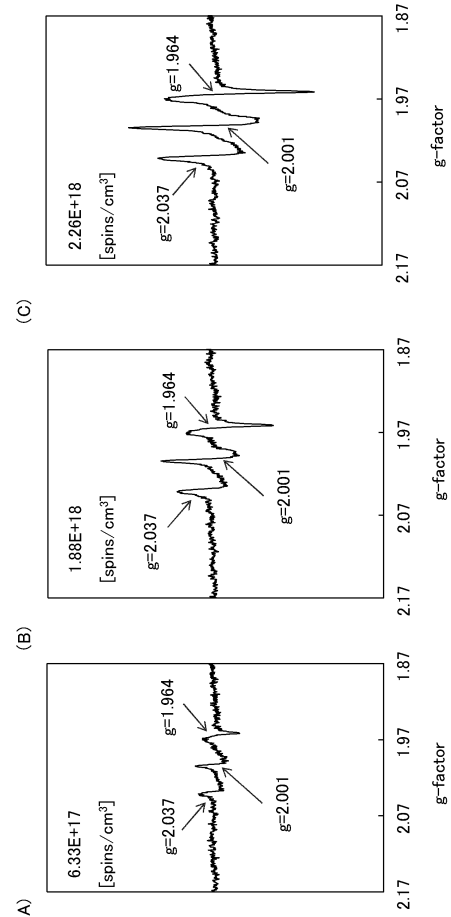
【図 58】



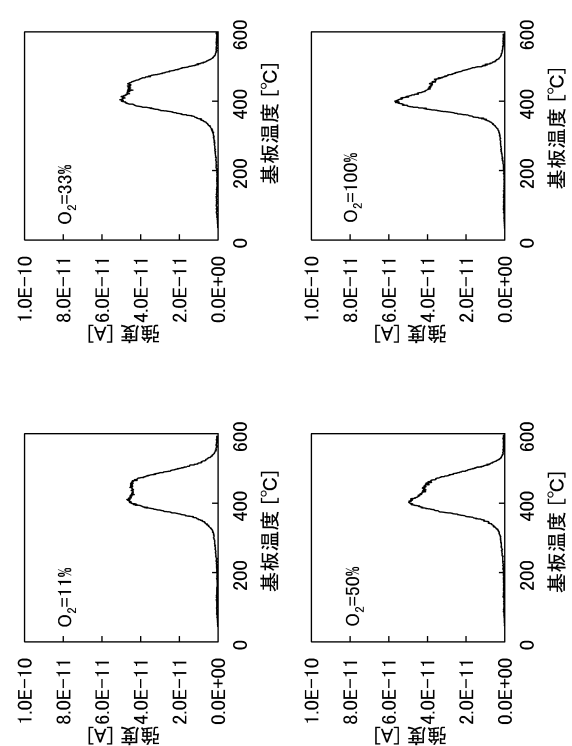
【図 60】



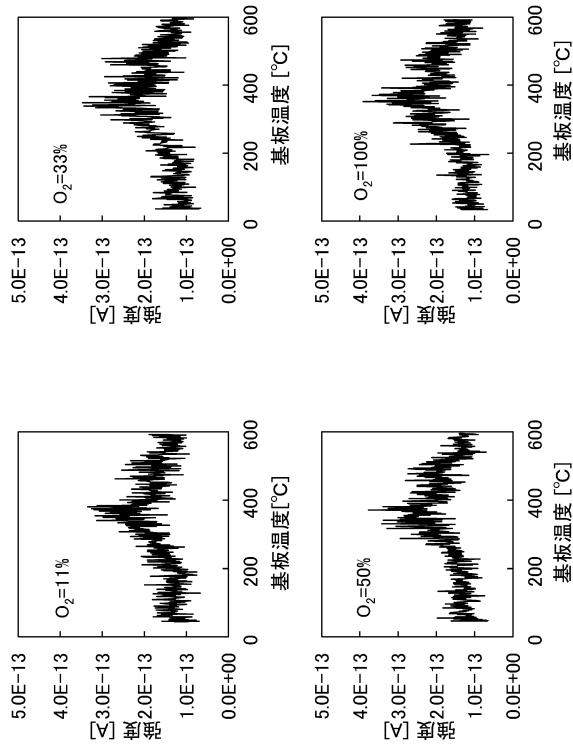
【図 59】



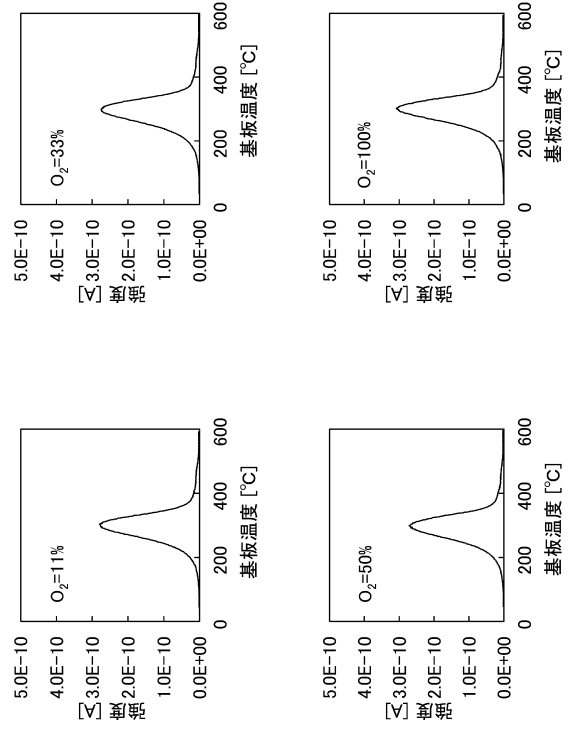
【図 61】



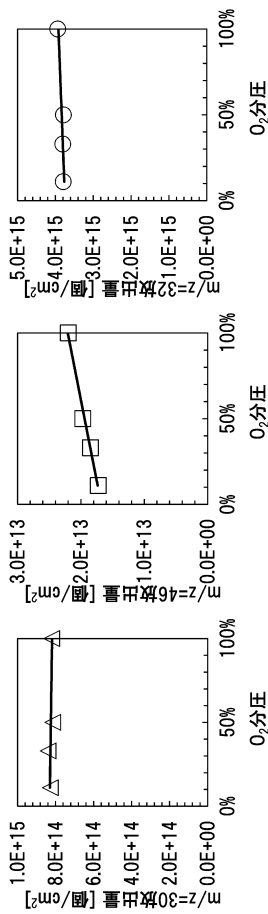
【図 6 2】



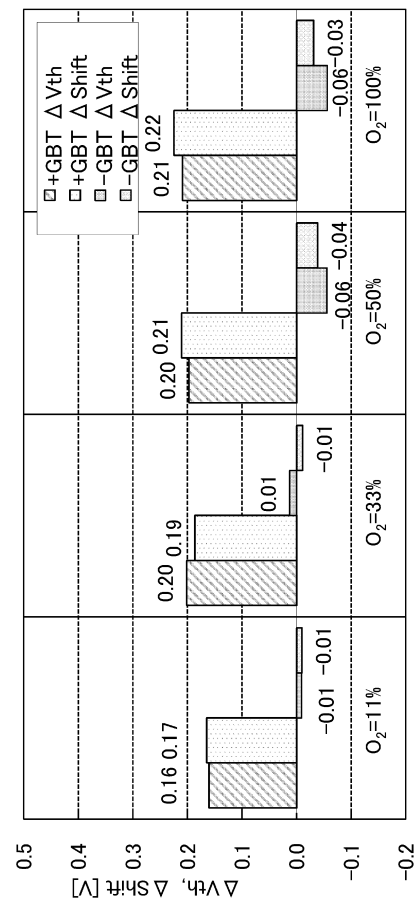
【図 6 3】



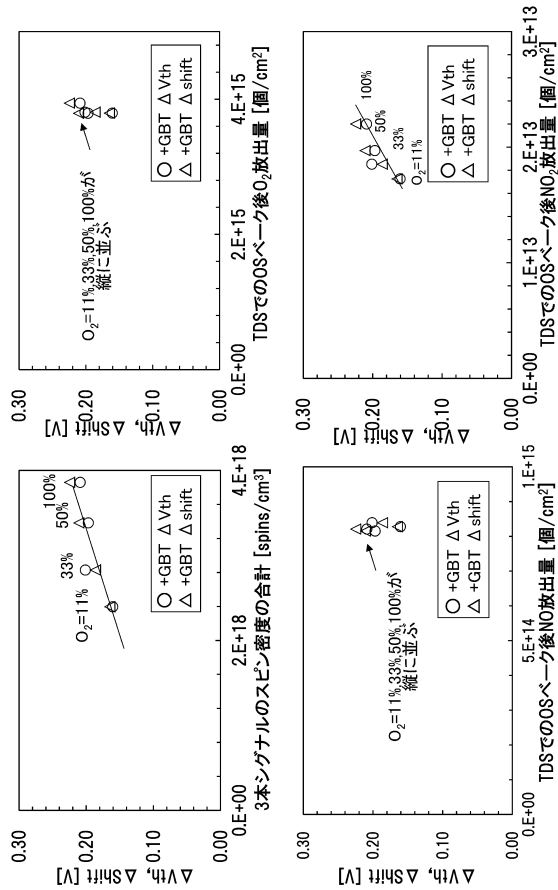
【図 6 4】



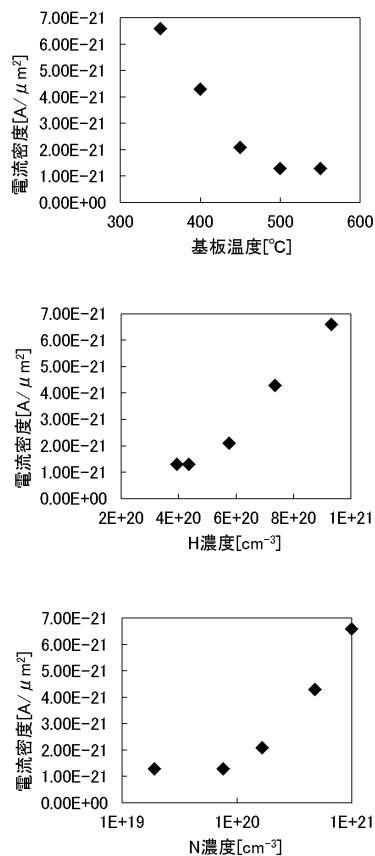
【図 6 5】



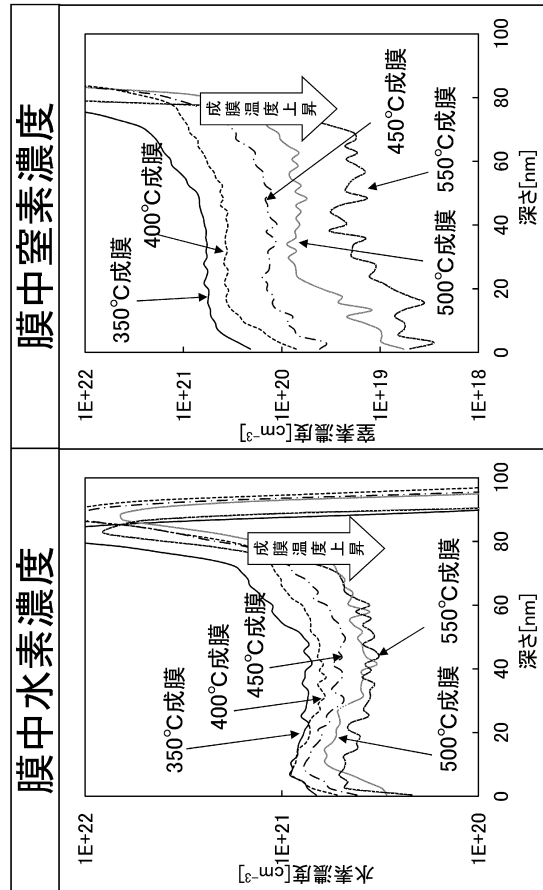
【図 6 6】



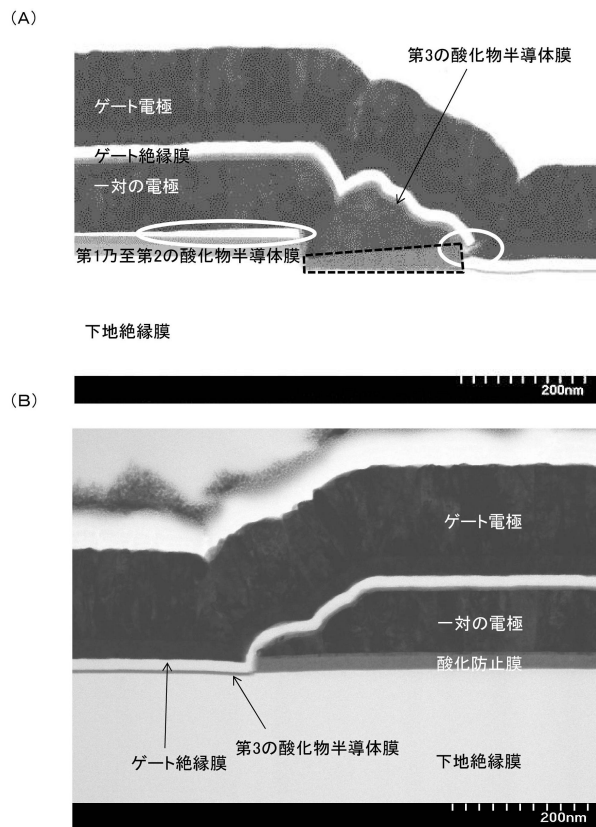
【図 6 8】



【図 6 7】

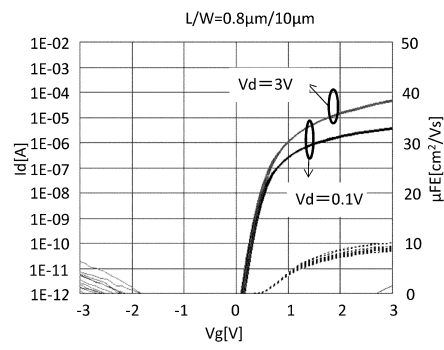


【図 6 9】

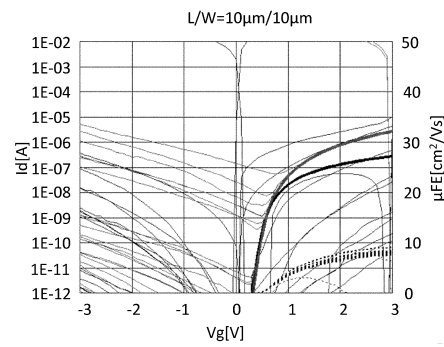


【図 70】

(A)

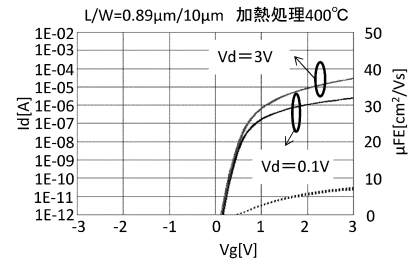


(B)

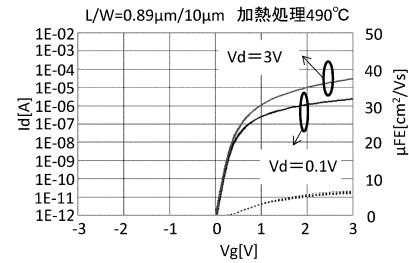


【図 71】

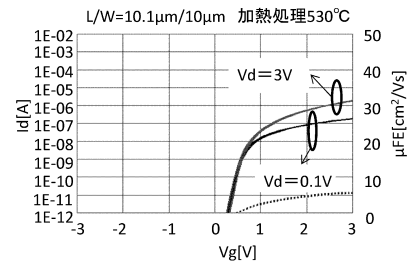
(A)



(B)

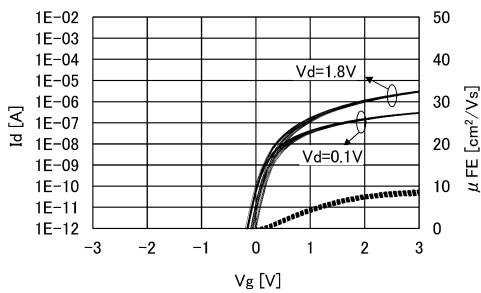


(C)

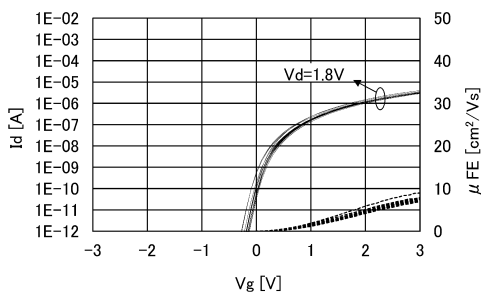


【図 72】

(A)

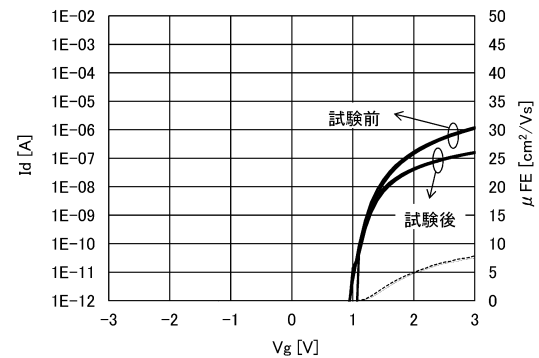


(B)

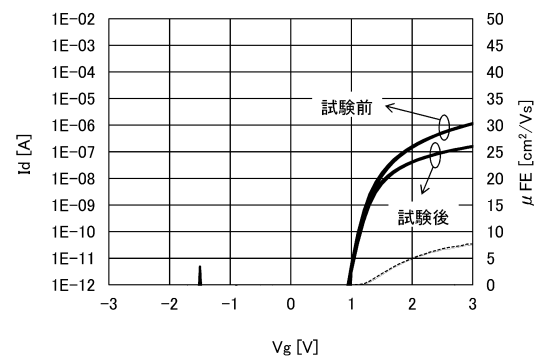


【図 73】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I
H 0 1 L 27/108 (2006.01)		H 0 1 L 27/088 3 3 1 E
H 0 1 L 29/788 (2006.01)		H 0 1 L 29/78 6 1 8 E
H 0 1 L 29/792 (2006.01)		H 0 1 L 27/088 C
G 0 9 F 9/30 (2006.01)		H 0 1 L 27/108 3 2 1
		H 0 1 L 27/108 6 7 1 C
		H 0 1 L 27/108 6 2 1 Z
		H 0 1 L 29/78 3 7 1
		G 0 9 F 9/30 3 3 8
(72)発明者 田中 哲弘		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	
(72)発明者 津吹 将志		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	
(72)発明者 竹内 敏彦		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	
(72)発明者 徳丸 亮		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	
(72)発明者 一條 充弘		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	
(72)発明者 鳥海 聡志		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	
(72)発明者 大槻 高志		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	
(72)発明者 遠藤 俊弥		
神奈川県厚木市長谷 3 9 8 番地	株式会社半導体エネルギー研究所内	

審査官 市川 武宜

- (56)参考文献 特開 2 0 0 8 - 1 9 9 0 0 5 (J P , A)
 特開 2 0 1 3 - 1 6 1 8 9 5 (J P , A)
 特開 2 0 1 2 - 0 0 4 5 5 4 (J P , A)
 特開 2 0 1 2 - 2 5 6 8 1 6 (J P , A)
 特開 2 0 1 3 - 1 5 3 1 4 0 (J P , A)
 特開 2 0 1 2 - 1 0 9 5 4 6 (J P , A)
 特開 2 0 1 2 - 2 5 6 9 3 8 (J P , A)
 特開 2 0 1 3 - 2 3 2 6 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 6
 G 0 9 F 9 / 3 0
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2