(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0011406
(43) 공개일자 2010년02월03일

(51) Int. Cl.
H01L 33/36 (2010.01)
(21) 출원번호 10-2008-0072616
(22) 출원일자 2008년07월25일
심사청구일자 2008년07월25일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김태근
경기도 성남시 분당구 이매동 122 금강아파트 103-1301
이병규
서울특별시 도봉구 방학3동 삼익아파트 101동 707호
(74) 대리인
이재광, 김정식

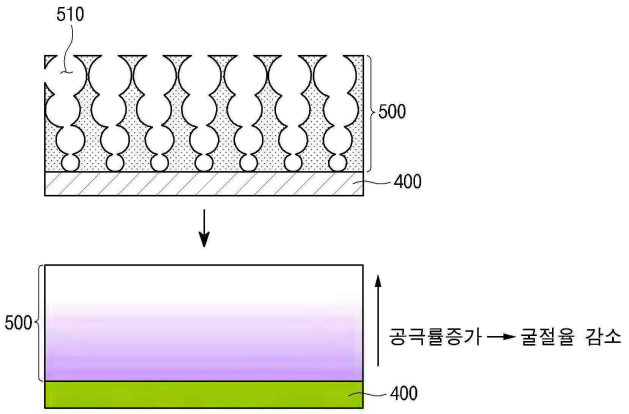
전체 청구항 수 : 총 8 항

(54) 광추출 효율이 향상된 발광 소자 및 그 제조 방법

(57) 요 약

본 발명은 발광 소자 및 그 제조 방법을 개시한다. 본 발명은 발광 소자의 투명 전극층의 굴절율이 상부로 갈수록 점차 감소하여, 공기와 맞닿는 계면에서 공기 등과의 굴절율의 차이가 최소화되도록 투명 전극층을 형성한다. 이로 인해, 활성층에서 발생된 광이 투명 전극층과 공기와의 계면에서 전반사되어 발광 소자 내부로 다시 유입되는 광의 양이 최소화되어 광추출 효율이 향상된다. 구체적으로, 본 발명은 투명 전극층을 형성할 때 폴리머 비드를 단일층으로 정렬시키고, 에칭 공정을 수행하여 폴리머 비드의 크기를 조절한 후, 그 사이에 투명 전극층 형성 물질을 채운 후 버닝(burning) 공정을 수행하여 폴리머 비드를 제거함으로써 투명 전극층에 공극을 형성한다. 그 후, 동일한 방식으로 공극이 내부에 포함된 투명 전극층위에 보다 더 큰 공극이 포함된 투명 전극층을 형성하고, 이렇게 형성된 투명 전극층 위에 보다 더 큰 공극이 포함된 투명 전극층을 형성하는 과정을 반복하여, 다층으로 구성되고 상부층으로 갈수록 공극의 양이 증가하고 투명 전극층 형성 물질의 양이 감소하여 굴절율이 감소하도록 투명 전극층을 형성한다.

대 표 도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호	R01200700011760002008
부처명	한국과학재단
연구사업명	특정기초연구
연구과제명	(2차년도)GaN LED의 신뢰성 및 출력향상을 위한 AI기반고반사 전극구조 연구
주관기관	고려대학교
연구기간	2008년 03월 01일 ~ 2009년 02월 28일

특허청구의 범위

청구항 1

기판;

상기 기판위에 형성되어 광을 발생시키는 반도체층; 및

상기 반도체층 위에 형성되어 상기 반도체층에서 발생된 광을 투과시키는 투명 전극층을 포함하고,

상기 투명 전극층은 하부에서 상부로 갈수록 상기 투명 전극층을 형성하는 물질의 양이 감소하는 것을 특징으로 하는 발광 소자.

청구항 2

제 1 항에 있어서,

상기 투명 전극층은 하부에서 상부로 갈수록 상기 투명 전극층에 포함되는 공극의 양이 점진적으로 증가하도록 형성된 것을 특징으로 하는 발광 소자.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 투명 전극층은 복수의 서브 투명 전극층으로 구성되고, 상기 반도체층으로부터 상부로 갈수록 각 서브 투명 전극층에 포함되는 공극의 양이 증가하는 것을 특징으로 하는 발광 소자.

청구항 4

(a) 기판에 광을 발생시키는 반도체층을 형성하는 단계; 및

(b) 상기 반도체층위에 투명 전극층 형성 물질의 양이 점진적으로 감소되도록 투명 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 5

제 4 항에 있어서, 상기 (b) 단계는

(b1) 폴리머 비드를 상기 반도체층위에 정렬시키고, 상기 폴리머 비드의 크기를 감소시킨 후, 상기 폴리머 비드를 내부에 포함하는 서브 투명 전극층을 형성하는 단계;

(b2) 상기 폴리머 비드를 제거하여 상기 서브 투명 전극층 내부에 공극을 형성하는 단계; 및

(b3) 상기 서브 투명 전극층 위에 상기 (b1) 단계 및 (b2) 단계를 반복적으로 수행하여 복수의 서브 투명 전극층으로 구성되는 상기 투명 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 6

제 5 항에 있어서, 상기 (b1) 단계는

상기 폴리머 비드를 에칭하여 크기를 감소시키는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 7

제 5 항에 있어서, 상기 (b2) 단계는

버닝(burning) 공정을 수행하여 상기 폴리머 비드를 제거하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 8

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 (b3) 단계는

상부의 서브 전극층에 형성되는 공극이 하부의 서브 전극층에 형성된 공극보다 더 크도록, 상기 폴리머 비드의 크기를 감소시키는 것을 특징으로 하는 발광 소자 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 발광 소자 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 전반사가 감소된 투명 전극층을 형성함으로써 광추출 효율을 향상시키는 발광소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 청색, 녹색, UV광을 방출하는 GaN계 발광 다이오드(LED)는 소형 및 대형 전광판 뿐만 아니라, Indicator, LCD 장치의 백라이트, 및 휴대폰 키패드의 백라이트 등 사회 전반에 걸쳐 그 응용범위가 점차 넓어지고 있다.

[0003] 현재는 청록색 LED 가 기존 신호등을 대체하고 있고, 다양한 LED가 자동차용 및 간접조명용 광원으로 사용되고 있으며, 광효율이 더 높은 백색 LED가 개발되면 현재 사용되는 전등도 LED로 대체될 수 있을 것이다.

[0004] 이렇게 다양한 분야에 이용되는 LED를 제조하기 위해서, 종래에는 GaN 물질로 LED를 구성하기 위해 박막을 MOCVD(Metal Organic Chemical Vapor Deposition)등의 방식으로 사파이어 기판 또는 SiC 기판 위에 형성하였다.

[0005] 도 1a 및 도 1b 는 종래의 기술에 따라서 이용하여 발광소자를 제조하는 방법을 설명하는 도면이다. 도 1a 및 도 1b를 참조하면, 종래의 방식은 사파이어, SiC, GaN 등의 기판(11) 위에 MOCVD 방식에 의해 버퍼층(Un-doped GaN;12)을 형성하고, 버퍼층(12) 위에 N-GaN 층(13), 활성층($In_xGa_{1-x}N$(x=0~1);14), P-GaN층(15)을 차례로 형성한다(도 1a의 (a) 참조).

[0006] 그 후, P-GaN층(15)의 불순물의 활성화를 위해서 약 600℃에서 약 20분간 열처리를 수행한 후, N형 전극을 형성하기 위해서 N-GaN층(13)의 일부분이 드러나도록 P-GaN층(15)부터 아래로 식각을 수행한다(도 1a 의 (b) 참조).

[0007] 그 후, P-GaN층(15)의 전면에 얇은 ohmic contact 용 메탈(또는 투명 전도 박막;16)을 형성하고(도 1a의 (c) 참조), 그 위에 칩의 조립시 본딩을 하기 위한 패드용 P형 ohmic contact(17)을 형성한다(도 1b의 (d) 참조).

[0008] 그 후, 식각된 N-GaN층(13) 위에도 ohmic 및 패드 메탈로 동시에 이용되는 전극층(18)을 형성하여 칩을 완성한다(도 1b 의 (e) 참조).

[0009] 완성된 LED 칩은 패키징과 몰딩 과정을 거쳐 SMD, lamp, 고출력 LED PKG 의 형태로 만들어 진다.

[0010] 한편, LED 의 구동과정을 설명하면, N 및 P 형 전극을 통해서 전압이 인가되면, N-GaN층(13) 및 P-GaN층(15)으로부터 전자 및 정공이 활성층(14)으로 유입되고, 활성층(14)에서 전자와 정공의 결합이 일어나면서 발광하게 된다.

[0011] 활성층(14)에서 발생된 빛은 활성층(14)의 위와 아래로 진행하게 되고, 위로 진행된 빛은 P-GaN층(15)위에 얇게 형성된 투명전극을 통해서 밖으로 방출되고, 아래로 진행된 빛의 일부분은 칩의 외부로 방출되고, 나머지는 기판 아래쪽으로 진행하여 LED 칩의 조립시에 이용되는 솔더(solder)에 흡수되거나, 반사되어 다시 위쪽으로 진행하여 일부는 활성층(14)에 다시 흡수되기도 하고, 다른 일부는 활성층(14)을 지나 투명전극을 통해서 칩 외부로 방출된다.

[0012] 이 LED Chip으로 다른 파장을 구현하기 위해서는 조립시 LED Chip 상부에 파장 변환 물질인 포스포를 형성하게 하여 다파장의 색을 구현하게 되면 파장이 변환된 특정 파장, 혼합파장 및 White 의 LED를 구현할 수 있게 된다.

[0013] 상기의 LED 구조에서 종래 기술은 단일층으로 형성된 투명 전극을 사용하고 있으며 이 구조는 다음과 같은 문제점이 있다.

[0014] 투명 전극의 경우 90 % 정도의 빛 투과율에 대한 장점을 가지는 반면, 단일층으로 형성된 투명 전극은 P-GaN 층과 공기층 등과 같은 인접한 층들과의 굴절율의 차이로 인해서 제한된 입사각의 빛만을 투과시킨다는 점 등에서 광추출 효율이 저하되는 문제점이 있다.

[0015] 구체적으로 설명하면, GaN LED의 활성층에서 나온 빛이 p-GaN을 지나 투명 전극을 통과할 때, p-GaN 층과 투명

전극층의 계면에서 굴절률 차이 (p-GaN층=2.4, 투명 전극층 (ITO)=2.0)에 의해 스넬의 법칙(snell's law)에 따라 제한된 입사각의 빛만이 통과한다는 점에서 한계를 갖는다.

[0016] 또한, 도 2 에 도시된 바와 같이, 투명 전극층(16)의 굴절률은 투명 전극층 전체적으로 균일하게 약 2.0 정도이기 때문에 빛이 투명 전극층(16)을 통과하여 공기(굴절률=1.0)층으로 빠져나갈 때, 빛의 입사각이 임계각(Θ)보다 작은 경우에는 투명 전극층(16) 외부로 통과하지만(도 2 의 ①), 임계각 이상인 경우(도 2 의 ② 및 ③)에는 투명 전극층(16)과 공기층의 경계면에서 스넬의 법칙에 따른 전반사가 일어나 추출되는 빛의 양이 현저하게 감소되는 문제점이 존재한다.

[0017] 이러한 종래기술의 문제점을 해결하기 위한 또 다른 종래 기술은 도 3에 도시된 바와 같이 투명 전극층을 형성한 후, 그 표면을 임의로 에칭하여 투명 전극층 표면을 거칠게 형성함으로써 투명 전극층과 외부 공기(또는 에폭시)와의 경계에서의 전반사를 감소시켜 광 추출효율을 향상시키는 방법을 제안하였다.

[0018] 그러나, 이러한 종래의 방식은 소자 표면에 패턴을 형성하기 위한 에칭과정을 거쳐야 했기 때문에 소자의 표면에 데미지가 가해졌고 이로 인하여 광소자 특성이나 수명에 악영향을 미치는 문제점이 존재하였다.

발명의 내용

해결 하고자하는 과제

[0019] 본 발명이 해결하고자 하는 과제는 종래 기술의 발광 소자보다 광추출 효율이 향상된 발광 소자 및 이의 제조 방법을 제공하는 것이다.

과제 해결수단

[0020] 상술한 과제를 이루기 위한 본 발명의 발광 소자는 기판; 기판위에 형성되어 광을 발생시키는 반도체층; 및 반도체층 위에 형성되어 반도체층에서 발생된 광을 투과시키는 투명 전극층을 포함하고, 투명 전극층은 하부에서 상부로 갈수록 투명 전극층을 형성하는 물질의 양이 감소한다.

[0021] 또한, 상술한 투명 전극층은 하부에서 상부로 갈수록 투명 전극층에 포함되는 공극의 양이 점진적으로 증가하도록 형성될 수 있다.

[0022] 또한, 상술한 투명 전극층은 복수의 서브 투명 전극층으로 구성되고, 반도체층으로부터 상부로 갈수록 각 서브 투명 전극층에 포함되는 공극의 양이 증가할 수 있다.

[0023] 한편, 상술한 기술적 과제를 이루기 위한 본 발명의 발광 소자 제조 방법은, (a) 기판에 광을 발생시키는 반도체층을 형성하는 단계; 및

[0024] (b) 반도체층위에 투명 전극층 형성 물질의 양이 점진적으로 감소되도록 투명 전극층을 형성하는 단계를 포함한다.

[0025] 또한, 상술한 (b) 단계는, (b1) 폴리머 비드를 반도체층위에 정렬시키고, 폴리머 비드의 크기를 감소시킨 후, 폴리머 비드를 내부에 포함하는 서브 투명 전극층을 형성하는 단계; (b2) 폴리머 비드를 제거하여 서브 투명 전극층 내부에 공극을 형성하는 단계; 및 (b3) 서브 투명 전극층 위에 (b1) 단계 및 (b2) 단계를 반복적으로 수행하여 복수의 서브 투명 전극층으로 구성되는 투명 전극층을 형성하는 단계를 포함할 수 있다.

[0026] 또한, 상술한 (b1) 단계는 폴리머 비드를 에칭하여 크기를 감소시킬 수 있다.

[0027] 또한, 상술한 (b2) 단계는 버닝(burning) 공정을 수행하여 폴리머 비드를 제거할 수 있다.

[0028] 또한, 상술한 (b3) 단계는 상부의 서브 전극층에 형성되는 공극이 하부의 서브 전극층에 형성된 공극보다 더 크도록, 폴리머 비드의 크기를 감소시킬 수 있다.

효 과

[0029] 본 발명은 발광 소자의 투명 전극층의 굴절율이 상부로 갈수록 점차 감소하여, 공기와 맞닿는 계면에서 공기 등과의 굴절율의 차이가 최소화되도록 투명 전극층을 형성한다. 이로 인해, 활성층에서 발생된 광이 투명 전극층과 공기와의 계면에서 전반사되어 발광 소자 내부로 다시 유입되는 광의 양이 최소화되어 광추출 효율이 향상된다.

[0030] 구체적으로, 본 발명은 투명 전극층을 형성할 때 폴리머 비드를 단일층으로 정렬시키고, 에칭 공정을 수행하여 폴리머 비드의 크기를 조절한 후, 그 사이에 투명 전극층 형성 물질을 채운 후 버닝(burning) 공정을 수행하여 폴리머 비드를 제거함으로써 투명 전극층에 공극을 형성한다. 그 후, 동일한 방식으로 공극이 내부에 포함된 투명 전극층위에 보다 더 큰 공극이 포함된 투명 전극층을 형성하고, 이렇게 형성된 투명 전극층 위에 보다 더 큰 공극이 포함된 투명 전극층을 형성하는 과정을 반복하여, 다층으로 구성되고 상부층으로 갈수록 공극의 양이 증가하고 투명 전극층 형성 물질의 양이 감소하여 굴절율이 감소하도록 투명 전극층을 형성한다.

[0031] 이 때, 폴리머 비드의 사이즈를 미세하게 조절하여, 대응되는 곡극의 양을 미세하게 조절하면, 거의 연속적 굴절율 변화를 갖는 투명 전극층을 형성할 수 있고, 이는 공기층의 굴절률이 약 1.0인 점을 고려했을 때, 투명 전극층과 공기층의 계면을 통해 광이 진행할 때, 전반사가 발생하는 임계각이 커지기 때문에 계면에서 발생하는 전반사를 극소화 시킬 수 있고, 따라서 발광소자의 활성층에서 발생한 광을 종래의 발광소자보다 더 효율적으로 외부로 방출시킬 수 있어서 광 추출 효율을 높일 수 있는 효과가 나타난다.

[0032] 또한, 본 발명은 종래에 투명 전극층을 형성하기 위해 사용되던 Sputtering 이나 e-beam 증착 방식 대신에 "Sol-gel Method"나 "전기도금" 방식을 이용하여 기존의 증착방식이 아닌 합성/코팅 방식으로 투명 전극층을 형성함으로써, 상대적으로 낮은 온도에서 투명 전극층을 형성하기 때문에 투명 전극층 형성시 반도체층(p-GaN층)이 받는 충격을 경감시켜 반도체층(p-GaN 층)과 투명 전극층의 계면에서 발생하는 결함을 줄일 수 있다. 또한, Sol-gel 방식은 기존에 사용되던 "e-beam 증착"이나 "Sputtering" 방식에 비해 제조비용이나 제작과정, 안정성 측면에서 우수하므로 보다 저렴한 비용으로 안정적이며 광추출 효율이 뛰어난 발광 소자를 제조할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0033] 본 발명은 투명 전극층에 공극이 포함되도록 형성하되, 제 2 반도체층(P-GaN층)으로부터 ohmic contact 방향으로 갈수록 투명 전극층을 형성하는 물질의 양이 감소하고 공극의 양이 증가함으로써, 전체적으로 굴절율이 점진적으로 감소하도록 구성하고, 이렇게 구성함으로써, 투명 전극층보다 굴절율이 작으면서 투명 전극층과 맞닿는 공기 또는 포스포 물질과 투명 전극층간의 굴절율 차이를 감소시킴으로써 광추출 효율을 향상 시킨다.

[0034] 따라서, 투명 전극층을 형성하는 공정 이외의 공정은 도 1a 및 도 1b 를 참조하여 상술한 일반적인 공정을 이용해서 수행되므로, 본 발명의 특징적인 구성인 투명 전극층을 형성하는 구성을 중심으로 본 발명의 바람직한 실시예를 설명한다.

[0035] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0036] 도 4a 내지 도 4d 는 본 발명의 바람직한 실시예에 따라서 투명 전극층을 형성하는 과정을 구체적으로 설명하는 도면이고, 도 5 는 본 발명의 바람직한 실시예에 따라서 형성된 투명 전극층의 구조와 그 효과를 도시하는 도면이며, 도 6 은 본 발명의 바람직한 실시예에 따라서 형성된 발광 소자의 구조 및 광추출 효과를 설명하는 도면이다.

[0037] 먼저, 본 발명의 발광 소자를 제조하기 위해서 도 1a 에 도시된 바와 같이, 사파이어, SiC, GaN 등의 기판(100)위에 버퍼층(Un-doped GaN;미도시 됨), 제 1 반도체층(N-GaN 층;200), 활성층(300), 제 2 반도체층(P-GaN층;400)을 차례로 형성한다.

[0038] 그 후, 전극을 형성하기 위해서 제 1 반도체층(N-GaN층;200)의 일부분이 드러나도록 제 2 반도체층(P-GaN층;400)부터 아래로 식각을 수행한다. 다만, 전극을 형성하는 과정은 후술하는 투명 전극층이 형성된 이후에 수행되어도 무방함을 주의해야 한다.

[0039] 그 후, 도 4a 에 도시된 바와 같이, 폴리머 비드(polymer bead;900)를 유기 용매에 혼합한 뒤, spin-coating을 통해 제 2 반도체층(400;p-GaN층) 위에 코팅한다. 폴리머 비드(900)의 종류는 폴리스틸렌, LATEX, 실리카 계열을 사용할 수 있으며, 폴리머 비드(900)의 크기는 직경 50nm~2㎛ 까지 임의로 선택 할 수 있다.

[0040] 이 때, 스핀 코팅 속도 (rpm)를 적절히 조절하면 제 2 반도체층(400;p-GaN층) 위에 폴리머 비드(900)가 단일층으로 정렬된 오팔구조를 형성할 수 있다. 이 때, 이용되는 스핀 코팅 속도 (rpm)은 폴리머 비드(900)의 크기에 따라 적절하게 설정이 가능하며, 300nm 직경의 폴리머 비드를 사용하는 경우에는 3000 rpm 이 적합하다.

[0041] 폴리머 비드(900)가 제 2 반도체층(400)에 단일층으로 정렬된 후, 도 4a의 하단에 도시된 바와 같이, 폴리머 비드(900)를 에칭하여 폴리머 비드(900)의 크기를 작게 축소시킨다. 이 때 이용되는 에칭 방식은 폴리머 비드

(900)의 종류에 따라 wet etching, dry etching, RIE ethcing 을 선택한다. 예컨대, 폴리스틸렌 비드(900)를 사용할 경우에는 RIE ethcing 을 사용한다. 이 때, 에칭 수행 시간을 조절하여 에칭되는 폴리스틸렌 비드(900)의 크기를 조절할 수 있다.

[0042] 에칭이 수행되어 폴리머 비드(900)의 크기가 원하는 크기로 축소되면, 도 4b 의 상단에 도시된 바와 같이, 폴리머 비드(900)로 구성된 오팔구조에 투명 전극층 형성 물질을 dip coating, spin coating, electroplating(전기도금) 등의 방법을 사용하여 제 1 서브 투명 전극층(500-1)을 형성한다.

[0043] 그 후, 제 1 서브 투명 전극층(500-1) 내부에 위치하는 폴리머 비드(900)를 제거하여, 도 4b 의 하단에 도시된 바와 같이, 내부에 공극(510-1)이 형성된 반전된 오팔구조의 제 1 서브 투명 전극층(500-1)을 형성한다. 본 발명의 바람직한 실시예에서는 260℃ 이상의 온도에서 버닝(burning) 공정을 수행하여 제 1 서브 투명 전극층(500-1) 내부에 위치하는 폴리머 비드(900)를 제거하여, 도 4b 의 하단에 도시된 바와 같이, 내부에 공극(510-1)이 형성된 반전된 오팔구조의 제 1 서브 투명 전극층(500-1)을 형성한다.

[0044] 내부에 공극을 포함하는 제 1 서브 투명 전극층(500-1)이 형성된 후, 도 4a 에 도시된 과정과 동일한 과정을 수행한다. 즉, 도 4c 에 도시된 바와 같이 내부에 공극(510-1)이 포함된 제 1 서브 투명 전극층(500-1) 위에 유기용매에 혼합된 폴리머 비드 용액을 spin-coating을 통해 제 1 서브 투명 전극층(500-1) 위에 코팅하고, 폴리머 비드(900)가 제 1 서브 투명 전극층(500-1) 위에 정렬된 후, 폴리머 비드(900)를 에칭하여 도 4c의 하단에 도시된 바와 같이, 폴리머 비드(900)의 크기를 작게 축소시킨다. 이 때, 에칭된 후의 폴리머 비드(900)의 크기는 아래에 형성된 제 1 서브 투명 전극층(500-1)에 포함된 공극(510-1)의 크기(이전 단계에서 에칭 후의 폴리머 비드의 크기)보다 커야한다.

[0045] 에칭이 수행되어 폴리머 비드(900)의 크기가 원하는 크기로 축소되면, 도 4d 에 도시된 바와 같이, 제 1 서브 투명 전극층(500-1) 위에 폴리머 비드(900)로 구성된 오팔구조에 투명 전극층 형성 물질을 dip coating, spin coating, electroplating(전기도금) 등의 방법을 사용하여 제 2 서브 투명 전극층(500-2)을 형성하고, burning 공정을 수행하여 제 2 서브 투명 전극층(500-2) 내부에 포함된 폴리머 비드(900)를 제거하여 도 4d 의 하단에 도시된 바와 같이, 제 2 서브 투명 전극층(500-2) 내부에 제 1 서브 투명 전극층(500-1)에 형성된 공극(510-1)보다 더 큰 크기의 공극(510-2)을 형성한다.

[0046] 폴리머 비드(900)를 에칭하는 시간을 점점 감소시키면서(즉, 폴리머 비드의 크기를 점점 크게하면서) 상술한 바와 동일한 공정을 반복적으로 수행하면, 도 5 에 도시된 바와 같이, 투명 전극층(500)에 포함되는 공극의 크기가 상부로 갈수록 점점 증가하는, 다수의 서브 투명 전극층으로 구성되는 투명 전극층(500)이 형성된다.

[0047] 따라서, 투명 전극층(500)에서 상부로 갈수록 투명 전극층 형성 물질의 양이 점차 감소하고 공극(510)의 양이 점차 증가하므로, 도 5 에 도시된 바와 같이, 투명 전극층 전체적으로는 상부로 갈수록 굴절율이 점차 감소됨을 알 수 있다.

[0048] 투명 전극층 내부의 공극량과 굴절률 간의 관계식을 나타내면 다음의 수학식 1 과 같다.

수학식 1

[0049] $$Porosity(\text{공극률}) = \left(1 - \frac{n^2 - 1}{n_0^2 - 1}\right) \times 100\%$$

(n, 박막의 굴절률)

[0050] 수학식 1에서 n_0 는 공기층의 굴절률을 나타내고, n 은 투명 전극층의 굴절율을 나타낸다.

[0051] 상술한 과정을 통해서 투명 전극층(500)을 형성하면, 외부 공기 또는 포스포 물질과 접촉하는 투명 전극층(500)의 상단부는 굴절율이 공기의 굴절율(n=1)과 거의 동일해지므로 도 5 에 도시된 바와 같이, 제 2 반도체층(400)으로부터 투명 전극층(500)으로 유입된 광은 점선과 같이 반사되지 않고 거의 대부분 외부로 방출되어 광추출 효율을 향상시킬 수 있는 효과가 나타난다.

[0052] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0053] 도 1a 및 도 1b 는 종래기술에 따른 발광 소자의 제조 방법을 설명하는 도면이다.

[0054] 도 2 는 종래 기술에 따라서 발생하는 광추출 효율의 문제점을 설명하는 도면이다.

[0055] 도 3 은 다른 종래 기술에 따라서 형성된 투명 전극층을 도시하는 도면이다.

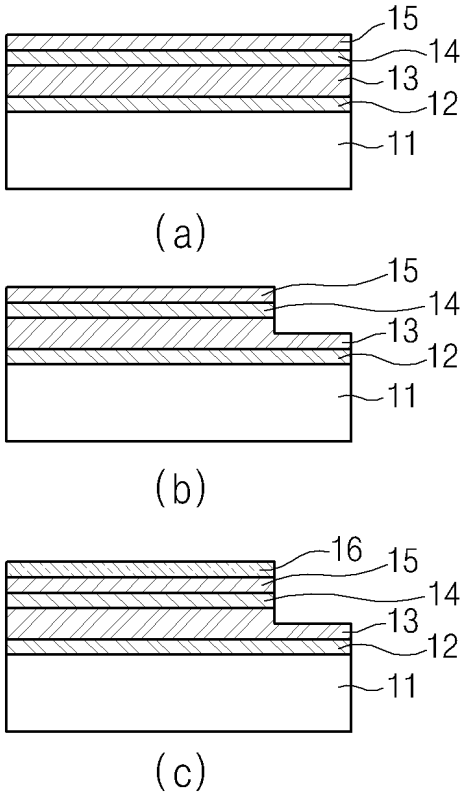
[0056] 도 4a 내지 도 4d 는 본 발명의 바람직한 실시예에 따라서 투명 전극층을 형성하는 과정을 구체적으로 설명하는 도면이다.

[0057] 도 5 는 본 발명의 바람직한 실시예에 따라서 형성된 투명 전극층의 구조와 그 효과를 도시하는 도면이다.

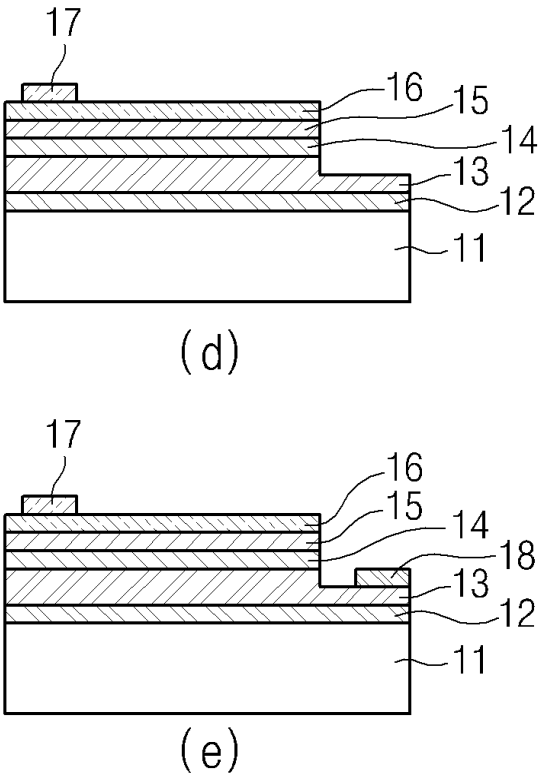
[0058] 도 6 은 본 발명의 바람직한 실시예에 따라서 형성된 발광 소자의 구조 및 광추출 효과를 설명하는 도면이다.

도면

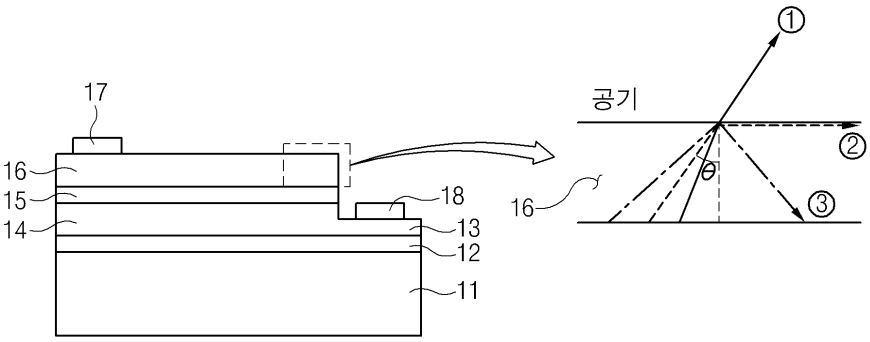
도면1a



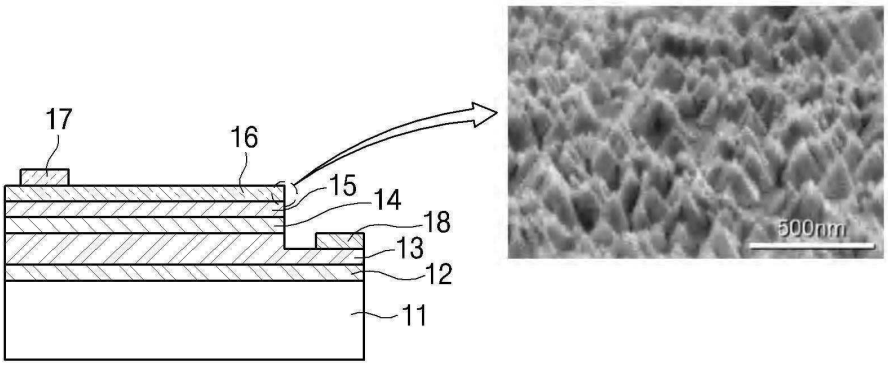
도면1b


17
16
15
14
13
12
11
(d)
17
16
15
14
18
13
12
11
(e)

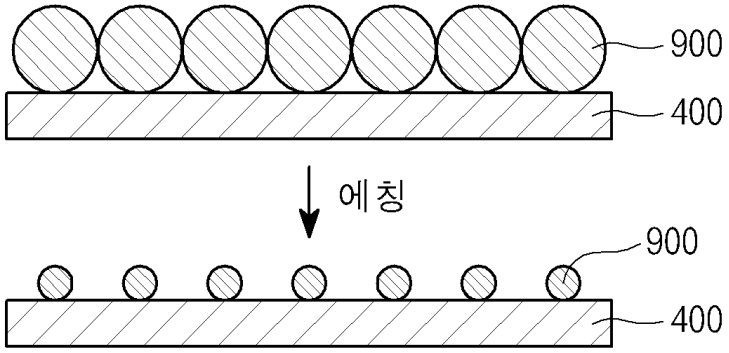
도면2


17
16
15
14
18
13
12
11
16
공기
①
②
③
θ

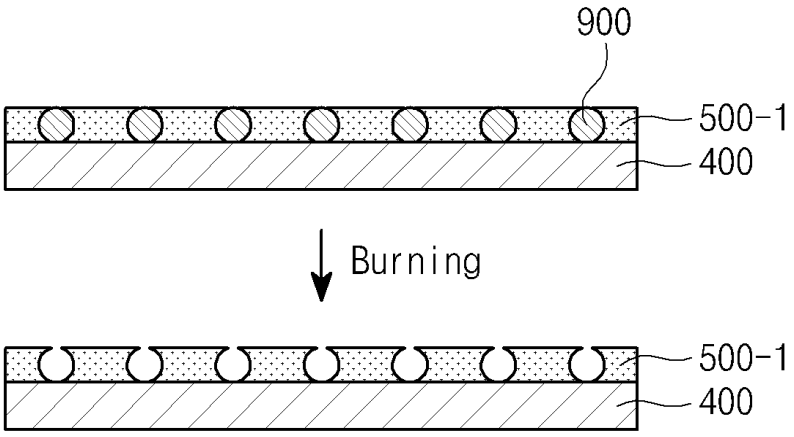
도면3



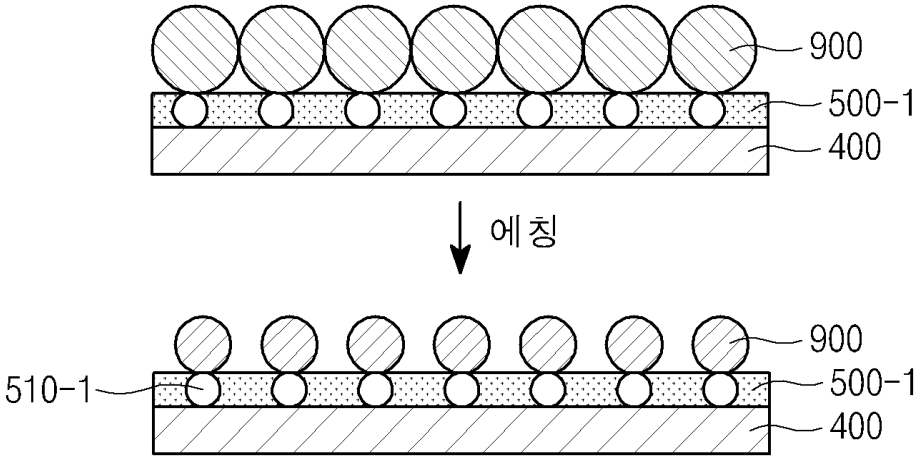
도면4a



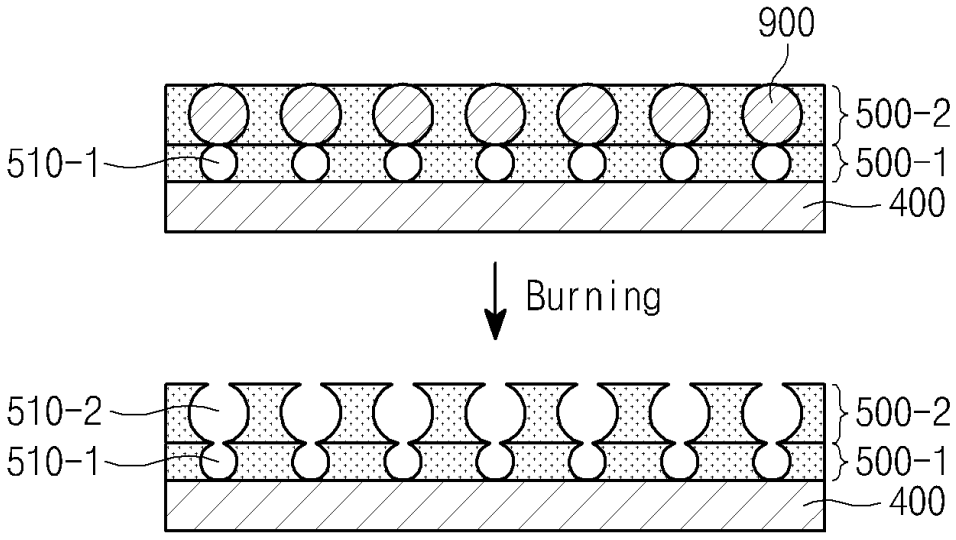
도면4b



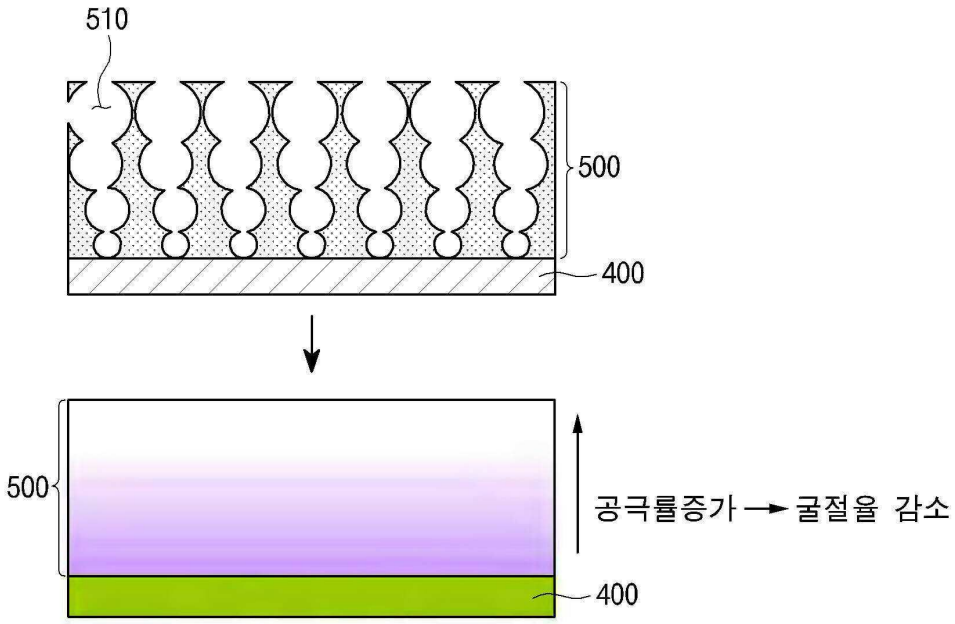
도면4c


900
500-1
400
에칭
900
510-1
500-1
400

도면4d


900
510-1
500-2
500-1
400
Burning
510-2
510-1
500-2
500-1
400

도면5



도면6

