

87年3月6日修正
補充頁

公告本

申請日期	86.06.18
案 號	86108500
類 別	H01L 21/8238

A4
C4

457645

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	"A SEMICONDUCTOR DEVICE HAVING A T-SHAPED FIELD OXIDE LAYER AND A METHOD FOR FABRICATING THE SAME" (日文：半導體裝置とその製造方法)
二、發明 人	姓 名	1. 高堯煥 2. 崔珍赫
	國 籍	均韓國
	住、居所	均韓國京畿道利川市夫鉢邑牙美里山136-1 現代電子產業股份有限公司
三、申請人	姓 名 (名稱)	韓商現代電子產業股份有限公司
	國 籍	韓國
	住、居所 (事務所)	韓國京畿道利川市夫鉢邑牙美里山136-1
	代 表 人 姓 名	鄭東洙

裝

訂

線

457645

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
韓 1996.06.29 96-26534

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

[發明之技術領域]

本發明係有關一種如 SOI (絕緣體上設置矽) 基板上之互補金屬氧化半導體 (CMOS) 電晶體般之具有兩個相鄰的阱之半導體裝置，尤指一種爲了除去閃鎖 (Latch-up) 問題，具有完全絕緣之多數個阱的半導體裝置及其製造方法。

[習用技術之說明]

迄今爲止，爲了製造高速記憶裝置，係使用 SOI 基板。上述 SOI 基板係設置成在矽基板之一定深度整體性形成之掩埋氧化膜及形成於上述掩埋氧化膜上之單晶矽層此一 SOI 構造，在具體實現記憶元件時，藉由掩埋氧化膜層，減少寄生電容，而增加以記憶元件爲首之所有半導體元件之動作速度。

然而，形成於上述 SOI 基板上之電晶體，作爲在矽基板之一定區域形成掩埋氧化膜之構造，由於不具有通常之 MOS 電晶體之電極端子，即接地端子，會誘發寄生雙極效果，而降低上述電晶體之破壞電壓，使得導因於熱電子之元件特性的劣化出現，降低信賴性。

供解決上述問題之習用技術，係如圖 1 所示。如圖所示，係將掩埋氧化膜 11 及單晶矽膜 12 在矽基板 10 之一定區域依序形成，爲了形成晶圓，在單晶矽膜 12 中注入雜質。其次，以熱氧化過程形成供元件分離之場氧化膜 13，而後，爲了防止介由場氧化膜下之上述單晶矽膜 12 的漏電流，在上述單晶矽膜 12 上形成摻雜區域 14。繼之，在上述活性化區域上形成閘氧化膜 15 及閘極用多晶矽膜 16，將其

五、發明說明(2)

圖案化成一定大小，形成閘極之後，將低濃度之雜質作離子注入，形成源-汲區域(圖未示)，之後，在基板之全體構造上蒸鍍氧化膜之後，作全面之蝕刻，在閘極之側壁上形成側壁氧化膜17。

該時，一般上，在摻雜之單晶矽層上形成導因於熱氧化膜過程之場氧化膜時，為了使掩埋氧化膜與上述場氧化膜不至於接觸，係在上述場氧化膜與掩埋氧化膜之間形成以 $100\text{\AA}\sim 1000\text{\AA}$ 之厚度摻雜的矽膜，藉而經由上述矽膜使阱電極之電壓作用於閘下部區域，而抑制閘下部區域之電壓的上昇，藉此改善SOI電晶體之信賴性。

然而，上述般之方法，供將元件間分離之上述場氧化膜，無法完全將阱間分離，因此，導因於N型阱與P型阱之間的寄生雙極效果，會產生相當高的漏電流，即產生閘鎖現象，此現象無法有效地遮斷，是為其缺點。

[發明之解決課題]

本發明係有鑑此等習用之問題點開發而成者，其目的係在提供一種可減少漏電流，可防止元件之閘鎖現象的SOI電晶體，以及其製造方法。

[課題之解決手段]

本發明為了解決上述課題，提供一種半導體裝置，其特徵係在：此半導體裝置包括：半導體基板；形成於上述半導體基板上之絕緣膜；由形成於上述絕緣膜上一定區域的N型阱及P型阱區域所構成之半導體層；及形成於上述半導體層之N型阱與P型阱之間，上部之寬度較下部之寬度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(3)

形成爲較寬，且底面與上述絕緣膜接續之T字形元件分離膜。

本發明又提供一種半導體裝置，其特徵係在：此半導體裝置包括：半導體基板；形成於上述半導體基板上之絕緣膜；由形成於上述絕緣膜上一定區域的N型阱及P型阱區域所構成之半導體層；及垂直形成於上述半導體層之N型阱與P型阱區域之間，又形成於上述絕緣膜上之第一元件分離膜；及水平形成於上述半導體層之N型阱與P型阱區域之間，形成爲上述第一元件分離膜及T字形元件分離膜之第二元件分離膜。

另，本發明又提供一種半導體裝置之製造方法，係具有多數個阱之半導體裝置之製造方法；其特徵係在：此裝置方法包括：一在矽基板上依序疊層掩埋氧化膜及矽層之步驟；一在上述矽層上形成多數個阱之步驟；一在上述矽層上形成氮化膜之步驟；一將上述阱之境界面上的氮化膜選擇性地蝕刻，而形成第一開口之步驟；一形成將上述第一開口的一部份露出之光阻圖案之步驟；一將上述光阻圖案作爲蝕刻防止膜，將上述矽層蝕刻，使上述掩埋氧化膜露出，形成較上述第一開口爲小之第二開口之步驟；一將上述光阻圖案除去之步驟；及一形成上述第一開口及第二開口之一定部份與上述掩埋氧化膜相接的元件分離膜；步驟。

[發明之實施形態]

以下，茲佐以圖2A~圖2C，就有關本發明之實施形態說

五、發明說明 (4)

明之，又，各實施形態間共通的部份，部位，係標示相同之符號，至於其說明在此省略。

如圖2A所示，在矽基板20之一定區域上，以任意之方法形成掩埋氧化膜21及非摻雜單晶矽層22，在全體構造上形成墊氧化膜23及氮化膜24，將形成場氧化膜之部份的氮化膜24選擇性地蝕刻除去。

而後，如圖2B所示，以上述N型阱與P型阱之接合區域的境界面上之墊氧化膜23的一定部位露出之方式形成光阻25圖案，將上述光阻圖案25作為蝕刻防止膜，將單晶矽層22選擇性地蝕刻。

最後，如圖2C所示，在將上述光阻圖案25除去之後，以矽局部氧化過程般之熱氧化膜過程，形成場氧化膜26。此時，上述單晶矽蝕刻過程所產生之矽的損傷，係藉供形成矽氧化膜之熱氧化過程補償。其次，以高能在場氧化膜26上作雜質之離子注入，形成摻雜區域27，以防止通過場氧化膜下之單晶矽薄膜的漏電流。

是以，如上所述，藉由將上述場氧化膜26形成為與掩埋氧化膜22相接，以將相鄰阱間完全分離，可除去阱間之寄生雙極現象，防止導因於元件間之不完全電氣隔離所造成的閉鎖現象。

以下，茲佐以圖3A~3C將本發明之其他實施例詳細說明之。

首先，如圖3A所示，在矽基板30之一定區域上，形成掩埋氧化膜31及非摻雜單晶矽層32，然後再實施離子注入過

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

程，在單晶矽層32中形成多數之阱。在全體構造上依序形成墊氧化膜33及氮化膜34之後，將上述阱之境界區域上的氮化膜34作選擇性蝕刻。

其次，如圖3B所示，經由LOCOS過程般之熱氧化過程，形成場氧化膜35，在上述場氧化膜35中將雜質作離子注入，形成摻雜區域36，用以防止介由場氧化膜下之單晶矽薄膜的漏電流，而後，將上述場氧化膜35及單晶矽層32之一定區域蝕刻。

繼之，如圖3C所示，爲了補償在上述單晶矽蝕刻過程所產生的損傷區域，係形成氧化膜37，而在場氧化膜經蝕刻除去之區域內，充填矽氧化膜或氮化膜38，完全遮斷阱間之電通路，防止閃鎖問題。

[發明效果]

如上所述之本發明，可發揮減少漏電流，防止閃鎖現象之效果。

本發明不受上述實施例及圖面之限制，在不脫離本發明技術思想之範疇內，當可作各種之置換及變更。

[圖面之簡單說明]

圖1係具有形成於SOI基板之相鄰的P型阱及N型阱之半導體裝置，利用習用技術進行元件分離膜形成過程之斷面圖。

圖2A~2C係具有形成於SOI基板之相鄰的P型阱及N型阱之半導體裝置，利用本發明之一實施例進行元件分離膜形成過程之斷面圖。

五、發明說明(6)

圖3A~3C係具有形成於SOI基板之相鄰的P型阱及N型阱之半導體裝置，利用本發明之又一實施例進行元件分離膜形成過程之斷面圖。

[符號之說明]

- 20：半導體基板
- 21：掩埋氧化膜
- 22：單晶矽層
- 23：墊氧化膜
- 24：氮化膜
- 25：光阻圖案
- 26：場氧化膜
- 27：摻雜區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置及其製造方法)

本發明係有關一種如 SOI (絕緣體上設置矽) 基板上之互補金屬氧化半導體(CMOS) 電晶體般之具有兩個相鄰的阱之半導體裝置，尤指一種爲了除去閃鎖(Latch-up)問題，具有完全絕緣之多數個阱的半導體裝置，及其製造方法。根據本發明，可獲得防止半導體元件之閃鎖現象的效果。

英文發明摘要(發明之名稱： "A SEMICONDUCTOR DEVICE HAVING A T-SHAPED FIELD OXIDE LAYER AND A METHOD FOR FABRICATING THE SAME"

日 文：半導体装置とその製造方法

本發明はSOI(Silicon On Insulator)基板上的シモース(CMOS)トランジスタのように二つの隣接なウェルを持つ半導体装置に関するもので、特にラッチアップ(Latch-up)問題を除去するために完全に絶縁された多数のウェルを持つ半導体装置とその方法に関するものであり、漏洩電流を減少させて半導体素子のラッチアップ現状を防止できるという効果を奏する。

六、申請專利範圍

1. 一種半導體裝置，其特徵係在：

此半導體裝置包括：

半導體基板；

形成於上述半導體基板上之絕緣膜，其中該絕緣膜為氧化膜所構成者；

由形成於上述絕緣膜上一定區域的N型阱及P型阱區域所構成之半導體層；

形成於上述半導體層之N型阱與P型阱之間，上部之寬度較下部之寬度形成為較寬，且底面與上述絕緣膜接續之T字形元件分離膜；及

於與上述絕緣膜不相接之元件分離膜和上述絕緣膜之間之雜質注入層。

2. 根據申請專利範圍第1項之半導體裝置，其中該半導體層係單晶矽層者。

3. 一種半導體裝置，其特徵係在：

此半導體裝置包括：

半導體基板；

形成於上述半導體基板上之絕緣膜；

由形成於上述絕緣膜上一定區域的N型阱及P型阱區域所構成之半導體層；及

垂直形成於上述半導體層之N型阱與P型阱區域之間，又形成於上述絕緣膜上之第一元件分離膜；

水平形成於上述半導體層之N型阱與P型阱區域之間，形成為上述第一元件分離膜及T字形元件分離膜之

六、申請專利範圍

第二元件分離膜；及

形成於上述第二元件分離膜與絕緣膜之間之雜質的注入層者。

4. 根據申請專利範圍第3項之半導體裝置，其中該第一元件分離膜係氧化膜者。
5. 根據申請專利範圍第3項之半導體裝置，其中該第二元件分離膜係氧化膜或氮化膜者。
6. 根據申請專利範圍第3項之半導體裝置，其中該半導體層係單晶矽層者。
7. 一種半導體裝置之製造方法，係具有多數個阱之半導體裝置之製造方法；其特徵係在：

此裝置方法包括：

- 一在矽基板上依序疊層掩埋氧化膜及矽層之步驟；
- 一在上述矽層上形成多數個阱之步驟；
- 一在上述矽層上形成氮化膜之步驟；
- 一將上述阱之境界面上的氮化膜選擇性地蝕刻，而形成第一開口之步驟；
- 一形成將上述第一開口的一部份露出之光阻圖案之步驟；
- 一將上述光阻圖案作為蝕刻防止膜，將上述矽層蝕刻，使上述掩埋氧化膜露出，形成較上述第一開口為小之第二開口之步驟；
- 一將上述光阻圖案除去之步驟；
- 一形成上述第一開口及第二開口之一定部份與上述掩

六、申請專利範圍

埋氧化膜相接的元件分離膜之步驟；及

在上述元件分離膜與掩埋氧化膜之間形成雜質之注入區域之步驟。

8. 根據申請專利範圍第7項之半導體裝置之製造方法，其中該矽層係單晶矽層者。
9. 根據申請專利範圍第7項之半導體裝置之製造方法，其中該雜質注入區域之形成步驟，係對上述元件分離膜下部之矽層，實施離子注入者。
10. 根據申請專利範圍第7項之半導體裝置之製造方法，其進而又包含在上述矽層上，形成墊氧化膜之步驟。
11. 一種半導體裝置之製造方法，係具有多數個阱之半導體裝置之製造方法；其特徵係在：

此裝置方法包括：

- 一在矽基板上依序疊層掩埋氧化膜及矽層之步驟；
- 一在上述矽層上形成多數個阱之步驟；
- 一在上述矽層上形成氮化膜之步驟；
- 一將上述阱之境界面上的氮化膜選擇性地蝕刻，而形成第一開口之步驟；
- 一在上述第一開口中形成元件分離膜之步驟；
- 一在上述元件分離膜與掩埋氧化膜之間形成雜質之注入區域之步驟者；
- 一將上述元件分離膜之一定區域及上述矽層蝕刻，形成第二開口，將上述掩埋氧化膜之一定部份露出之步驟；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一 在上述第二開口內形成絕緣膜之步驟。

12. 根據申請專利範圍第11項之半導體裝置之製造方法，其中該於第二開口內形成絕緣膜的步驟，進而又包含在上述阱之露出側面，形成氧化膜之步驟者。
13. 根據申請專利範圍第11項之半導體裝置之製造方法，其中於上述第二開口內形成之絕緣膜，係氮化膜及矽氧化膜中之任一者者。
14. 根據申請專利範圍第11項之半導體裝置之製造方法，其中該矽層係單晶矽層者。
15. 根據申請專利範圍第11項之半導體裝置之製造方法，其進而又包含在上述矽層上，形成墊氧化膜之步驟。
16. 根據申請專利範圍第11項之半導體裝置之製造方法，其中該雜質注入區域之形成步驟，係對上述元件分離膜下部之矽層，實施離子注入者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖 1

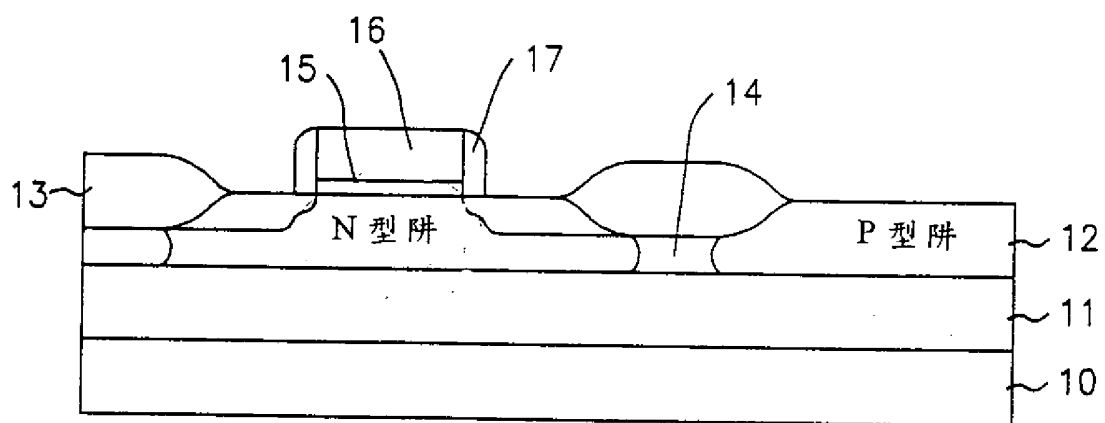


圖 2A

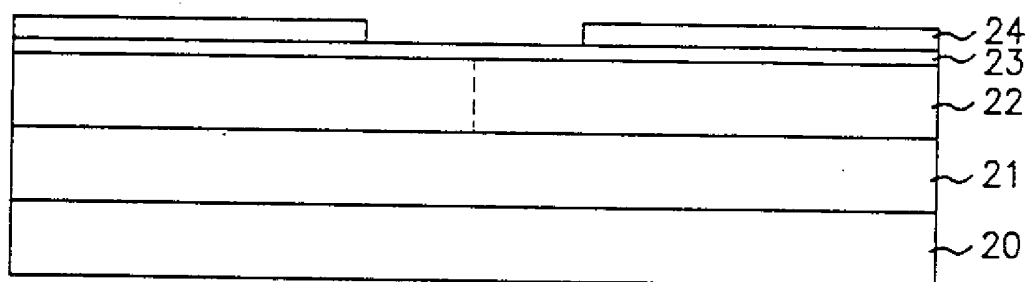


圖 2B

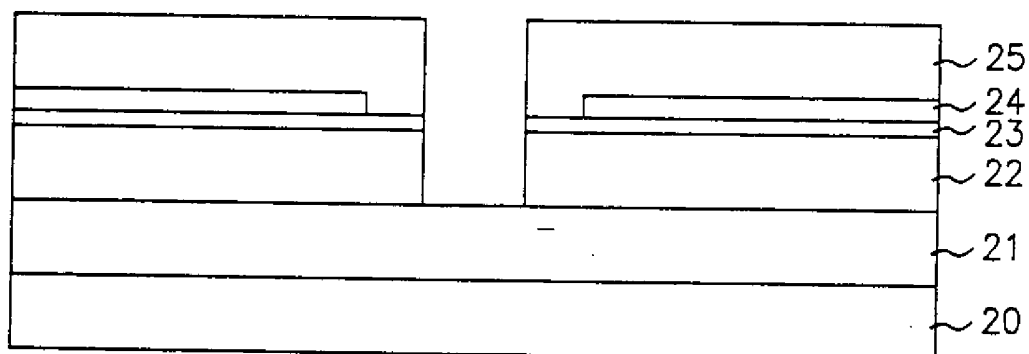


圖 2C

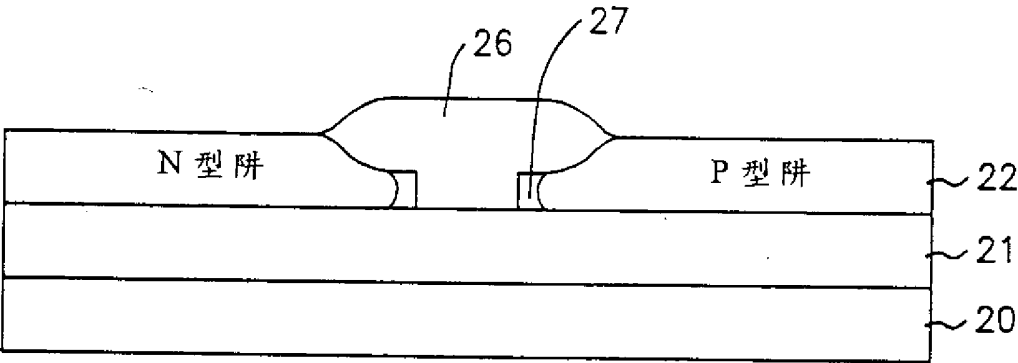


圖 3A

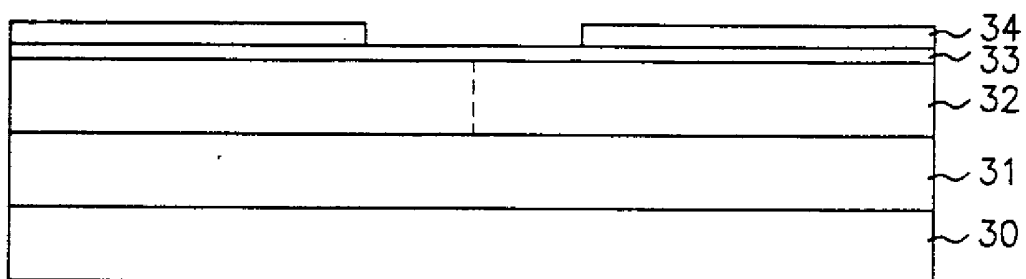


圖 3B

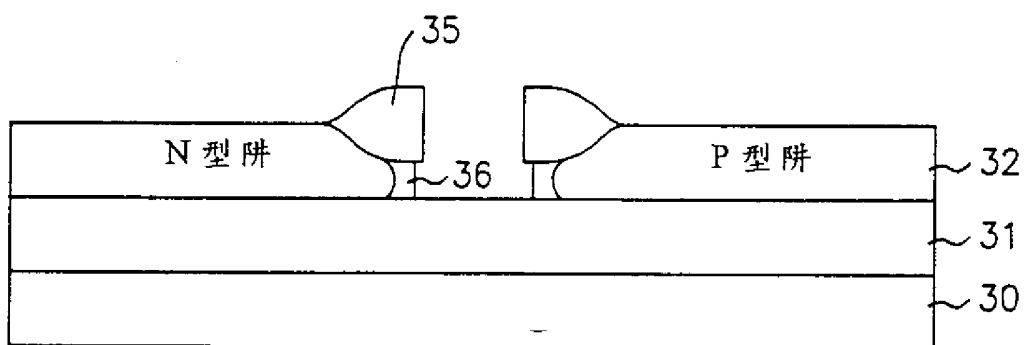
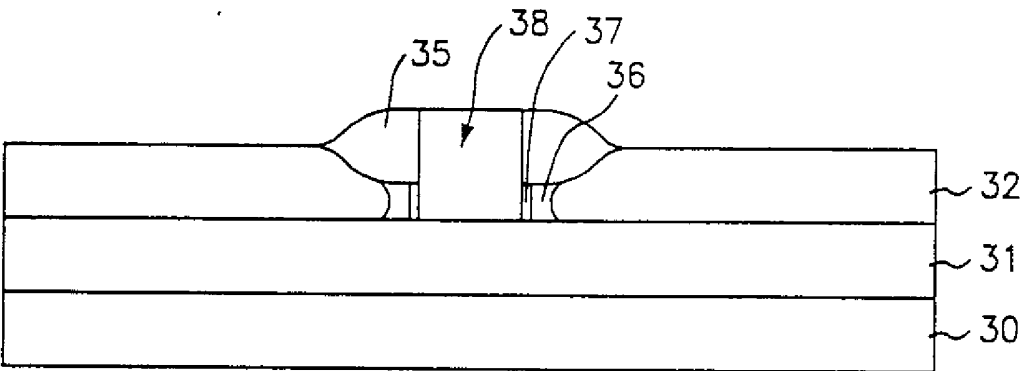


圖 3C



87年3月6日修正頁
補充

公告本

申請日期	86.06.18
案 號	86108500
類 別	H01L 21/8238

A4
C4

457645

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	"A SEMICONDUCTOR DEVICE HAVING A T-SHAPED FIELD OXIDE LAYER AND A METHOD FOR FABRICATING THE SAME" (日文：半導體裝置とその製造方法)
二、發明 創作人	姓 名	1. 高堯煥 2. 崔珍赫
	國 籍	均韓國
	住、居所	均韓國京畿道利川市夫鉢邑牙美里山136-1 現代電子產業股份有限公司
三、申請人	姓 名 (名稱)	韓商現代電子產業股份有限公司
	國 籍	韓國
	住、居所 (事務所)	韓國京畿道利川市夫鉢邑牙美里山136-1
	代 表 人 姓 名	鄭東洙

裝

訂

線

五、發明說明 (5)

程，在單晶矽層32中形成多數之阱。在全體構造上依序形成墊氧化膜33及氮化膜34之後，將上述阱之境界區域上的氮化膜34作選擇性蝕刻。

其次，如圖3B所示，經由LOCOS過程般之熱氧化過程，形成場氧化膜35，在上述場氧化膜35中將雜質作離子注入，形成摻雜區域36，用以防止介由場氧化膜下之單晶矽薄膜的漏電流，而後，將上述場氧化膜35及單晶矽層32之一定區域蝕刻。

繼之，如圖3C所示，爲了補償在上述單晶矽蝕刻過程所產生的損傷區域，係形成氧化膜37，而在場氧化膜經蝕刻除去之區域內，充填矽氧化膜或氮化膜38，完全遮斷阱間之電通路，防止閃鎖問題。

[發明效果]

如上所述之本發明，可發揮減少漏電流，防止閃鎖現象之效果。

本發明不受上述實施例及圖面之限制，在不脫離本發明技術思想之範疇內，當可作各種之置換及變更。

[圖面之簡單說明]

圖1係具有形成於SOI基板之相鄰的P型阱及N型阱之半導體裝置，利用習用技術進行元件分離膜形成過程之斷面圖。

圖2A~2C係具有形成於SOI基板之相鄰的P型阱及N型阱之半導體裝置，利用本發明之一實施例進行元件分離膜形成過程之斷面圖。

六、申請專利範圍

1. 一種半導體裝置，其特徵係在：

此半導體裝置包括：

半導體基板；

形成於上述半導體基板上之絕緣膜，其中該絕緣膜為氧化膜所構成者；

由形成於上述絕緣膜上一定區域的N型阱及P型阱區域所構成之半導體層；

形成於上述半導體層之N型阱與P型阱之間，上部之寬度較下部之寬度形成為較寬，且底面與上述絕緣膜接續之T字形元件分離膜；及

於與上述絕緣膜不相接之元件分離膜和上述絕緣膜之間之雜質注入層。

2. 根據申請專利範圍第1項之半導體裝置，其中該半導體層係單晶矽層者。

3. 一種半導體裝置，其特徵係在：

此半導體裝置包括：

半導體基板；

形成於上述半導體基板上之絕緣膜；

由形成於上述絕緣膜上一定區域的N型阱及P型阱區域所構成之半導體層；及

垂直形成於上述半導體層之N型阱與P型阱區域之間，又形成於上述絕緣膜上之第一元件分離膜；

水平形成於上述半導體層之N型阱與P型阱區域之間，形成為上述第一元件分離膜及T字形元件分離膜之