

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)



(10) 国際公開番号

WO 2022/209231 A1

(51) 国際特許分類:

H01L 31/10 (2006.01) **H04N 5/369** (2011.01)
H01L 27/146 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/003005

(22) 国際出願日: 2022年1月27日(27.01.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-062419 2021年3月31日(31.03.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

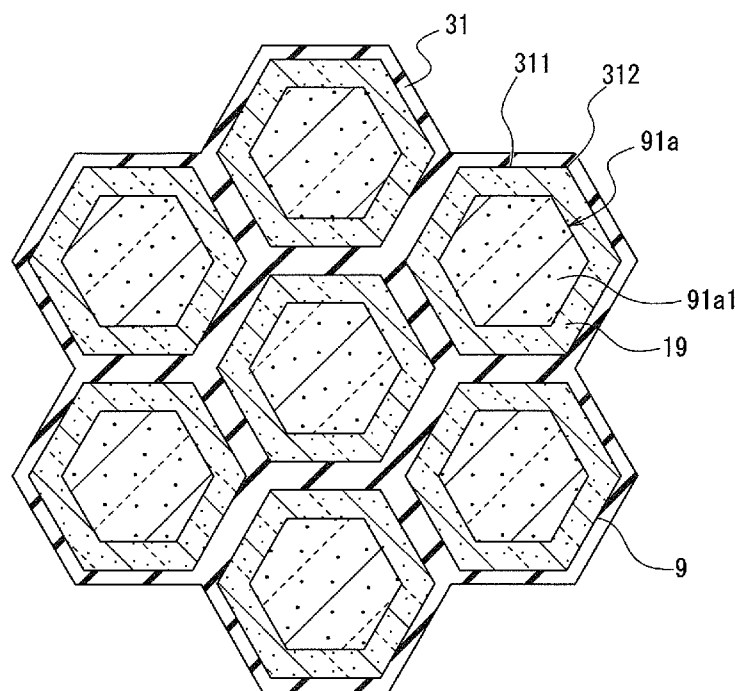
(72) 発明者: 中澤 圭一 (NAKAZAWA Keiichi);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: LIGHT RECEIVING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 受光素子及び電子機器



(57) Abstract: Provided is a light receiving element capable of suppressing a reduction of a photodiode region of a pixel. The light receiving element is provided with a pixel array wherein a plurality of pixels capable of generating electric signals in response to incident light from the outside are arrayed. Each of the plurality of pixels is provided with a photoelectric conversion region of a first conductivity type that performs photoelectric conversion of incident light, a pixel separation part that insulates and separates adjacent pixels from one another, and a pinning region of a second conductivity type

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

formed between the photoelectric conversion region and a side wall of the pixel separation part. As seen in a plan view, the plurality of pixels are arrayed in a honeycomb structure wherein corner parts where a plurality of sides intersect form obtuse angles.

(57) 要約: 画素のフォトダイオード領域の減少を抑えることができる受光素子を提供する。受光素子は、外部から入射した光に応じて電気信号を生成可能な複数の画素がアレイ状に配置された画素アレイ部を備える。複数の画素のそれぞれは、入射した光を光電変換する第1導電型の光電変換領域と、画素の外縁形状を規定し、隣接する画素間を絶縁して分離する画素間分離部と、光電変換領域と画素間分離部の側壁との間に形成される第2導電型のピニング領域とを備える。複数の画素は、平面視において、複数の辺が交わる角部が鈍角となるハニカム構造をなすようにアレイ状に配置される。

明 細 書

発明の名称： 受光素子及び電子機器

技術分野

[0001] 本開示は、受光素子、及び受光素子を備えた電子機器に関する。

背景技術

[0002] 撮像素子であるＣＩＳ（CMOS Image Sensor）は、高解像度の画像の取得を実現するため、半導体素子の高密度化・微細化技術により、単位面積当たりの画素数（画素密度）を増加させる傾向がある。微細化を実現するための技術の１つとして、１画素当たりのサイズが小さくなっても、画素間をトレンチで完全分離することで、フォトダイオードの飽和容量を上げる技術が用いられている。ＣＩＳは、各画素を構成するフォトダイオードがアレイ状に配置された画素アレイを備える。

[0003] 一般に、画素アレイは、平面視で矩形形状の画素が縦横に配置されて構成される。一方で、特許文献１に開示されるように、六角形の画素が配置された画素アレイも提案されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２００６－２９８３９号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、画素間をトレンチで完全分離する方法であっても、トレンチ側面はピニングを取る必要があるため、ｐ型にする必要がある。一方で、画素が正方形であるために、コーナー部分が直角となり、分離部分からｐ型半導体領域を形成する際には、コーナー部分でホウ素（Ｂｏｒｏｎ）の侵入や電界のかかり方が丸くなる。特に、微細画素では、ホウ素（Ｂｏｒｏｎ）の侵入や電界のかかり方が丸くなることにより、フォトダイオード領域が小さくなる。特許文献１には、六角形の画素が開示されているが、十分なフォトダ

イオード領域の形成について、何ら考慮されていなかった。

[0006] 本開示はこのような事情に鑑みてなされたもので、画素のフォトダイオード領域の減少を抑えることができる受光素子及び電子機器を提供することを目的とする。

課題を解決するための手段

[0007] 本開示の一態様は、外部から入射した光に応じて電気信号を生成可能な複数の画素がアレイ状に配置された画素アレイ部を備え、前記複数の画素のそれぞれは、入射した前記光を光電変換する第1導電型の光電変換領域と、前記画素の外縁形状を規定し、隣接する前記画素の間を絶縁して分離する画素間分離部と、前記光電変換領域と前記画素間分離部の側壁との間に形成される、前記第1導電型とは逆の第2導電型のピニング領域とを備え、前記複数の画素は、平面視において、複数の辺が交わる角部が鈍角となるハニカム構造をなすようにアレイ状に配置される、受光素子である。

[0008] 本開示の他の態様は、外部から入射した光に応じて電気信号を生成可能な複数の画素がアレイ状に配置された画素アレイ部を備え、前記複数の画素のそれぞれは、入射した前記光を光電変換する第1導電型の光電変換領域と、前記画素の外縁形状を規定し、隣接する前記画素の間を絶縁して分離する画素間分離部と、前記光電変換領域と前記画素間分離部の側壁との間に形成される、前記第1導電型とは逆の第2導電型のピニング領域とを備え、前記複数の画素は、平面視において、複数の辺が交わる角部が鈍角となるハニカム構造をなすようにアレイ状に配置される、受光素子を備えた電子機器である。

図面の簡単な説明

[0009] [図1]本技術の第1の実施形態に係る固体撮像装置の全体を示す概略構成図である。

[図2]第1の実施形態に係る画素の等価回路を示す図である。

[図3]図1の画素を通る一点鎖線A-A'を垂直方向に切断した画素の断面図である。

[図4]第1の実施形態の比較例における画素アレイ部の一例を示す平面図である。

[図5]第1の実施形態における画素アレイ部に対する画素の配列の一例を示す平面図である。

[図6]本第1の実施形態と比較例とを比較した場合の一例を示す図である。

[図7]第1の実施形態に係る画素を形成するためのプロセスフロー（その1）を示す図である。

[図8]第1の実施形態に係る画素を形成するためのプロセスフロー（その2）を示す図である。

[図9]第1の実施形態に係る画素を形成するためのプロセスフロー（その3）を示す図である。

[図10]第1の実施形態に係る画素を形成するためのプロセスフロー（その4）を示す図である。

[図11]第1の実施形態の変形例の比較例における画素ごとにオンチップレンズを配置する一例を示す平面図である。

[図12]第1の実施形態の変形例における画素ごとにオンチップレンズを配置する一例を示す平面図である。

[図13]本技術の第2の実施形態に係る固体撮像装置において、画素アレイ部に配列した画素の一例を示す平面図である。

[図14]第2の実施形態において、図1の一点鎖線A-A'を垂直方向に切断した画素の断面図である。

[図15]第2の実施形態の変形例において、画素アレイ部に配列した画素の一例を示す平面図である。

[図16]本技術の第3の実施形態に係る固体撮像装置において、画素アレイ部に配列した画素の一例を示す平面図である。

[図17]第3の実施形態において、図1の一点鎖線A-A'を垂直方向に切断した画素の断面図である。

[図18]第3の実施形態の第1の変形例において、画素アレイ部に配列した画

素の一例を示す平面図である。

[図19]第3の実施形態の第2の変形例において、画素アレイ部に配列した画素の一例を示す平面図である。

[図20]第3の実施形態の第3の変形例において、画素アレイ部に配列した画素の一例を示す平面図である。

[図21]本技術を適用した電子機器としての撮像装置の一実施形態の構成例を示すブロック図である。

発明を実施するための形態

[0010] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものと異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0011] 本明細書において、「第1導電型」はp型又はn型の一方であり、「第2導電型」はp型又はn型のうちの「第1導電型」とは異なる一方を意味する。また、「n」や「p」に付す「+」や「-」は、「+」及び「-」が付記されていない半導体領域に比して、それぞれ相対的に不純物密度が高い又は低い半導体領域であることを意味する。但し、同じ「n」と「n」とが付された半導体領域であっても、それぞれの半導体領域の不純物密度が厳密に同じであることを意味するものではない。

[0012] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

なお、本明細書中に記載される効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0013] <第1の実施形態>

本開示では、各画素が、平面視で（又は画素の開口面（主面）に平行な面において）、正六角形形状の外縁形状を有するように構成された、アレイ型の受光素子が説明される。とりわけ、本実施形態では、画素の外縁形状が正六角形形状である例が説明される。なお、本開示において、「外縁形状」とは、平面視での物体の外縁の幾何学的形状をいい、文脈上、その意味であることが明らかなときは、「平面視」といった語が省略されることがある。

[0014] （固体撮像装置の全体構成）

本技術の第1の実施形態に係る受光素子としての固体撮像装置1について説明する。図1は、本技術の第1の実施形態に係る固体撮像装置1の全体を示す概略構成図である。

[0015] 図1の固体撮像装置1は、裏面照射型のCMOS（Complementary Metal Oxide Semiconductor）イメージセンサである。固体撮像装置1は、光学レンズを介して被写体からの像光を取り込み、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0016] 図1に示すように、第1の実施形態の固体撮像装置1は、基板2と、画素アレイ部3と、垂直駆動回路4と、カラム信号処理回路5と、水平駆動回路6と、出力回路7と、制御回路8とを備えている。

画素アレイ部3は、基板2上に、2次元アレイ状に規則的に配列された複数の画素9を有している。画素アレイ部3における各画素9は、平面視で、正六角形形状を有し、ハニカム構造をなすようにアレイ状に配置される。

[0017] 垂直駆動回路4は、例えば、シフトレジスタによって構成され、所望の画素駆動配線10を選択し、選択した画素駆動配線10に画素9を駆動するためのパルスを供給し、各画素9を行単位で駆動する。即ち、垂直駆動回路4は、画素アレイ部3の各画素9を行単位で順次垂直方向に選択走査し、各画素9の光電変換部において受光量に応じて生成した信号電荷に基づく画素信号を、垂直信号線11を通してカラム信号処理回路5に供給する。

[0018] カラム信号処理回路5は、例えば、画素9の列毎に配置されており、1行

分の画素9から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路5は画素固有の固定パターンノイズを除去するためのCDS(Correlated Double Sampling: 相関2重サンプリング)及びAD(Analog Digital)変換等の信号処理を行う。

[0019] 水平駆動回路6は、例えば、シフトレジスタによって構成され、水平走査パルスのカラム信号処理回路5に順次出して、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から、信号処理が行われた画素信号を水平信号線12に出力させる。

出力回路7は、カラム信号処理回路5の各々から水平信号線12を通して、順次に供給される画素信号に対し信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0020] 制御回路8は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、生成したクロック信号や制御信号を、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等に出力する。

[0021] (画素の等価回路)

図2は、画素9の等価回路を示す。

画素9は、フォトダイオード(PD)91a、転送トランジスタ(TG)91b、浮遊拡散(フローティング・ディフュージョン(FD))部91c、変換効率調整トランジスタ(FDG)91d、増幅トランジスタ(AMP)91e、選択トランジスタ(SEL)91f、リセットトランジスタ(RST)91gを含む。転送トランジスタ91b、変換効率調整トランジスタ91d、増幅トランジスタ91e、選択トランジスタ91f、リセットトランジスタ91gは、例えばMOSトランジスタで構成されている。

[0022] フォトダイオード91aは、入射光を光電変換する光電変換部を構成する。フォトダイオード91aのアノードは接地されている。フォトダイオード

91aのカソードには、転送トランジスタ91bのソースが接続されている。

転送トランジスタ91bのドレインは、FD部91cに接続される。転送トランジスタ91bは、ゲートに印加される転送信号に基づき、フォトダイオード91aからの信号電荷をFD部91cに転送する。

[0023] FD部91cは、フォトダイオード91aから転送トランジスタ91bを介して転送された信号電荷を蓄積する。FD部91cに蓄積された信号電荷量に応じて、FD部91cの電位は変調される。

FD部91cには、変換効率調整トランジスタ91dのソースが接続されている。変換効率調整トランジスタ91dのドレインは、リセットトランジスタ91gのソースに接続されている。変換効率調整トランジスタ91dは、ゲートに印加される変換効率調整信号に応じて、信号電荷の変換効率を調整する。

[0024] FD部91cには、増幅トランジスタ91eのゲートが接続されている。増幅トランジスタ91eのドレインには、選択トランジスタ91fのソースが接続されている。増幅トランジスタ91eのソースには、電源電位(VDD)が印加される。増幅トランジスタ91eは、FD部91cの電位を増幅する。

[0025] リセットトランジスタ91gのドレインには、電源電位(VDD)が印加される。リセットトランジスタ91gは、ゲートに印加されるリセット信号に基づき、FD部91cに蓄積されていた信号電荷を初期化(リセット)する。

選択トランジスタ91fのドレインは、垂直信号線11に接続されている。選択トランジスタ91fは、ゲートに印加される選択信号に基づき、画素9を選択する。画素9が選択された場合、増幅トランジスタ91eにより増幅された電位に応じた画素信号が垂直信号線11を介して出力される。

[0026] (画素の断面構造)

図3は、図1の画素9を通る一点鎖線A-A'を垂直方向に切断した画素

9の断面図を示している。

以下、固体撮像装置1の各部材の光入射面側（図3の下側）の面を「裏面」と呼び、固体撮像装置1の各部材の光入射面側とは反対側（図3の上側）の面を「表面」と呼ぶ。

[0027] 図3に示すように、基板2の裏面側に、カラーフィルタ17及びオンチップレンズ18がこの順に積層される。さらに、基板2の表面には、配線層40が積層される。

固体撮像装置1の基板2には、フォトダイオード91aが形成されている。基板2としては、例えば、シリコン（Si）からなる半導体基板を使用できる。フォトダイオード91aは、n型半導体領域91a1と、基板2の表面側に形成されたp型半導体領域91a2とを有している。フォトダイオード91aでは、入射された光の光量に応じた信号電荷が生成され、生成された信号電荷がn型半導体領域91a1に蓄積される。

[0028] また、各画素9は、画素間分離部31によって電氣的に分離されている。画素間分離部31は、図3に示すように、基板2の裏面側から深さ方向に形成される。また、画素間分離部31は、後述するが各画素9を取り囲むように格子状に形成されている。さらに、画素間分離部31には、遮光性能を高くするための絶縁膜が埋め込まれる。

[0029] 画素間分離部31の側壁とn型半導体領域91a1との間には、ホウ素（Boron）を注入したp型半導体領域となるピンング領域19が形成される。暗電流の原因となる電子は、ピンング領域19の多数キャリアである正孔に吸収されることで、暗電流が抑制される。

[0030] オンチップレンズ18は、照射光を集光し、集光した光を、カラーフィルタ17を介して基板2内のフォトダイオード91aに効率良く入射させる。オンチップレンズ18は、光吸収特性を有していない絶縁材料で構成することができる。光吸収特性を有していない絶縁材料としては、酸化シリコン、窒化シリコン、酸窒化シリコン、有機SOG、ポリイミド系樹脂、フッ素系樹脂等が挙げられる。

カラーフィルタ 17 は、各画素 9 に受光させたい光の波長を透過させ、透過させた光を基板 2 内のフォトダイオード 91 a に入射させる。

[0031] 配線層 40 は、基板 2 の表面側に形成されており、画素トランジスタとしての転送トランジスタ 91 b、浮遊拡散部 91 c、変換効率調整トランジスタ 91 d、増幅トランジスタ 91 e、選択トランジスタ 91 f、リセットトランジスタ 91 g 及び配線を含んで構成されている。なお、図 3 の例では、転送トランジスタ 91 b、浮遊拡散部 91 c、増幅トランジスタ 91 e を代表して図示する。

[0032] 以上の構成を有する固体撮像装置 1 では、基板 2 の裏面側から光が照射され、照射された光がオンチップレンズ 18 及びカラーフィルタ 17 を透過し、透過した光がフォトダイオード 91 a で光電変換されることで、信号電荷が生成される。そして、生成された信号電荷が、配線層 40 内に形成された画素トランジスタを介して、配線で形成された図 1 に示した垂直信号線 11 で画素信号として出力される。

[0033] <実施形態の比較例>

図 4 は、比較例における画素アレイ部 B3 の一例を示す平面図である。図 4 に示すように、複数の画素 B9 が行方向及び列方向に等ピッチで配列されている。複数の画素 B9 の間は、画素間分離部 B31 により電氣的に分離されている。画素間分離部 B31 は、各画素 B9 を取り囲むように格子状に形成されている。

[0034] 画素 B9 には、中央位置にフォトダイオード B91 a の n 型半導体領域 B91 a1 が形成される。画素間分離部 B31 と n 型半導体領域 B91 a1 との間には、p 型半導体領域となるピニング領域 B19 が形成される。

比較例では、画素 B9 が正方形であるために、画素間分離部 B31 の辺 B311 が交わるコーナー部 B312 が直角であり、画素間分離部 B31 からピニング領域 B19 を形成する際には、コーナー部 B312 でホウ素 (Boron) の侵入や電界のかかり方が丸くなる。このため、フォトダイオード B91 a の n 型半導体領域 B91 a1 が小さくなる。

[0035] <第1の実施形態による対策>

本技術の第1の実施形態では、図5に示すように、画素9の外縁形状を、画素間分離部31の辺311が交わるコーナ一部312が鈍角（90度以上）になるように、正六角形形状としている。画素間分離部31は、正六角形形状の各画素9を取り囲むように格子状に形成されている。

[0036] 図6は、本第1の実施形態と比較例とを比較した場合の一例を示す図である。図6（a）は、比較例における複数の画素B9が配列されている状態と、本第1の実施形態における複数の画素9が配列されている状態とを示す。

1つの画素B9は、図6（b）に示すように、その外縁形状が正方形で、4つの辺B311と、4つの辺B311それぞれが交わる4つのコーナ一部B312とから成る。一方、1つの画素9は、図6（b）に示すように、その外縁形状が正六角形で、6つの辺311と、6つの辺311それぞれが交わる6つのコーナ一部312とから成る。

[0037] 図6（c）は、比較例における画素B9の辺B311-1と辺B311-2との間の断面と、本第1の実施形態における画素9の辺311-1と辺311-2との間の断面とを示す。図6（c）において、比較例のn型半導体領域B91a1と、第1の実施形態のn型半導体領域91a1とは、ほぼ等しい。

[0038] 図6（d）は、比較例における画素B9のコーナ一部B312-1とコーナ一部B312-2との間の断面と、本第1の実施形態における画素9のコーナ一部312-1とコーナ一部312-2との間の断面とを示す。図6（d）において、比較例のn型半導体領域B91a1と、第1の実施形態のn型半導体領域91a1は、比較例のn型半導体領域B91a1より広がっている。

従って、画素9の外縁形状を正六角形形状にすることで、コーナ一部312でのp型半導体領域の重なりを小さくでき、n型半導体領域91a1の減少を低減できる。

[0039] （画素の製造方法）

図7乃至図10は、第1の実施形態に係る画素9を形成するためのプロセスフローを示す。

図7(a)に示すように、画素9の外縁形状に沿って、画素間分離部31を形成する。この場合、図7(b)に示すように、隣接する画素9の間に、基板2の裏面側から深さ方向に溝部を形成し、溝部に絶縁膜を埋め込むことにより、画素間分離部31を形成する。

[0040] 次に、図8(a)に示すように、画素間分離部31の側壁にホウ素(Boron)を注入してピニング領域19を形成する。ピニング領域19は、図8(b)に示すように、基板2の裏面側から深さ方向に形成される。

次に、図9(a)に示すように、各画素9にゲート電極21a, 21bを形成する。ゲート電極21a, 21bは、図9(b)に示すように、基板2の表面に形成される。

[0041] 次に、図10(a)に示すように、各画素9に配線から成るコンタクト22を形成する。図10(a)の例では、変換効率調整トランジスタ91d、増幅トランジスタ91e、選択トランジスタ91f、リセットトランジスタ91gを、2行2列の4つの画素9により共有するものとする。また、ゲート電極21a, 21bの上面にも、コンタクト22が形成される。

[0042] コンタクト22は、図10(b)に示すように、基板2の表面に形成される。これらゲート電極21a, 21b及びコンタクト22により、転送トランジスタ91b、増幅トランジスタ91e、リセットトランジスタ91gが形成される。また、転送トランジスタ91bと増幅トランジスタ91eとの間のコンタクト22により、FD部91cが形成される。さらに、転送トランジスタ91bとリセットトランジスタ91gとの間のコンタクト22により、FD部91cが形成される。

[0043] <第1の実施形態による作用効果>

以上のように第1の実施形態によれば、画素9の外縁形状が正六角形形状であるため、画素アレイ部3はハニカム構造を有することができ、これにより、単位面積当たりの画素9の密度を高め、効率的な集光ができるようになる。

る。また、画素9の外縁形状を正六角形形状にすることで、隣接する辺311がなすコーナー部312の角度が鈍角となり、これによりフォトダイオード91aのn型半導体領域91a1の減少を抑えることができる。n型半導体領域91a1の減少を抑えることができるため、特に微細の画素9において信号電荷量(Qs)の向上が期待できる。

[0044] <第1の実施形態の変形例>

第1の実施形態の変形例は、上記オンチップレンズ18の配置について説明する。

[0045] <第1の実施形態の変形例の比較例>

図11は、比較例における画素B9ごとにオンチップレンズB18を配置する一例を示す平面図である。なお、図11において、上記図4と同一部分については同一符号を付して詳細な説明を省略する。

図11に示すように、複数の画素B9が行方向及び列方向に等ピッチで配列されている。画素9ごとにオンチップレンズB18を配置すると、隣接するオンチップレンズB18の間は、光学的に無効となる無効領域BAになる。

[0046] <第1の実施形態の変形例による作用効果>

第1の実施形態の変形例では、画素9の外縁形状が正六角形形状であり、各画素9が配列してハニカム構造をなすことにより、図12に示すように、オンチップレンズ18の無効領域BAを減らすことが可能となる。

[0047] <第2の実施形態>

第2の実施形態は、画素9Aにおいて、フォトダイオード91aのn型半導体領域91a1及びp型半導体領域91a2を画素内分離部により2つに分離するデュアルピクセル構造を有する場合について説明する。

[0048] 図13は、第2の実施形態に係る固体撮像装置1Aにおいて、画素アレイ部3Aに配列した画素9Aの一例を示す平面図である。なお、図13において、上記図5と同一部分には同一符号を付して詳細な説明を省略する。

画素9Aには、画素内分離部としてトレンチ(FFTI)51が形成され

ている。トレンチ51は、金属膜または酸化膜を含むものである。トレンチ51は、画素9Aの中心に位置し、画素9Aの中心から画素間分離部31の辺311に向かって形成される。

[0049] 図14は、図1の一点鎖線A-A'を垂直方向に切断した画素9Aの断面図を示している。なお、図14において、上記図3と同一部分には同一符号を付して詳細な説明を省略する。

トレンチ51は、画素9Aの基板2の表面から裏面側へ形成される。

[0050] <第2の実施形態による作用効果>

以上のように第2の実施形態によれば、上記第1の実施形態と同様の作用効果が得られ、トレンチ51により同色間分離を行っても、フォトダイオード91aのn型半導体領域91a1の減少を抑えることができる。

[0051] <第2の実施形態の変形例>

図15は、第2の実施形態の変形例において、画素アレイ部3Aに配列した画素9Aの一例を示す平面図である。なお、図15において、上記図13と同一部分には同一符号を付して詳細な説明を省略する。

[0052] 画素9Aには、トレンチ(FFTI)52が形成されている。トレンチ52は、金属膜または酸化膜を含むものである。トレンチ52は、画素9Aの中心に位置し、画素9Aの中心から画素間分離部31のコーナー部312に向かって形成される。

[0053] <第3の実施形態>

第3の実施形態は、画素9Bにおいて、フォトダイオード91aのn型半導体領域91a1及びp型半導体領域91a2を画素内分離部により2つに分離するデュアルピクセル構造を有する場合について説明する。

[0054] 図16は、第3の実施形態に係る固体撮像装置1Bにおいて、画素アレイ部3Bに配列した画素9Bの一例を示す平面図である。なお、図16において、上記図13と同一部分には同一符号を付して詳細な説明を省略する。

画素9Bには、画素内分離部としてトレンチ(RDTI)53が形成されている。トレンチ53は、金属膜または酸化膜を含むものである。トレンチ

53は、画素9Bの中心に位置し、画素9Bの中心から画素間分離部31の辺311に向かって形成される。

[0055] 図17は、図1の一点鎖線A-A'を垂直方向に切断した画素9Bの断面図を示している。なお、図17において、上記図3と同一部分には同一符号を付して詳細な説明を省略する。

トレンチ53は、画素9Bの基板2の裏面から表面側へ形成される。

[0056] <第3の実施形態による作用効果>

以上のように第3の実施形態によれば、上記第1の実施形態と同様の作用効果が得られ、トレンチ53により同色間分離を行っても、フォトダイオード91aのn型半導体領域91a1の減少を抑えることができる。

[0057] <第3の実施形態の第1の変形例>

図18は、第3の実施形態の第1の変形例において、画素アレイ部3Bに配列した画素9Bの一例を示す平面図である。なお、図18において、上記図16と同一部分には同一符号を付して詳細な説明を省略する。

[0058] 画素9Bには、トレンチ(RDTI)54が形成されている。トレンチ54は、金属膜または酸化膜を含むものである。トレンチ54は、画素9Bの中心に位置し、画素9Bの中心から画素間分離部31のコーナー部312に向かって形成される。

[0059] <第3の実施形態の第2の変形例>

図19は、第3の実施形態の第2の変形例において、画素アレイ部3Bに配列した画素9Bの一例を示す平面図である。なお、図19において、上記図16と同一部分には同一符号を付して詳細な説明を省略する。

[0060] 画素9Bには、トレンチ(RDTI)551, 552が形成されている。トレンチ551, 552は、金属膜または酸化膜を含むものである。トレンチ551は、画素9Bの画素間分離部31の辺311-1に位置し、辺311-1から画素9Bの中心に向かって形成される。トレンチ552は、画素9Bの画素間分離部31の辺311-2に位置し、辺311-2から画素9Bの中心に向かって形成される。

[0061] <第3の実施形態の第3の変形例>

図20は、第3の実施形態の第3の変形例において、画素アレイ部3Bに配列した画素9Bの一例を示す平面図である。なお、図20において、上記図16と同一部分には同一符号を付して詳細な説明を省略する。

[0062] 画素9Bには、トレンチ(RDT1)561, 562が形成されている。トレンチ561, 562は、金属膜または酸化膜を含むものである。トレンチ561は、画素9Bの画素間分離部31のコーナー部312-1に位置し、コーナー部312-1から画素9Bの中心に向かって形成される。トレンチ562は、画素9Bの画素間分離部31のコーナー部312-2に位置し、コーナー部312-2から画素9Bの中心に向かって形成される。

[0063] <その他の実施形態>

上記のように、本技術は第1から第3の実施形態、第1の実施形態の変形例、第2の実施形態の変形例、第3の実施形態の第1乃至第3の変形例によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。上記の第1から第3の実施形態、第1の実施形態の変形例、第2の実施形態の変形例、第3の実施形態の第1乃至第3の変形例が開示する技術内容の趣旨を理解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本技術に含まれ得ることが明らかとなる。また、第1から第3の実施形態、第1の実施形態の変形例、第2の実施形態の変形例、第3の実施形態の第1乃至第3の変形例がそれぞれ開示する構成を、矛盾の生じない範囲で適宜組み合わせることができる。例えば、複数の異なる実施形態がそれぞれ開示する構成を組み合わせてもよく、同一の実施形態の複数の異なる変形例がそれぞれ開示する構成を組み合わせてもよい。

[0064] <電子機器への応用例>

図21は、本技術を適用した電子機器としての撮像装置の一実施形態の構成例を示すブロック図である。

図21の撮像装置1000は、ビデオカメラやデジタルスチルカメラ等である。撮像装置1000は、レンズ群1001、固体撮像素子1002、D

S P回路1003、フレームメモリ1004、表示部1005、記録部1006、操作部1007、および電源部1008からなる。DSP回路1003、フレームメモリ1004、表示部1005、記録部1006、操作部1007、および電源部1008は、バスライン1009を介して相互に接続されている。

[0065] レンズ群1001は、被写体からの入射光（像光）を取り込んで固体撮像素子1002の撮像面上に結像する。固体撮像素子1002は、上述した固体撮像装置の第1乃至第14の実施形態からなる。固体撮像素子1002は、レンズ群1001によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路1003に供給する。

[0066] DSP回路1003は、固体撮像素子1002から供給される画素信号に対して所定の画像処理を行い、画像処理後の画像信号をフレーム単位でフレームメモリ1004に供給し、一時的に記憶させる。

表示部1005は、例えば、液晶パネルや有機EL (Electro Luminescence) パネル等のパネル型表示装置からなり、フレームメモリ1004に一時的に記憶されたフレーム単位の画素信号に基づいて、画像を表示する。

[0067] 記録部1006は、DVD (Digital Versatile Disk)、フラッシュメモリ等からなり、フレームメモリ1004に一時的に記憶されたフレーム単位の画素信号を読み出し、記録する。

操作部1007は、ユーザによる操作の下に、撮像装置1000が持つ様々な機能について操作指令を発する。電源部1008は、電源を、DSP回路1003、フレームメモリ1004、表示部1005、記録部1006、および操作部1007に対して適宜供給する。

[0068] 本技術を適用する電子機器は、画像取込部（光電変換部）に光検出装置を用いる装置であればよく、撮像装置1000のほか、撮像機能を有する携帯端末装置、画像読取部に光検出装置を用いる複写機などがある。

[0069] なお、本開示は以下のような構成も取ることができる。

(1)

外部から入射した光に応じて電気信号を生成可能な複数の画素がアレイ状に配置された画素アレイ部を備え、

前記複数の画素のそれぞれは、

入射した前記光を光電変換する第1導電型の光電変換領域と、

前記画素の外縁形状を規定し、隣接する前記画素間を絶縁して分離する画素間分離部と、

前記光電変換領域と前記画素間分離部の側壁との間に形成される、前記第1導電型とは逆の第2導電型のピニング領域とを備え、

前記複数の画素は、平面視において、複数の辺が交わる角部が鈍角となるハニカム構造をなすようにアレイ状に配置される、受光素子。

(2)

前記画素の外縁形状は、正六角形状である、
上記(1)に記載の受光素子。

(3)

前記複数の画素のそれぞれは、前記光電変換領域を画素内分離部により2つに分離するデュアルピクセル構造である
上記(1)に記載の受光素子。

(4)

前記画素内分離部は、前記画素の入射側とは反対側の面から前記入射側へ形成される、金属膜または酸化膜を含む第1のトレンチである
上記(3)に記載の受光素子。

(5)

前記第1のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの角部に向かって形成される
上記(4)に記載の受光素子。

(6)

前記第1のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの辺に向かって形成される

上記（4）に記載の受光素子。

（7）

前記画素内分離部は、前記画素の入射側の面から前記入射側とは反対側の面へ形成される、金属膜または酸化膜を含む第2のトレンチである

上記（3）に記載の受光素子。

（8）

前記第2のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの角部に向かって形成される

上記（7）に記載の受光素子。

（9）

前記第2のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの辺に向かって形成される

上記（7）に記載の受光素子。

（10）

前記第2のトレンチは、前記画素間分離部の少なくとも1つの角部に位置し、前記画素間分離部の角部から前記画素の中心に向かって形成される

上記（7）に記載の受光素子。

（11）

前記第2のトレンチは、前記画素間分離部の少なくとも1つの辺に位置し、前記画素間分離部の辺から前記画素の中心に向かって形成される

上記（7）に記載の受光素子。

（12）

前記画素アレイ部は、前記画素ごとに形成され、前記光が前記画素に集光するように形成されたオンチップレンズをさらに備える

上記（1）に記載の受光素子。

（13）

外部から入射した光に応じて電気信号を生成可能な複数の画素がアレイ状に配置された画素アレイ部を備え、

前記複数の画素のそれぞれは、

入射した前記光を光電変換する第1導電型の光電変換領域と、

前記画素の外縁形状を規定し、隣接する前記画素間を絶縁して分離する画素間分離部と、

前記光電変換領域と前記画素間分離部の側壁との間に形成される、前記第1導電型とは逆の第2導電型のピニング領域とを備え、

前記複数の画素は、平面視において、複数の辺が交わる角部が鈍角となるハニカム構造をなすようにアレイ状に配置される、受光素子を備えた、電子機器。

符号の説明

[0070] 1, 1A, 1B…固体撮像装置、2…基板、3, 3A, 3B…画素アレイ部、4…垂直駆動回路、5…カラム信号処理回路、6…水平駆動回路、7…出力回路、8…制御回路、9, 9A, 9B, 9…画素、10…画素駆動配線、11…垂直信号線、12…水平信号線、17…カラーフィルタ、18…オンチップレンズ、19…ピニング領域、21a, 21b…ゲート電極、22…コンタクト、31…画素間分離部、40…配線層、51, 52, 53, 54, 551, 552, 561, 562…トレンチ、91a…フォトダイオード、91a1…n型半導体領域、91a2…p型半導体領域、91b…転送トランジスタ、91c…浮遊拡散（フローティング・ディフュージョンFD）部、91d…変換効率調整トランジスタ、91e…増幅トランジスタ、91f…選択トランジスタ、91g…リセットトランジスタ、311, 311-1, 311-2…辺、312, 312-1, 312-2…コーナー部、1000…撮像装置、1001…レンズ群、1002…固体撮像素子、1003…DSP回路、1004…フレームメモリ、1005…表示部、1006…記録部、1007…操作部、1008…電源部、1009…バスライン。

請求の範囲

- [請求項1] 外部から入射した光に応じて電気信号を生成可能な複数の画素がアレイ状に配置された画素アレイ部を備え、
前記複数の画素のそれぞれは、
入射した前記光を光電変換する第1導電型の光電変換領域と、
前記画素の外縁形状を規定し、隣接する前記画素の間を絶縁して分離する画素間分離部と、
前記光電変換領域と前記画素間分離部の側壁との間に形成される、
前記第1導電型とは逆の第2導電型のピンング領域と
を備え、
前記複数の画素は、平面視において、複数の辺が交わる角部が鈍角となるハニカム構造をなすようにアレイ状に配置される、
受光素子。
- [請求項2] 前記画素の外縁形状は、正六角形形状である、
請求項1に記載の受光素子。
- [請求項3] 前記複数の画素のそれぞれは、前記光電変換領域を画素内分離部により2つに分離するデュアルピクセル構造である
請求項1に記載の受光素子。
- [請求項4] 前記画素内分離部は、前記画素の入射側とは反対側の面から前記入射側へ形成される、金属膜または酸化膜を含む第1のトレンチである
請求項3に記載の受光素子。
- [請求項5] 前記第1のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの角部に向かって形成される
請求項4に記載の受光素子。
- [請求項6] 前記第1のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの辺に向かって形成される
請求項4に記載の受光素子。
- [請求項7] 前記画素内分離部は、前記画素の入射側の面から前記入射側とは反

対側の面へ形成される、金属膜または酸化膜を含む第2のトレンチである

請求項3に記載の受光素子。

[請求項8] 前記第2のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの角部に向かって形成される請求項7に記載の受光素子。

[請求項9] 前記第2のトレンチは、前記画素の中心に位置し、前記画素の中心から前記画素間分離部の少なくとも1つの辺に向かって形成される請求項7に記載の受光素子。

[請求項10] 前記第2のトレンチは、前記画素間分離部の少なくとも1つの角部に位置し、前記画素間分離部の角部から前記画素の中心に向かって形成される請求項7に記載の受光素子。

[請求項11] 前記第2のトレンチは、前記画素間分離部の少なくとも1つの辺に位置し、前記画素間分離部の辺から前記画素の中心に向かって形成される請求項7に記載の受光素子。

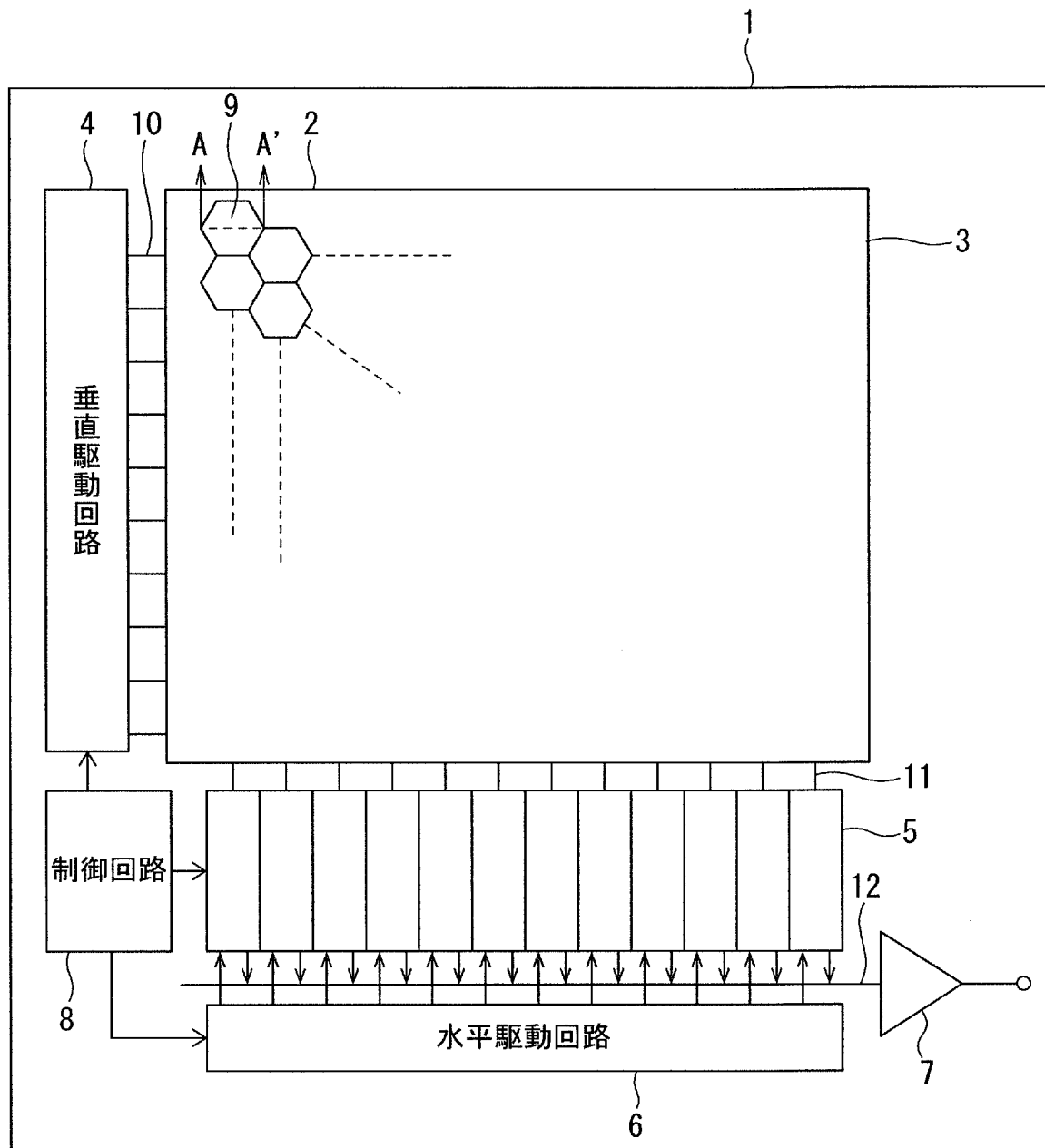
[請求項12] 前記画素アレイ部は、前記画素ごとに形成され、前記光が前記画素に集光するように形成されたオンチップレンズをさらに備える請求項1に記載の受光素子。

[請求項13] 外部から入射した光に応じて電気信号を生成可能な複数の画素がアレイ状に配置された画素アレイ部を備え、
前記複数の画素のそれぞれは、
入射した前記光を光電変換する第1導電型の光電変換領域と、
前記画素の外縁形状を規定し、隣接する前記画素の間を絶縁して分離する画素間分離部と、
前記光電変換領域と前記画素間分離部の側壁との間に形成される、
前記第1導電型とは逆の第2導電型のピニング領域と

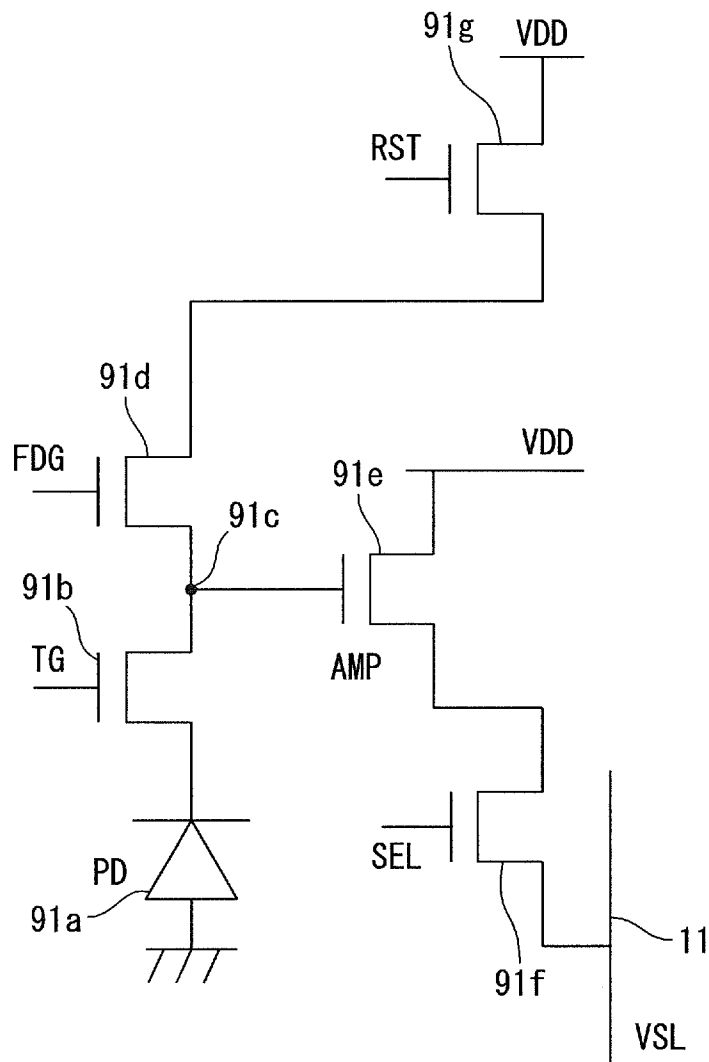
を備え、

前記複数の画素は、平面視において、複数の辺が交わる角部が鈍角となるハニカム構造をなすようにアレイ状に配置される、受光素子を備えた、
電子機器。

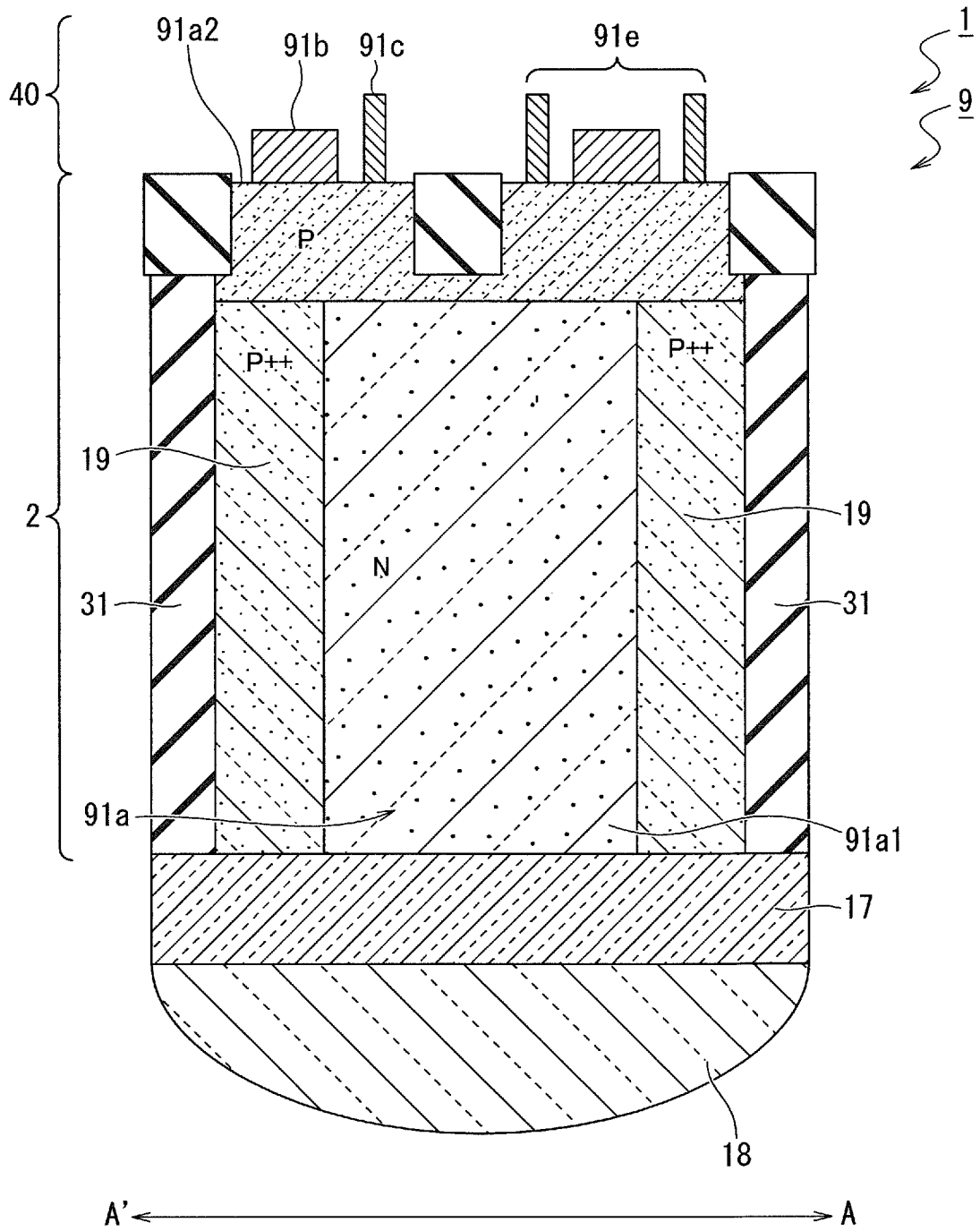
[図1]



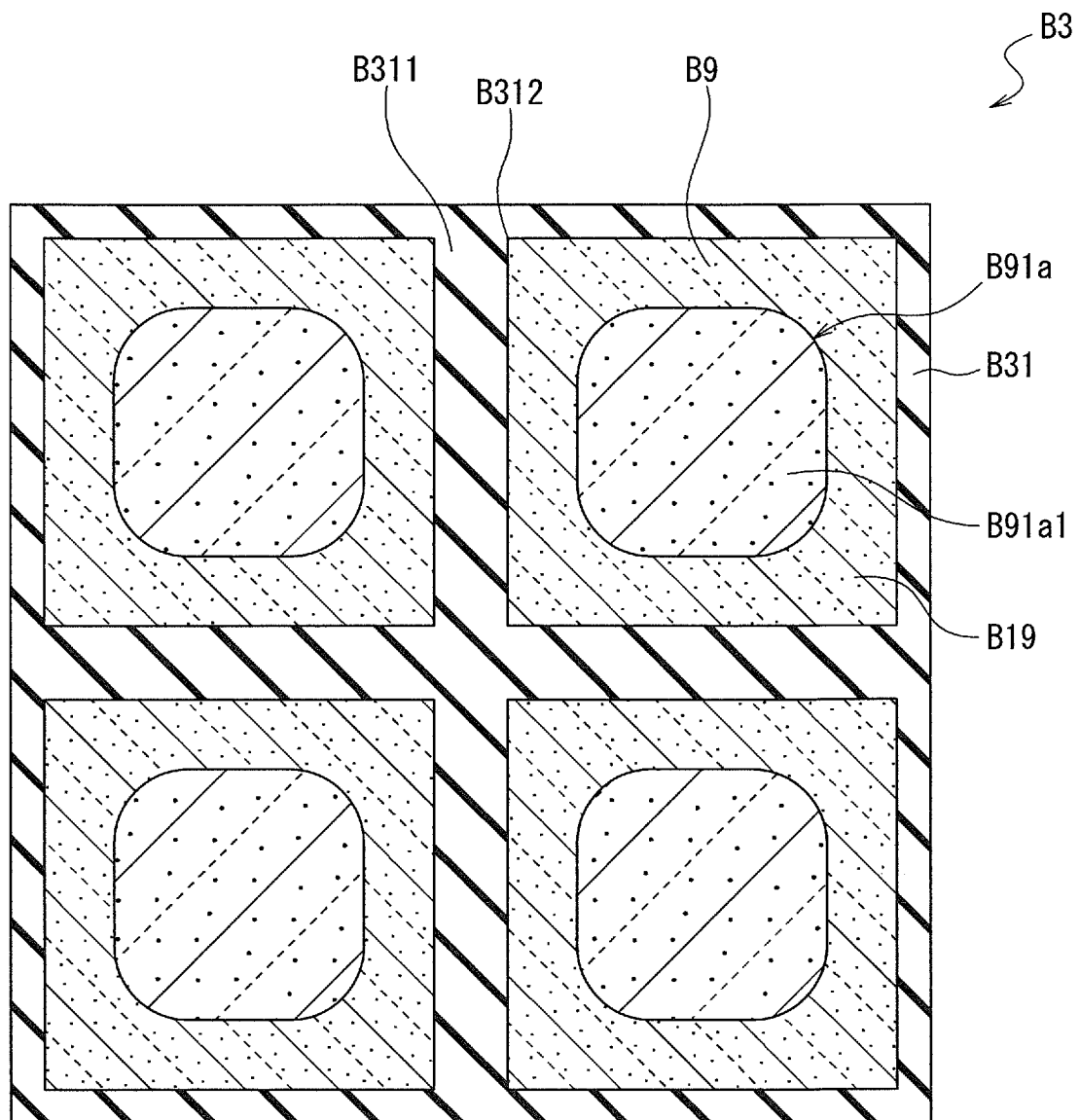
[図2]



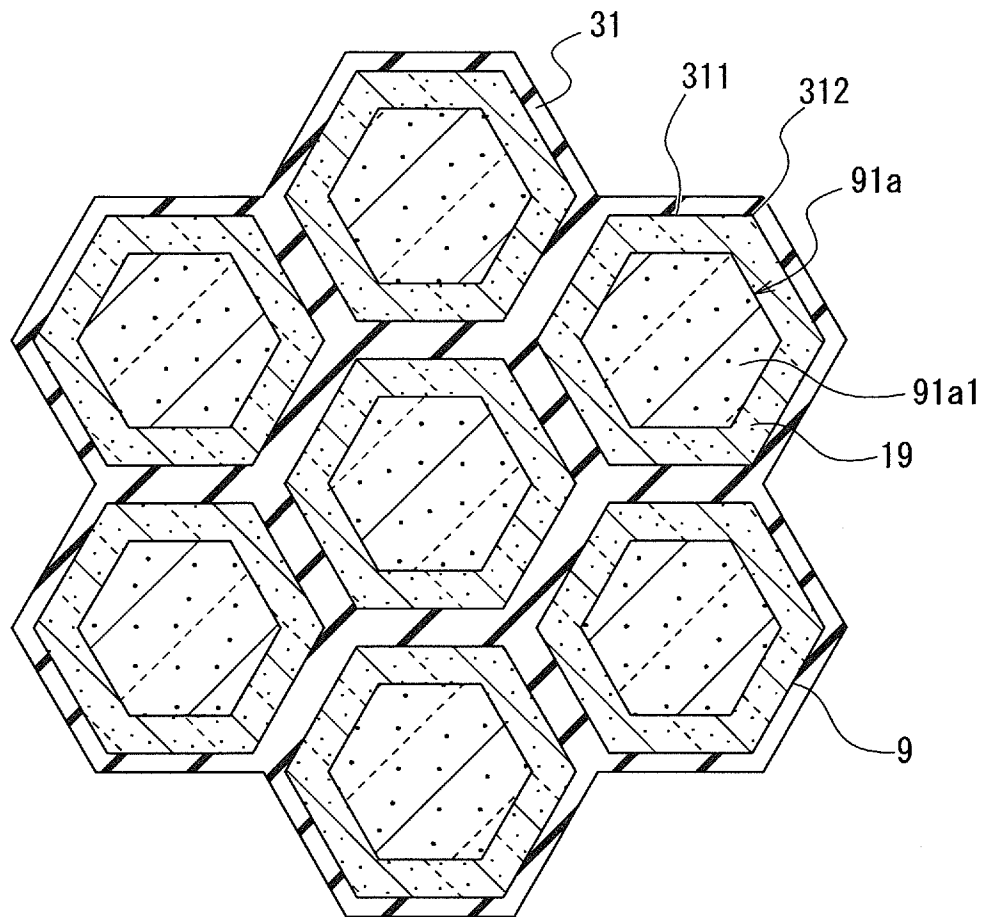
[図3]



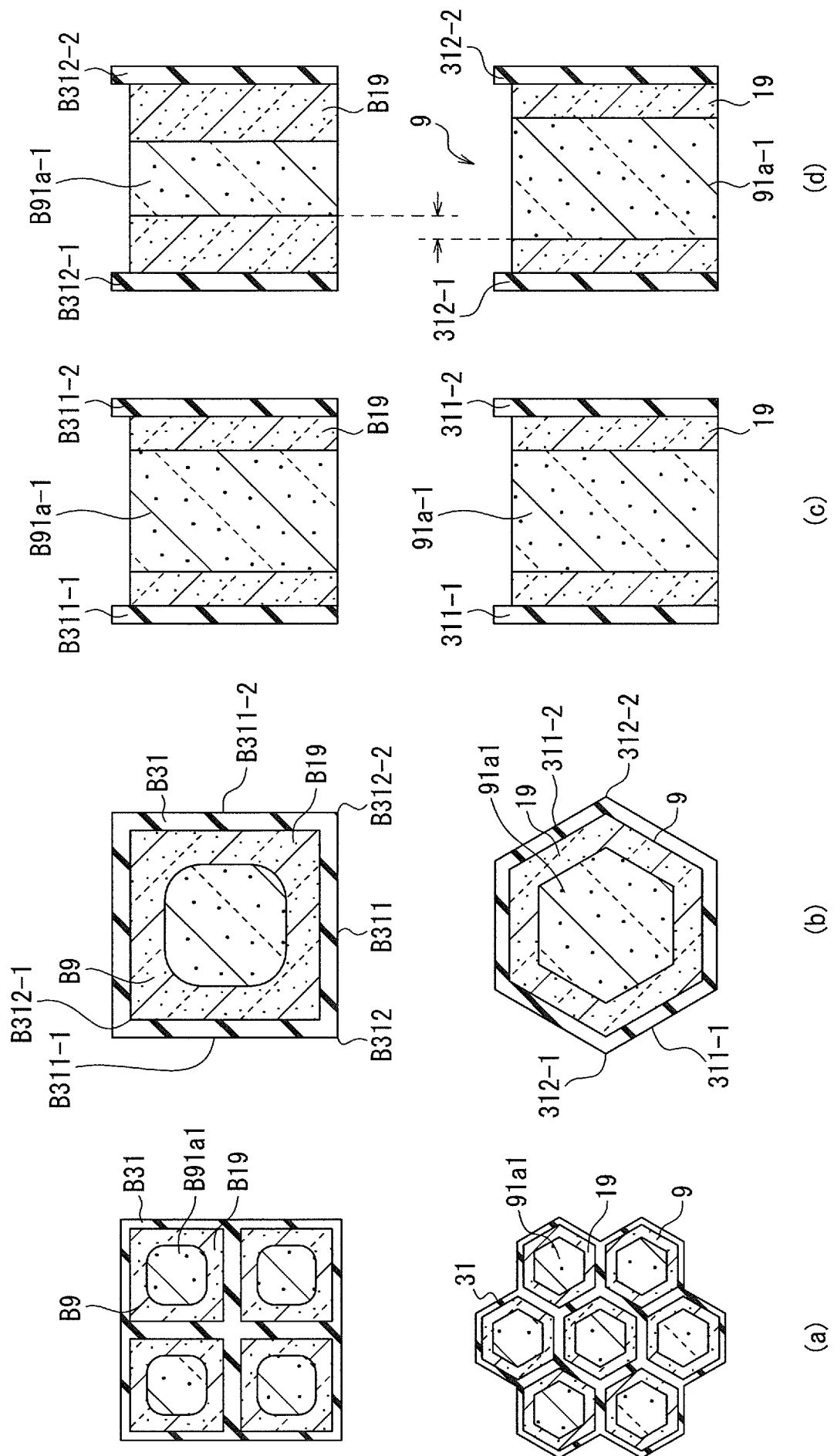
[図4]



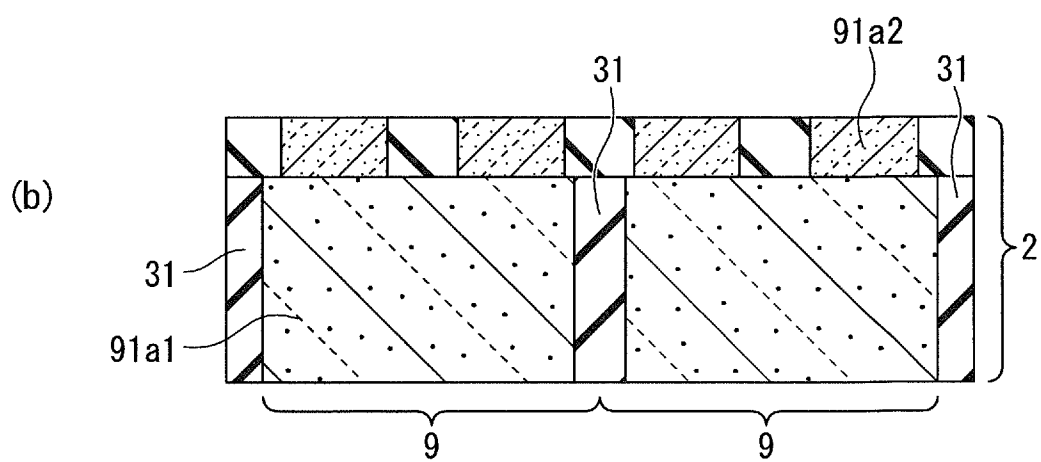
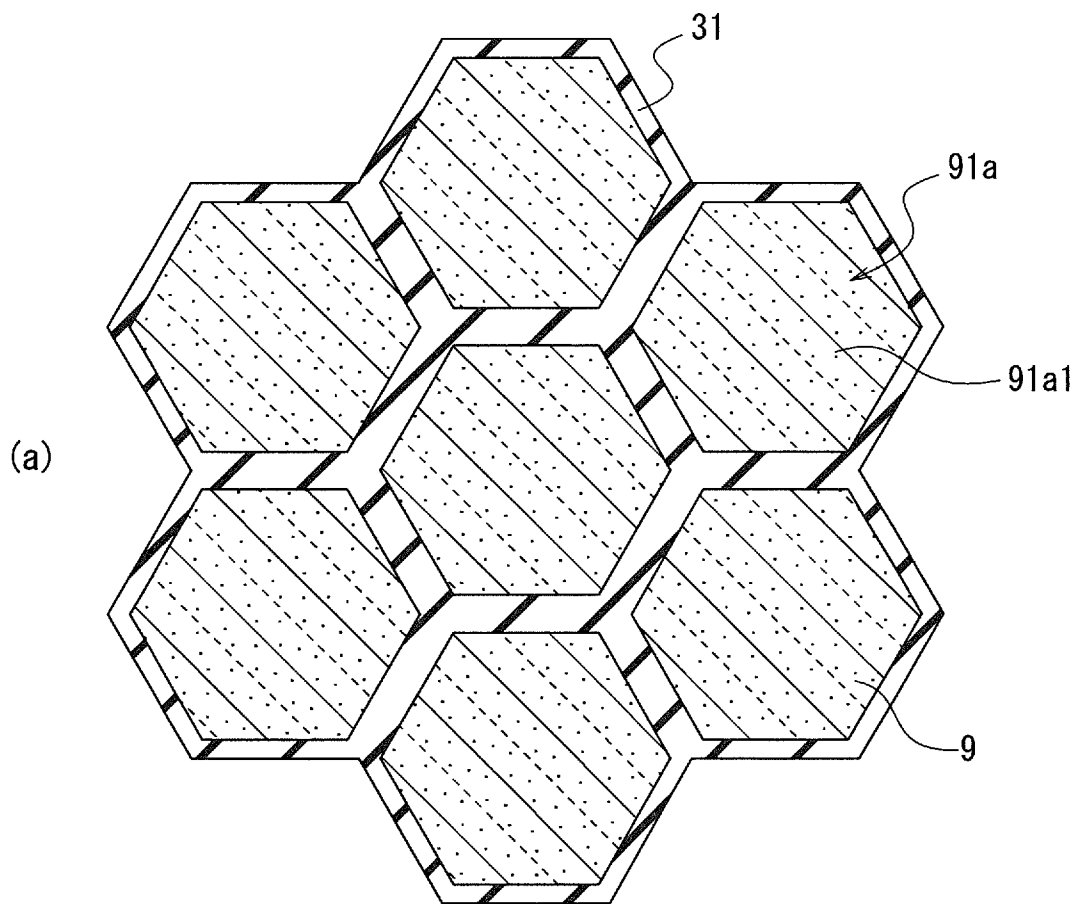
[図5]



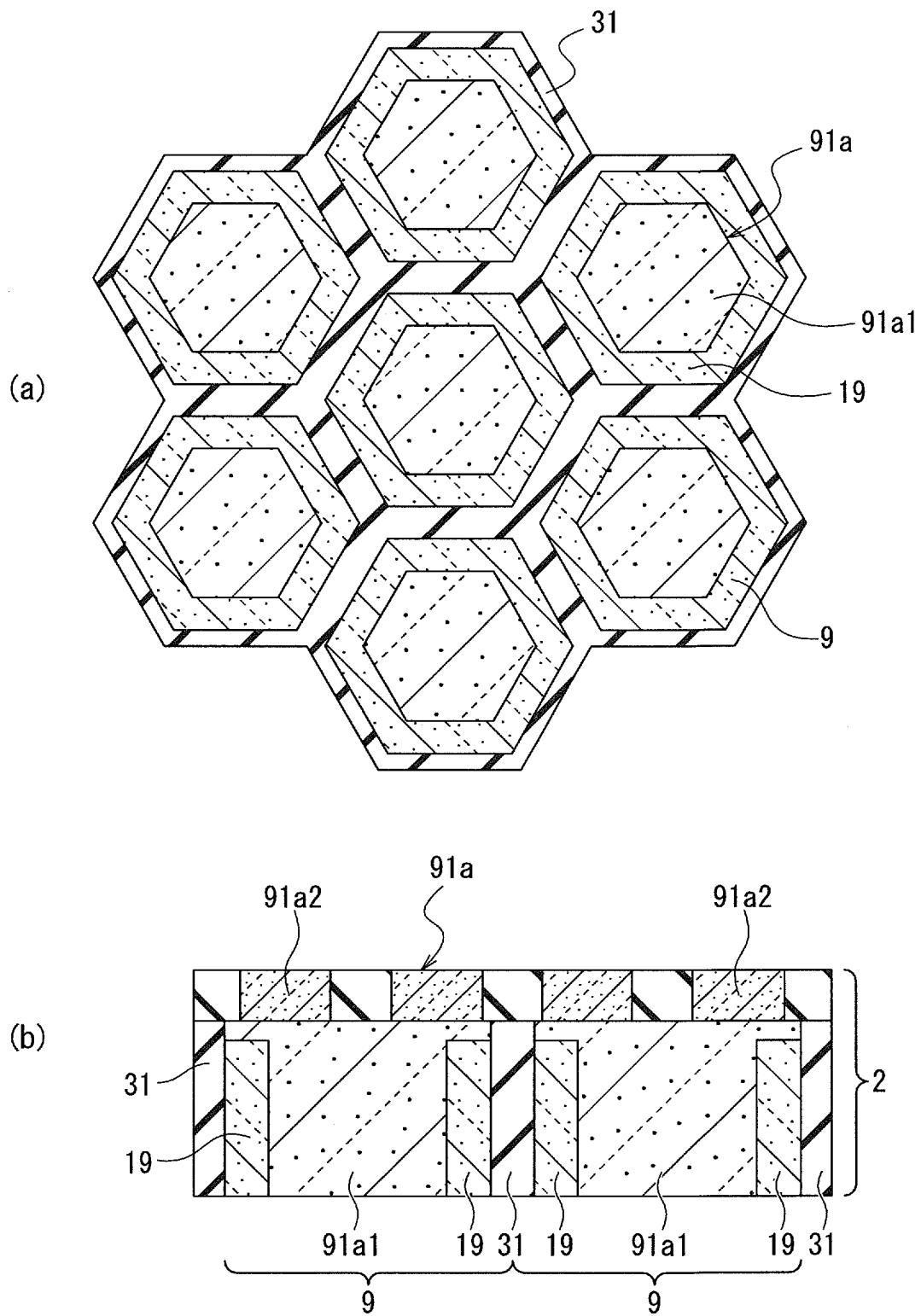
[図6]



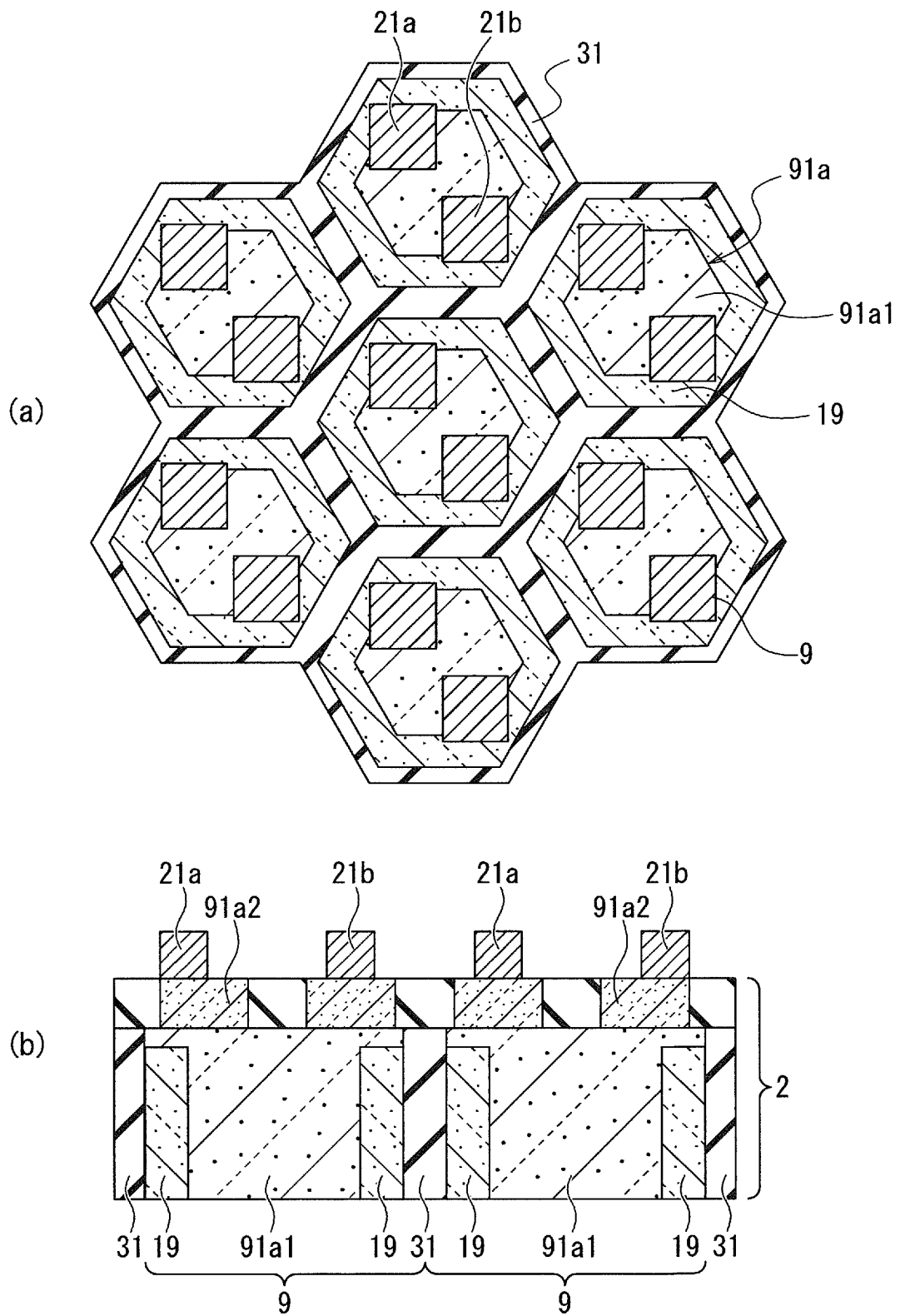
[図7]



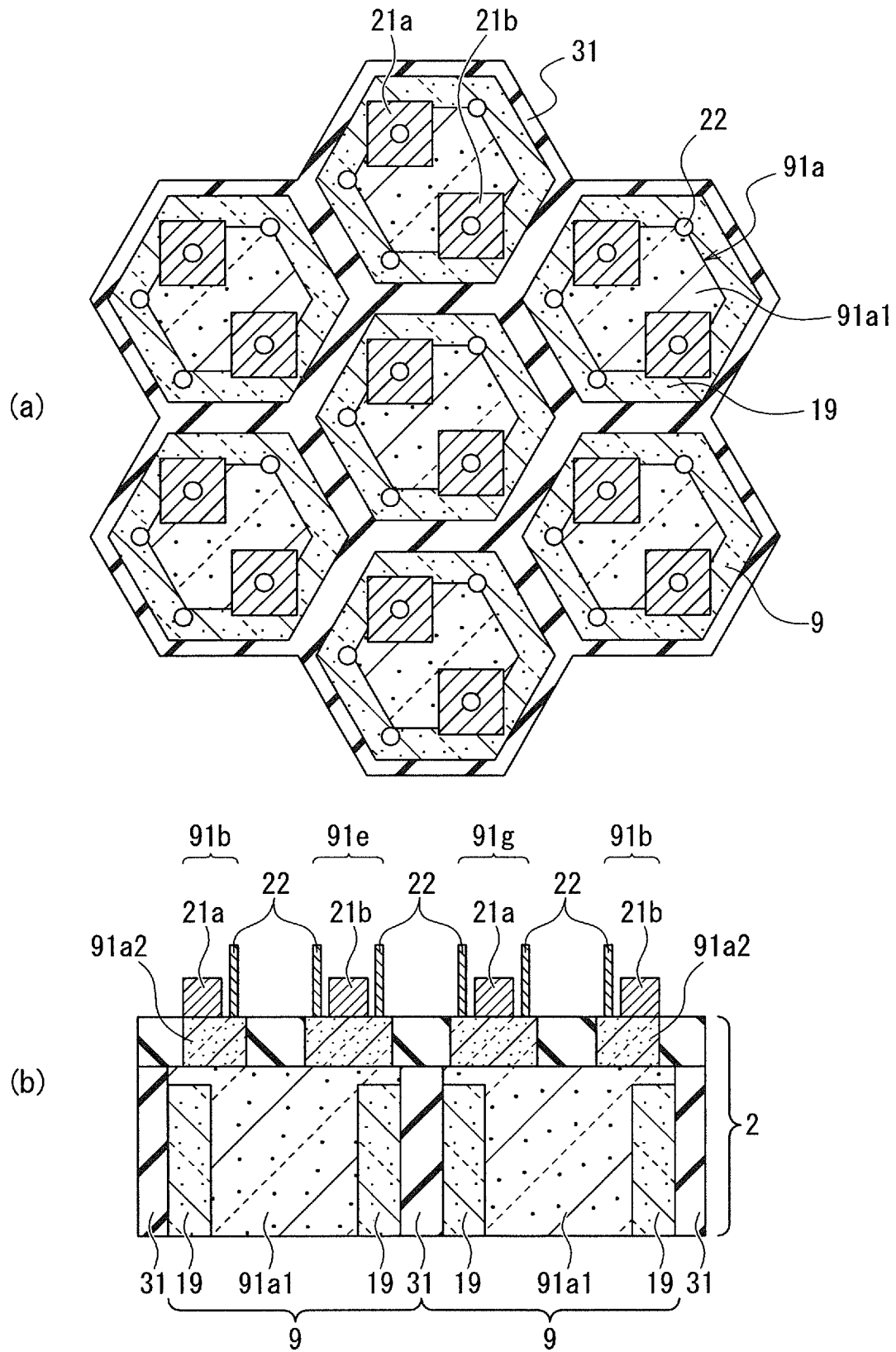
[図8]



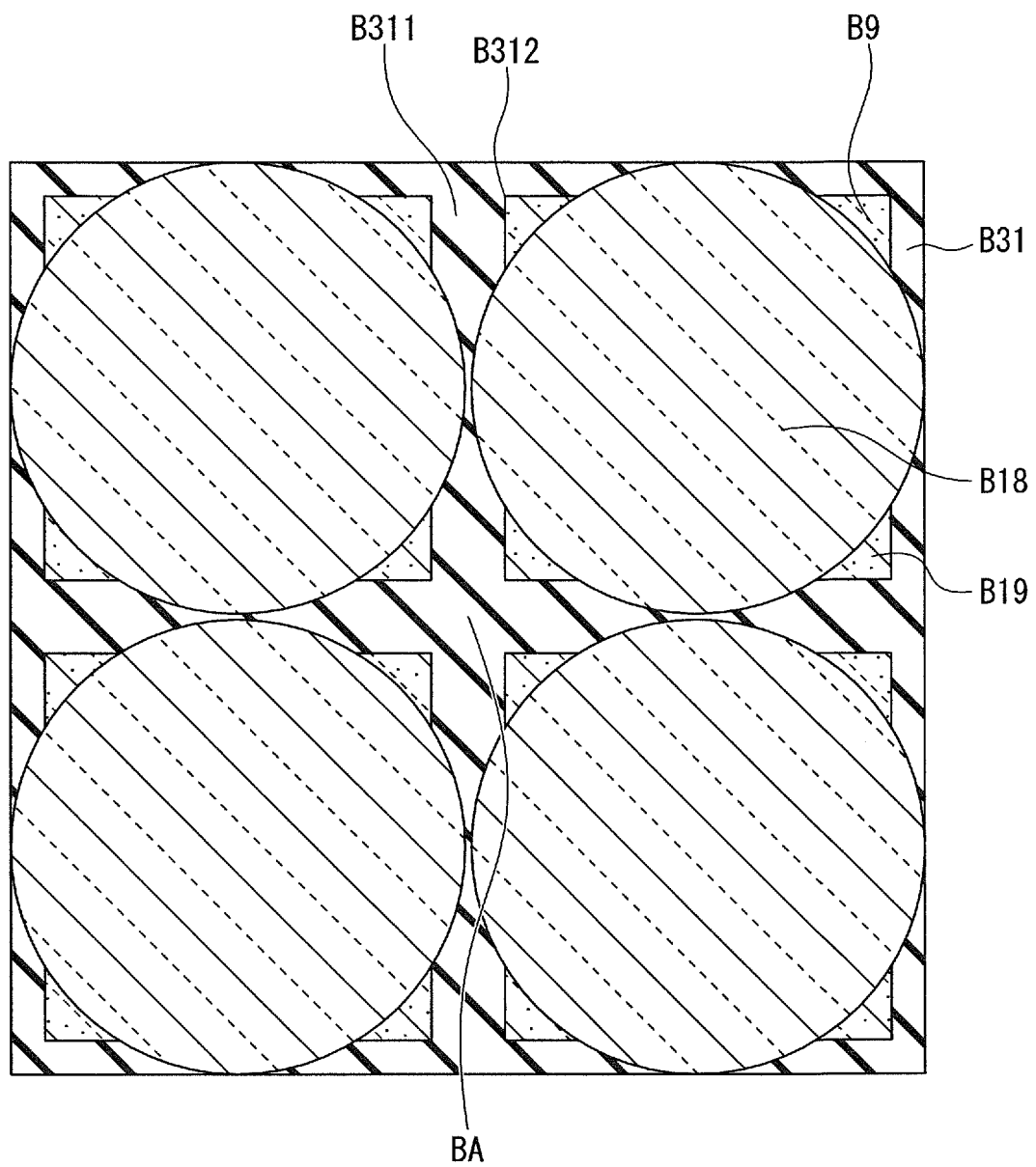
[図9]



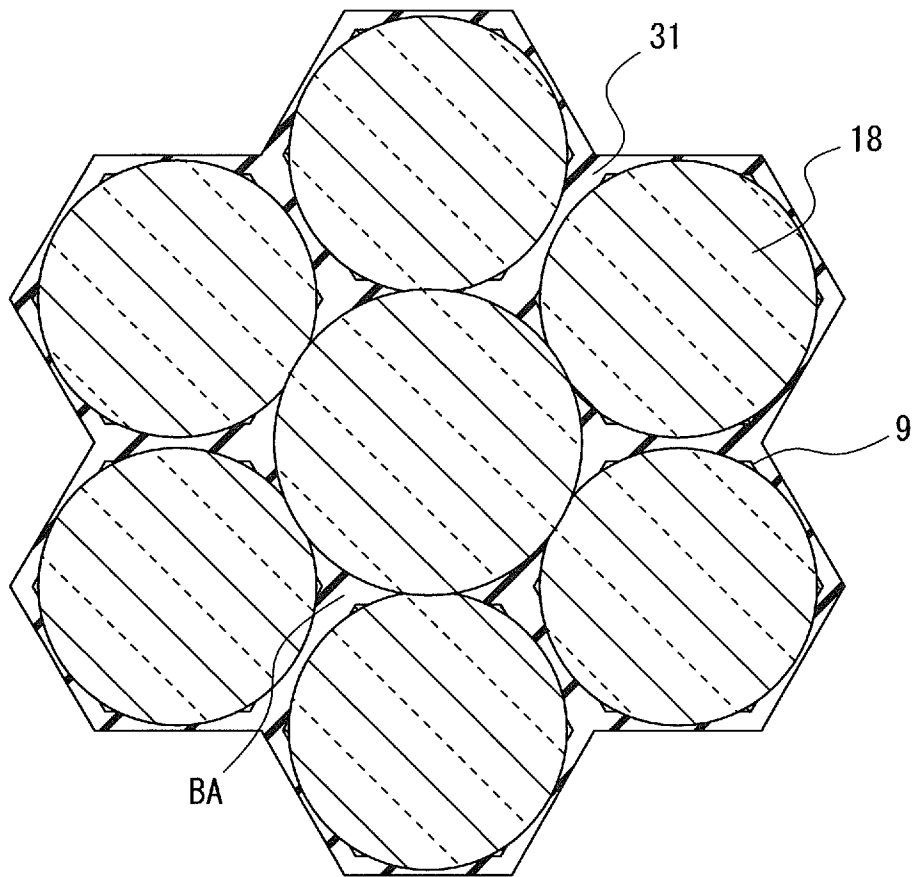
[図10]



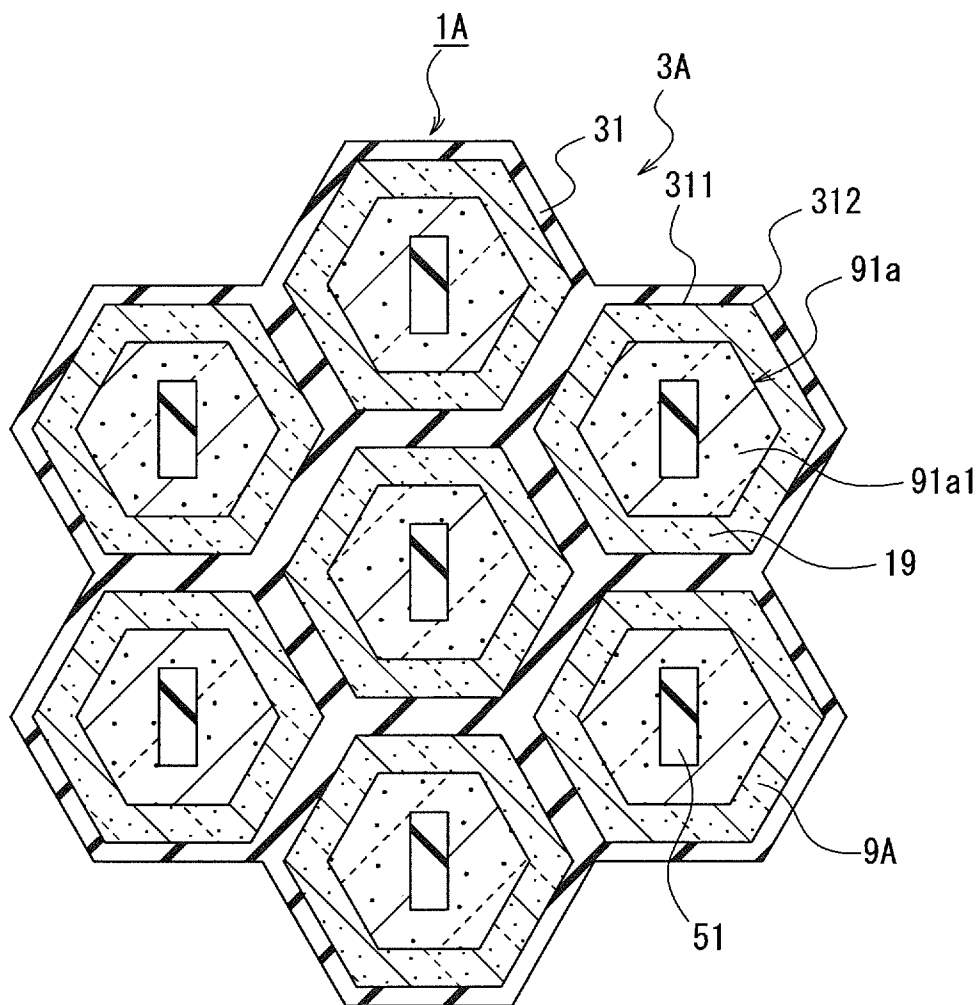
[図11]



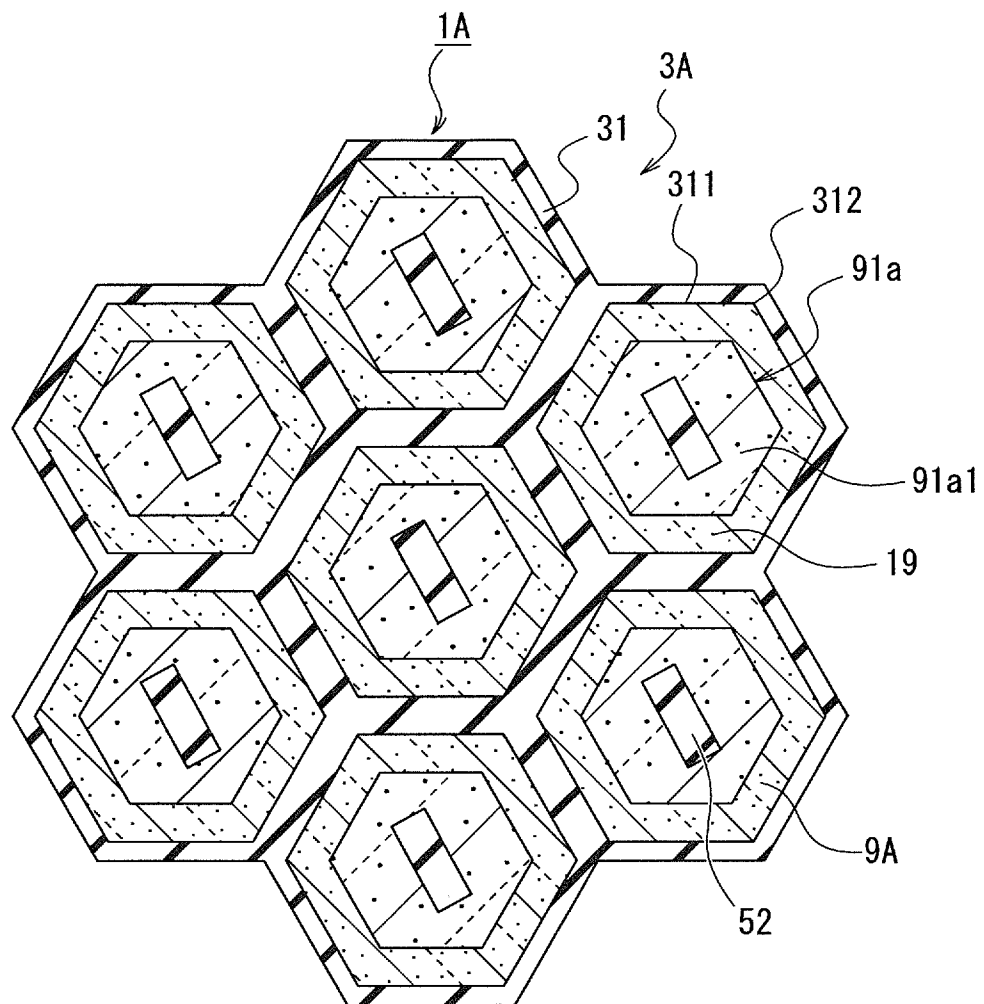
[図12]



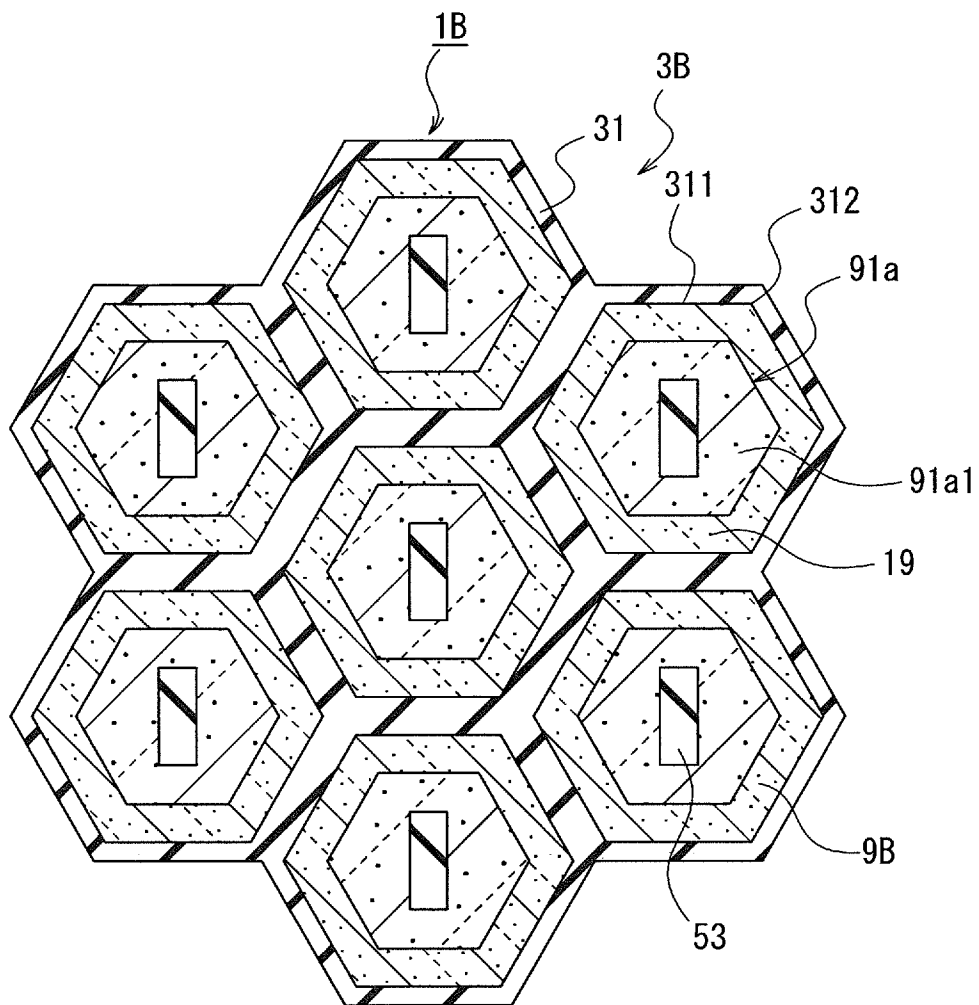
[図13]



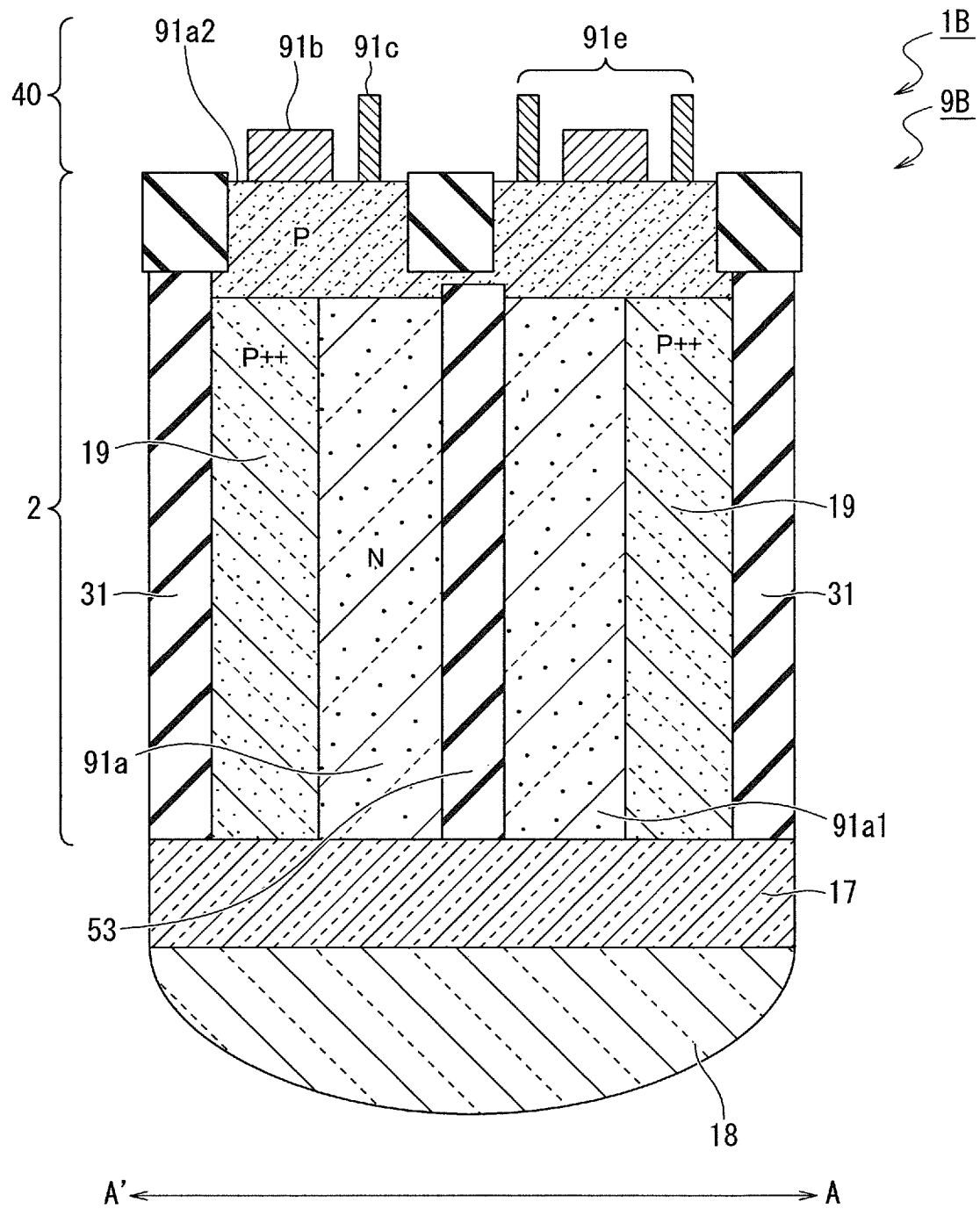
[図15]



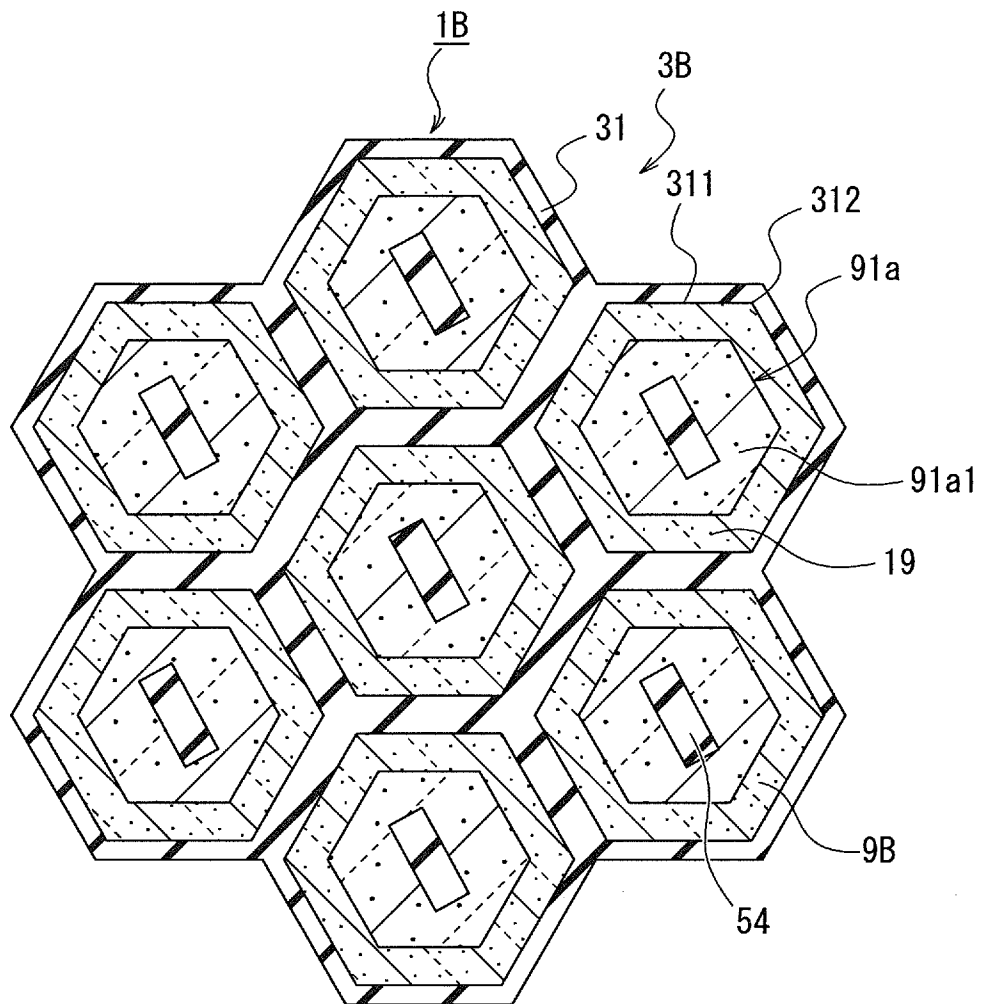
[図16]



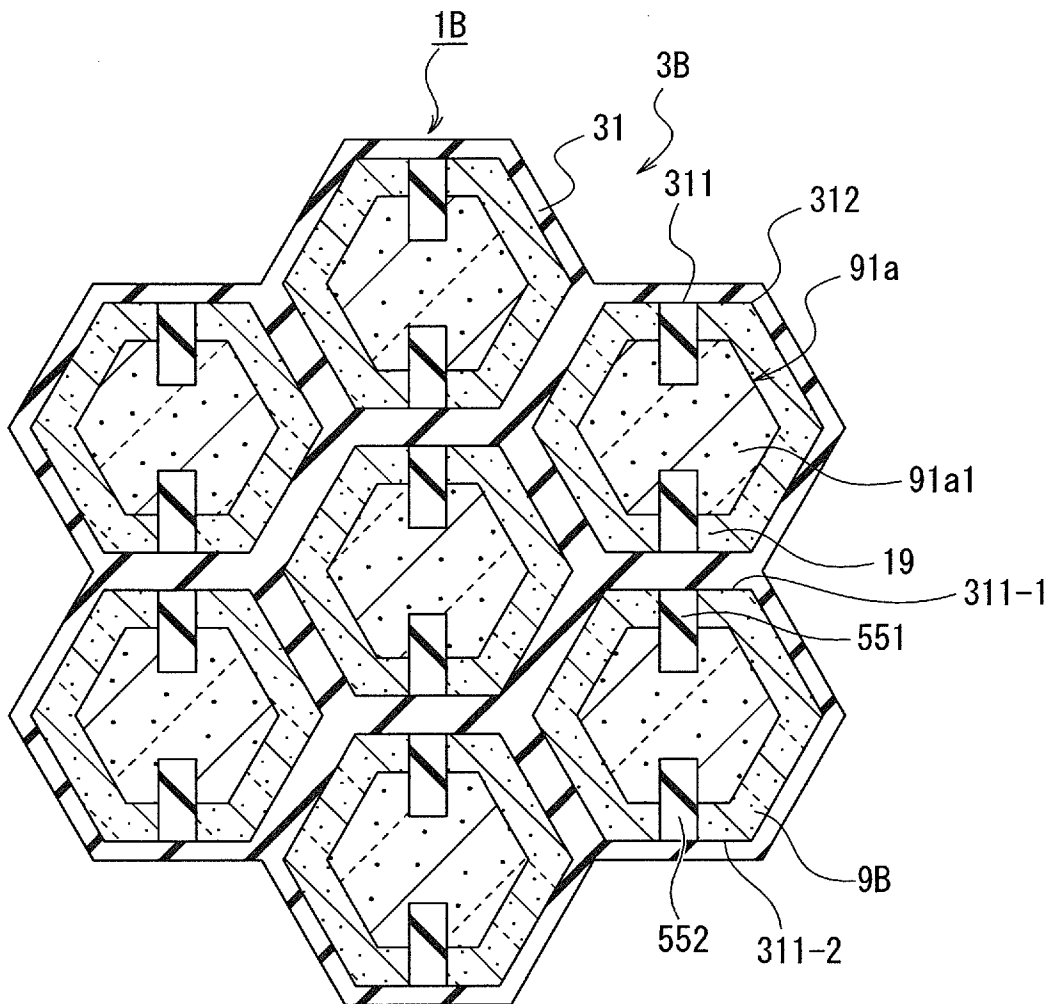
[図17]



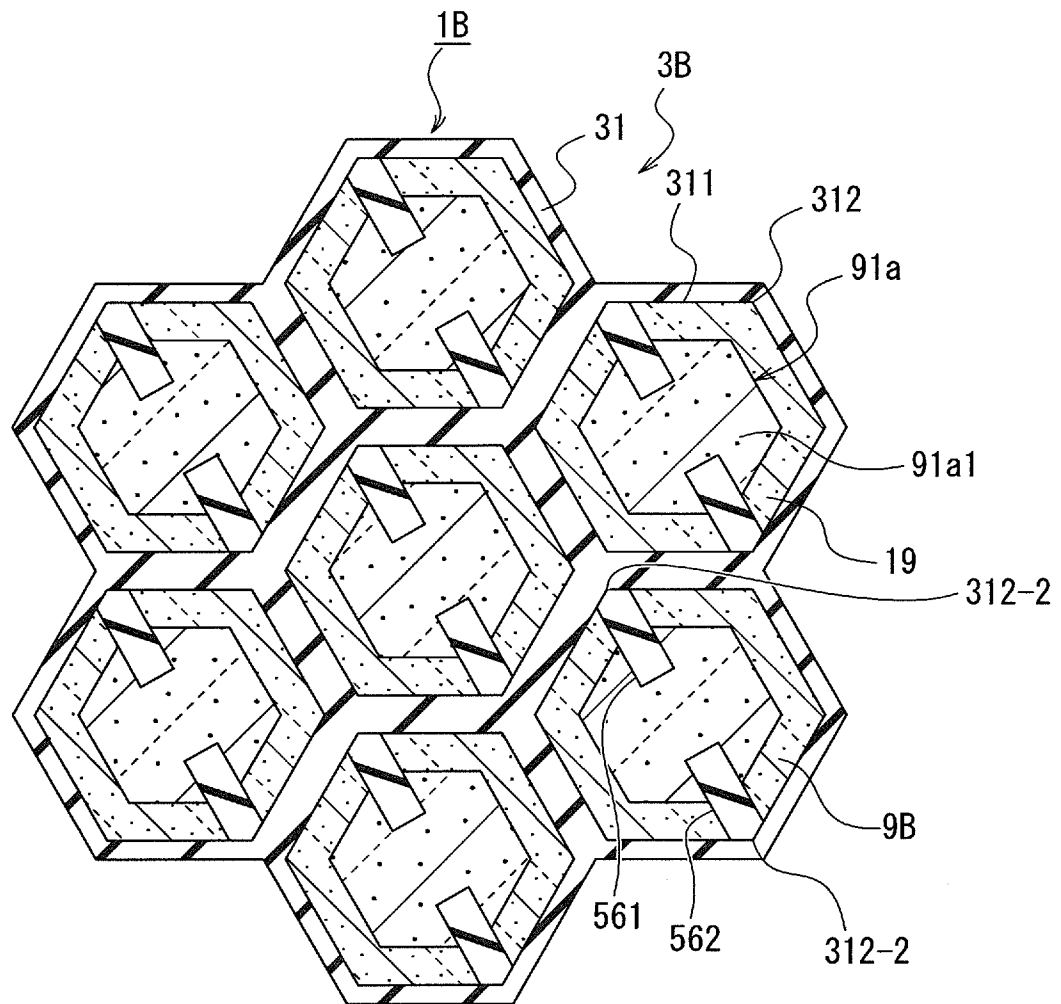
[図18]



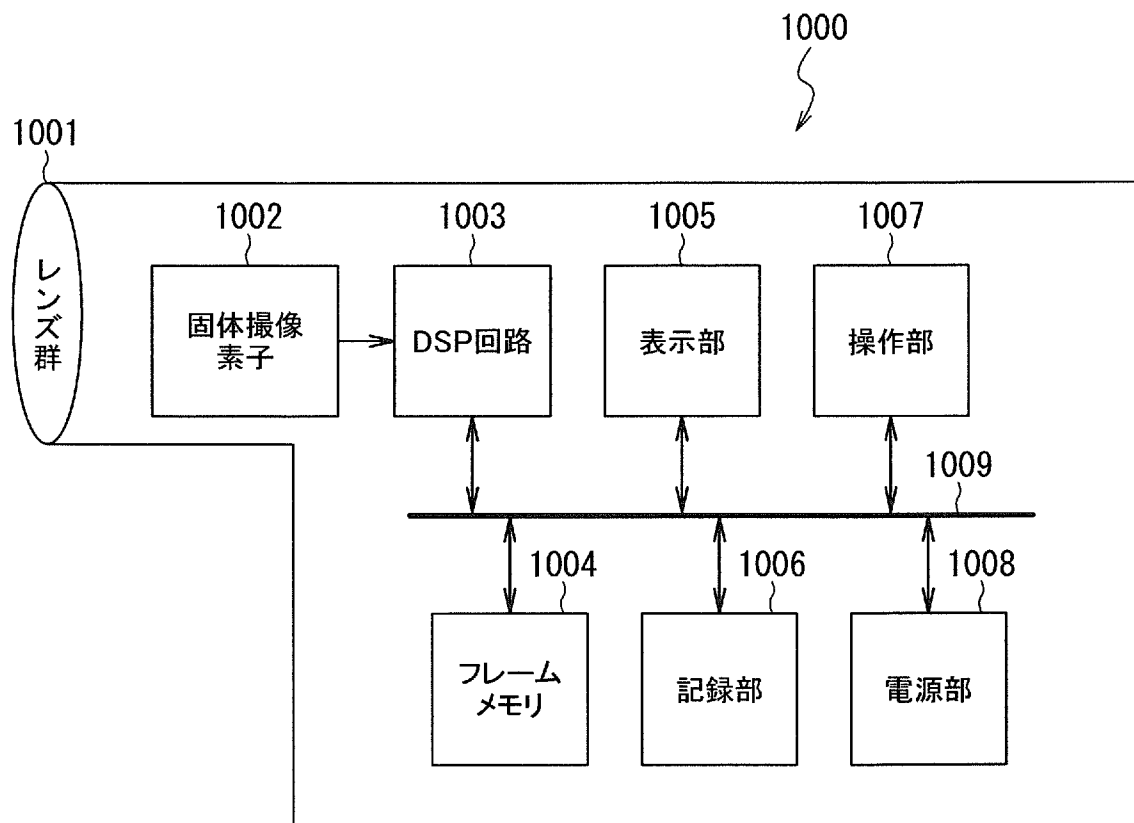
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/003005

A. CLASSIFICATION OF SUBJECT MATTER**H01L 31/10**(2006.01)i; **H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H01L27/146 A; H04N5/369; H01L31/10 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/10; H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/054282 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 19 March 2020 (2020-03-19) paragraphs [0022]-[0035], fig. 2	1, 2, 12, 13
Y		3-11
Y	JP 2014-116472 A (CANON INC.) 26 June 2014 (2014-06-26) paragraphs [0011]-[0024], fig. 1, 2	3-11
Y	JP 2017-212351 A (CANON INC.) 30 November 2017 (2017-11-30) paragraphs [0026]-[00040], [0095]-[0105], [0116]-[0121], fig. 3, 7, 9	3-11
A	WO 2017/130723 A1 (SONY CORP.) 03 August 2017 (2017-08-03) entire text, all drawings	1-13
A	JP 2013-84742 A (CANON INC.) 09 May 2013 (2013-05-09) entire text, all drawings	1-13
A	JP 2017-85065 A (RENESAS ELECTRONICS CORP.) 18 May 2017 (2017-05-18) entire text, all drawings	1-13

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 March 2022

Date of mailing of the international search report

12 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/003005

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/221443 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 06 December 2018 (2018-12-06) entire text, all drawings	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/003005

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020/054282	A1	19 March 2020	CN	112640109	A	
				KR	10-2021-0049103	A	
				TW	202025311	A	
JP	2014-116472	A	26 June 2014	US	2014/0160335	A1	paragraphs [0023]-[0036], fig. 1, 2
JP	2017-212351	A	30 November 2017	US	2017/0345853	A1	paragraphs [0037]-[0051], [0106]-[0116], [0127]-[0132], fig. 3, 7, 9
WO	2017/130723	A1	03 August 2017	US	2018/0350856	A1	entire text, all drawings
				EP	3410487	A1	
				CN	107408568	A	
				KR	10-2018-0108414	A	
				TW	201737479	A	
JP	2013-84742	A	09 May 2013	US	2013/0087875	A1	entire text, all drawings
				EP	2579311	A2	
				CN	103035661	A	
				RU	2012142682	A	
JP	2017-85065	A	18 May 2017	US	2017/0125466	A1	entire text, all drawings
				KR	10-2017-0051304	A	
				CN	106653785	A	
				TW	201727884	A	
WO	2018/221443	A1	06 December 2018	US	2020/0235149	A1	entire text, all drawings
				CN	110383479	A	
				KR	10-2020-0014722	A	
				JP	2018-201015	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/10(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H04N5/369; H01L31/10 A		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L31/10; H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/054282 A1（ソニーセミコンダクタソリューションズ株式会社）19.03.2020 (2020 - 03 - 19) [0022] - [0035], 図2	1, 2, 12, 13
Y		3-11
Y	JP 2014-116472 A（キヤノン株式会社）26.06.2014（2014 - 06 - 26） [0011] - [0024], 図1, 2	3-11
Y	JP 2017-212351 A（キヤノン株式会社）30.11.2017（2017 - 11 - 30） [0026] - [00040], [0095] - [0105], [0116] - [0121], 図3, 7, 9	3-11
A	WO 2017/130723 A1（ソニー株式会社）03.08.2017（2017 - 08 - 03） 全文, 全図	1-13
A	JP 2013-84742 A（キヤノン株式会社）09.05.2013（2013 - 05 - 09） 全文, 全図	1-13
A	JP 2017-85065 A（ルネサスエレクトロニクス株式会社）18.05.2017（2017 - 05 - 18） 全文, 全図	1-13
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 29.03.2022		国際調査報告の発送日 12.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	W0 2018/221443 A1 (ソニーセミコンダクタソリューションズ株式会社) 06, 12, 2018 (2018 - 12 - 06) 全文, 全図	1-13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/003005

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/054282	A1	19.03.2020	CN	112640109	A	
				KR	10-2021-0049103	A	
				TW	202025311	A	
JP	2014-116472	A	26.06.2014	US	2014/0160335	A1	
					[0023]-[0036], Figs.1, 2		
JP	2017-212351	A	30.11.2017	US	2017/0345853	A1	
					[0037]-[0051], [0106]-[0116], [0127]-[0132], Figs.3, 7, 9		
WO	2017/130723	A1	03.08.2017	US	2018/0350856	A1	
					全文, 全図		
				EP	3410487	A1	
				CN	107408568	A	
				KR	10-2018-0108414	A	
				TW	201737479	A	
JP	2013-84742	A	09.05.2013	US	2013/0087875	A1	
					全文, 全図		
				EP	2579311	A2	
				CN	103035661	A	
				RU	2012142682	A	
JP	2017-85065	A	18.05.2017	US	2017/0125466	A1	
					全文, 全図		
				KR	10-2017-0051304	A	
				CN	106653785	A	
				TW	201727884	A	
WO	2018/221443	A1	06.12.2018	US	2020/0235149	A1	
					全文, 全図		
				CN	110383479	A	
				KR	10-2020-0014722	A	
				JP	2018-201015	A	