

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5220604号  
(P5220604)

(45) 発行日 平成25年6月26日(2013.6.26)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)

H01L 29/78 618C

H01L 21/336 (2006.01)

H01L 29/78 301X

H01L 29/78 (2006.01)

H01L 29/78 301Y

H01L 29/78 616A

請求項の数 11 (全 21 頁)

(21) 出願番号 特願2008-525007 (P2008-525007)  
 (86) (22) 出願日 平成18年7月21日 (2006.7.21)  
 (65) 公表番号 特表2009-503893 (P2009-503893A)  
 (43) 公表日 平成21年1月29日 (2009.1.29)  
 (86) 國際出願番号 PCT/US2006/028465  
 (87) 國際公開番号 WO2007/019023  
 (87) 國際公開日 平成19年2月15日 (2007.2.15)  
 審査請求日 平成21年3月25日 (2009.3.25)  
 (31) 優先権主張番号 11/161,442  
 (32) 優先日 平成17年8月3日 (2005.8.3)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 390009531  
 インターナショナル・ビジネス・マシーンズ・コーポレーション  
 INTERNATIONAL BUSINESS MACHINES CORPORATION  
 アメリカ合衆国10504 ニューヨーク  
 州 アーモンク ニュー オーチャード  
 ロード  
 (74) 代理人 100108501  
 弁理士 上野 剛史  
 (74) 代理人 100112690  
 弁理士 太佐 種一  
 (74) 代理人 100091568  
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 フィン型電界効果トランジスタ及びその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

ソース領域と、

ドレイン領域と、

前記ソース領域から前記ドレイン領域まで延びる半導体フィンと、

前記ソース領域と前記ドレイン領域の間にあって前記半導体フィンに隣接したゲート導体と、を含み、

前記ソース領域と前記ゲート導体の間の前記半導体フィンの第1の抵抗が、前記ゲート導体と前記ドレイン領域の間の前記半導体フィンの第2の抵抗よりも小さく、

前記ソース領域と前記ゲート導体の間の第1の静電容量が、前記ゲート導体と前記ドレイン領域の間の第2の静電容量よりも大きく、

前記ゲート導体が、前記ソース領域および前記ドレイン領域から等距離にあり、

前記半導体フィンが、

前記ゲート導体と前記ソース領域の間の第1の部分と、

前記ゲート導体と前記ドレイン領域の間の第2の部分とを含み、

前記第1の部分および前記第2の部分がそれぞれ、

前記ゲート導体に隣接した内側セクションと、

前記内側セクションに隣接した外側セクションとを含み、

前記内側セクションが、前記外側セクションよりも幅が狭く、前記第2の部分の前記内側セクションが、前記第1の部分の前記内側セクションよりも長い、

10

20

フィン型電界効果トランジスタ。

【請求項 2】

前記第 2 の部分の前記内側セクションの長さが、前記第 1 の部分の前記内側セクションの長さの少なくとも 3 倍ある、請求項 1 に記載のトランジスタ。

【請求項 3】

ソース領域と、

ドレイン領域と、

前記ソース領域から前記ドレイン領域まで延びる半導体フィンと、

前記ソース領域と前記ドレイン領域の間にあって前記半導体フィンに隣接したゲート導体とを含み、

10

前記半導体フィンが、

前記ソース領域と前記ゲート導体の間の第 1 の部分と、

前記ゲート導体と前記ドレイン領域の間の第 2 の部分とを含み、

前記第 1 の部分および前記第 2 の部分がそれぞれ、前記ゲート導体に隣接した、同じ幅および同じ長さを有する内側セクションを含み、

前記同じ長さが、前記同じ幅の 3 倍よりも大きく、前記トランジスタが所定の最大電圧で動作できるような抵抗を前記内側セクションに提供し、

前記第 1 の部分および前記第 2 の部分がそれぞれ、前記内側セクションに隣接した外側セクションをさらに含み、前記外側のセクションが前記内側セクションよりも幅が広い、  
フィン型電界効果トランジスタ。

20

【請求項 4】

前記内側セクションがそれぞれ、隣接するシリサイド層を持たない対応する上面を有する、請求項 3 に記載のトランジスタ。

【請求項 5】

前記ソース領域、前記ドレイン領域および前記半導体フィン内にドーパントを含み、前記ソース領域および前記ドレイン領域内の前記ドーパントの濃度が、前記半導体フィン内の前記ドーパントの濃度よりも高い、請求項 3 に記載のトランジスタ。

【請求項 6】

フィン型電界効果トランジスタを製造する方法であって、

ソース領域およびドレイン領域を形成すること、

30

前記ソース領域から前記ドレイン領域まで延びる半導体フィンを形成すること、ならびに

前記ソース領域と前記ドレイン領域の間にあって前記半導体フィンに隣接したゲート導体を形成すること、を含み、

前記ソース領域と前記ゲート導体の間の前記半導体フィンの第 1 の部分の第 1 の抵抗が、前記ゲート導体と前記ドレイン領域の間の前記半導体フィンの第 2 の部分の第 2 の抵抗よりも小さくなり、

前記ソース領域と前記ゲート導体の間の第 1 の静電容量が、前記ゲート導体と前記ドレイン領域の間の第 2 の静電容量よりも大きくなるように、前記半導体フィンおよび前記ゲート導体が形成され、

40

前記ゲート導体が、前記半導体フィンに隣接して、前記ソース領域および前記ドレイン領域から等距離に形成され、さらに、前記第 1 の抵抗および前記第 2 の抵抗を変化させるために前記第 1 の部分および前記第 2 の部分の寸法を調整することを含み、

前記寸法の前記調整が、

前記ゲート導体に隣接した第 1 の内側セクションと、前記第 1 の内側セクションと前記ソース領域の間の第 1 の外側セクションとを有するように前記第 1 の部分を形成することと、

前記ゲート導体に隣接した第 2 の内側セクションと、前記第 2 の内側セクションと前記ドレイン領域の間の第 2 の外側セクションとを有するように前記第 2 の部分を形成することとを含み、

50

前記第2の内側セクションが、前記第1の内側セクションよりも長く形成され、前記第1の内側セクションおよび前記第2の内側セクションが第1の幅を有するように形成され、前記第1の外側セクションおよび前記第2の外側セクションが第2の幅を有するように形成され、

前記第2の幅が前記第1の幅よりも大きい、方法。

【請求項7】

前記第1の部分を形成することおよび前記第2の部分を形成することが、

前記半導体フィンの上に、前記ゲート導体に隣接させて、第1のスペーサおよび第2のスペーサを、前記第1のスペーサおよび前記第2のスペーサが前記第1の幅の3倍よりも大きい厚さを有し、前記第1のスペーサと前記ソース領域の間に第1の露出セクションが残り、前記第2のスペーサと前記ドレイン領域の間に第2の露出セクションが残るように形成することと、

10

前記第1のスペーサの前記厚さを低減させることと、

前記第1の露出セクションおよび前記第2の露出セクション上に追加の半導体材料を形成することと、を含む、請求項6に記載の方法。

【請求項8】

前記第1のスペーサの前記厚さを低減させることが、

前記第2のスペーサにマスクをし、前記第1のスペーサを等方的にエッチングすること、または

20

90度未満の角度から、前記第1のスペーサに向かって、不活性種を、前記第1のスペーサが、前記第2のスペーサよりも高い濃度の前記不活性種を受け取るように注入し、前記より高い濃度の前記不活性種のために前記第1のスペーサがより速い速度でエッチングされるエッチング・プロセスを実行すること、を含む、請求項7に記載の方法。

【請求項9】

フィン型電界効果トランジスタを製造する方法であって、

ソースおよびドレイン領域を形成することと、

前記ソースおよびドレイン領域間に延びる半導体フィンを形成することと、前記ソースおよびドレイン領域間にあって前記半導体フィンに隣接したゲート導体を形成することと、

前記トランジスタが所定の最大電圧で動作できるように抵抗を最適化するため、前記ゲート導体と前記ソースおよびドレイン領域の間の前記半導体フィンの寸法を調整することと、を含み、

30

前記寸法を調整することが、前記ゲート導体に隣接した前記半導体フィンの内側セクションよりも幅の広い、前記ソースおよびドレイン領域に隣接した前記半導体フィンの外側セクションを形成することを含む、方法。

【請求項10】

前記寸法を調整することがさらに、前記内側セクションの長さが、前記内側セクションの幅の3倍よりも大きくなるように前記内側セクションを形成することを含む、請求項9に記載の方法。

【請求項11】

前記半導体フィン上に、前記ゲート導体に隣接させて、スペーサを、前記スペーサの厚さが前記半導体フィンの幅の3倍よりも大きくなり、前記スペーサと前記ソースおよびドレイン領域の間に露出セクションが残るように形成し、

40

前記露出セクション上に追加の半導体材料を形成する、

ことによって、前記外側セクションが前記内側セクションよりも幅広く形成される、請求項10に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、フィン型電界効果トランジスタ(FiN FET)に関し、より具体的

50

には、それぞれ、ゲートとドレイン領域の間のミラー効果静電容量を小さくし、FinFETを安定させる(ballasting)ために、ゲートとドレイン領域の間の抵抗を増大させ、またはゲートとソース領域の間とゲートとドレイン領域の間の両方の抵抗を増大させた改良型のFinFET構造に関する。

【背景技術】

【0002】

トランジスタ設計が改良され、進化するにつれて、異なるトランジスタの種類は増え続ける。Fin型電界効果トランジスタ(FinFET)は、チャネル領域ならびにソースおよびドレイン領域を含むFinを有するトランジスタの一型である。ダブルゲートFinFETは、Finの両側壁に第1および第2のゲート導体を有するFinFETである。  
10 これらのゲート導体はFinのチャネル領域を覆い、Finのソースおよびドレイン領域は、ゲート導体の被覆範囲の外側に広がる。FinFETは、参照によって本明細書に組み込まれるHu他の米国特許第6413802号(以後「Hu」)に詳細に論じられている。FinFETのこの構造のため、FinFETの直列抵抗とゲート-ソース/ドレイン静電容量とは元来、トレードオフの関係にある。例えば、直列抵抗を小さくするため、具体的には、デジタル回路のデバイス・ドライブ(devicedrive)を相当に低下させる可能性があるフィードバックを生じさせる可能性があるソースとゲートの間の抵抗を小さくするために、ゲートから出るときのFinの幅を広げることができる。しかし、ゲートとドレイン領域の間のFinの幅を広げると、ゲートとドレインの間の抵抗が小さくなるだけでなく、静電容量が増大する。ドレイン抵抗は、デジタル回路のデバイス・ドライブに対してほとんど影響を及ぼさないが、ゲートとドレインの間の静電容量はしばしば、ミラー効果によるゲートとソースの間の静電容量の回路遅延に対して3倍までの影響を有することがある。  
20

【特許文献1】米国特許第6413802号

【発明の開示】

【発明が解決しようとする課題】

【0003】

関連する1つの問題として、FinFETは、非常に高い電圧で、トランジスタ・チャネルの最も高温の領域における熱暴走がFETを破壊する可能性があるスナップバック(snap-back)として知られているモードに入ることがある。複数のFinを含むFinFETでは、1つのFinが絶縁破壊状態になった場合、熱暴走が起こる可能性があり、その結果、そのFinが全ての追加の電流を伝導し、ついにはFinFETが破壊される。本発明は、それぞれ、ゲートとドレイン領域の間のミラー効果静電容量を小さくし、FinFETを安定させるために、ゲートとドレイン領域の間の抵抗だけを増大させ、またはゲートとソース領域の間とゲートとドレイン領域の間の両方のFin抵抗を増大させた改良型のFinFET構造およびそれらの構造を製造する関連方法を提供することによって、これらの問題に対処する。  
30

【課題を解決するための手段】

【0004】

本発明は、改良型のFinFET構造の実施形態およびこの構造の実施形態を製造する関連方法を提供する。一実施形態では、ゲートとソース領域の間のFin抵抗が小さくなり、ゲートとドレイン領域の間の静電容量が小さくなるようにFinFETを非対称に構成することによって、FinFETドライブ電流が最適化される。他の実施形態では、FinFETを安定させることによって、高電圧でのデバイス破壊が防止される。具体的には、FinFETが所定の最大電圧で動作することができるよう、ゲートとソース領域の間のFinの抵抗とゲートとドレイン領域の間のFinの抵抗の両方が増大される。本発明の安定化された複数のFinFETが一連として形成されると、この安定化は、FinFETの破壊を引き起こす1つのFinの暴走の早発を防ぐ。  
40

【0005】

より具体的には、本発明のFinFET構造の一実施形態は、基板上に、ソース領域お  
50

およびドレイン領域を形成する平行な半導体平面を含む。別の半導体平面（すなわちフィン）が、ソース領域からドレイン領域まで延びる。ソース領域とドレイン領域の間のフィン上にゲートが配置される。具体的には、ソース領域とドレイン領域の間のフィンの対向する両側壁に、ゲート誘電体層が形成される。このゲート誘電体層上にゲート導体が形成される。このFinFET構造は、ソース領域とゲート導体の間の半導体フィンの第1の抵抗が、ゲート導体とドレイン領域の間の半導体フィンの第2の抵抗よりも小さくなり、ソース領域とゲート導体の間の第1の静電容量が、ゲート導体とドレイン領域の間の第2の静電容量よりも大きくなるように、非対称に構成される。例えば、ドレイン領域よりもソース領域の方に近いフィン上の位置にゲート導体を配置することができる。ソース領域の方に近い位置にゲート導体を配置することは、ゲート導体とソース領域の間の第1の抵抗が、ゲート導体とドレイン領域の間の第2の抵抗よりも小さくなることを保証する。ゲート導体をドレイン領域から遠くに配置すると、ゲートとドレイン領域の間の静電容量が小さくなる。あるいは、ゲートを、ソース領域とドレイン領域から等距離のところに配置することができ、ゲート導体の両側のフィンの寸法によって非対称性を達成することができる。例えば、ゲート導体とソース領域の間の第1の部分およびゲート導体とドレイン領域の間の第2の部分を有するようにフィンを構成することができる。第1の部分および第2の部分はともに、ゲート導体および外側セクションに隣接した内側セクションを含むことができる。内側セクションの幅を外側セクションの幅よりも狭くすることができる（すなわち、内側セクションは、外側セクションの第2の幅よりも狭い第1の幅を有することができる）。ゲートとドレイン領域の間のフィンの第2の部分の内側セクションが、ゲートとソース領域の間のフィンの第1の部分の内側セクションよりも長い場合には、ゲートとドレイン領域の間の静電容量が小さくなり、ゲートとソース領域の間のフィンの抵抗が小さくなる。具体的には、第1の部分の内側セクションが、第1の幅（すなわち内側セクションの幅）にほぼ等しい第1の長さを有し、第2の部分の内側セクションが、第1の幅の約3倍よりも長い第2の長さを有する場合に、最適な抵抗および静電容量を達成することができる。  
10

20

#### 【0006】

本発明のFinFET構造の他の実施形態も、基板上に、ソース領域およびドレイン領域を形成する平行な半導体平面を含む。別の半導体平面（すなわちフィン）が、ソース領域からドレイン領域まで延びる。ソース領域およびドレイン領域から等距離にあるフィン上の位置に、ゲートが配置される。具体的には、ソース領域とドレイン領域の間のフィンの対向する両側壁に、ゲート誘電体層が形成される。このゲート誘電体層上にゲート導体が形成される。この実施形態のFinFET構造は、高電圧での破壊を防ぐように安定化される。例えば、ゲート導体とソース/ドレイン領域の間の半導体フィンの長さが半導体フィンの幅の約3から5倍である場合には、トランジスタが所定の最大電圧で動作することができるよう十分な抵抗を半導体フィンに提供することができる。ソース/ドレイン領域よりも低いソース/ドレイン・ドーパント（例えばn型ドーパントまたはp型ドーパント）濃度を有し、フィンの上面にシリサイド層を持たないように半導体フィンが構成される場合には、安定化のための追加の抵抗を提供することができる。あるいは、半導体フィンは、ソース領域とゲート導体の間の第1の部分と、ゲート導体とドレイン領域の間の第2の部分とを含むことができる。第1および第2の部分はともに、ゲート導体に隣接して、同じ幅（すなわち第1の幅）と、同じ長さ（すなわち第1の長さ）とを有する内側セクションを含む。さらに、第1および第2の部分はそれぞれ、内側セクションとソース/ドレイン領域の間に外側セクションを含むことができる。内側セクションの長さ（すなわち第1の長さ）が、内側セクションの同じ幅（すなわち第1の幅）の約3から5倍よりも大きい場合に、安定化を達成することができる。具体的には、この内側セクションの長さが、トランジスタが所定の最大電圧で動作できるよう抵抗をフィンに提供する。内側セクションが、ソース/ドレイン領域よりも低いソース/ドレイン・ドーパント（例えばn型ドーパントまたはp型ドーパント）濃度を有する場合、および内側セクションが、内側セクションの対応する上面に隣接するシリサイド層を持たない場合には、安定化のための  
30

40

50

追加の抵抗を提供することができる。

#### 【0007】

フィン型電界効果トランジスタ、具体的には非対称FinFETを製造する方法の一実施形態は、ソース領域、ドレイン領域、およびソース領域からドレイン領域まで延びる半導体フィンを形成することを含む。これらのソースおよびドレイン領域は、基板上の平行な半導体平面として形成される。フィンを形成するために、ソース領域とドレイン領域の間に延びる別の半導体平面が使用される。次いで、半導体フィンに隣接して、ソース領域およびドレイン領域の間に、例えばフィンの対向する両側壁にゲート誘電体層を形成し、このゲート誘電体層上にゲート導体を形成することによって、ゲートが形成される。ソース領域とゲート導体の間の半導体フィンの第1の抵抗が、ゲート導体とドレイン領域の間の半導体フィンの第2の抵抗よりも小さくなり、ソース領域とゲート導体の間の第1の静電容量が、ゲート導体とドレイン領域の間の第2の静電容量よりも大きくなるように、トランジスタ、具体的には半導体フィンおよびゲート導体が非対称に形成される。例えば、半導体フィンに隣接してゲート導体を、ゲート導体がドレイン領域よりもソース領域の方に近くなるように形成し、それによって、ソース領域とゲート導体の間のフィンの抵抗を小さくし、ゲート導体とドレイン領域の間の静電容量を小さくことができる。  
10

#### 【0008】

あるいは、半導体フィンに隣接してゲート導体を、ソース領域およびドレイン領域から等距離のところに形成することができる。第1および第2の抵抗を変化させるために、それぞれ、ゲート導体とソース領域の間のフィンの第1の部分の寸法およびゲート導体とドレイン領域の間のフィンの第2の部分の寸法が調整される。第1および第2の部分はそれぞれ、ゲート導体に隣接した内側セクションと、ゲート導体とソース領域の間またはゲート導体とドレイン領域の間のより幅の広い外側セクションとを有するように形成される。内側セクションはそれぞれ同じ幅（すなわち第1の幅）を有し、外側セクションはそれぞれ同じ幅（すなわち第2の幅）を有する。ゲート導体とドレイン領域の間の第2の部分の内側セクションが第1の部分の内側セクションよりも長い場合に、非対称性を達成することができる。したがって、ソース領域とゲート導体の間のフィンの抵抗が小さくなり、ゲート導体とドレイン領域の間の静電容量も小さくなる。最適な非対称性は、第1の部分の内側セクションが、内側セクションの幅にほぼ等しい長さ（すなわち第1の長さ）を有するように形成され、第2の部分の内側セクションが、第1の幅の約3から5倍よりも大きい長さ（すなわち第2の長さ）を有するように形成される場合に達成することができる。ソース／ドレイン領域、フィンおよびゲートが形成された後、追加のプロセス・ステップを実行して、FinFETを完成させることができる。  
20

#### 【0009】

フィンの第1および第2の部分の寸法を前述のとおりに調整するため、ゲート導体を形成した後に、フィンの第1の部分の上に（例えばフィンの上面および対向する両側壁に）、ゲート導体にじかに隣接して、第1のスペーサが形成され、同様に、ゲート導体の第2の部分の側に第2のスペーサが形成される。第1および第2のスペーサは最初、同じ厚さを有するように形成することができる。この厚さは、第1の幅（すなわちフィンの狭いセクションの幅）の約3から5倍よりも大きくすることができ、さらに、この厚さは、第1のスペーサとソース領域の間にフィンの第1の部分の第1の露出セクションが残り、第2のスペーサとドレイン領域の間にフィンの第2の部分の第2の露出セクションが残るような厚さであるべきである。スペーサが形成された後、第1のスペーサのサイズ（すなわち厚さ）が低減される。第1のスペーサの厚さを低減させる1つの技法は、第2のスペーサにマスクをし、次いで第1のスペーサを等方的にエッチングすることを含む。このエッチング・プロセスは、第1のスペーサの上面だけでなく、第1のスペーサの露出した側壁もエッチングし、したがってスペーサの厚さを低減させる。第1のスペーサの厚さを低減させる他の技法は、90度未満のある角度から第1のスペーサに向かって不活性種（例えばシリコン、アルゴン、キセノンなど）を、ゲート導体によって第2のスペーサが遮られ、それによって第1のスペーサが、第1のスペーサのエッチング速度を高めるより大きな濃  
30  
40  
50

度の不活性種を受け取るように注入することを含む。次いで、より大きな濃度の不活性種を有する第1のスペーサが第2のスペーサよりも速い速度でエッティングされるように、エッティング・プロセスが実行される。この場合も、このエッティング・プロセスは、スペーサの上面だけでなく、第1のスペーサの露出した側壁もエッティングし、したがってスペーサの厚さを低減させる。第1のスペーサの厚さが（例えばフィンの幅（すなわち第1の幅））にほぼ等しくなるように）低減された後、それぞれ第1および第2の外側セクションを形成するために、第1および第2の露出セクション上に追加の半導体材料が形成される。したがって、内側セクションは、第1および第2のスペーサの下に残るフィンのセクションである。

## 【0010】

10

フィン型電界効果トランジスタ、具体的には安定化されたFinFETを製造する方法の一実施形態は、ソース領域、ドレイン領域、およびソース領域からドレイン領域まで延びる半導体フィンを形成することを含む。これらのソースおよびドレイン領域は、基板上の平行な半導体平面として形成される。フィンを形成するために、ソース領域とドレイン領域の間に延びる別の半導体平面が使用される。次いで、半導体フィンに隣接して、ゲートが、ソース領域およびドレイン領域から等距離の位置に、例えばフィンの対向する両側壁にゲート誘電体層を形成し、そのゲート誘電体層上にゲート導体を形成することによって形成される。ゲート導体とソース領域の間またはゲート導体とドレイン領域の間のフィンの長さが半導体フィンの幅の約3倍よりも大きくなるようにゲートを形成することによって、安定化を達成することができる。この長さは、トランジスタが所定の最大電圧で動作できるような抵抗を半導体フィンに追加する。ソース/ドレイン領域、フィンおよびゲートが形成された後、追加のプロセス・ステップを実行して、FinFETを完成させることができる。（例えばフィンへのN+領域またはP+領域の注入を妨げることによって）ソース/ドレイン領域よりも低いソース/ドレイン・ドーパント濃度を有する半導体フィンを形成することによって、および（例えば、フィンの上面でのシリサイドの形成を妨げることによって）上面にシリサイド層を持たないフィンを形成することによって、安定化のための追加の抵抗を提供することができる。

20

## 【0011】

あるいは、ソース/ドレイン領域から等距離にあるゲート導体を形成し、トランジスタが所定の最大電圧で動作できるように抵抗を最適化するために、ゲート導体の両側のフィンの寸法を調整することによって、安定化を達成することもできる。例えば、ソース/ドレイン領域に隣接したフィンの外側セクションを、ゲート導体に隣接した内側セクションよりも幅が広くなるように形成することができる。内側セクションは、内側セクションの長さが内側セクションの幅の約3倍よりも大きくなるように形成することができる。内側および外側セクションを形成するため、フィンの上（例えばフィンの上面および対向する両側壁）に、ゲート導体の両側面にじかに隣接したスペーサが形成される。スペーサは、最初に形成されたときのフィンの幅（すなわちフィンの内側セクションの幅）の約3から5倍よりも大きい厚さを有するように形成することができ、この厚さは、スペーサとソース/ドレイン領域の間にフィンの露出セクションが残るような厚さであるべきである。スペーサが形成された後、より幅の広い外側セクションを形成するために、フィンの露出セクション上に追加の半導体材料が形成される。したがって、より幅の狭い内側セクションは、スペーサの下に残るフィンのセクションである。この場合も、ソース/ドレイン領域、フィンおよびゲートが形成された後に、追加のプロセス・ステップを実行して、FinFETを完成させることができる。内側セクションが、内側セクションの対応する上面にシリサイド層を持たないように形成される場合、およびソース/ドレイン領域のソース/ドレイン・ドーパント（例えばn型ドーパントまたはp型ドーパント）濃度がフィンの内側セクションよりも高い場合には、安定化のための追加の抵抗を提供することができる。

30

## 【0012】

本発明のこれらの態様および目的、ならびに本発明の他の態様および目的は、以下の説明および添付図面に関して検討したときにより完全に認識され、理解されるであろう。し

40

50

かし、本発明の実施形態およびその多数の特定の詳細を示す以下の説明は、例示のために与えられたものであり、限定を目的としたものではない。本発明の範囲に含まれ、本発明の趣旨を逸脱しない多くの変更および修正を加えることができ、本発明はそのような全ての変更を包含する。

【0013】

本発明は、図面に関する以下の詳細な説明からより完全に理解されるであろう。

【発明を実施するための最良の形態】

【0014】

添付図面に示し、以下で詳細に説明する非限定的な実施形態を参照して、本発明ならびに本発明のさまざまな特徴および有利な詳細をより完全に説明する。図面に示された特徴は必ずしも一定の尺度では描かれていないことに留意されたい。本発明を必要に不明瞭にすることがないように、周知の構成要素およびプロセス技法の説明は省略する。本明細書で使用される例は単に、本発明を実施することができる方法の理解を容易にし、当業者が本発明を実施することをさらに可能にすることを意図したものである。したがって、それらの例を、本発明の範囲を限定するものと解釈してはならない。

10

【0015】

本明細書では、改良型のフィン型電界効果トランジスタ(FinFET)構造およびそれらの構造を製造する関連方法が開示される。一実施形態では、ゲートとソース領域との間のフィン抵抗が小さくなり、ゲートとドレイン領域との間の静電容量が小さくなるようにFinFETを非対称に構成することによって、FinFETドライブ電流が最適化される。他の実施形態では、FinFETを安定させることによって、高電圧でのデバイス破壊が防止される。具体的には、FinFETが所定の最大電圧で動作することができるよう、ゲートとソース領域との間のフィンの抵抗とゲートとドレイン領域との間のフィンの抵抗の両方が、(例えば、フィンの長さを長くすることによって、フィンへのソース/ドレイン注入を遮断することによって、およびフィンの上面でのシリサイドの形成を妨げることによって)最適化される。本発明の安定化された複数のFinFETが一連として形成されると、この安定化は、一連の全てのFinFETの破壊を引き起こしうる連鎖反応を防ぐことができる。

20

【0016】

図1および2を参照すると、本発明の構造の一実施形態では、ソース領域101、201とドレイン領域102、202との間が非対称であるFinFET100、200が設計される。例えば、ゲート、具体的にはゲート導体120、220が、フィン150、250が単一のソース・ストラップに結合する点(図1の項目101参照)、またはフィン150、250の幅がゲート導体とソース・ストラップの間で増大する点(図2の項目271参照)の近くに配置される。逆にゲート導体120、220は、フィンの幅がゲート導体とドレイン・ストラップの間で増大する点(図2の項目272参照)、またはフィンが単一のドレイン・ストラップに結合する点(図1の項目102参照)から遠くに配置される。より具体的には、図1および2を参照すると、本発明のFinFET構造(100、200)の一実施形態は、基板上に、ソース領域101、201およびドレイン領域102、202を形成する平行な半導体平面を含む。別の半導体平面(すなわち幅3~40nmのフィン150、250)が、ソース領域101、201からドレイン領域102、202まで延びる。ソース領域101、201とドレイン領域102、202との間のフィン150、250上にゲートが配置される。具体的には、ソース領域とドレイン領域との間のフィンの対向する両側壁に、ゲート誘電体層が形成される。このゲート誘電体層上にゲート導体120、220が形成される。FinFET構造100、200は、ソース領域101、201とゲート導体120、220の間の半導体フィン150、250の第1の抵抗が、ゲート導体120、220とドレイン領域102、202との間の半導体フィン150、250の第2の抵抗よりも小さくなり、ソース領域101、201とゲート導体120、220の間の第1の静電容量が、ゲート導体120、220とドレイン領域102、202との間の第2の静電容量よりも大きくなるように、非対称に構成される。

30

40

50

## 【0017】

例えば、図1を参照すると、ドレイン領域102よりもソース領域101の方に近いフィン150上の位置にゲート導体120を配置することができる。ソース領域の方に近い位置にゲート導体を配置することは、ゲート導体とソース領域の間の第1の抵抗が、ゲート導体とドレイン領域の間の第2の抵抗よりも小さくなることを保証する。ゲート導体をドレイン領域から遠くに配置すると、ゲートとドレイン領域の間の静電容量が小さくなる。

## 【0018】

あるいは、図2を参照すると、ゲート導体を、ソース領域201およびドレイン領域から202から等距離283のところに配置することができる。フィン250は、ゲート導体220とソース領域201の間の第1の部分251と、ゲート導体220とドレイン領域202の間の第2の部分252とを有するように構成することができる。第1の部分251および第2の部分252はともに、ゲート導体220に隣接した内側セクション261、262と、内側セクション261、262に隣接した（すなわち内側セクション261とソース領域201の間および内側セクション262とドレイン領域202の間の）外側セクション271、272とを含むことができる。内側セクション261、262は同じ幅（例えば約3～40nmの第1の幅287）を有することができる。外側のセクション271、272も、内側セクション261、262の第1の幅287よりも広い同じ幅（例えば約9～200nmの第2の幅288）を有することができる。第2の部分252の内側セクション262が、第1の部分251の内側セクション261よりも長い場合には、ゲート導体220とドレイン領域202の間の静電容量が小さくなり、ゲート導体220とソース領域201の間の抵抗が小さくなる。第1の幅の広いセクション271がゲート導体220に近いほど、ゲート導体220とソース領域201の間の抵抗は小さくなる。具体的には、内側セクション261が第1の幅287にほぼ等しい第1の長さ284を有し、内側セクション262が、第1の幅287の約3倍よりも大きい第2の長さ282を有する場合に、最適な抵抗および静電容量を達成することができる。

## 【0019】

図3～5および図6～8を参照すると、本発明のFinFET構造の他の実施形態300、400は、基板上に、ソース領域301、401およびドレイン領域302、402を形成する平行な半導体平面を含む。別の半導体平面（すなわち幅3～40nmのフィン350、450）が、ソース領域301、401からドレイン領域302、402まで延びる。ソース領域301、401およびドレイン領域302、402から等距離383、483にあるフィン350、450上の位置に、ゲート（例えばゲート誘電体層およびゲート導体320、420を含むゲート）を配置することができる。これらの構造300、400はさらに、ゲート導体320、420の対向する両側壁に、フィン350、450を覆って形成されたスペーサ311～312、411～412を含むことができる。この実施形態のFinFET構造300、400は、高電圧での破壊を防ぐように安定化される。上で論じたとおり、FinFETは、非常に高い電圧で、トランジスタ・チャネルの最も高温の領域における電流暴走によってFETが破壊される可能性があるスナップバックとして知られているモードに入ることがある。このモードは、複数のフィンを有するFinFETの並列セットで起こる可能性があり、そこでは、最も高温のフィンで熱暴走が起こり、全ての追加の電流を伝導し、ついにはFinFETの破壊を引き起こす。本発明の構造300、400は、並列の複数のFinFET（それぞれ図5および8の項目390、490を参照されたい）に加えることができる最大電圧／電流を、所定の最大値まで増大させることができるように安定化されたFinFETを提供する。

## 【0020】

例えば、図3～4を参照すると、ゲート導体320とソース領域301の間とゲート導体320とドレイン領域302の間の半導体フィン350の等しい長さ383は、半導体フィン350の幅388の約3から5倍（例えば9～200nm）よりも大きい。この長さ383は、トランジスタ300が所定の最大電圧で動作することができるよう十分な

10

20

30

40

50

抵抗を半導体フィン350に提供することができる。半導体フィンのドーパント濃度がソース／ドレイン領域301、302のドーパント濃度よりも低い半導体フィン350が構成される場合には、安定化のための追加の抵抗を提供することができる。半導体フィンの上面395がシリサイド層391を持たない場合にも、追加の抵抗を提供することができる。例えば、図4に示されているように、ソース／ドレイン領域301、302にN+領域392を注入し、シリサイド391で覆うことができるが、この製造プロセスの間、フィン350におけるシリサイド391およびN+領域392の形成を妨げることができる。図5を参照すると、安定化されたFinFET300a～cが並列セット390として形成される場合、個々のFET(300a～c)の安定化は、最も低い破壊電圧を有するフィンが、熱暴走を起こし、全ての過剰電流を伝導し、ついには並列セット390の中の全てのFinFET300a～cの破壊を引き起こすことを防ぐ。

#### 【0021】

あるいは、図6～7を参照すると、半導体フィン450は、ソース領域401とゲート導体420の間の第1の部分451と、ゲート導体420とドレイン領域402の間の第2の部分452とを含むことができる。第1の部分451および第2の部分452はともに、例えば3～40nmの同じ幅(すなわち第1の幅487)と、例えば9～200nmの同じ長さ(すなわち第1の長さ482)とを有する内側セクション461、462を含む。内側セクション461、462は、ゲート導体420にじかに隣接して配置される。第1の部分451および第2の部分452はそれぞれ、内側セクション461、462とソース／ドレイン領域401、402の間の幅の広いセクションである外側セクション471、472をさらに含むことができる。内側セクションの長さ(すなわち第1の長さ482)が内側セクションの幅(すなわち第1の幅487)の約3から5倍よりも大きい場合に、安定化を達成することができる。具体的には、幅の狭い内側セクション461、462の長さ482が、トランジスタ400が所定の最大電圧で動作することができるよう抵抗をフィン450に提供する。ソース／ドレイン領域401、402よりも低いソース／ドレイン・ドーパント(すなわちp型またはn型ドーパント)濃度を有する内側セクション461、462が構成される場合、および内側セクション461、462の上面495が隣接するシリサイド層を持たない場合には、安定化のための追加の抵抗を提供することができる。例えば、図7に示されているように、ソース／ドレイン領域401、402および外側セクション471、472にN+領域492を注入し、シリサイド491で覆うことができるが、この製造プロセスの間、内側セクション461、462におけるシリサイド491およびN+領域492の形成はスペーサ411、412によって妨げられる。図8を参照すると、安定化されたFinFET400a～cが並列セット490として形成される場合、個々のFET(400a～c)の安定化は、最も低い破壊電圧を有するフィンが、熱暴走を起こし、全ての過剰電流を伝導し、ついには並列セット490中の全てのFinFET400a～cの破壊を引き起こすことを防ぐ。

#### 【0022】

図9を図1とともに参照すると、フィン型電界効果トランジスタ、具体的には非対称FinFET100を製造する方法の一実施形態は、従来のシリコン・オン・インシュレータ(SOI)FinFETのプロセス技法を含む。この方法は、ソース／ドレイン領域101、102を形成すること(500)、およびソース領域101からドレイン領域102まで延びる幅約3～40nmの半導体フィン150を形成すること(502)を含む。具体的には、ソース／ドレイン領域が平行な平面として形成され、ソース領域とドレイン領域の間にフィン(1つまたは複数)が延びるように、SOIウェーハのシリコン層内にソース／ドレイン領域およびフィンをリソグラフィによってパターン形成し、エッチングすることができる。エッチングの前に、シリコン層の上にハード・マスクを付着させることができる。

#### 【0023】

半導体フィン150に隣接してゲート(例えばゲート誘電体層およびゲート導体120)を、ゲート導体120がドレイン領域102よりもソース領域101の方に近くなるよ

10

20

30

40

50

うに形成する(504)ことによって、非対称性が提供される。ゲートを形成するため、フィン上、具体的にはフィンおよびソース／ドレイン領域の露出したシリコン表面上に犠牲酸化物を成長させ、次いでこれを剥離して、凹凸を除去することができる。次いで、フィンの側壁および上面にゲート誘電体層を成長または付着させることができる。ゲート誘電体層を形成した後、ポリシリコンなどの導電材料をフィンの上に付着させ、リソグラフィによってパターン形成し、エッチングすることができる。この実施形態では、形成されるゲート導体が、ソース領域の方により近い位置に配置される。ソース領域とドレイン領域の間のゲート導体120の配置のこの非対称性の結果、ソース領域101とゲート導体120の間の半導体フィン150の第1の抵抗が、ゲート導体120とドレイン領域102の間の半導体フィン150の第2の抵抗よりも小さくなる。この非対称性の結果さらに、ソース領域101とゲート導体120の間の第1の静電容量が、ゲート導体120とドレイン領域102の間の第2の静電容量よりも大きくなる。したがって、半導体フィン150に隣接してゲート導体120を、ゲート導体120がドレイン領域102よりもソース領域101の方に近くなるように形成すると、ソース領域101とゲート導体120の間のフィン150の抵抗が小さくなり、ゲート導体120とドレイン領域102の間の静電容量が小さくなる。追加のプロセスを実行して、FinFET100を完成させることができる(506)。この追加のプロセスには、任意選択のハード・マスクを、方向性(directional)反応性イオン・エッチング・プロセスによって剥離すること、ソース／ドレイン延長部分を注入すること(すなわちフィンのセクションをソース／ドレイン領域の間に注入する)こと、ハローを形成すること、フィン・スペーサを形成すること、ゲート側壁にスペーサを形成すること、ソース／ドレイン領域にN<sup>+</sup>を注入すること、フィンの上面、ソース／ドレイン領域の上面、またはポリシリコン材料のゲート導体がキャップなしで形成される場合のゲート導体の上面、あるいはこれらの全てにシリサイド層(例えばCo、Niなど)を形成すること、追加の誘電体層を付着させ、平坦化すること、ゲート・コンタクトを形成すること、ソース／ドレイン・コンタクトを形成することなどが含まれる。ただしこれらに限定されるわけではない。同じプロセス・ステップを使用して、同じソース／ドレイン・ストラップを複数の半導体フィンが共有した複数のトランジスタ100を同時に形成することができることに留意されたい。

#### 【0024】

図10を図2とともに参照すると、非対称FinFET200を製造する方法の代替実施形態も、従来のシリコン・オン・インシュレータ(SOI)FinFETプロセス技法を含む。この方法は、以前に詳細に説明したとおりに、ソース／ドレイン領域201、202を形成すること(600)、およびソース領域201からドレイン領域202まで延びる幅の狭い半導体フィン250を形成すること(602)を含む。しかし、本発明のこの実施形態では、半導体フィン250に隣接して(ゲート導体220を含む)ゲートを、ソース領域201およびドレイン領域202から等距離283のところに形成することができる(604)。プロセス(604)でゲートが形成された後、ゲート導体とソース領域の間のフィンの第1の部分の第1の抵抗およびゲート導体とドレイン領域の間のフィンの第2の部分の第2の抵抗を変化させるために、ゲート導体の両側のフィンの寸法(例えばゲート導体とソース領域の間およびゲート導体とドレイン領域の間)が調整される(605)。具体的には、第1の部分251の寸法を調整して、第1の幅287(例えば3~40nm)を有する第1の内側セクション261がゲート導体220に隣接して配置され、第1の幅287よりも広い第2の幅288を有する第1の外側セクション271が、第1の内側セクション261とソース領域201の間に配置されるようにすることができる。同様に、第2の部分252の寸法を調整して、第2の内側セクション262および第2の外側セクション272を形成することができる。内側セクションはそれぞれ同じ幅287を有することができ、外側セクションは同じ幅288を有することができる。第2の内側セクション262が第1の内側セクション262よりも長い場合に、非対称性を達成することができ、それによって、ソース領域201とゲート導体220の間のフィン250の抵抗が小さくなり、ゲート導体220とドレイン領域201の間の静電容量が小さくな

10

20

30

40

50

る。最適な非対称性は、第1の内側セクション261が、第1の幅287にほぼ等しい第1の長さ284（例えば3～40nm）を有するように形成され、第2の内側セクション262が、第1の幅287の約3から5倍よりも大きい第2の長さ282（例えば9～200nm）を有するように形成される場合に達成することができる。

【0025】

プロセス(605)においてフィンの寸法を前述のとおりに調整するため、ゲート導体220を含むゲートをプロセス(604)で形成した後に、フィン250の第1の部分251および第2の部分252の上に、ゲート導体220の側面221、222にじかに接して、第1のスペーサ211および第2のスペーサ212が同時に形成される(606、図11参照)。例えば、スペーサ211、212は、ゲート導体220の側面221、222に約9～200nmの厚い二酸化シリコン層を成長または付着させることによって形成することができる。スペーサ211、212は最初、同じ厚さ282を有するように形成することができる。この厚さ282は、最初に形成されたフィンの幅287（すなわち第1の幅）（例えば3～40nm）の約3から5倍よりも大きくあるべきである。したがって、スペーサ211、212の厚さはそれぞれ約9～200nmとすることができる。さらに、スペーサ211、212は、第1のスペーサ211とソース領域201の間に、フィン250の第1の部分251の第1の露出セクション276が残り、第2のスペーサ212とドレイン領域202の間に、フィン250の第2の部分252の第2の露出セクション275が残るように形成されるべきである。プロセス(606)でスペーサ211、212が形成された後、第1の幅287にほぼ等しい別の厚さ284をスペーサ211が有するように、第1のスペーサ211のサイズ（すなわち厚さ282）が低減される(608、図2参照)。第1のスペーサの厚さを低減させる1つの技法は、第2のスペーサ212にマスク277をし(610、図12参照)、次いで第1のスペーサを等方的にエッチングする(612、図12参照)ことを含む。このエッチング・プロセスは、第1のスペーサ211の上面213だけでなく、第1のスペーサ211の露出した側壁215もエッチングし、したがってスペーサの厚さを低減させる。第1のスペーサ211の厚さが低減された後、マスク277は除去される(614)。第1のスペーサの厚さを低減させる他の技法は、第2のスペーサ212への注入がゲート導体220によって遮られる（すなわち部分的に遮断される）ように、ある角度216(<90度)から第1のスペーサ211に向かって二酸化シリコン・スペーサ211、212の中へ不活性種217（例えばシリコン、アルゴン、キセノンなど）を注入することを含む。したがって、第1のスペーサ211は、第1のスペーサ211のエッチング速度を高めるより大きな濃度の不活性種217を受け取る(616、図13参照)。次いで、より大きな濃度の不活性種217を有する第1のスペーサ211が第2のスペーサ212よりも速い速度でエッチングされるように、エッチング・プロセスが実行される(618、図14参照)。この場合も、エッチング・プロセス(618)は、第1のスペーサ211の上面213だけでなく、第1のスペーサ211の露出した側壁215もエッチングし、したがってスペーサの厚さを低減させる。

【0026】

プロセス(608)で第1のスペーサ211の厚さが低減された後、第1の露出セクション276および第2の露出セクション275上に、追加の半導体材料（例えばシリコン、シリコンゲルマニウム、炭化シリコンゲルマニウムなど）が形成される(620、例えば図12および14参照)。追加の半導体材料を形成するプロセス(620)は、フィン250の露出セクション275、276上およびシリコン・ソース/ドレイン領域上に、シリコン、シリコンゲルマニウムまたは炭化シリコンゲルマニウムを選択的に成長させることによって実施することができる。このプロセス(620)は、第1および第2の外側セクション271、272を形成する（図2参照）。したがって、第1および第2の内側セクション261、262はそれぞれ、フィン250の第1のスペーサ211および第2のスペーサ212の下に残るセクションである。先に詳細に説明した追加のプロセスを実行して、FinFET200を完成させることができる（図10の622）。同じプロセ

10

20

30

40

50

ス・ステップを使用して、同じソース／ドレイン・ストラップを複数の半導体フィンが共有した複数のトランジスタ200を同時に形成することができることに留意されたい。

【0027】

図15を図3とともに参照すると、フィン型電界効果トランジスタ、具体的には安定化されたFinFET300を製造する方法の一実施形態は、従来のFinFETプロセス技術を使用して、以前に詳細に説明したとおりに、ソース／ドレイン領域301、302を形成し、半導体フィン350を形成することを含む(1100～1102)。半導体フィンに隣接して、ゲート誘電体層およびゲート導体320を含むゲートが、ゲート導体320がソース領域301およびドレイン領域302から等距離383にあるように形成される(1104、ゲート形成プロセスの上記の詳細な説明を参照されたい)。ゲート導体320とソース領域301の間またはゲート導体320とドレイン領域302の間のフィン350の長さ383が、半導体フィン350の幅388の約3倍よりも大きくなるようにゲートを形成することによって、安定化を達成することができる。この長さ383は、トランジスタ300が所定の最大電圧で動作することができるよう抵抗を半導体フィン350に追加する。ソース／ドレイン領域301、302、フィン350、およびゲート導体320を含むゲートが形成された後、追加のプロセス・ステップを実行して、FinFETを完成させることができる(1106、上記の詳細な説明を参照されたい)。(例えば、プロセス1106で、フィン350へのN+領域392の注入を妨げることによって(図4参照))ソース／ドレイン領域よりも低いソース／ドレイン・ドーパント濃度を有し(1108)、(例えば、プロセス1106で、フィン350の上面395でのシリサイド層391の形成を妨げることによって(図4参照))フィン350の上面395にシリサイド層を持たない(1110)半導体フィン350を形成することによって、安定化のための追加の抵抗を提供することができる。同じプロセス・ステップを使用して、同じソース／ドレイン・ストラップを複数の半導体フィンが共有した複数のトランジスタ300を同時に形成することができることに留意されたい(図5参照)。

【0028】

あるいは、図16を図6とともに参照すると、安定化されたFinFET400を製造する方法の一実施形態は、従来のFinFETプロセス技術を使用して、ソース／ドレイン領域401、402を形成し、幅の狭い半導体フィン450を形成することを含む(1200～1202、上記の詳細な説明を参照されたい)。半導体フィン450に隣接して、ゲート誘電体層およびゲート導体420を含むゲートが、ゲート導体420がソース領域401およびドレイン領域402から等距離483にあるように形成される(1204、上記の詳細な説明を参照されたい)。プロセス(1204)でゲートが形成された後、トランジスタが所定の最大電圧で動作できるように抵抗を最適化するために、フィンの寸法を調整することができる(1205)。フィンの寸法は、ゲート導体に隣接したフィンの内側セクションよりも幅が広い、ソース／ドレインに隣接したフィンの外側セクションを形成することによって調整することができる。具体的には、ソース領域401とゲート導体420の間に延びるゲート導体420によって覆われていないフィン450の第1の部分451と、ゲート導体420とドレイン領域402の間に延びる第2の部分452の両方を調整することができる。これらの寸法は、同じ幅487(すなわち第1の幅487)および同じ長さ(すなわち第1の長さ482)を有する内側セクション461、462がゲート導体に隣接して配置されるように調整することができる。さらに、これらの寸法は、外側セクション471、472が、同じ幅488(すなわち第2の幅)および同じ長さ481(すなわち第2の長さ)を有し、ソース／ドレイン領域に隣接して配置されるように調整することができる。外側セクション471、472は、それらの幅488が内側セクション461、462の幅487よりも広くなるように形成される。内側セクション461、462の長さ482が、フィンの最初の幅(すなわち第1の幅487)の約3倍よりも大きくなるように内側および外側セクションを形成し、それによって、トランジスタ400が所定の最大電圧で動作できるよう十分な抵抗を第1および第2の内側セクション461、462に提供することによって、安定化が達成される。

10

20

30

40

50

## 【0029】

プロセス(1205)でフィンの寸法を調整して、内側セクション461、462および外側のセクション471、472を前述のとおりに形成するため、フィン450の第1および第2の部分451、452の上(例えば、フィン450の上面および対向する両側壁)に、ゲート導体420の側面421、422にじかに隣接したスペーサ411、412が形成される(1206、図17参照)。スペーサ411、412は、(例えば二酸化シリコンを成長または付着させることによって、)第1の幅487(すなわちプロセス(1202)で最初に形成されたときのフィンの幅(例えば3~40nm))の約3から5倍よりも大きい厚さ482を有するように形成することができる。スペーサはさらに、スペーサ411、412とソース/ドレイン領域401、402の間にフィン450の第1および第2の露出セクション476、475が残るように形成されるべきである。スペーサ411、412が形成された後、第1および第2の外側セクション471、472を形成するために、フィンの露出セクション475、476上に、追加の半導体材料(例えばシリコン、シリコンゲルマニウム、炭化シリコンゲルマニウムなど)が形成される(1208、図6参照)。したがって、第1および第2の内側セクション461、462は、スペーサ411、412の下に残るフィン450のセクションである。内側セクションの長さはスペーサの厚さの関数である。この場合も、ソース/ドレイン領域401、402、フィン450、およびゲート導体420を含むゲートが形成された後に、先に詳細に説明したような追加のプロセス・ステップを実行して、FinFETを完成させることができる(1210)。ソース/ドレイン領域のドーパント濃度よりも低いソース/ドレイン・ドーパント濃度を有する半導体フィン450の第1および第2の内側セクション461、462を(例えば、プロセス1210においてフィン450へのN+領域492の注入を妨げることによって(図7参照))形成し(1212)、シリサイド層を持たない内側セクションを(例えば、プロセス1210においてフィン450の上面495でのシリサイド層491の形成を妨げることによって(図7参照))形成する(1214)ことによって、安定化のための追加の抵抗を提供することができる。同じプロセス・ステップを使用して、同じソース/ドレイン・ストラップを複数の半導体フィンが共有した複数のトランジスタ400を同時に形成することができるに留意されたい(図8参照)。

## 【0030】

以上に、改良型のフィン型電界効果トランジスタ(FinFET)構造および該構造を30 製造する関連方法を開示した。一実施形態では、ゲートとソース領域の間のフィン抵抗が小さくなり、ゲートとドレイン領域の間の静電容量が小さくなるようにFinFETを非対称に構成することによって、FinFETドライブ電流が最適化される。この同時に低いソース-ゲート抵抗およびドレイン-ゲート静電容量によって、該非対称FinFETは、より高いスイッチング速度を有する低電力の回路を提供することができる。より少ないフィンで同等の速度を提供することができるため、このことはさらに、物理的により小さな回路を提供し、したがってより低コストの回路を提供する。他の実施形態では、FinFETを安定させることによって、高電圧でのデバイス破壊が防止される。具体的には、FinFETが所定の最大電圧で動作することができるよう、ゲートとソース領域の間のフィンの抵抗とゲートとドレイン領域の間のフィンの抵抗の両方が、(例えば、フィンの長さを長くすることによって、フィンへのソース/ドレイン注入を遮断することによって、およびフィンの上面でのシリサイドの形成を妨げることによって)最適化される。安定化されたこのようなFinFETは、より高い動作電圧でのより高い信頼性を提供し、特殊な高圧トランジスタを回路に追加するために通常なら必要となる高コストの特殊なプロセス・ステップを排除することができる。本発明を実施形態に関して説明したが、本発明は、添付の特許請求の範囲の趣旨および範囲内の変更を加えて実施することができる40ことを当業者は認識するであろう。

## 【図面の簡単な説明】

## 【0031】

【図1】本発明のFinFET 100の概略図である。

10

20

30

40

50

- 【図2】本発明のFinFET200の概略図である。
- 【図3】本発明のFinFET300の概略図である。
- 【図4】FinFET300の概略側面図である。
- 【図5】一連のFinFET300の概略図である。
- 【図6】本発明のFinFET400の概略図である。
- 【図7】FinFET400の概略側面図である。
- 【図8】一連のFinFET400の概略図である。
- 【図9】FinFET100を製造する方法を示す概略流れ図である。
- 【図10】FinFET200を製造する方法を示す概略流れ図である。
- 【図11】部分的に完成したFinFET200の概略図である。 10
- 【図12】部分的に完成したFinFET200の概略図である。
- 【図13】部分的に完成したFinFET200の概略図である。
- 【図14】部分的に完成したFinFET200の概略図である。
- 【図15】FinFET300を製造する方法を示す概略流れ図である。
- 【図16】FinFET400を製造する方法を示す概略流れ図である。
- 【図17】部分的に完成したFinFET400の概略図である。

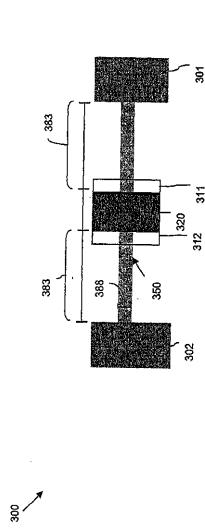


Figure 3a

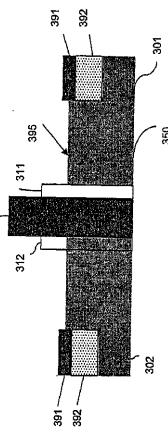


Figure 3b

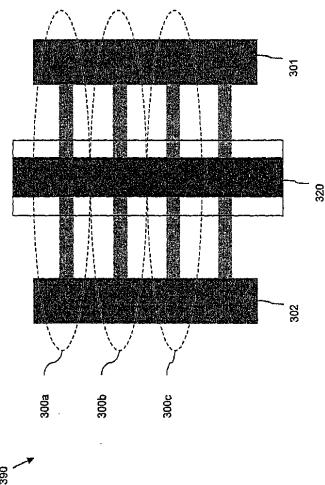


Figure 3c

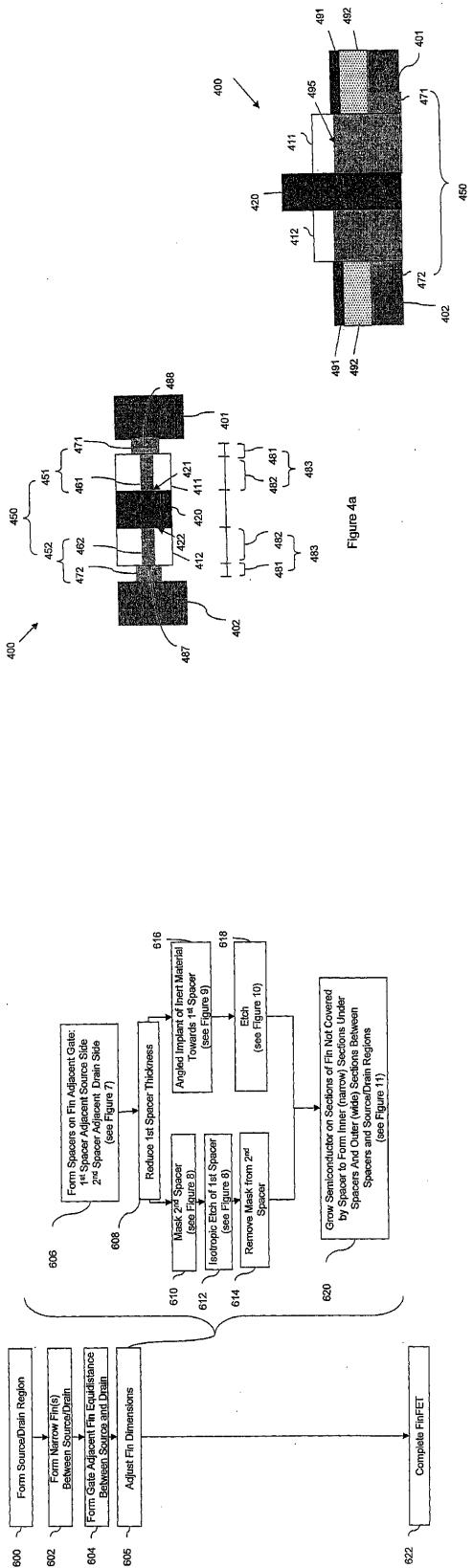


Figure 4b

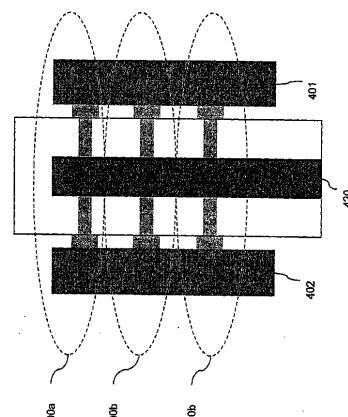


Figure 4c

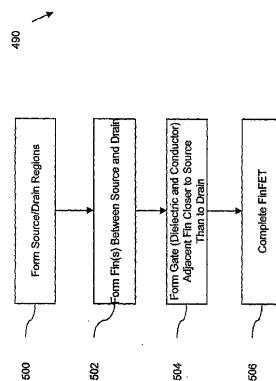


Figure 5

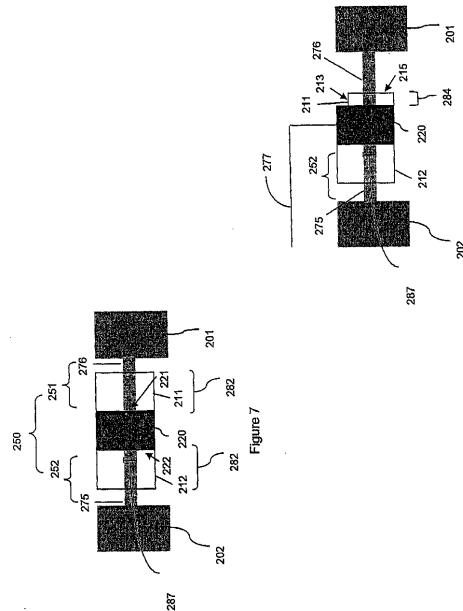


Figure 8

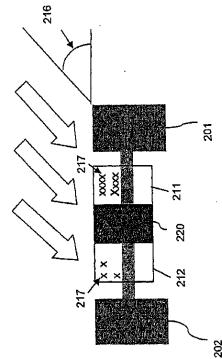


Figure 9

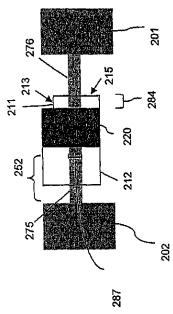


Figure 10

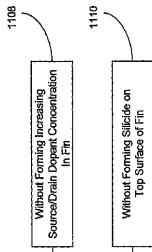


Figure 11

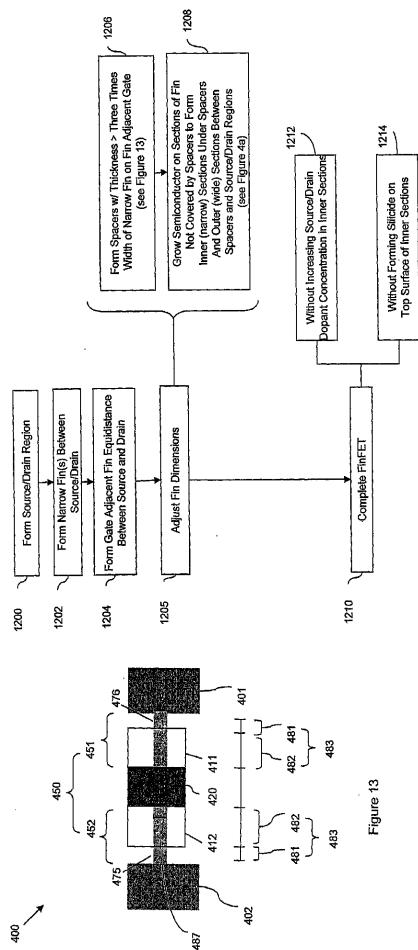
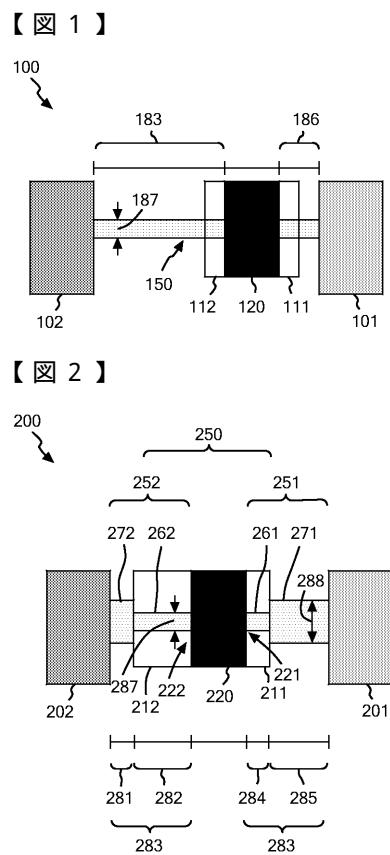
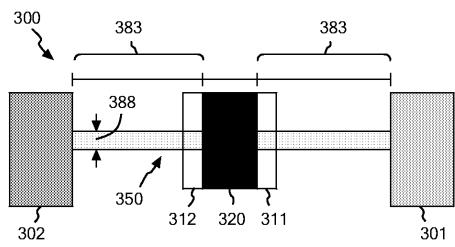


Figure 12

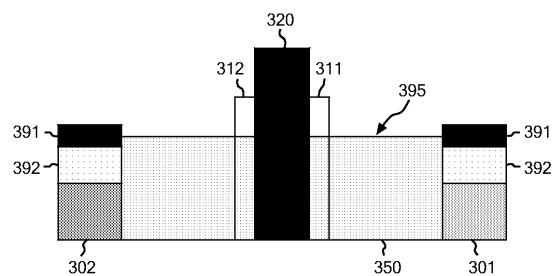


【 図 2 】

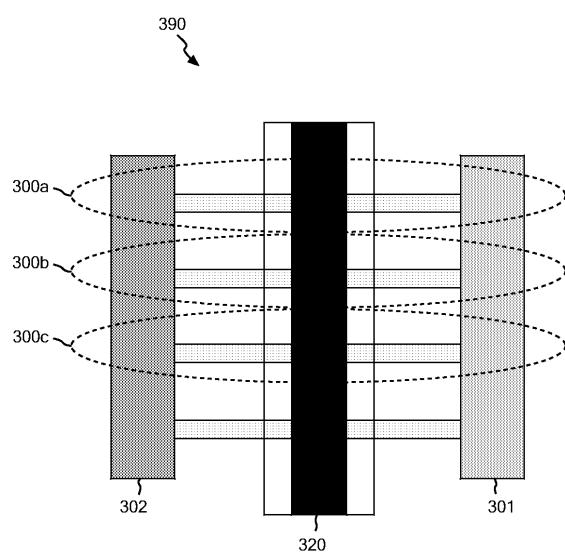
【図3】



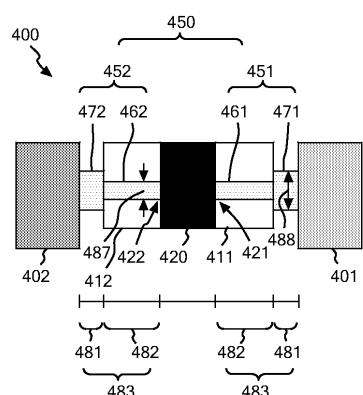
【図4】



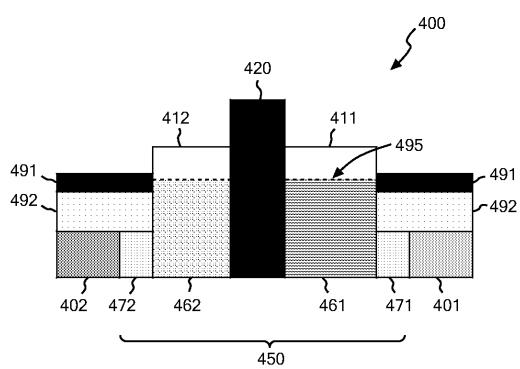
【図5】



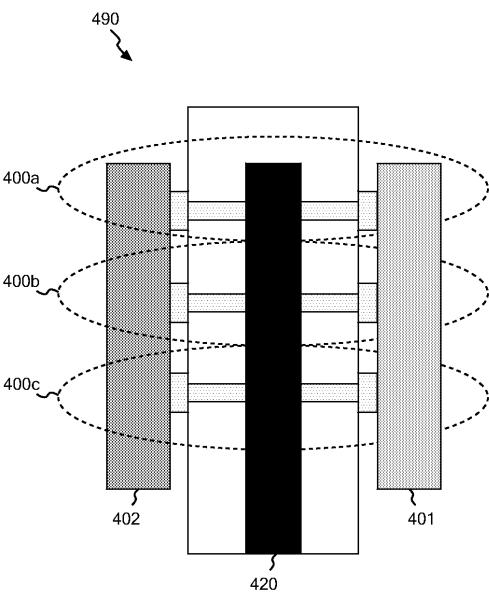
【図6】



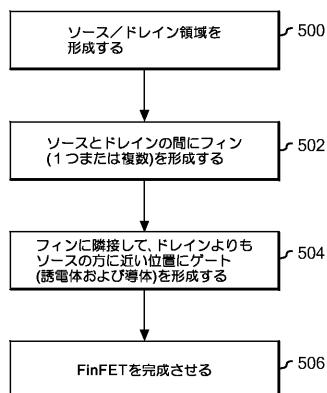
【図7】



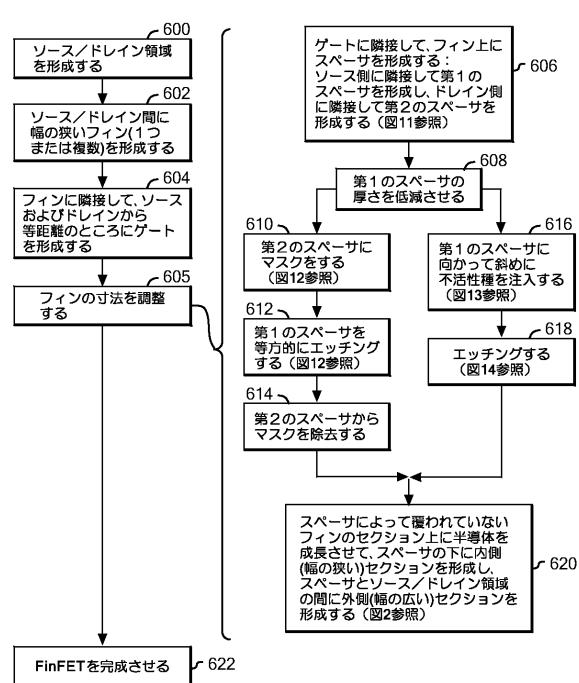
【図8】



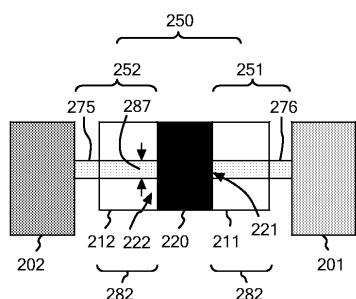
【図9】



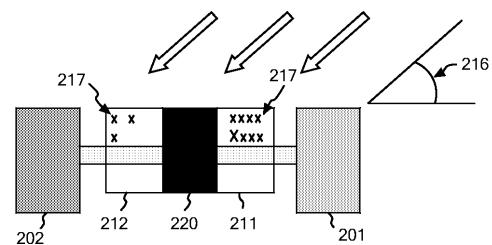
【図10】



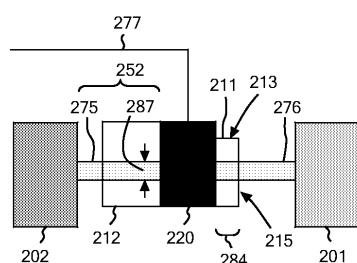
【図11】



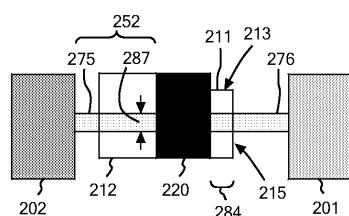
【図13】



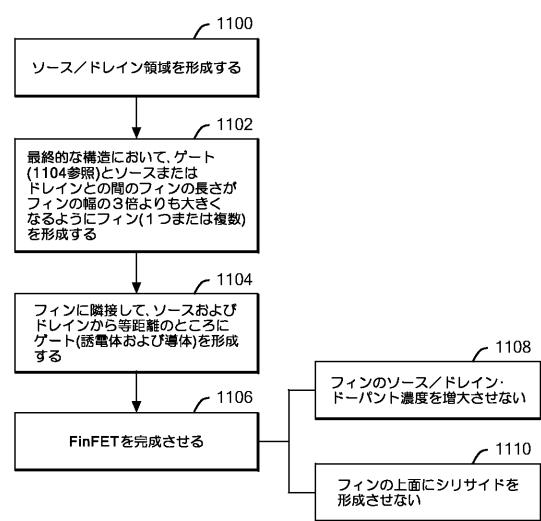
【図12】



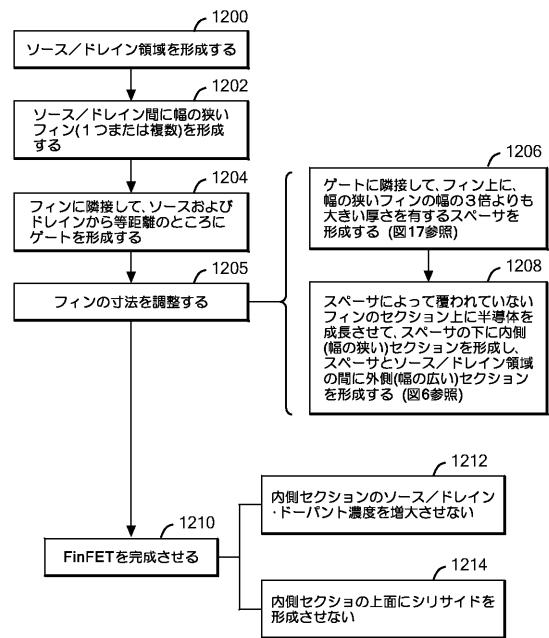
【図14】



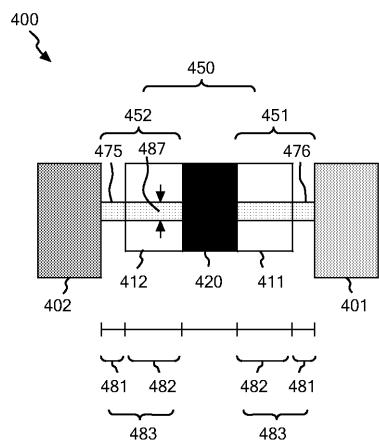
【図15】



【図16】



【図17】



---

フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ノワク エドワード ジェイ

アメリカ合衆国 05452 バーモント州エセックス・ジャンクション ウィンドリッジ・ロード

8

審査官 大橋 達也

(56)参考文献 特表2003-533050 (JP, A)

特開2003-298063 (JP, A)

特開2005-086024 (JP, A)

特開2001-298194 (JP, A)

国際公開第2004/093181 (WO, A1)

特開2002-324842 (JP, A)

特開昭63-308962 (JP, A)

特開2003-163356 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78-29/786

H01L 21/336