

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 1 月 4 日 (04.01.2018)



(10) 国际公布号
WO 2018/000477 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01) **H01L 27/12** (2006.01)

(21) 国际申请号: PCT/CN2016/090583

(22) 国际申请日: 2016 年 7 月 20 日 (20.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610479540.1 2016年6月27日 (27.06.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

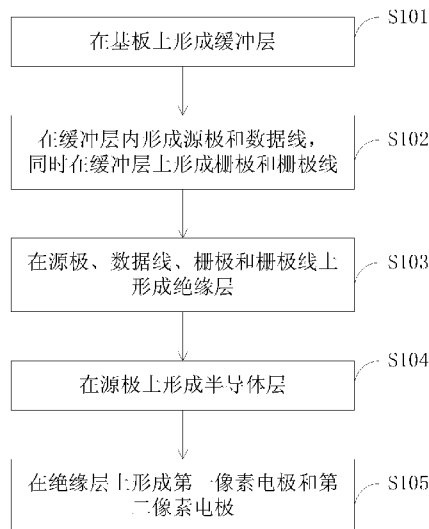
(72) 发明人: 周志超(ZHOU, Zhichao); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。 夏慧(XIA, Hui); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所(普通合伙)(CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道8号中国地质大学产学研基地中地大楼A806, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种阵列基板的制造方法及阵列基板



S101 FORMING A BUFFER LAYER ON A SUBSTRATE
S102 FORMING A SOURCE AND A DATA LINE IN THE BUFFER LAYER, AND AT THE SAME TIME, FORMING A GATE AND A GATE LINE ON THE BUFFER LAYER
S103 FORMING AN INSULATING LAYER ON THE SOURCE, THE DATA LINE, THE GATE AND THE GATE LINE
S104 FORMING A SEMICONDUCTOR LAYER ON THE SOURCE
S105 FORMING A FIRST PIXEL ELECTRODE AND A SECOND PIXEL ELECTRODE ON THE INSULATING LAYER

图 1

(57) Abstract: An array substrate and a manufacturing method therefor, wherein the manufacturing method comprises the following steps: a substrate (11); (S101) forming a buffer layer (12) on the substrate (11); (S102) forming a source (13) and a data line (14) in the buffer layer (12), and at the same time, forming a gate (15) and a gate line (16) on the buffer layer (12), wherein the buffer layer (12) at least partially exposes one side of both the source line (13) and of the data line (14) that is away from the substrate (11); (S103) forming an insulating layer (17) on the source (13), the data line (14), the gate (15) and the gate line (16), wherein the insulating layer (17) at least partially exposes one side of both the source line (13) and the gate line (16) that is away from the substrate (11); (S104) forming a semiconductor layer (18) on the source (13), wherein the semiconductor layer (18) is electrically connected to the exposed portion of the source (13) and is electrically insulated from the gate (15) by means of the insulating layer (17); (S105) forming a first pixel

NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

electrode (191) and a second pixel electrode (192) on the insulating layer (17), wherein the first pixel electrode (191) is electrically connected to one side of the semiconductor layer (18) that is away from the substrate (11), while the second pixel electrode (192) is electrically connected to the exposed portion of the gate line (16).

(57) 摘要: 一种阵列基板及其制造方法, 其中制造方法包括以下步骤: 基板 (11); (S101) 在基板 (11) 上形成缓冲层 (12); (S102) 在缓冲层 (12) 内形成源极 (13) 和数据线 (14), 同时在缓冲层 (12) 上形成栅极 (15) 和栅极线 (16), 其中缓冲层 (12) 至少部分外露源极 (13) 和数据线 (14) 的远离基板 (11) 的一侧; (S103) 在源极 (13)、数据线 (14)、栅极 (15) 以及栅极线 (16) 上形成绝缘层 (17), 其中绝缘层 (17) 至少部分外露源极 (13) 和栅极线 (16) 的远离基板 (11) 的一侧; (S104) 在源极 (13) 上形成半导体层 (18), 其中半导体层 (18) 与源极 (13) 的外露部分电性连接且与栅极 (15) 之间由绝缘层 (17) 电性绝缘; (S105) 在绝缘层 (17) 上形成第一像素电极 (191) 和第二像素电极 (192), 其中第一像素电极 (191) 与半导体层 (18) 的远离基板 (11) 的一侧电性连接, 第二像素电极 (192) 与栅极线 (16) 的外露部分电性连接。

一种阵列基板的制造方法及阵列基板

[1] 【技术领域】

[2] 本发明涉及液晶面板技术领域，特别是涉及一种阵列基板的制造方法及阵列基板。

[3] 【背景技术】

[4] 在液晶面板工业中，通过阵列基板来控制液晶的排列，从而实现不同灰度光线的显示。阵列基板为液晶面板中的重要部分，其生产也属于液晶面板制造过程中的重要工艺步骤。

[5] 当前阵列基板的制造生产中，基于其结构设计，通常会将漏极和栅极分开沉积刻蚀，而漏极和栅极一般采用同一种金属，因此分开沉积降低了生产效率且增大了生产成本。

[6] 【发明内容】

[7] 本发明的目的在于提供一种阵列基板的制造方法及阵列基板，以解决现有技术中阵列基板的生产效率较低成本较高的问题。

[8] 为解决上述问题，本发明提出一种阵列基板的制造方法，包括以下步骤：基板；在基板上形成缓冲层并进行图案化处理，以在缓冲层上形成与源极和数据线对应的沟槽；在缓冲层上形成一导电层并进行图案化处理，以在沟槽内形成数据线和源极，并且在缓冲层上形成栅极和栅极线，其中缓冲层至少部分外露源极和数据线的远离基板的一侧；栅极包括第一栅极和第二栅极，第一栅极和第二栅极均与源极平行设置；在源极、数据线、栅极以及栅极线上形成绝缘层，其中绝缘层至少部分外露源极和栅极线的远离基板的一侧；在源极上形成半导体层，其中半导体层与源极的外露部分电性连接且与栅极之间由绝缘层电性绝缘；在绝缘层上形成第一像素电极和第二像素电极，其中第一像素电极与半导体层的远离基板的一侧电性连接，第二像素电极与栅极线的外露部分电性连接。

[9] 其中，栅极线包括第一栅极线和第二栅极线，第二像素电极分别与第一栅极线

的外露部分和第二栅极线的外露部分电性连接。

[10] 其中，源极与数据线电性连接，第一栅极和第二栅极均与第二栅极线电性连接。

[11] 为解决上述问题，本发明提出一种阵列基板的制造方法，包括以下步骤：基板；在基板上形成缓冲层；在缓冲层内形成源极和数据线，同时在缓冲层上形成栅极和栅极线，其中缓冲层至少部分外露源极和数据线的远离基板的一侧；在源极、数据线、栅极以及栅极线上形成绝缘层，其中绝缘层至少部分外露源极和栅极线的远离基板的一侧；在源极上形成半导体层，其中半导体层与源极的外露部分电性连接且与栅极之间由绝缘层电性绝缘；在绝缘层上形成第一像素电极和第二像素电极，其中第一像素电极与半导体层的远离基板的一侧电性连接，第二像素电极与栅极线的外露部分电性连接。

[12] 其中，在缓冲层内形成源极和数据线，同时在缓冲层上形成栅极和栅极线的步骤包括：在基板上形成缓冲层并进行图案化处理，以在缓冲层上形成与源极和数据线对应的沟槽；在缓冲层上形成一导电层并进行图案化处理，以在沟槽内形成数据线和源极，并且在缓冲层上形成栅极和栅极线。

[13] 其中，栅极包括第一栅极和第二栅极，第一栅极和第二栅极均与源极平行设置。

[14] 其中，栅极线包括第一栅极线和第二栅极线，第二像素电极分别与第一栅极线的外露部分和第二栅极线的外露部分电性连接。

[15] 其中，源极与数据线电性连接，第一栅极和第二栅极均与第二栅极线电性连接。

[16] 为解决上述问题，本发明还提供一种阵列基板，其包括基板；缓冲层，形成在基板上；源极和数据线，形成在缓冲层内，缓冲层至少部分外露源极和数据线的远离基板的一侧；栅极和栅极线，形成在缓冲层上；绝缘层，形成在源极、数据线、栅极以及栅极线上，绝缘层至少部分外露源极和栅极线的远离基板的一侧；半导体层，形成在源极上，半导体层与源极的外露部分电性连接且与栅极之间由绝缘层电性绝缘；第一像素电极和第二像素电极，形成在绝缘层上，其中第一像素电极与半导体层的远离基板的一侧电性连接，第二像素电极与栅

极线的外露部分电性连接。

[17] 其中，缓冲层为图案化缓冲层，图案化缓冲层上包括与源极和数据线对应的沟槽；源极和数据线形成于沟槽内，栅极和栅极线形成在缓冲层上。

[18] 其中，栅极包括第一栅极和第二栅极，第一栅极和第二栅极均与源极平行设置。

[19] 其中，栅极线包括第一栅极线和第二栅极线，第二像素电极分别与第一栅极线的外露部分和第二栅极线的外露部分电性连接。

[20] 其中，源极与数据线电性连接，第一栅极和第二栅极均与第二栅极线电性连接。

[21] 本发明阵列基板的制造方法包括以下步骤：基板，在基板上形成缓冲层，在缓冲层内形成源极和数据线，同时在缓冲层上形成栅极和栅极线，其中缓冲层至少部分外露源极和数据线的远离基板的一侧；在源极、数据线、栅极以及栅极线上形成绝缘层，其中绝缘层至少部分外露源极和栅极线的远离基板的一侧；在源极上形成半导体层，其中半导体层与源极的外露部分电性连接且与栅极之间由绝缘层电性绝缘；在绝缘层上形成第一像素电极和第二像素电极，其中第一像素电极与半导体层的远离基板的一侧电性连接，第二像素电极与栅极线的外露部分电性连接。本发明中同时形成源极、数据线、栅极和栅极线，减少了工艺步骤，提高生产效率，减小生产成本。

[22] **【附图说明】**

[23] 图1是本发明阵列基板的制造方法一实施方式的流程示意图；

[24] 图2是图1所示阵列基板的制造方法中同时形成源极、数据线、栅极和栅极线的步骤所对应的结构示意图；

[25] 图3是图1所示阵列基板的制造方法中形成绝缘层的步骤所对应的结构示意图；

[26] 图4是图1所示阵列基板的制造方法中形成半导体层的步骤所对应的结构示意图；

[27] 图5是图1所示阵列基板的制造方法中形成第一像素电极和第二像素电极的步骤所对应的结构示意图；

[28] 图6是本发明阵列基板一实施方式的结构示意图。

[29] **【具体实施方式】**

[30] 为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对发明所提供的一种阵列基板的制造方法及阵列基板做进一步详细描述。

[31] 参阅图1，图1是本发明阵列基板的制造方法一实施方式的流程示意图，本实施方式制造方法包括以下步骤。

[32] S101：在基板上形成缓冲层。

[33] 请参阅图2，图2是图1所示阵列基板的制造方法中同时形成源极、数据线、栅极和栅极线的步骤所对应的结构示意图，图2中的上图为阵列基板的俯视图，下图为阵列基板A-A方向的剖视图，图3、4、5与图2类似，上图为俯视图，下图为A-A方向的剖视图。

[34] 本步骤中首先在基板11上形成的缓冲层12，该缓冲层12经过化学气相沉积及干法刻蚀的光罩制程实现图案化，图案化的缓冲层12中具有沟槽121，该沟槽121与后续步骤S102中形成的源极13和数据线14相对应，具体关系在步骤S102中再做描述。

[35] S102：在缓冲层内形成源极和数据线，同时在缓冲层上形成栅极和栅极线。

[36] 请再次参阅图2，源极13和数据线14形成在缓冲层12内，并且缓冲层12至少部分外露源极13和数据线14的远离基板11的一侧；即源极13和数据线14并不是完全形成在缓冲层12内部而没有外露部分，其远离基板11的一侧是部分外露于缓冲层12的。形成源极13和数据线14的同时在缓冲层12上形成栅极15和栅极线16。

[37] 具体来说，步骤S101中的缓冲层12为图案化，具有沟槽121；上述源极13和数据线14则形成在沟槽121内，而栅极15和栅极线16则形成在缓冲层12上。

[38] 该步骤S102中首先在图案化的缓冲层12上物理气相沉积一导电层，利用湿法刻蚀的光罩制程对该导电层进行图案化处理，从而在沟槽内形成数据线14和源极13，并且在缓冲层上形成栅极15和栅极线16，其中数据线14和源极13电性连接。

[39] 所形成的栅极15分为第一栅极151和第二栅极152，栅极线16分为第一栅极线161和第二栅极线162。其中第一栅极151和第二栅极152均与源极13平行设置，并

且都与第二栅极线162电性连接。

[40] 在本步骤S102中，源极13、数据线14、栅极15以及栅极线16采用同一金属材料制成，因此能够通过同一工艺同时制得，相比分两个工艺分别制作源极、数据线和栅极、栅极线，节省了时间，并且节约了湿法刻蚀中需要采用的铜酸，节约成本及减少工业污染。

[41] S103：在源极、数据线、栅极以及栅极线上形成绝缘层。

[42] 请参阅图3，图3是图1所示阵列基板的制造方法中形成绝缘层的步骤所对应的结构示意图。本步骤S103中所形成的绝缘层17至少部分外露源极13和栅极线16的远离基板11的一侧。

[43] 同样，首先使用化学气相沉积一绝缘层，然后采用干法刻蚀的光罩制程进行图案化处理，使得源极13和栅极线16远离基板11的一侧有部分外露于绝缘层17。

[44] S104：在源极上形成半导体层。

[45] 请参阅图4，图4是图1所示阵列基板的制造方法中形成半导体层的步骤所对应的结构示意图。本步骤S104所形成的半导体层18与源极13的外露部分电性连接且与栅极15之间由绝缘层17电性绝缘。

[46] 在步骤S103中，绝缘层17已将栅极15完全覆盖，因此所形成的半导体层18与栅极15之间能够由绝缘层17电性绝缘，且半导体层18为非晶硅或铟镓锌氧化物（IGZO）等有源层材料。本步骤中半导体层18主要采用了化学气相沉积和干法刻蚀工艺。

[47] S105：在绝缘层上形成第一像素电极和第二像素电极。

[48] 请参阅图5，图5是图1所示阵列基板的制造方法中形成第一像素电极和第二像素电极的步骤所对应的结构示意图。本步骤S105中采用物理气相沉积及湿法刻蚀工艺得到图案化的像素电极层，包括第一像素电极191和第二像素电极192，完成本步骤后得到阵列基板100。

[49] 其中，第一像素电极191与半导体层18的远离基板的一侧电性连接，第二像素电极192与栅极线16的外露部分电性连接，具体的第二像素电极192分别与第一栅极线161的外露部分和第二栅极线162的外露部分电性连接，第一栅极线161和第二栅极线162通过第二像素电极192连接。

- [50] 本发明阵列基板的制造方法包括以下步骤：基板，在基板上形成缓冲层，在缓冲层内形成源极和数据线，同时在缓冲层上形成栅极和栅极线，其中缓冲层至少部分外露源极和数据线的远离基板的一侧；在源极、数据线、栅极以及栅极线上形成绝缘层，其中绝缘层至少部分外露源极和栅极线的远离基板的一侧；在源极上形成半导体层，其中半导体层与源极的外露部分电性连接且与栅极之间由绝缘层电性绝缘；在绝缘层上形成第一像素电极和第二像素电极，其中第一像素电极与半导体层的远离基板的一侧电性连接，第二像素电极与栅极线的外露部分电性连接。本发明中同时形成源极、数据线和栅极、栅极线，减少了工艺步骤，提高生产效率，减小生产成本。
- [51] 请参阅图6，图6是本发明阵列基板一实施方式的结构示意图。本实施方式阵列基板600包括基板61、缓冲层62、源极63、数据线64、栅极65、栅极线66、绝缘层67、半导体层68、第一像素电极691和第二像素电极692。
- [52] 其中，缓冲层62形成在基板61上；缓冲层62为图案化缓冲层，其包括与源极63和数据线64对应的沟槽621。
- [53] 源极63和数据线64电性连接，且形成在缓冲层62内，缓冲层62至少部分外露源极63和数据线64的远离基板的一侧。
- [54] 栅极65和栅极线66，形成在缓冲层62上，栅极65包括第一栅极651和第二栅极652，第一栅极651和第二栅极652均与源极63平行设置。栅极线66包括第一栅极线661和第二栅极线662，第一栅极651和第二栅极652均与第二栅极线662电性连接。
- [55] 绝缘层67，形成在源极63、数据线64、栅极65以及栅极线66上，绝缘层67至少部分外露源极63和栅极线66的远离基板61的一侧。
- [56] 半导体层68，形成在源极63上，半导体层68与源极63的外露部分电性连接且与栅极65之间由绝缘层67电性绝缘。
- [57] 第一像素电极691和第二像素电极692，形成在绝缘层67上，其中第一像素电极691与半导体层68的远离基板61的一侧电性连接，第二像素电极692与栅极线66的外露部分电性连接，第二像素电极692分别与第一栅极线661的外露部分和第二栅极线662的外露部分电性连接。

- [58] 本实施方式阵列基板600与上述通过制造方法得到的阵列基板100类似，具体不再赘述。
- [59] 本发明阵列基板基于其本身的结构能够实现在制造过程中同一工艺同时形成源极、数据线、栅极以及栅极线，因此本发明的阵列基板便于生产，且成本较低。
- [60] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种阵列基板的制造方法，其中，所述制造方法包括以下步骤：
基板；
在所述基板上形成所述缓冲层并进行图案化处理，以在所述缓冲层上形成与所述源极和所述数据线对应的沟槽；
在所述缓冲层上形成一导电层并进行图案化处理，以在所述沟槽内形成所述数据线和所述源极，并且在所述缓冲层上形成所述栅极和所述栅极线，其中所述缓冲层至少部分外露所述源极和所述数据线的远离所述基板的一侧；
所述栅极包括第一栅极和第二栅极，所述第一栅极和所述第二栅极均与所述源极平行设置；
在所述源极、所述数据线、所述栅极以及所述栅极线上形成绝缘层，其中所述绝缘层至少部分外露所述源极和所述栅极线的远离所述基板的一侧；
在所述源极上形成半导体层，其中所述半导体层与所述源极的外露部分电性连接且与所述栅极之间由所述绝缘层电性绝缘；
在所述绝缘层上形成第一像素电极和第二像素电极，其中所述第一像素电极与所述半导体层的远离所述基板的一侧电性连接，所述第二像素电极与所述栅极线的外露部分电性连接。
- [权利要求 2] 根据权利要求1所述的制造方法，其中，所述栅极线包括第一栅极线和第二栅极线，所述第二像素电极分别与所述第一栅极线的外露部分和所述第二栅极线的外露部分电性连接。
- [权利要求 3] 根据权利要求2所述的制造方法，其中，所述源极与所述数据线电性连接，所述第一栅极和所述第二栅极均与所述第二栅极线电性连接。
- [权利要求 4] 一种阵列基板的制造方法，其中，所述制造方法包括以下步骤：
基板；
在所述基板上形成缓冲层；

在所述缓冲层内形成源极和数据线，同时在所述缓冲层上形成栅极和栅极线，其中所述缓冲层至少部分外露所述源极和所述数据线的远离所述基板的一侧；

在所述源极、所述数据线、所述栅极以及所述栅极线上形成绝缘层，其中所述绝缘层至少部分外露所述源极和所述栅极线的远离所述基板的一侧；

在所述源极上形成半导体层，其中所述半导体层与所述源极的外露部分电性连接且与所述栅极之间由所述绝缘层电性绝缘；

在所述绝缘层上形成第一像素电极和第二像素电极，其中所述第一像素电极与所述半导体层的远离所述基板的一侧电性连接，所述第二像素电极与所述栅极线的外露部分电性连接。

[权利要求 5] 根据权利要求4所述的制造方法，其中，所述在所述缓冲层内形成源极和数据线，同时在所述缓冲层上形成栅极和栅极线的步骤包括：

在所述基板上形成所述缓冲层并进行图案化处理，以在所述缓冲层上形成与所述源极和所述数据线对应的沟槽；

在所述缓冲层上形成一导电层并进行图案化处理，以在所述沟槽内形成所述数据线 and 所述源极，并且在所述缓冲层上形成所述栅极和所述栅极线。

[权利要求 6] 根据权利要求4所述的制造方法，其中，所述栅极包括第一栅极和第二栅极，所述第一栅极和所述第二栅极均与所述源极平行设置。

[权利要求 7] 根据权利要求6所述的制造方法，其中，所述栅极线包括第一栅极线 and 第二栅极线，所述第二像素电极分别与所述第一栅极线的外露部分 and 所述第二栅极线的外露部分电性连接。

[权利要求 8] 根据权利要求7所述的制造方法，其中，所述源极与所述数据线电性连接，所述第一栅极 and 所述第二栅极均与所述第二栅极线电性连接。

- [权利要求 9] 一种阵列基板，其中，所述阵列基板包括：
基板；
缓冲层，形成在所述基板上；
源极和数据线，形成在所述缓冲层内，所述缓冲层至少部分外露所述源极和所述数据线的远离所述基板的一侧；
栅极和栅极线，形成在所述缓冲层上；
绝缘层，形成在所述源极、所述数据线、所述栅极以及所述栅极线上，所述绝缘层至少部分外露源极和所述栅极线的远离所述基板的一侧；
半导体层，形成在所述源极上，所述半导体层与所述源极的外露部分电性连接且与所述栅极之间由所述绝缘层电性绝缘；
第一像素电极和第二像素电极，形成在所述绝缘层上，其中所述第一像素电极与所述半导体层的远离所述基板的一侧电性连接，所述第二像素电极与所述栅极线的外露部分电性连接。
- [权利要求 10] 根据权利要求9所述的阵列基板，其中，所述缓冲层为图案化缓冲层，所述图案化缓冲层上包括与所述源极和所述数据线对应的沟槽；所述源极和所述数据线形成于所述沟槽内，所述栅极和所述栅极线形成在所述缓冲层上。
- [权利要求 11] 根据权利要求9所述的阵列基板，其中，所述栅极包括第一栅极和第二栅极，所述第一栅极和所述第二栅极均与所述源极平行设置。
- [权利要求 12] 根据权利要求11所述的阵列基板，其中，所述栅极线包括第一栅极线和第二栅极线，所述第二像素电极分别与所述第一栅极线的外露部分和所述第二栅极线的外露部分电性连接。
- [权利要求 13] 根据权利要求12所述的阵列基板，其中，所述源极与所述数据线电性连接，所述第一栅极和所述第二栅极均与所述第二栅极线电性连接。

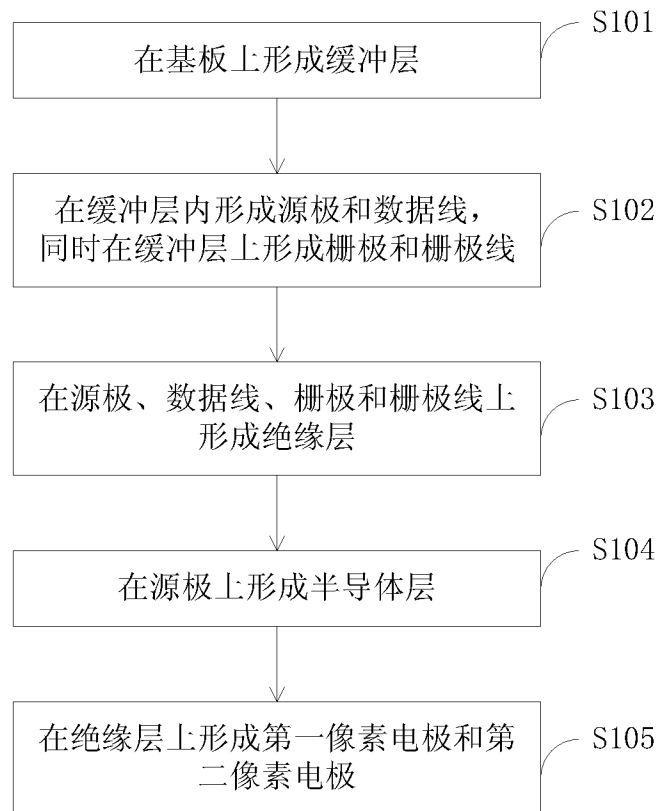


图 1

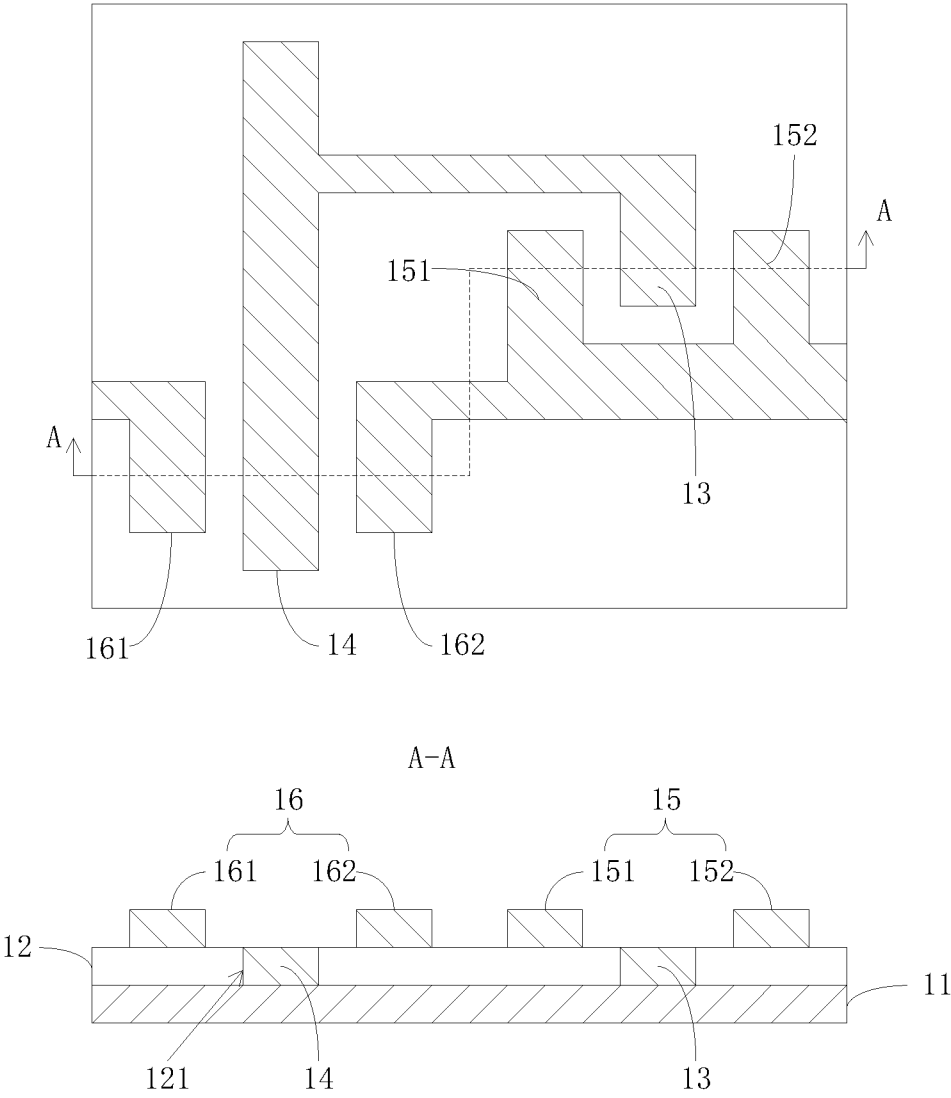


图 2

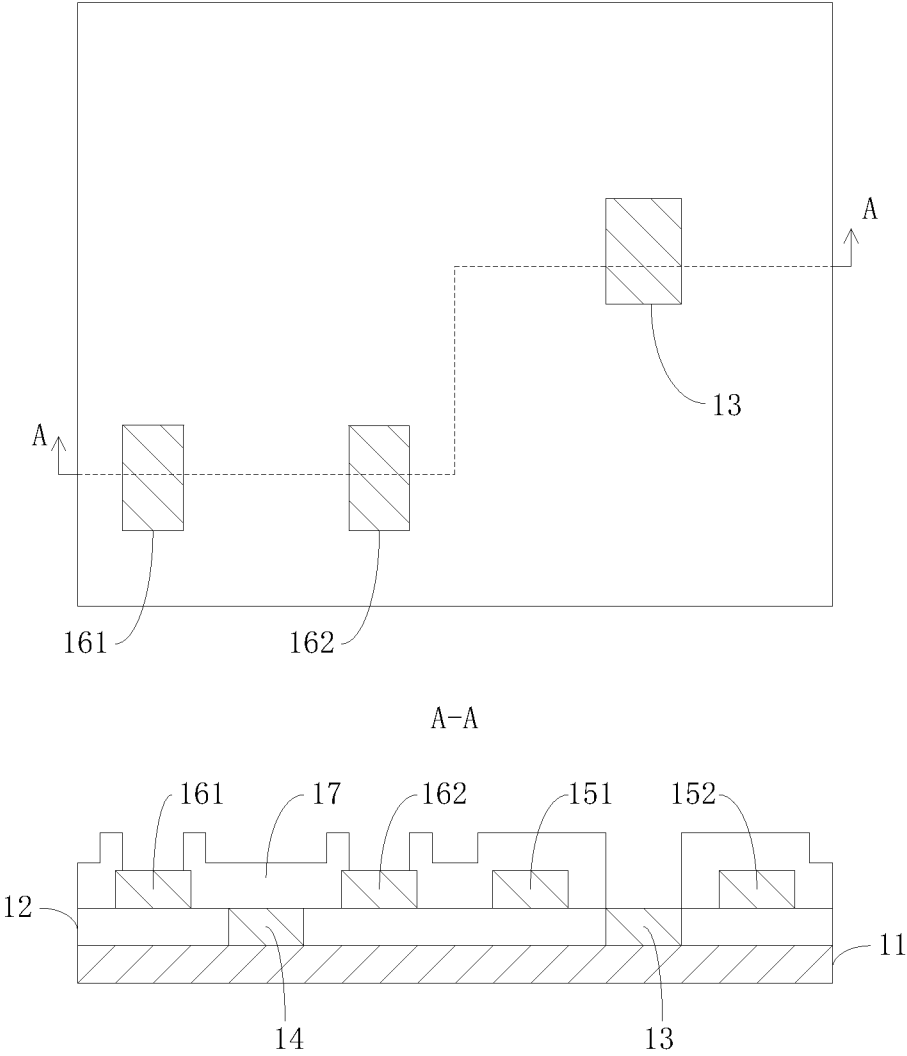


图 3

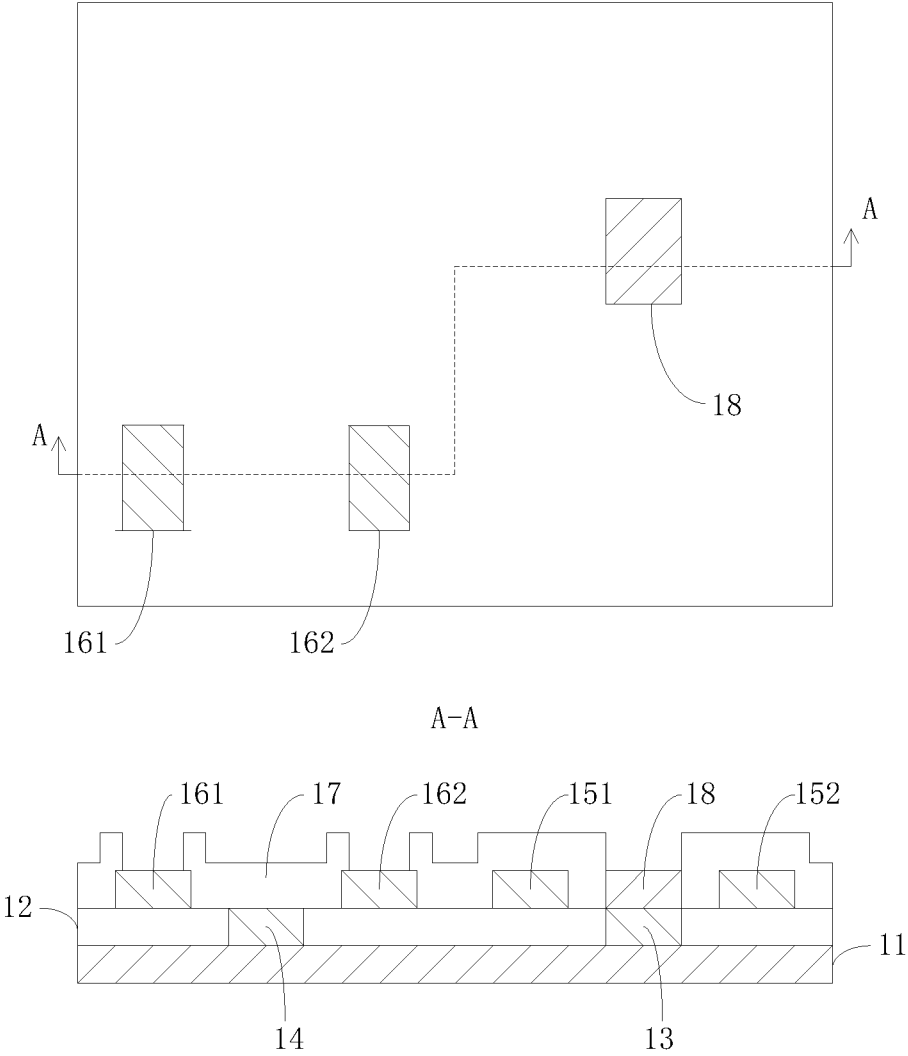


图 4

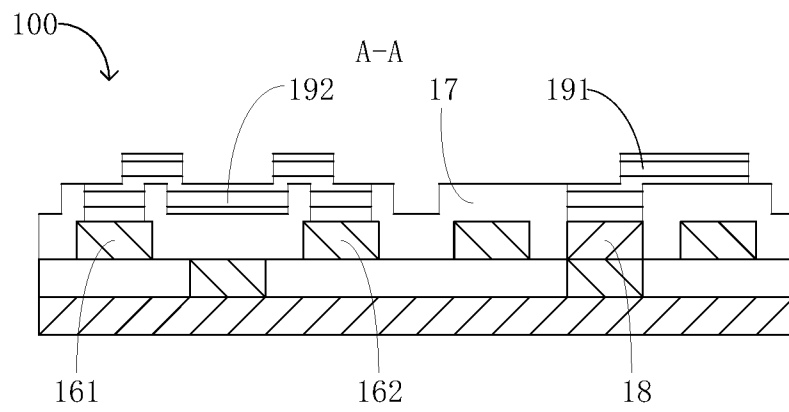
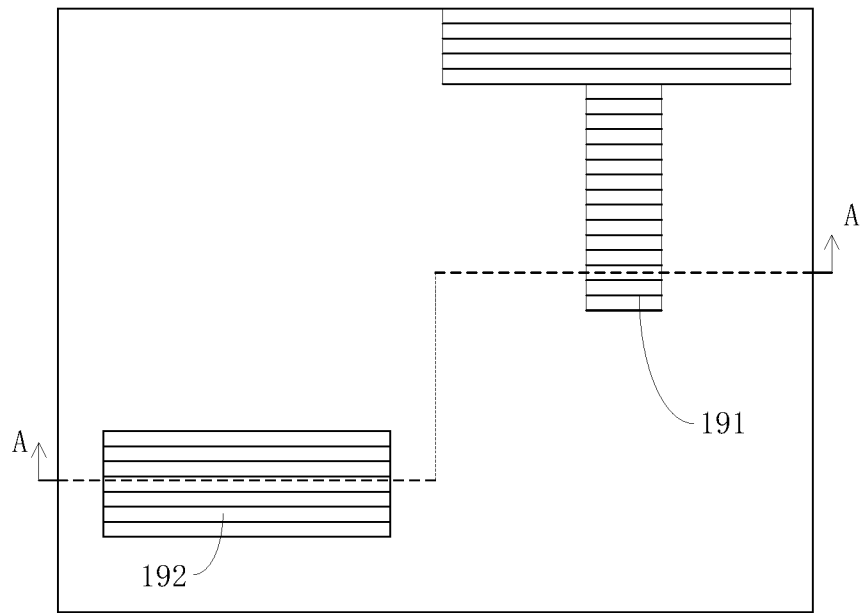


图 5

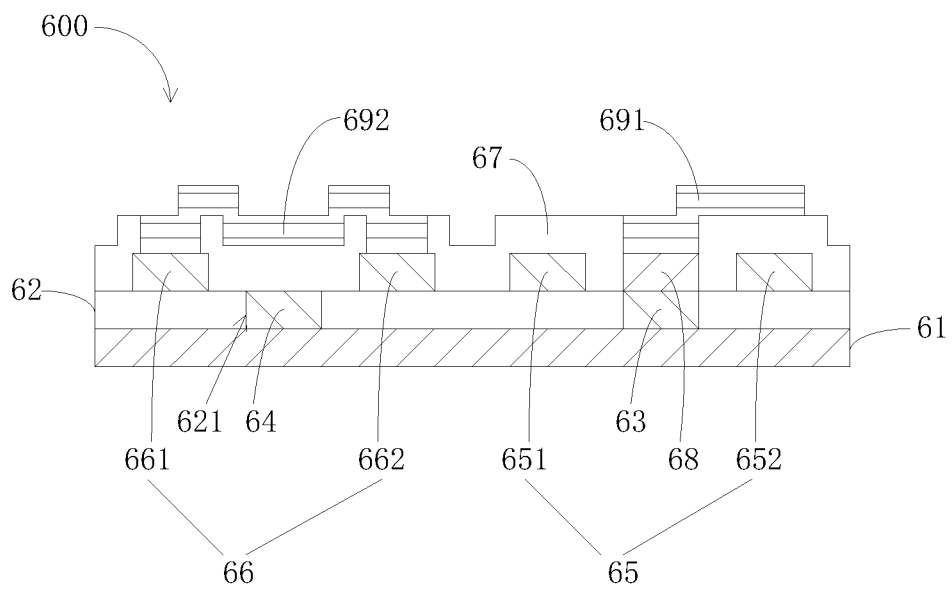


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/090583

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2017.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, DWPI, SIPOABS, USTXT: array substrate, data line, semiconductor layer, active layer, gate line, same time, synchronization, peer, pixel electrode, LED, cell, substrate, data, line, semiconductor, active, gate, source, same, time, step, layer, pixel, electrode, dielectric, insulate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104022076 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 September 2014 (03.09.2014), description, paragraphs [0044]-[0112], and figures 2-16	1-13
A	CN 103441128 A (NANJING CEC PANDA LCD TECHNOLOGY CO., LTD.), 11 December 2013 (11.12.2013), the whole document	1-13
A	CN 103745954 A (BOE TECHNOLOGY GROUP CO., LTD.), 23 April 2014 (23.04.2014), the whole document	1-13
A	US 2013175533 A1 (LEE et al.), 11 July 2013 (11.07.2013), the whole document	1-13
A	CN 103887328 A (XIAMEN TIANMA MICROELECTRONICS CO. LTD.), 25 June 2014 (25.06.2014), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 March 2017 (22.03.2017)	Date of mailing of the international search report 30 March 2017 (30.03.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Xiaoming Telephone No.: (86-10) 62089263

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/090583

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104022076 A	03 September 2014	US 9478562 B2	25 October 2016
		WO 2015180320 A1	03 December 2015
		CN 104022076 B	25 January 2017
		US 2016181289 A1	23 June 2016
CN 103441128 A	11 December 2013	CN 103441128 B	20 January 2016
CN 103745954 A	23 April 2014	WO 2015100859 A1	09 July 2015
		CN 103745954 B	25 January 2017
		US 2016027886 A1	28 January 2016
US 2013175533 A1	11 July 2013	KR 20130080642 A	15 July 2013
		US 8927997 B2	06 January 2015
CN 103887328 A	25 June 2014	None	

国际检索报告

国际申请号

PCT/CN2016/090583

A. 主题的分类

H01L 21/77 (2017.01) i; H01L 27/12 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS, CNTXT, CNKI, DWPI, SIPOABS, USTXT: 阵列基板, 数据线, 半导体层, 有源层, 栅线, 栅极线, 栅极, 源极, 同时, 同步, 同层, 像素电极, 介电, 绝缘, 像素电极, LED, cell, substrate, data, line, semiconductor, active, gate, source, same, time, step, layer, pixel, electrode, dielectric, insulate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104022076 A (京东方科技集团股份有限公司) 2014年 9月 3日 (2014 - 09 - 03) 说明书第[0044]段-第[0112]段, 图2-图16	1-13
A	CN 103441128 A (南京中电熊猫液晶显示科技有限公司) 2013年 12月 11日 (2013 - 12 - 11) 全文	1-13
A	CN 103745954 A (京东方科技集团股份有限公司) 2014年 4月 23日 (2014 - 04 - 23) 全文	1-13
A	US 2013175533 A1 (LEE 等) 2013年 7月 11日 (2013 - 07 - 11) 全文	1-13
A	CN 103887328 A (厦门天马微电子有限公司) 2014年 6月 25日 (2014 - 06 - 25) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 3月 22日

国际检索报告邮寄日期

2017年 3月 30日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

李晓明

电话号码 (86-10) 62089263

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/090583

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104022076	A	2014年 9月 3日	US	9478562	B2	2016年 10月 25日
				WO	2015180320	A1	2015年 12月 3日
				CN	104022076	B	2017年 1月 25日
				US	2016181289	A1	2016年 6月 23日
CN	103441128	A	2013年 12月 11日	CN	103441128	B	2016年 1月 20日
CN	103745954	A	2014年 4月 23日	WO	2015100859	A1	2015年 7月 9日
				CN	103745954	B	2017年 1月 25日
				US	2016027886	A1	2016年 1月 28日
US	2013175533	A1	2013年 7月 11日	KR	20130080642	A	2013年 7月 15日
				US	8927997	B2	2015年 1月 6日
CN	103887328	A	2014年 6月 25日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)