

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月21日(21.05.2015)



(10) 国際公開番号

WO 2015/071982 A1

- (51) 国際特許分類:
H01L 27/105 (2006.01) H01L 45/00 (2006.01)
- (21) 国際出願番号: PCT/JP2013/080719
- (22) 国際出願日: 2013年11月13日(13.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki)
[JP/JP]; 〒1020073 東京都千代田区九段北1-1
5-2 九段坂パークビル4F Semic
on Consulting株式会社内 Tokyo
(JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: STORAGE DEVICE AND STORAGE DEVICE MANUFACTURING METHOD

(54) 発明の名称: 記憶装置、及び記憶装置の製造方法

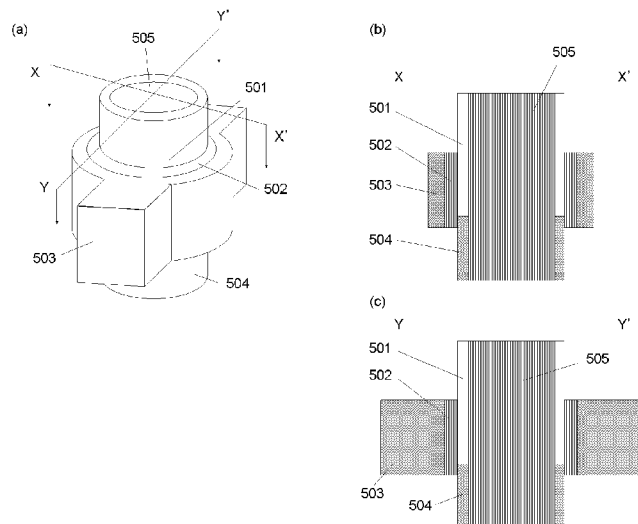


Fig. 1

(57) Abstract: This storage device has: a columnar insulating material layer (180); a film (189), which is formed around an upper portion of the columnar insulating material layer, and in which resistance changes; a lower electrode (184), which is formed around a lower portion of the columnar insulating material layer, and which is connected to the variable resistance film; a reset gate insulating film (197) that surrounds the variable resistance film; and a reset gate (198a) that surrounds the reset gate insulating film. Consequently, a structure of the storage device, which is capable performing resetting using the reset gate, and which has reduced cross sectional areas of the variable resistance film and the lower electrode, said cross sectional areas being in the direction in which a current flows, and a method for manufacturing the storage device are provided.

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

柱状絶縁体層 (180) と、前記柱状絶縁体層の上部の周囲に形成された抵抗が変化する膜 (189) と、前記柱状絶縁体層の下部の周囲に形成され、前記抵抗が変化する膜と接続する下部電極 (184) と、前記抵抗が変化する膜を取り囲むリセットゲート絶縁膜 (197) と、前記リセットゲート絶縁膜を取り囲むリセットゲート (198a) とを有する記憶装置により、リセットゲートを用いてリセットを行うことができ、抵抗が変化する膜、下部電極の電流が流れる方向の断面積を小さくすることができる記憶装置の構造及び製造方法を提供する。

明 細 書

発明の名称：記憶装置、及び記憶装置の製造方法

技術分野

[0001] 本発明は記憶装置、及び記憶装置の製造方法に関する。

背景技術

[0002] 近年、相変化メモリが開発されている（例えば、特許文献1を参照）。相変化メモリは、メモリセルの情報記憶素子の抵抗を変化記録することにより、情報を記憶する。

[0003] セルトランジスタをオンすることによりビット線とソース線間に電流を流すと、高抵抗素子のヒーターで熱が発生し、このヒーターに接するカルコゲナイドガラス（GST：Ge₂Sb₂Te₅）を融解し、状態を遷移させるメカニズムである。高温（高電流）で融解し高速で冷やす（電流を止める）とアモルファス状態（Reset動作）になり、比較的低い高温（低電流）で融解しゆっくり冷やす（電流を徐々に減らす）と結晶化する（Set動作）。これにより読み出し時、ビット線－ソース線間に流れる電流が多い（低抵抗＝結晶状態）場合と、少ない場合（高抵抗＝アモルファス）で、0、1情報の判断をする（例えば、特許文献1を参照）。

[0004] この場合、例えばReset電流が200μAと非常に多い。この様にReset電流を大きく、この電流をセルトランジスタに流すためには、メモリセルサイズが非常に大きくなる。大きな電流を流すためには、バイポーラトランジスタやダイオードの選択素子を用いることができる（例えば、特許文献1を参照）。

[0005] ダイオードは二端子素子であるので、メモリセルを選択するためには、一本のソース線を選択すると一本のソース線に接続された全てのメモリセルの電流が一本のソース線に流れることとなる。従って、ソース線の抵抗でのIRドロップが大きくなる。

[0006] 一方、バイポーラトランジスタは三端子素子であるが、ゲートに電流が流

れるので、ワード線に多くのトランジスタを接続することが難しい。

[0007] GST膜、ヒーター素子の電流が流れる方向の断面積を小さくすると、Reset電流、Read電流を小さくすることができる。従来では、平面トランジスタのゲートの側壁にヒーター素子を形成し、ゲートの上部にGST膜を形成することで、GST膜、ヒーター素子の電流が流れる方向の断面積を小さくしてきた。この方法では、平面トランジスタによるセルストリングが必要となる（例えば、特許文献1を参照）。

[0008] 基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「SGT」という。）が提案されている。（例えば、特許文献2を参照）。基板に対してソース、ゲート、ドレインが垂直方向に配置されているため、小さいセル面積を実現することができる。

先行技術文献

特許文献

[0009] 特許文献1：特開2012-204404号公報

特許文献2：特開2004-356314号公報

発明の概要

発明が解決しようとする課題

[0010] そこで、リセットゲートを用いてリセットを行うことができ、抵抗が変化する膜、下部電極の電流が流れる方向の断面積を小さくすることができる記憶装置の構造及び製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の記憶装置は、柱状絶縁体層と、前記柱状絶縁体層の上部の周囲に形成された抵抗が変化する膜と、前記柱状絶縁体層の下部の周囲に形成され、前記抵抗が変化する膜と接続する下部電極と、前記抵抗が変化する膜を取り囲むリセットゲート絶縁膜と、前記リセットゲート絶縁膜を取り囲むリセットゲートと、を有することを特徴とする。

- [0012] また、前記柱状絶縁体層は窒化膜からなり、前記柱状絶縁体層の下にさらに下部電極を有することを特徴とする。
- [0013] また、前記リセットゲートは、窒化チタンからなることを特徴とする。
- [0014] また、前記リセットゲート絶縁膜は、窒化膜からなることを特徴とする。
- [0015] また、前記下部電極は、窒化チタンからなることを特徴とする。
- [0016] また、前記リセットゲートに電流を流すことにより、前記抵抗が変化する膜のリセットを行うことを特徴とする。
- [0017] また、第1の柱状半導体層と、前記第1の柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成されたゲート電極と、前記ゲート電極に接続されたゲート配線と、前記第1の柱状半導体層の上部に形成された第1の拡散層と、前記第1の柱状半導体層の下部に形成された前記第2の拡散層と、前記第1の拡散層上に形成された前記記憶装置と、を有することを特徴とする。
- [0018] また、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層上に形成された前記第1の柱状半導体層と、を有し、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、前記ゲート電極は金属であって、前記ゲート配線は金属であって、前記ゲート配線は前記フィン状半導体層に直交する方向に延在するのであって、前記第2の拡散層は前記フィン状半導体層に更に形成されることを特徴とする。
- [0019] また、前記第2の拡散層は前記半導体基板に更に形成されることを特徴とする。
- [0020] また、前記第2の拡散層に接続される前記ゲート配線に平行なコンタクト配線を有することを特徴とする。
- [0021] また、前記半導体基板上に形成された前記フィン状半導体層と、前記フィン状半導体層の周囲に形成された前記第1の絶縁膜と、前記フィン状半導体層上に形成された第2の柱状半導体層と、前記第2の柱状半導体層の周囲に形成された金属からなるコンタクト電極と、前記コンタクト電極に接続され

た前記フィン状半導体層に直交する方向に延在する金属からなる前記コンタクト配線と、前記フィン状半導体層と前記第 2 の柱状半導体層の下部に形成された前記第 2 の拡散層と、前記コンタクト電極は前記第 2 の拡散層と接続するのであって、を有することを特徴とする。

[0022] また、前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、前記フィン状半導体層に直交する方向の前記第 1 の柱状半導体層の幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする。

[0023] また、前記第 2 の柱状半導体層と前記コンタクト電極との間に形成された前記ゲート絶縁膜を有することを特徴とする。

[0024] また、前記フィン状半導体層に直交する方向の前記第 2 の柱状半導体層の幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする。

[0025] また、前記コンタクト電極と前記コンタクト配線の周囲に形成された前記ゲート絶縁膜を有することを特徴とする。

[0026] また、前記コンタクト電極の外側の幅と前記コンタクト配線の幅は同じであることを特徴とする。

[0027] また、半導体基板上に形成された前記第 1 の柱状半導体層と、を有し、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、前記ゲート電極は金属であって、前記ゲート配線は金属であって、前記第 2 の拡散層は前記半導体基板に更に形成されることを特徴とする。

[0028] また、本発明の記憶装置の製造方法は、基板上に、第 2 の層間絶縁膜を堆積し、コンタクト孔を形成し、第 2 の金属と窒化膜を堆積し、前記第 2 の層間絶縁膜上の前記第 2 の金属と窒化膜とを除去することで、前記コンタクト孔内部に、柱状窒化膜層と、前記柱状窒化膜層底部と前記柱状窒化膜層とを取り囲む下部電極を形成し、前記第 2 の層間絶縁膜をエッチバックし、前記柱状窒化膜層を取り囲む前記下部電極上部を露出し、露出した前記柱状窒化

膜層を取り囲む前記下部電極上部を除去し、前記柱状窒化膜層を取り囲み前記下部電極に接続するように抵抗が変化する膜を堆積し、前記抵抗が変化する膜をエッチングし、前記柱状窒化膜層上部にサイドウォール状に残存させ、前記抵抗が変化する膜を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第6工程を有することを特徴とする。

[0029] また、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、ゲート配線と第1の柱状半導体層と第2の柱状半導体層とコンタクト配線を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、第1の柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと第2の柱状半導体層と前記第1のポリシリコンによる第2のダミーゲートを形成する第2工程と、前記第2工程の後、前記第1の柱状半導体層と前記第2の柱状半導体層と前記第1のダミーゲートと前記第2のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記第1の柱状半導体層と前記第2のダミーゲートと前記第2の柱状半導体層の側壁に残存させ、第3のダミーゲートと第4のダミーゲートを形成する第3工程と、前記フィン状半導体層上部と前記第1の柱状半導体層下部と前記第2の柱状半導体層下部に第2の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程と、前記第4の工程の後、層間絶縁膜を堆積し平坦化し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとの上部を露出し、前記第1のダミーゲートと前記第2のダ

ミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、ゲート絶縁膜を前記第1の柱状半導体層の周囲と前記第2の柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第4のレジストを形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第2の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第5工程と、前記第5工程の後、前記第6工程と、を有することを特徴とする。

[0030] また、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化後、前記第1のポリシリコン上に第3の絶縁膜を形成することをさらに含むことを特徴とする。

[0031] また、前記第1の柱状半導体層と前記第1のダミーゲートと前記第2の柱状半導体層と前記第2のダミーゲートの周囲に第4の絶縁膜を形成後、第3のレジストを形成し、エッチバックを行い、前記第1の柱状半導体層上部を露出し、前記第1の柱状半導体層上部に第1の拡散層を形成することを特徴とする。

発明の効果

[0032] 本発明によれば、リセットゲートを用いてリセットを行うことができ、抵抗が変化する膜、下部電極の電流が流れる方向の断面積を小さくすることができる記憶装置の構造及び製造方法を提供することができる。

[0033] 柱状絶縁体層と、前記柱状絶縁体層の上部の周囲に形成された抵抗が変化する膜と、前記柱状絶縁体層の下部の周囲に形成され、前記抵抗が変化する膜と接続する下部電極と、前記抵抗が変化する膜を取り囲むリセットゲート絶縁膜と、前記リセットゲート絶縁膜を取り囲むリセットゲートと、を有することにより、リセットゲートに電流を流すことで、ヒーターであるリセットゲートで熱が発生し、このヒーターに接する抵抗が変化する膜であるカルコゲナイドガラス ($\text{GST} : \text{Ge}_2\text{Sb}_2\text{Te}_5$) を融解し、状態を遷移さ

せることができる。

[0034] リセットゲートが、抵抗が変化する膜を取り囲む構造のため、抵抗が変化する膜が熱しやすい。

[0035] リセットゲートに電流を流すことでリセットを行うため、選択素子に大電流を流す必要はなく、選択素子は、セット動作の低電流を流すことができる。

[0036] 柱状絶縁体層と、前記柱状絶縁体層の上部の周囲に形成された抵抗が変化する膜と、前記柱状絶縁体層の下部の周囲に形成され、前記抵抗が変化する膜と接続する下部電極と、を有することにより、抵抗が変化する膜である相変化膜、下部電極であるヒーター素子の電流が流れる方向の断面積を小さくすることができる。

[0037] また、前記柱状絶縁体層は窒化膜とすることにより、相変化膜の冷却を早めることができる。また、前記柱状絶縁体層の下にさらに下部電極を有することにより、下部電極と選択トランジスタとの接触抵抗を低減することができる。

[0038] また、前記ゲート電極は金属であって、前記ゲート配線は金属であるので、冷却を早めることができる。また、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有することにより、ゲートラストによって、金属ゲートが形成されるので、金属ゲートプロセスと高温プロセスを両立させることができる。

[0039] また、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層上に形成された前記第1の柱状半導体層と、を有し、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、前記ゲート電極は金属であって、前記ゲート配線は金属であって、前記ゲート配線は前記フィン状半導体層に直交する方向に延在するのであって、前記第2の拡散層は前記フィン状半導体層に更に形成され、前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、前記第1の柱状半導体層の幅は前記フィン状半

導体層の幅と同じであることを特徴とすることにより、本半導体装置のフィン状半導体層と、柱状半導体層と、ゲート電極と、ゲート配線が、二枚のマスクにより、自己整合で形成されるので、工程数を削減することができる。

[0040] また、前記第2の拡散層に接続される前記ゲート配線に平行なコンタクト配線を有することにより、ソース線の抵抗を下げることができ、セット時の電流によるソース電圧の増加を抑制することができる。前記ゲート配線に平行なコンタクト配線は、例えば、ビット線方向に一系列に配置されたメモリセル2個毎、4個毎、8個毎、16個毎、32個毎、64個毎に一本配置することが好ましい。

[0041] また、第2の柱状半導体層と第2の柱状半導体層周囲に形成されるコンタクト電極とコンタクト配線とで形成される構造は、コンタクト電極が前記第2の拡散層と接続すること以外はトランジスタ構造と同じ構造であり、ゲート配線に平行な方向の全てのソース線はコンタクト配線に接続されることになるため、工程数を削減することができる。

図面の簡単な説明

[0042] [図1] (a) は本発明に係る記憶装置の鳥瞰図である。(b) は (a) のX-X' 線での断面図である。(c) は (a) のY-Y' 線での断面図である。

[図2] (a) は本発明に係る記憶装置の平面図である。(b) は (a) のX-X' 線での断面図である。(c) は (a) のY-Y' 線での断面図である。

[図3] (a) は本発明に係る記憶装置の平面図である。(b) は (a) のX-X' 線での断面図である。(c) は (a) のY-Y' 線での断面図である。

[図4] (a) は本発明に係る記憶装置の平面図である。(b) は (a) のX-X' 線での断面図である。(c) は (a) のY-Y' 線での断面図である。

[図5] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は (a) のX-X' 線での断面図である。(c) は (a) のY-Y' 線での断面図である。

[図6] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は (a) のX-X' 線での断面図である。(c) は (a) のY-Y' 線での

断面図である。

[図7] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図8] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図9] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図10] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図11] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図12] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図13] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図14] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図15] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図16] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図17] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図18] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図19] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図20] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図21] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図22] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図23] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図24] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図25] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b)

)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図26] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図27] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図28] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図29] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図30] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図31] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図32] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図33] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図34] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

の断面図である。

[図35] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図36] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図37] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図38] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図39] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図40] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図41] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図42] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図43] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図44] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図45] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図46] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図47] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図48] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図49] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図50] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図51] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図52] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図53] (a) は本発明に係る記憶装置の製造方法に係る平面図である。(b)

)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図54] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図55] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図56] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図57] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図58] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図59] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図60] (a)は本発明に係る記憶装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

発明を実施するための形態

[0043] 以下に記憶装置の構造を図1に示す。

[0044] 柱状絶縁体層505と、前記柱状絶縁体層505の上部の周囲に形成された抵抗が変化する膜501と、前記柱状絶縁体層505の下部の周囲に形成され、前記抵抗が変化する膜501と接続する下部電極504と、前記抵抗

が変化する膜 501 を取り囲むリセットゲート絶縁膜 502 と、前記リセットゲート絶縁膜 502 を取り囲むリセットゲート 503 と、を有する。

[0045] 抵抗が変化する膜 501 は、カルコゲナイドガラス ($\text{GST} : \text{Ge}_2\text{Sb}_2\text{Te}_5$) であることが好ましい。

[0046] 前記リセットゲート 503 は、電流が流れて発熱する材料であればよい。窒化チタンであることが好ましい。

[0047] 前記リセットゲート絶縁膜 502 は、熱伝導性がよい絶縁膜であればよい。窒化膜であることが好ましい。

[0048] 前記下部電極 504 は、電流が流れて発熱する材料であればよい。窒化チタンであることが好ましい。

[0049] 前記リセットゲート 503 に電流を流すことにより、ヒーターであるリセットゲート 503 で熱が発生し、このヒーターに接する抵抗が変化する膜 501 を融解し、状態を遷移させることができる。

[0050] 図 2 は本発明の記憶装置であるメモリセルを一行一列目と、一行三列目、二行一列目と、二行三列目に配置し、ソース線を相互に接続するためにコンタクト電極、コンタクト配線を有するコンタクト装置を一行二列目と二行二列目に配置している。

[0051] 二行一列目のメモリセルは、半導体基板 101 上に形成されたフィン状半導体層 104 と、前記フィン状半導体層 104 の周囲に形成された第 1 の絶縁膜 106 と、前記フィン状半導体層 104 上に形成された前記第 1 の柱状半導体層 129 と、前記フィン状半導体層 104 に直交する方向の前記第 1 の柱状半導体層 129 の幅は前記フィン状半導体層 104 に直交する方向の前記フィン状半導体層 104 の幅と同じであって、第 1 の柱状半導体層 129 と、前記第 1 の柱状半導体層 129 の周囲に形成されたゲート絶縁膜 162 と、前記ゲート絶縁膜 162 の周囲に形成された金属からなるゲート電極 168a と、前記ゲート電極 168a に接続された金属からなるゲート配線 168b と、前記ゲート電極 168a と前記ゲート配線 168b の周囲と底部に形成された前記ゲート絶縁膜 162 と、前記ゲート配線 168b は前記

フィン状半導体層 104 に直交する方向に延在するのであって、前記ゲート電極 168a の外側の幅と前記ゲート配線 168b の幅は同じであって、前記第 1 の柱状半導体層 129 の上部に形成された第 1 の拡散層 302 と、前記第 1 の柱状半導体層 129 の下部に形成された前記第 2 の拡散層 143a と、前記第 2 の拡散層 143a は前記フィン状半導体層 104 に更に形成されている。

[0052] 前記第 1 の拡散層 302 上に窒化膜からなる柱状絶縁体層 180 と、前記柱状絶縁体層 180 の上部の周囲に形成された抵抗が変化する膜 189 と、前記柱状絶縁体層 180 の下部の周囲に形成され、前記抵抗が変化する膜 189 と接続する下部電極 184 と、前記抵抗が変化する膜 189 を取り囲むリセットゲート絶縁膜 197 と、前記リセットゲート絶縁膜 197 を取り囲むリセットゲート 198a と、を有する。また、前記柱状絶縁体層 180 の下にさらに下部電極 184 を有する。

[0053] 抵抗が変化する膜 189 は、例えば、カルコゲナイドガラス (GST: Ge₂Sb₂Te₅) といった相変化膜が好ましい。また、ヒーター素子である下部電極 184 は、例えば、窒化チタンが好ましい。

[0054] 二行三列目のメモリセルは、半導体基板 101 上に形成されたフィン状半導体層 104 と、前記フィン状半導体層 104 の周囲に形成された第 1 の絶縁膜 106 と、前記フィン状半導体層 104 上に形成された前記第 1 の柱状半導体層 131 と、前記フィン状半導体層 104 に直交する方向の前記第 1 の柱状半導体層 131 の幅は前記フィン状半導体層 104 に直交する方向の前記フィン状半導体層 104 の幅と同じであって、第 1 の柱状半導体層 131 と、前記第 1 の柱状半導体層 131 の周囲に形成されたゲート絶縁膜 163 と、前記ゲート絶縁膜 163 の周囲に形成された金属からなるゲート電極 170a と、前記ゲート電極 170a に接続された金属からなるゲート配線 170b と、前記ゲート電極 170a と前記ゲート配線 170b の周囲と底部に形成された前記ゲート絶縁膜 163 と、前記ゲート配線 170b は前記フィン状半導体層 104 に直交する方向に延在するのであって、前記ゲート

電極 170a の外側の幅と前記ゲート配線 170b の幅は同じであって、前記第 1 の柱状半導体層 131 の上部に形成された第 1 の拡散層 304 と、前記第 1 の柱状半導体層 131 の下部に形成された前記第 2 の拡散層 143a と、前記第 2 の拡散層 143a は前記フィン状半導体層 104 に更に形成されている。

[0055] 前記第 1 の拡散層 304 上に窒化膜からなる柱状絶縁体層 181 と、前記柱状絶縁体層 181 の上部の周囲に形成された抵抗が変化する膜 190 と、前記柱状絶縁体層 190 の下部の周囲に形成され、前記抵抗が変化する膜 190 と接続する下部電極 185 と、前記抵抗が変化する膜 190 を取り囲むリセットゲート絶縁膜 197 と、前記リセットゲート絶縁膜 197 を取り囲むリセットゲート 198b と、を有する。また、前記柱状絶縁体層 181 の下にさらに下部電極 185 を有する。

[0056] 抵抗が変化する膜 189 と、抵抗が変化する膜 190 は、ビット線 203a により接続される。

[0057] 一行一列目のメモリセルは、半導体基板 101 上に形成されたフィン状半導体層 105 と、前記フィン状半導体層 105 の周囲に形成された第 1 の絶縁膜 106 と、前記フィン状半導体層 105 上に形成された前記第 1 の柱状半導体層 132 と、前記フィン状半導体層 105 に直交する方向の前記第 1 の柱状半導体層 132 の幅は前記フィン状半導体層 105 に直交する方向の前記フィン状半導体層 105 の幅と同じであって、第 1 の柱状半導体層 132 と、前記第 1 の柱状半導体層 132 の周囲に形成されたゲート絶縁膜 162 と、前記ゲート絶縁膜 162 の周囲に形成された金属からなるゲート電極 168a と、前記ゲート電極 168a に接続された金属からなるゲート配線 168b と、前記ゲート電極 168a と前記ゲート配線 168b の周囲と底部に形成された前記ゲート絶縁膜 162 と、前記ゲート配線 168b は前記フィン状半導体層 105 に直交する方向に延在するのであって、前記ゲート電極 168a の外側の幅と前記ゲート配線 168b の幅は同じであって、前記第 1 の柱状半導体層 132 の上部に形成された第 1 の拡散層 305 と、前

記第 1 の柱状半導体層 1 3 2 の下部に形成された前記第 2 の拡散層 1 4 3 b と、前記第 2 の拡散層 1 4 3 b は前記フィン状半導体層 1 0 5 に更に形成されている。

[0058] 前記第 1 の拡散層 3 0 5 上に窒化膜からなる柱状絶縁体層 1 8 2 と、前記柱状絶縁体層 1 8 2 の上部の周囲に形成された抵抗が変化する膜 1 9 1 と、前記柱状絶縁体層 1 9 1 の下部の周囲に形成され、前記抵抗が変化する膜 1 9 1 と接続する下部電極 1 8 6 と、前記抵抗が変化する膜 1 9 1 を取り囲むリセットゲート絶縁膜 1 9 7 と、前記リセットゲート絶縁膜 1 9 7 を取り囲むリセットゲート 1 9 8 a と、を有する。また、前記柱状絶縁体層 1 8 2 の下にさらに下部電極 1 8 6 を有する。

[0059] 一行三列目のメモリセルは、半導体基板 1 0 1 上に形成されたフィン状半導体層 1 0 5 と、前記フィン状半導体層 1 0 5 の周囲に形成された第 1 の絶縁膜 1 0 6 と、前記フィン状半導体層 1 0 5 上に形成された前記第 1 の柱状半導体層 1 3 4 と、前記フィン状半導体層 1 0 5 に直交する方向の前記第 1 の柱状半導体層 1 3 4 の幅は前記フィン状半導体層 1 0 5 に直交する方向の前記フィン状半導体層 1 0 5 の幅と同じであって、第 1 の柱状半導体層 1 3 4 と、前記第 1 の柱状半導体層 1 3 4 の周囲に形成されたゲート絶縁膜 1 6 3 と、前記ゲート絶縁膜 1 6 3 の周囲に形成された金属からなるゲート電極 1 7 0 a と、前記ゲート電極 1 7 0 a に接続された金属からなるゲート配線 1 7 0 b と、前記ゲート電極 1 7 0 a と前記ゲート配線 1 7 0 b の周囲と底部に形成された前記ゲート絶縁膜 1 6 3 と、前記ゲート配線 1 7 0 b は前記フィン状半導体層 1 0 5 に直交する方向に延在するのであって、前記ゲート電極 1 7 0 a の外側の幅と前記ゲート配線 1 7 0 b の幅は同じであって、前記第 1 の柱状半導体層 1 3 4 の上部に形成された第 1 の拡散層 3 0 7 と、前記第 1 の柱状半導体層 1 3 4 の下部に形成された前記第 2 の拡散層 1 4 3 b と、前記第 2 の拡散層 1 4 3 b は前記フィン状半導体層 1 0 5 に更に形成されている。

[0060] 前記第 1 の拡散層 3 0 7 上に窒化膜からなる柱状絶縁体層 1 8 3 と、前記

柱状絶縁体層 183 の上部の周囲に形成された抵抗が変化する膜 192 と、前記柱状絶縁体層 192 の下部の周囲に形成され、前記抵抗が変化する膜 192 と接続する下部電極 187 と、前記抵抗が変化する膜 192 を取り囲むリセットゲート絶縁膜 197 と、前記リセットゲート絶縁膜 197 を取り囲むリセットゲート 198 b と、を有する。また、前記柱状絶縁体層 183 の下にさらに下部電極 187 を有する。

[0061] 抵抗が変化する膜 191 と、抵抗が変化する膜 192 は、ビット線 203 b により接続される。

[0062] 柱状絶縁体層 180、181、182、183 と、前記柱状絶縁体層 180、181、182、183 の上部の周囲に形成された抵抗が変化する膜 189、190、191、192 と、前記柱状絶縁体層 180、181、182、183 の下部の周囲に形成され、前記抵抗が変化する膜 189、190、191、192 と接続する下部電極 184、185、186、187 と、を有することにより、抵抗が変化する膜である相変化膜、下部電極であるヒーター素子の電流が流れる方向の断面積を小さくすることができる。

[0063] また、前記柱状絶縁体層 180、181、182、183 は窒化膜とすることにより、抵抗が変化する膜である相変化膜の冷却を早めることができる。また、前記柱状絶縁体層 180、181、182、183 の下にさらに下部電極 184、185、186、187 を有することにより、下部電極 184、185、186、187 と選択トランジスタとの接触抵抗を低減することができる。

[0064] また、前記ゲート電極 168 a、170 a は金属であって、前記ゲート配線 168 b、170 b は金属であるので、冷却を早めることができる。また、前記ゲート電極 168 a、170 a と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜 168 b、170 b と、を有することにより、ゲートラストによって、金属ゲートが形成されるので、金属ゲートプロセスと高温プロセスを両立させることができる。

[0065] また、前記ゲート電極 168 a、170 a と前記ゲート配線 168 b、1

70bの周囲と底部に形成された前記ゲート絶縁膜162、163と、を有し、前記ゲート電極168a、170aは金属であって、前記ゲート配線168b、170bは金属であって、前記ゲート配線168b、170bは前記フィン状半導体層104、105に直交する方向に延在するのであって、前記第2の拡散層143a、143bは前記フィン状半導体層104、105に更に形成され、前記ゲート電極168a、170aの外側の幅と前記ゲート配線168b、170bの幅は同じであって、前記第1の柱状半導体層129、131、132、134の幅は前記フィン状半導体層104、105の幅と同じであることを特徴とすることにより、本半導体装置のフィン状半導体層104、105と、第1の柱状半導体層129、131、132、134と、ゲート電極168a、170aと、ゲート配線168b、170bが、二枚のマスクにより、自己整合で形成されるので、工程数を削減することができる。

[0066] 二行二列目のコンタクト装置は、前記半導体基板101上に形成された前記フィン状半導体層104と、前記フィン状半導体層104の周囲に形成された前記第1の絶縁膜106と、前記フィン状半導体層104上に形成された第2の柱状半導体層130と、前記フィン状半導体層104に直交する方向の前記第2の柱状半導体層130の幅は前記フィン状半導体層104に直交する方向の前記フィン状半導体層104の幅と同じであって、前記第2の柱状半導体層130の周囲に形成された金属からなるコンタクト電極169aと、前記第2の柱状半導体層130と前記コンタクト電極169aとの間に形成された前記ゲート絶縁膜165を有し、前記コンタクト電極169aに接続された前記フィン状半導体層104に直交する方向に延在する金属からなる前記コンタクト配線169bと、前記コンタクト電極169aと前記コンタクト配線169bの周囲に形成された前記ゲート絶縁膜164を有し、前記コンタクト電極169aの外側の幅と前記コンタクト配線169bの幅は同じであって、前記フィン状半導体層104と前記第2の柱状半導体層130の下部に形成された前記第2の拡散層143aと、前記コンタクト電

極 1 6 9 a は前記第 2 の拡散層 1 4 3 a と接続するのであって、を有する。

[0067] 一行二列目のコンタクト装置は、前記半導体基板 1 0 1 上に形成された前記フィン状半導体層 1 0 5 と、前記フィン状半導体層 1 0 5 の周囲に形成された前記第 1 の絶縁膜 1 0 6 と、前記フィン状半導体層 1 0 5 上に形成された第 2 の柱状半導体層 1 3 3 と、前記フィン状半導体層 1 0 5 に直交する方向の前記第 2 の柱状半導体層 1 3 3 の幅は前記フィン状半導体層 1 0 5 に直交する方向の前記フィン状半導体層 1 0 5 の幅と同じであって、前記第 2 の柱状半導体層 1 3 3 の周囲に形成された金属からなるコンタクト電極 1 6 9 a と、前記第 2 の柱状半導体層 1 3 3 と前記コンタクト電極 1 6 9 a との間に形成された前記ゲート絶縁膜 1 6 6 を有し、前記コンタクト電極 1 6 9 a に接続された前記フィン状半導体層 1 0 5 に直交する方向に延在する金属からなる前記コンタクト配線 1 6 9 b と、前記コンタクト電極 1 6 9 a と前記コンタクト配線 1 6 9 b の周囲に形成された前記ゲート絶縁膜 1 6 4 を有し、前記コンタクト電極 1 6 9 a の外側の幅と前記コンタクト配線 1 6 9 b の幅は同じであって、前記フィン状半導体層 1 0 5 と前記第 2 の柱状半導体層 1 3 3 の下部に形成された前記第 2 の拡散層 1 4 3 b と、前記コンタクト電極 1 6 9 a は前記第 2 の拡散層 1 4 3 b と接続するのであって、を有する。

[0068] また、前記第 2 の拡散層 1 4 3 a、1 4 3 b に接続される前記ゲート配線 1 6 8 b、1 7 0 b に平行なコンタクト配線 1 6 9 b を有することにより、第 2 の拡散層 1 4 3 a、1 4 3 b を相互に接続することでソース線の抵抗を下げることができ、セット時の電流によるソース電圧の増加を抑制することができる。前記ゲート配線 1 6 8 b、1 7 0 b に平行なコンタクト配線 1 6 9 b は、例えば、ビット線 1 8 7、1 8 8 方向に一系列に配置されたメモリセル 2 個毎、4 個毎、8 個毎、1 6 個毎、3 2 個毎、6 4 個毎に一本配置することが好ましい。

[0069] また、第 2 の柱状半導体層 1 3 0、1 3 3 と第 2 の柱状半導体層 1 3 0、1 3 3 周囲に形成されるコンタクト電極 1 6 9 a とコンタクト配線 1 6 9 b とで形成される構造は、コンタクト電極 1 6 9 a が前記第 2 の拡散層 1 4 3

a、143bと接続すること以外はトランジスタ構造と同じ構造であり、ゲート配線168b、170bに平行な方向の第2の拡散層143a、143bからなる全てのソース線はコンタクト配線169bに接続されることとなるため、工程数を削減することができる。

[0070] 図3は、半導体基板101深くまで第2の拡散層143cを形成し、図2の第2の拡散層143a、143bを接続した構造である。本構造とすることでさらにソース抵抗を削減することができる。

[0071] 図4は、図3の前記フィン状半導体層105と、前記フィン状半導体層105の周囲に形成された前記第1の絶縁膜106を省き、半導体基板101上に第2の拡散層143dを形成した構造である。本構造とすることでさらにソース抵抗を削減することができる。

[0072] 以下に、本発明の実施形態に係る記憶装置の構造を形成するための製造工程を、図5～図60を参照して説明する。

[0073] まず、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程を示す。本実施例では、シリコン基板としたが、半導体であればよい。

[0074] 図5に示すように、シリコン基板101上にフィン状シリコン層を形成するための第1のレジスト102、103を形成する。

[0075] 図6に示すように、シリコン基板101をエッチングし、フィン状シリコン層104、105を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよい。

[0076] 図7に示すように、第1のレジスト102、103を除去する。

[0077] 図8に示すように、フィン状シリコン層104、105の周囲に第1の絶縁膜106を堆積する。第1の絶縁膜として高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いてもよい。

[0078] 図9に示すように、第1の絶縁膜106をエッチバックし、フィン状シリコン層104、105の上部を露出する。

- [0079] 以上により半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程が示された。
- [0080] 次に、前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、ゲート配線と第１の柱状半導体層と第２の柱状半導体層とコンタクト配線を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程を示す。
- [0081] 図１０に示すように、前記フィン状シリコン層１０４、１０５の周囲に第２の絶縁膜１０７、１０８を形成する。第２の絶縁膜１０７、１０８は、酸化膜が好ましい。
- [0082] 図１１に示すように、前記第２の絶縁膜１０７、１０８の上に第１のポリシリコン１０９を堆積し平坦化する。
- [0083] 図１２に示すように、前記第１のポリシリコン１０９上に第３の絶縁膜１１０を形成する。第３の絶縁膜１１０は、窒化膜が好ましい。
- [0084] 図１３に示すように、ゲート配線１６８ｂ、１７０ｂと第１の柱状半導体層１２９、１３１、１３２、１３４と第２の柱状半導体層１３０、１３３とコンタクト配線１６９ｂを形成するための第２のレジスト１１１、１１２、１１３を、前記フィン状シリコン層１０４、１０５の方向に対して垂直の方向に形成する。
- [0085] 図１４に示すように、前記第３の絶縁膜１１０と前記第１のポリシリコン１０９と前記第２の絶縁膜１０７、１０８と前記フィン状シリコン層１０４、１０５をエッチングすることにより、第１の柱状シリコン層１２９、１３１、１３２、１３４と前記第１のポリシリコンによる第１のダミーゲート１１７、１１９と第２の柱状シリコン層１３０、１３３と前記第１のポリシリコンによる第２のダミーゲート１１８を形成する。このとき、第３の絶縁膜

110は、分離され、第3の絶縁膜114、115、116となる。また、第2の絶縁膜107、108は分離され、第2の絶縁膜123、124、125、126、127、128となる。このとき、第2のレジスト111、112、113がエッチング中に除去された場合、第3の絶縁膜114、115、116がハードマスクとして機能する。第2のレジストがエッチング中に除去されないとき、第3の絶縁膜を使用しなくてもよい。

[0086] 図15に示すように、第2のレジスト114、115、116を除去する。

[0087] 以上により、前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、ゲート配線と第1の柱状半導体層と第2の柱状半導体層とコンタクト配線を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、第1の柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと第2の柱状半導体層と前記第1のポリシリコンによる第2のダミーゲートを形成する第2工程が示された。

[0088] 次に、前記第2工程の後、前記第1の柱状半導体層と前記第2の柱状半導体層と前記第1のダミーゲートと前記第2のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記第1の柱状半導体層と前記第2のダミーゲートと前記第2の柱状半導体層の側壁に残存させ、第3のダミーゲートと第4のダミーゲートを形成する第3工程を示す。

[0089] 図16に示すように、前記第1の柱状シリコン層129、131、132、134と前記第2の柱状シリコン層130、133と前記第1のダミーゲート117、119と前記第2のダミーゲート118の周囲に第4の絶縁膜135を形成する。第4の絶縁膜135は、酸化膜が好ましい。第3のレジスト301を形成し、エッチバックを行い、前記第1の柱状シリコン層12

9、131、132、134上部を露出する。このとき、第2の柱状シリコン層130、133上部を露出してもよい。

[0090] 図17に示すように、不純物を導入し、前記第1の柱状シリコン層129、131、132、134上部に第1の拡散層302、304、305、307を形成する。また、第2の柱状シリコン層130、133上部に第1の拡散層303、306を形成してもよい。n型拡散層のときは、砒素やリンを導入することが好ましい。p型拡散層のときは、ボロンを導入することが好ましい。

[0091] 図18に示すように、第3のレジスト301を除去する。

[0092] 図19に示すように、前記第4の絶縁膜135の周囲に第2のポリシリコン136を堆積する。

[0093] 図20に示すように、第2のポリシリコン136をエッチングをすることにより、前記第1のダミーゲート117、119と前記第1の柱状シリコン層129、131、132、134と前記第2のダミーゲート118と前記第2の柱状シリコン層130、133の側壁に残存させ、第3のダミーゲート137、139と第4のダミーゲート138を形成する。このとき、第4の絶縁膜135は分離され、第4の絶縁膜140、141、142ともよい。

[0094] 以上により、前記第2工程の後、前記第1の柱状半導体層と前記第2の柱状半導体層と前記第1のダミーゲートと前記第2のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記第1の柱状半導体層と前記第2のダミーゲートと前記第2の柱状半導体層の側壁に残存させ、第3のダミーゲートと第4のダミーゲートを形成する第3工程が示された。

[0095] 次に、前記フィン状半導体層上部と前記第1の柱状半導体層下部と前記第2の柱状半導体層下部に第2の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成し、エッチングを

し、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程を示す。

[0096] 図21に示すように、不純物を導入し、前記第1の柱状シリコン層129、131、132、134下部と前記第2の柱状シリコン層130、133下部に第2の拡散層143a、143bを形成する。n型拡散層のときは、砒素やリンを導入することが好ましい。p型拡散層のときは、ボロンを導入することが好ましい。拡散層形成は、後述の第5の絶縁膜からなるサイドウォール形成後に行ってもよい。

[0097] 図22に示すように、前記第3のダミーゲート137、139と前記第4のダミーゲート138との周囲に、第5の絶縁膜144を形成する。第5の絶縁膜144は、窒化膜が好ましい。

[0098] 図23に示すように、第5の絶縁膜144をエッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォール145、146、147を形成する。

[0099] 図24に示すように、前記第2の拡散層143a、143b上に金属と半導体の化合物148、149、150、151、152、153、154、155を形成する。このとき、第3のダミーゲート137、139上部、第4のダミーゲート138上部にも金属と半導体の化合物156、158、157が形成される。

[0100] 以上により、前記フィン状半導体層上部と前記第1の柱状半導体層下部と前記第2の柱状半導体層下部に第2の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程が示された。

[0101] 次に、前記第4の工程の後、層間絶縁膜を堆積し平坦化し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4

のダミーゲートとの上部を露出し、前記第 1 のダミーゲートと前記第 2 のダミーゲートと前記第 3 のダミーゲートと前記第 4 のダミーゲートとを除去し、前記第 2 の絶縁膜と前記第 4 の絶縁膜を除去し、ゲート絶縁膜を前記第 1 の柱状半導体層の周囲と前記第 2 の柱状半導体層の周囲と前記第 5 の絶縁膜の内側に形成し、前記第 2 の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第 4 のレジストを形成し、前記第 2 の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第 1 の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第 2 の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第 5 工程を示す。

[0102] 図 25 に示すように、層間絶縁膜 159 を堆積する。コンタクトストップ膜を用いてもよい。

[0103] 図 26 に示すように、化学機械研磨し、前記第 1 のダミーゲート 117、119 と前記第 2 のダミーゲート 118 と前記第 3 のダミーゲート 137、139 と前記第 4 のダミーゲート 138 との上部を露出する。このとき、第 3 のダミーゲート 137、139 上部、第 4 のダミーゲート 138 上部の金属と半導体の化合物 156、158、157 を除去する。

[0104] 図 27 に示すように、前記第 1 のダミーゲート 117、119 と前記第 2 のダミーゲート 118 と前記第 3 のダミーゲート 137、139 と前記第 4 のダミーゲート 138 とを除去する。

[0105] 図 28 に示すように、前記第 2 の絶縁膜 123、124、125、126、127、128 と前記第 4 の絶縁膜 140、141、142 を除去する。

[0106] 図 29 に示すように、ゲート絶縁膜 160 を前記第 1 の柱状シリコン層 129、131、132、134 の周囲と前記第 2 の柱状シリコン層 130、133 の周囲と前記第 5 の絶縁膜 145、146、147 の内側に形成する。

[0107] 図 30 に示すように、前記第 2 の柱状シリコン層 130、133 の底部周辺のゲート絶縁膜 160 を除去するための第 4 のレジスト 161 を形成する

。

[0108] 図31に示すように、前記第2の柱状シリコン層130、133の底部周辺のゲート絶縁膜160を除去する。ゲート絶縁膜は分離され、ゲート絶縁膜162、163、164、165、166となる。また、等方性エッチングにより、ゲート絶縁膜164、165、166を除去してもよい。

[0109] 図32に示すように、第4のレジスト161を除去する。

[0110] 図33に示すように、金属167を堆積する。

[0111] 図34に示すように、金属167のエッチバックを行い、前記第1の柱状シリコン層129、131、132、134の周囲にゲート電極168a、170a及びゲート配線168b、170bを形成し、前記第2の柱状シリコン層130、133の周囲にコンタクト電極169a及びコンタクト配線169bを形成する。

[0112] 以上により、前記第4の工程の後、層間絶縁膜を堆積し平坦化し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとの上部を露出し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、ゲート絶縁膜を前記第1の柱状半導体層の周囲と前記第2の柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第4のレジストを形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第2の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第5工程が示された。

[0113] 次に、第2の層間絶縁膜を堆積し、コンタクト孔を形成し、第2の金属と窒化膜を堆積し、前記第2の層間絶縁膜上の前記第2の金属と窒化膜とを除去することで、前記コンタクト孔内部に、柱状窒化膜層と、前記柱状窒化膜層底部と前記柱状窒化膜層とを取り囲む下部電極を形成し、前記第2の層間

絶縁膜をエッチバックし、前記柱状窒化膜層を取り囲む前記下部電極上部を露出し、露出した前記柱状窒化膜層を取り囲む前記下部電極上部を除去し、前記柱状窒化膜層を取り囲み前記下部電極に接続するように抵抗が変化する膜を堆積し、前記抵抗が変化する膜をエッチングし、前記柱状窒化膜層上部にサイドウォール状に残存させ、前記抵抗が変化する膜を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第6工程を示す。

[0114] 図35に示すように、第2の層間絶縁膜171を堆積する。

[0115] 図36に示すように、コンタクト孔を形成するための第5のレジスト172を形成する。

[0116] 図37に示すように、コンタクト孔174、175、176、177を形成する。

[0117] 図38に示すように、第5のレジスト172を剥離する。

[0118] 図39に示すように、第2の金属178を堆積する。第2の金属178は、窒化チタンが好ましい。

[0119] 図40に示すように、窒化膜179を堆積する。

[0120] 図41に示すように、窒化膜179をエッチバックし、第2の層間絶縁膜171上の窒化膜179を除去する。このとき、柱状窒化膜層180、181、182、183が形成される。

[0121] 図42に示すように、第2の層間絶縁膜171上の第2の金属178を除去する。前記柱状窒化膜層底部180、181、182、183と前記柱状窒化膜層180、181、182、183とを取り囲む下部電極184、185、186、187となる。

[0122] 図43に示すように、第2の層間絶縁膜171をエッチバックし、柱状窒化膜層180、181、182、183を取り囲む下部電極184、185、186、187上部を露出する。

[0123] 図44に示すように、露出した柱状窒化膜層180、181、182、183を取り囲む下部電極184、185、186、187上部を除去する。

[0124] 図45に示すように、第2の層間絶縁膜171をエッチバックし、柱状窒

化膜層 180、181、182、183を取り囲む下部電極 184、185、186、187上部を露出する。図43工程の後、下部電極 184、185、186、187上部が露出していれば、この工程は不要である。

[0125] 図46に示すように、柱状窒化膜層 180、181、182、183を取り囲み前記下部電極 184、185、186、187に接続するように抵抗が変化する膜 188を堆積する。抵抗が変化する膜 188は、カルコゲナイドガラス（GST：Ge₂Sb₂Te₅）といった相変化膜が好ましい。

[0126] 図47に示すように、抵抗が変化する膜 188をエッチングし、柱状窒化膜層 180、181、182、183上部にサイドウォール状に残存させる。抵抗が変化する膜 188は、分離され、抵抗が変化する膜 189、190、191、192となる。また、下部電極 184、185、186、187上部側壁に、抵抗が変化する膜 193、194、195、196として残存してもよい。

[0127] 図48に示すように、リセットゲート絶縁膜 197を堆積し、リセットゲートとなる金属 198を堆積する。リセットゲート絶縁膜 197は窒化膜が好ましい。また、金属 198は、窒化チタンが好ましい。

[0128] 図49に示すように、金属 198をエッチバックする。

[0129] 図50に示すように、窒化膜 199を堆積する。

[0130] 図51に示すように、リセットゲートを形成するための第6のレジスト 200、201を形成する。

[0131] 図52に示すように、窒化膜 199をエッチングする。窒化膜 199は分離され、窒化膜 199a、199bとなる。

[0132] 図53に示すように、第6のレジスト 200、201と窒化膜 199a、199bをマスクとして金属 198をエッチングし、リセットゲート 198a、198bを形成する。

[0133] 図54に示すように、第6のレジスト 200、201を除去する。

[0134] 図55に示すように、第3の層間絶縁膜 202を堆積する。

[0135] 図56に示すように、第3の層間絶縁膜 202を平坦化し、抵抗が変化する

る膜 189、190、191、192 上部を露出する。

[0136] 図 57 に示すように、金属 203 を堆積する。

[0137] 図 58 に示すように、ビット線を形成するため第 7 のレジスト 204、205 を形成する。

[0138] 図 59 に示すように、金属 203 をエッチングし、ビット線 203a、203b を形成する。

[0139] 図 60 に示すように、第 7 のレジスト 204、205 を除去する。

[0140] 以上により、第 2 の層間絶縁膜を堆積し、コンタクト孔を形成し、第 2 の金属と窒化膜を堆積し、前記第 2 の層間絶縁膜上の前記第 2 の金属と窒化膜とを除去することで、前記コンタクト孔内部に、柱状窒化膜層と、前記柱状窒化膜層底部と前記柱状窒化膜層とを取り囲む下部電極を形成し、前記第 2 の層間絶縁膜をエッチバックし、前記柱状窒化膜層を取り囲む前記下部電極上部を露出し、露出した前記柱状窒化膜層を取り囲む前記下部電極上部を除去し、前記柱状窒化膜層を取り囲み前記下部電極に接続するように抵抗が変化する膜を堆積し、前記抵抗が変化する膜をエッチングし、前記柱状窒化膜層上部にサイドウォール状に残存させ、前記抵抗が変化する膜を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第 6 工程が示された。

[0141] 以上により、本発明の実施形態に係る半導体装置の構造を形成するための製造工程が示された。

[0142] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0143] 例えば、上記実施例において、p 型（p⁺型を含む。）と n 型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0144] 101. シリコン基板
102. 第1のレジスト
103. 第1のレジスト
104. フィン状シリコン層
105. フィン状シリコン層
106. 第1の絶縁膜
107. 第2の絶縁膜
108. 第2の絶縁膜
109. 第1のポリシリコン
110. 第3の絶縁膜
111. 第2のレジスト
112. 第2のレジスト
113. 第2のレジスト
114. 第3の絶縁膜
115. 第3の絶縁膜
116. 第3の絶縁膜
117. 第1のダミーゲート
118. 第2のダミーゲート
119. 第1のダミーゲート
123. 第2の絶縁膜
124. 第2の絶縁膜
125. 第2の絶縁膜
126. 第2の絶縁膜
127. 第2の絶縁膜
128. 第2の絶縁膜
129. 第1の柱状シリコン層
130. 第2の柱状シリコン層
131. 第1の柱状シリコン層

- 1 3 2. 第1の柱状シリコン層
- 1 3 3. 第2の柱状シリコン層
- 1 3 4. 第1の柱状シリコン層
- 1 3 5. 第4の絶縁膜
- 1 3 6. 第2のポリシリコン
- 1 3 7. 第3のダミーゲート
- 1 3 8. 第4のダミーゲート
- 1 3 9. 第3のダミーゲート
- 1 4 0. 第4の絶縁膜
- 1 4 1. 第4の絶縁膜
- 1 4 2. 第4の絶縁膜
- 1 4 3 a. 第2の拡散層
- 1 4 3 b. 第2の拡散層
- 1 4 3 c. 第2の拡散層
- 1 4 3 d. 第2の拡散層
- 1 4 4. 第5の絶縁膜
- 1 4 5. サイドウォール
- 1 4 6. サイドウォール
- 1 4 7. サイドウォール
- 1 4 8. 金属と半導体の化合物
- 1 4 9. 金属と半導体の化合物
- 1 5 0. 金属と半導体の化合物
- 1 5 1. 金属と半導体の化合物
- 1 5 2. 金属と半導体の化合物
- 1 5 3. 金属と半導体の化合物
- 1 5 4. 金属と半導体の化合物
- 1 5 5. 金属と半導体の化合物
- 1 5 6. 金属と半導体の化合物

- 1 5 7. 金属と半導体の化合物
- 1 5 8. 金属と半導体の化合物
- 1 5 9. 層間絶縁膜
- 1 6 0. ゲート絶縁膜
- 1 6 1. 第4のレジスト
- 1 6 2. ゲート絶縁膜
- 1 6 3. ゲート絶縁膜
- 1 6 4. ゲート絶縁膜
- 1 6 5. ゲート絶縁膜
- 1 6 6. ゲート絶縁膜
- 1 6 7. 金属
- 1 6 8 a. ゲート電極
- 1 6 8 b. ゲート配線
- 1 6 9 a. コンタクト電極
- 1 6 9 b. コンタクト配線
- 1 7 0 a. ゲート電極
- 1 7 0 b. ゲート配線
- 1 7 1. 第2の層間絶縁膜
- 1 7 2. 第5のレジスト
- 1 7 4. コンタクト孔
- 1 7 5. コンタクト孔
- 1 7 6. コンタクト孔
- 1 7 7. コンタクト孔
- 1 7 8. 第2の金属
- 1 7 9. 窒化膜
- 1 8 0. 柱状窒化膜層
- 1 8 1. 柱状窒化膜層
- 1 8 2. 柱状窒化膜層

- 183. 柱状窒化膜層
- 184. 下部電極
- 185. 下部電極
- 186. 下部電極
- 187. 下部電極
- 188. 抵抗が変化する膜
- 189. 抵抗が変化する膜
- 190. 抵抗が変化する膜
- 191. 抵抗が変化する膜
- 192. 抵抗が変化する膜
- 193. 抵抗が変化する膜
- 194. 抵抗が変化する膜
- 195. 抵抗が変化する膜
- 196. 抵抗が変化する膜
- 197. リセットゲート絶縁膜
- 198. 金属
- 198a. リセットゲート
- 198b. リセットゲート
- 199. 窒化膜
- 199a. 窒化膜
- 199b. 窒化膜
- 200. 第6のレジスト
- 201. 第6のレジスト
- 202. 第3の層間絶縁膜
- 203. 金属
- 204. 第7のレジスト
- 205. 第7のレジスト
- 301. 第3のレジスト

- 302. 第1の拡散層
- 303. 第1の拡散層
- 304. 第1の拡散層
- 305. 第1の拡散層
- 306. 第1の拡散層
- 307. 第1の拡散層
- 501. 抵抗が変化する膜
- 502. リセットゲート絶縁膜
- 503. リセットゲート
- 504. 下部電極
- 505. 柱状絶縁体層

請求の範囲

- [請求項1] 柱状絶縁体層と、
前記柱状絶縁体層の上部の周囲に形成された抵抗が変化する膜と、
前記柱状絶縁体層の下部の周囲に形成され、前記抵抗が変化する膜と接続する下部電極と、
前記抵抗が変化する膜を取り囲むリセットゲート絶縁膜と、
前記リセットゲート絶縁膜を取り囲むリセットゲートと、
を有することを特徴とする記憶装置。
- [請求項2] 前記柱状絶縁体層は窒化膜からなり、前記柱状絶縁体層の下にさらに下部電極を有することを特徴とする請求項1に記載の記憶装置。
- [請求項3] 前記リセットゲートは、窒化チタンからなることを特徴とする請求項1に記載の記憶装置。
- [請求項4] 前記リセットゲート絶縁膜は、窒化膜からなることを特徴とする請求項1に記載の記憶装置。
- [請求項5] 前記下部電極は、窒化チタンからなることを特徴とする請求項2に記載の記憶装置。
- [請求項6] 前記リセットゲートに電流を流すことにより、前記抵抗が変化する膜のリセットを行うことを特徴とする請求項1に記載の記憶装置。
- [請求項7] 第1の柱状半導体層と、
前記第1の柱状半導体層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成されたゲート電極と、
前記ゲート電極に接続されたゲート配線と、
前記第1の柱状半導体層の上部に形成された第1の拡散層と、
前記第1の柱状半導体層の下部に形成された前記第2の拡散層と、
前記第1の拡散層上に形成された前記記憶装置と、
を有することを特徴とする請求項2に記載の記憶装置。
- [請求項8] 半導体基板上に形成されたフィン状半導体層と、
前記フィン状半導体層の周囲に形成された第1の絶縁膜と、

前記フィン状半導体層上に形成された前記第 1 の柱状半導体層と、
を有し、

前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、

前記ゲート電極は金属であって、

前記ゲート配線は金属であって、

前記ゲート配線は前記フィン状半導体層に直交する方向に延在するのであって、

前記第 2 の拡散層は前記フィン状半導体層に更に形成されることを特徴とする請求項 7 に記載の記憶装置。

[請求項9] 前記第 2 の拡散層は前記半導体基板に更に形成されることを特徴とする請求項 8 に記載の記憶装置。

[請求項10] 前記第 2 の拡散層に接続される前記ゲート配線に平行なコンタクト配線を有することを特徴とする請求項 8 または 9 のいずれか一つに記載の記憶装置。

[請求項11] 前記半導体基板上に形成された前記フィン状半導体層と、
前記フィン状半導体層の周囲に形成された前記第 1 の絶縁膜と、
前記フィン状半導体層上に形成された第 2 の柱状半導体層と、
前記第 2 の柱状半導体層の周囲に形成された金属からなるコンタクト電極と、

前記コンタクト電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなる前記コンタクト配線と、

前記フィン状半導体層と前記第 2 の柱状半導体層の下部に形成された前記第 2 の拡散層と、

前記コンタクト電極は前記第 2 の拡散層と接続するのであって、
を有することを特徴とする請求項 10 に記載の記憶装置。

[請求項12] 前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、
前記フィン状半導体層に直交する方向の前記第 1 の柱状半導体層の

幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする請求項 8、9、10、11 のいずれか一つに記載の記憶装置。

[請求項13] 前記第 2 の柱状半導体層と前記コンタクト電極との間に形成された前記ゲート絶縁膜を有することを特徴とする請求項 11 に記載の記憶装置。

[請求項14] 前記フィン状半導体層に直交する方向の前記第 2 の柱状半導体層の幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする請求項 11 に記載の記憶装置。

[請求項15] 前記コンタクト電極と前記コンタクト配線の周囲に形成された前記ゲート絶縁膜を有することを特徴とする請求項 13 に記載の記憶装置。

[請求項16] 前記コンタクト電極の外側の幅と前記コンタクト配線の幅は同じであることを特徴とする請求項 11 に記載の記憶装置。

[請求項17] 半導体基板上に形成された前記第 1 の柱状半導体層と、
を有し、
前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、
前記ゲート電極は金属であって、
前記ゲート配線は金属であって、
前記第 2 の拡散層は前記半導体基板に更に形成されることを特徴とする請求項 7 に記載の記憶装置。

[請求項18] 基板上に、第 2 の層間絶縁膜を堆積し、コンタクト孔を形成し、第 2 の金属と窒化膜を堆積し、
前記第 2 の層間絶縁膜上の前記第 2 の金属と窒化膜とを除去することで、前記コンタクト孔内部に、柱状窒化膜層と、前記柱状窒化膜層底部と前記柱状窒化膜層とを取り囲む下部電極を形成し、
前記第 2 の層間絶縁膜をエッチバックし、前記柱状窒化膜層を取り

囲む前記下部電極上部を露出し、

露出した前記柱状窒化膜層を取り囲む前記下部電極上部を除去し、

前記柱状窒化膜層を取り囲み前記下部電極に接続するように抵抗が変化する膜を堆積し、

前記抵抗が変化する膜をエッチングし、前記柱状窒化膜層上部にサイドウォール状に残存させ、

前記抵抗が変化する膜を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第6工程を有することを特徴とする記憶装置の製造方法。

[請求項19]

半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、

前記第1工程の後、

前記フィン状半導体層の周囲に第2の絶縁膜を形成し、

前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、ゲート配線と第1の柱状半導体層と第2の柱状半導体層とコンタクト配線を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、

前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、第1の柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと第2の柱状半導体層と前記第1のポリシリコンによる第2のダミーゲートを形成する第2工程と、

前記第2工程の後、前記第1の柱状半導体層と前記第2の柱状半導体層と前記第1のダミーゲートと前記第2のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記第1の柱状半導体層と前記第2のダミーゲートと前記第2の柱状半導体層の側壁に残存させ、第3のダミーゲートと第4のダミーゲートを形成する第3工程と、

前記フィン状半導体層上部と前記第1の柱状半導体層下部と前記第2の柱状半導体層下部に第2の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程と、

前記第4の工程の後、層間絶縁膜を堆積し平坦化し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとの上部を露出し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、ゲート絶縁膜を前記第1の柱状半導体層の周囲と前記第2の柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第4のレジストを形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第2の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第5工程と、

前記第5工程の後、

前記第6工程と、

を有することを特徴とする請求項18に記載の記憶装置の製造方法。

[請求項20] 前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化後、前記第1のポリシリコン上に第3の絶縁膜を形成することをさらに含むことを特徴とする請求項19に記載の記憶装置の製造方法。

[請求項21] 前記第1の柱状半導体層と前記第1のダミーゲートと前記第2の柱状半導体層と前記第2のダミーゲートの周囲に第4の絶縁膜を形成後、第3のレジストを形成し、エッチバックを行い、前記第1の柱状半

導体層上部を露出し、前記第 1 の柱状半導体層上部に第 1 の拡散層を形成することを特徴とする請求項 19 に記載の記憶装置の製造方法。

[図1]

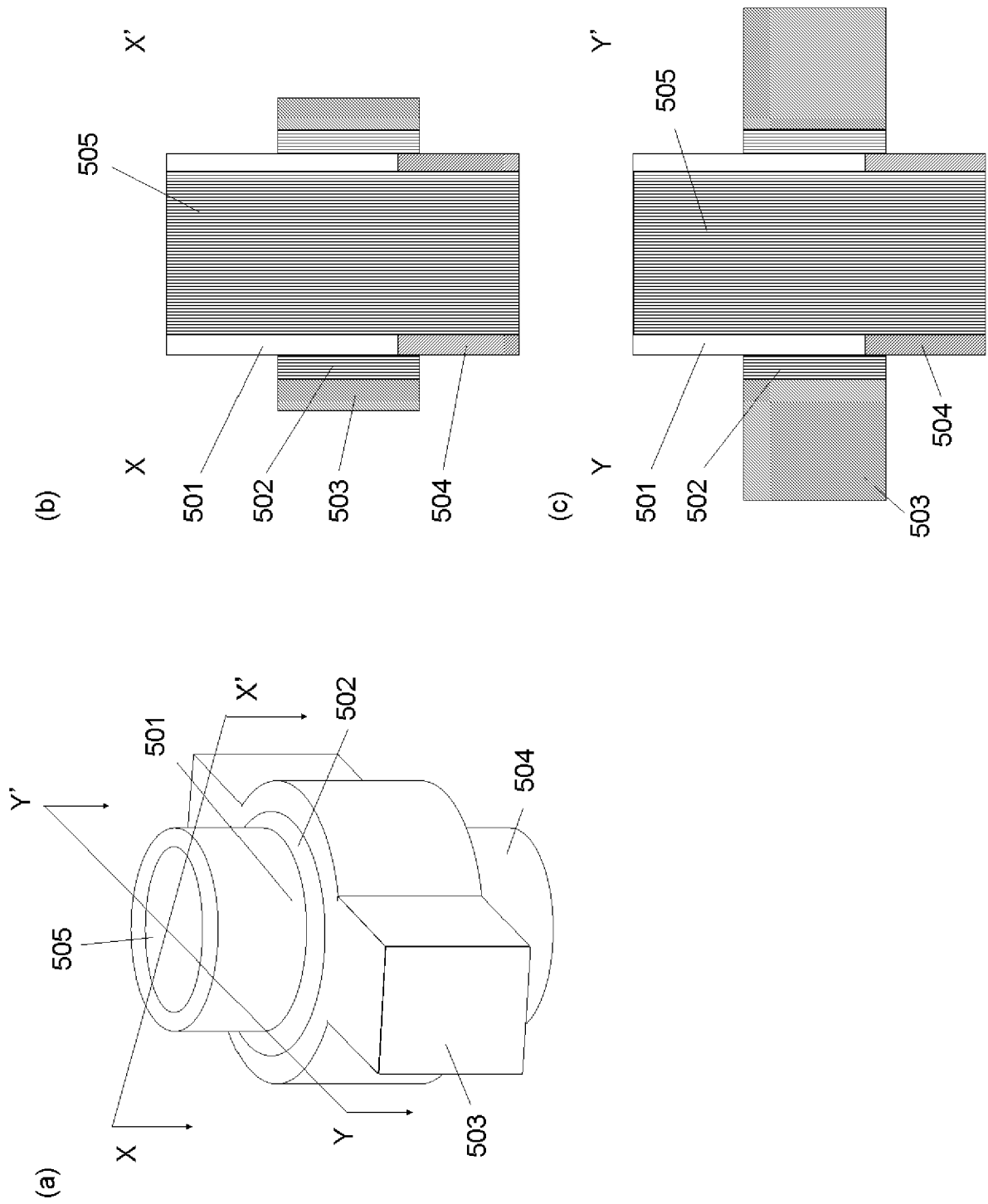
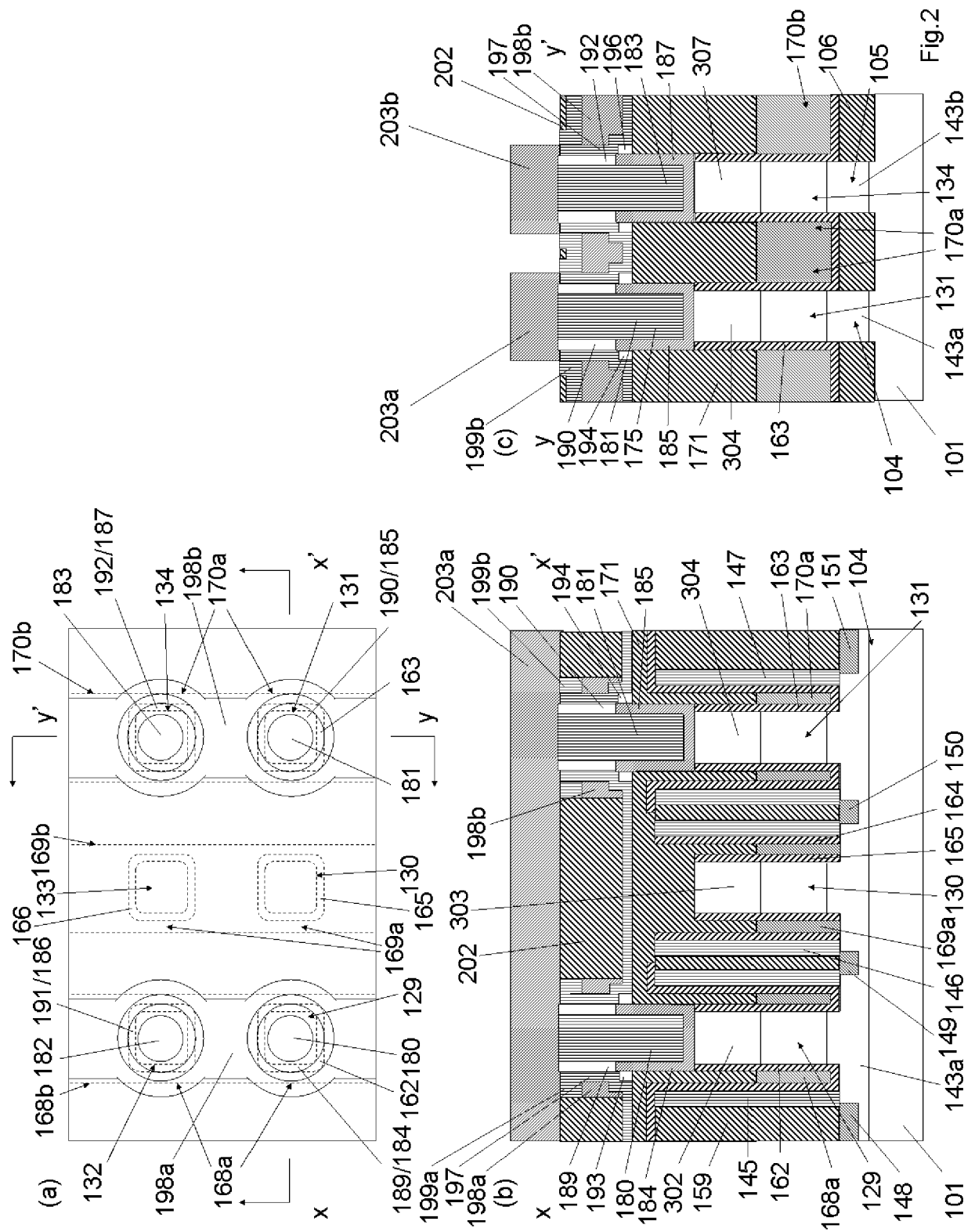


Fig.1

[図2]



[図3]

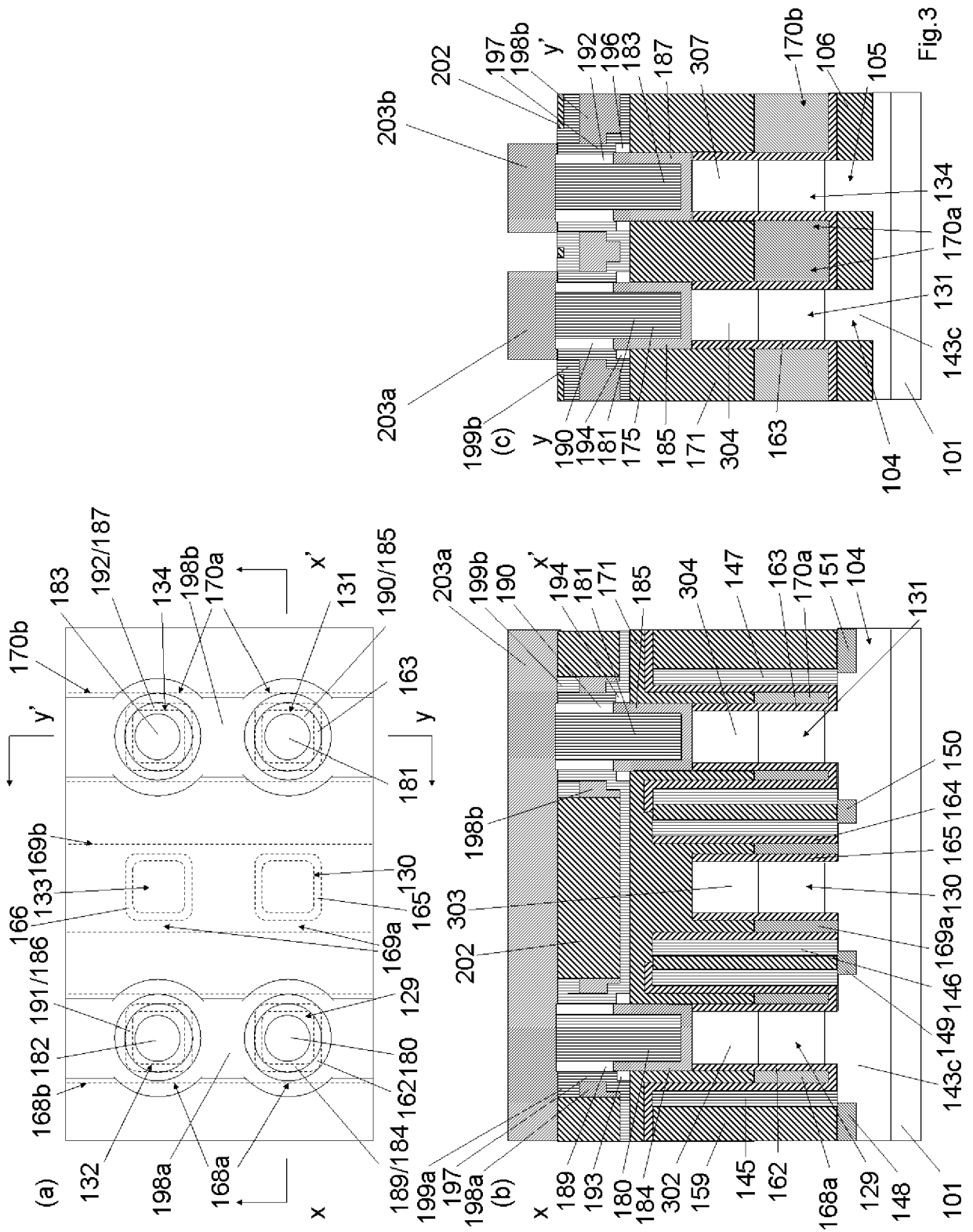


Fig.3

[図4]

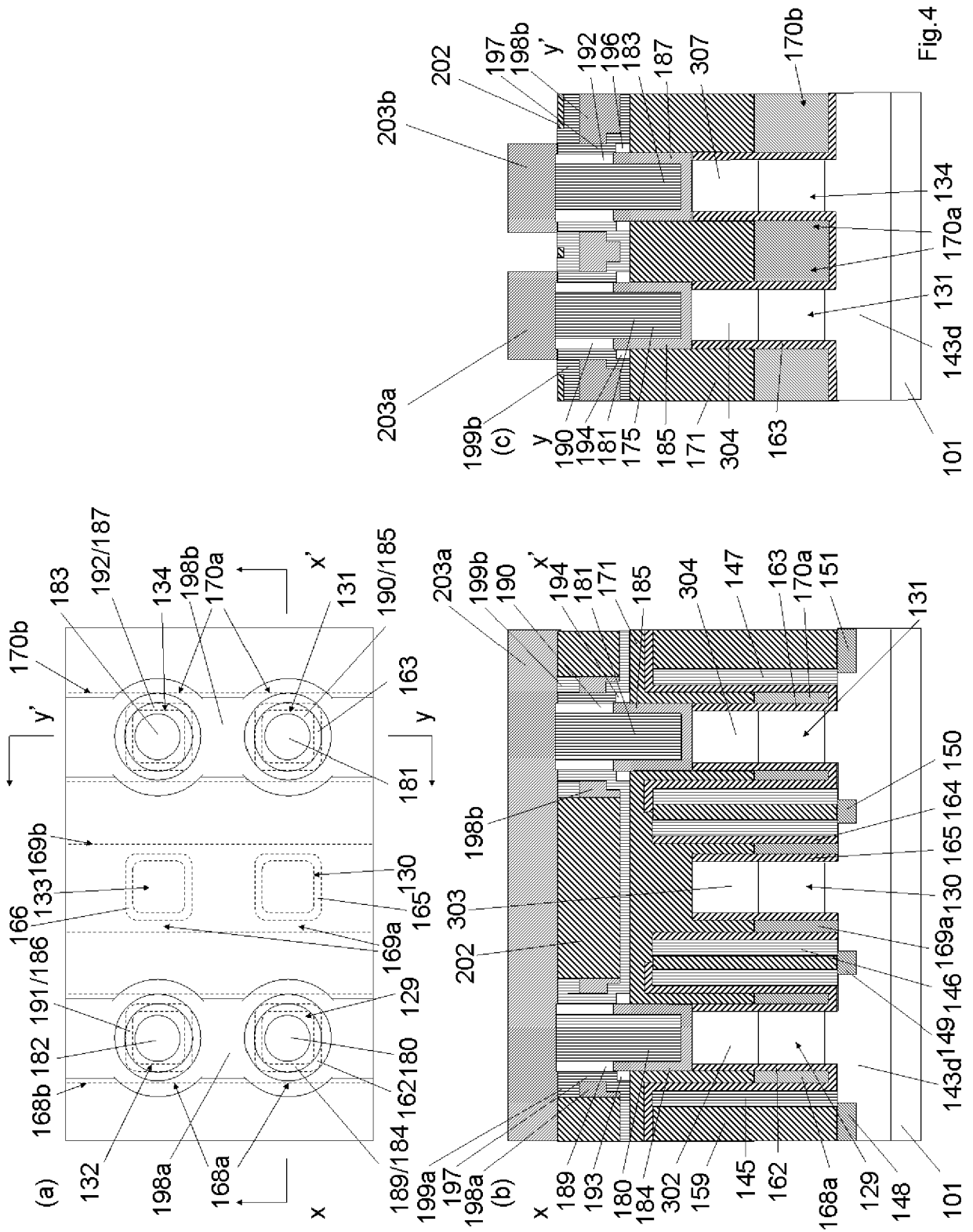
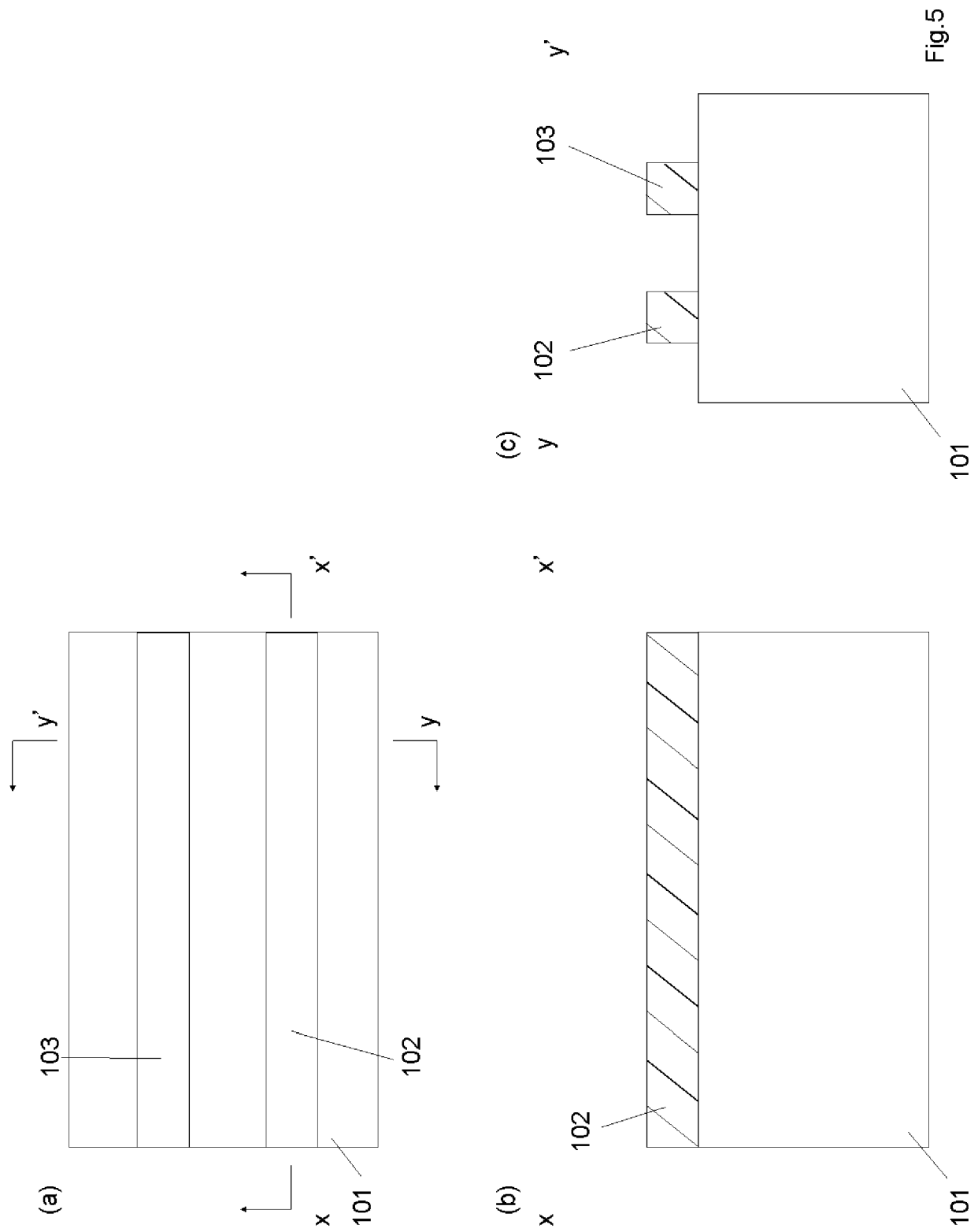
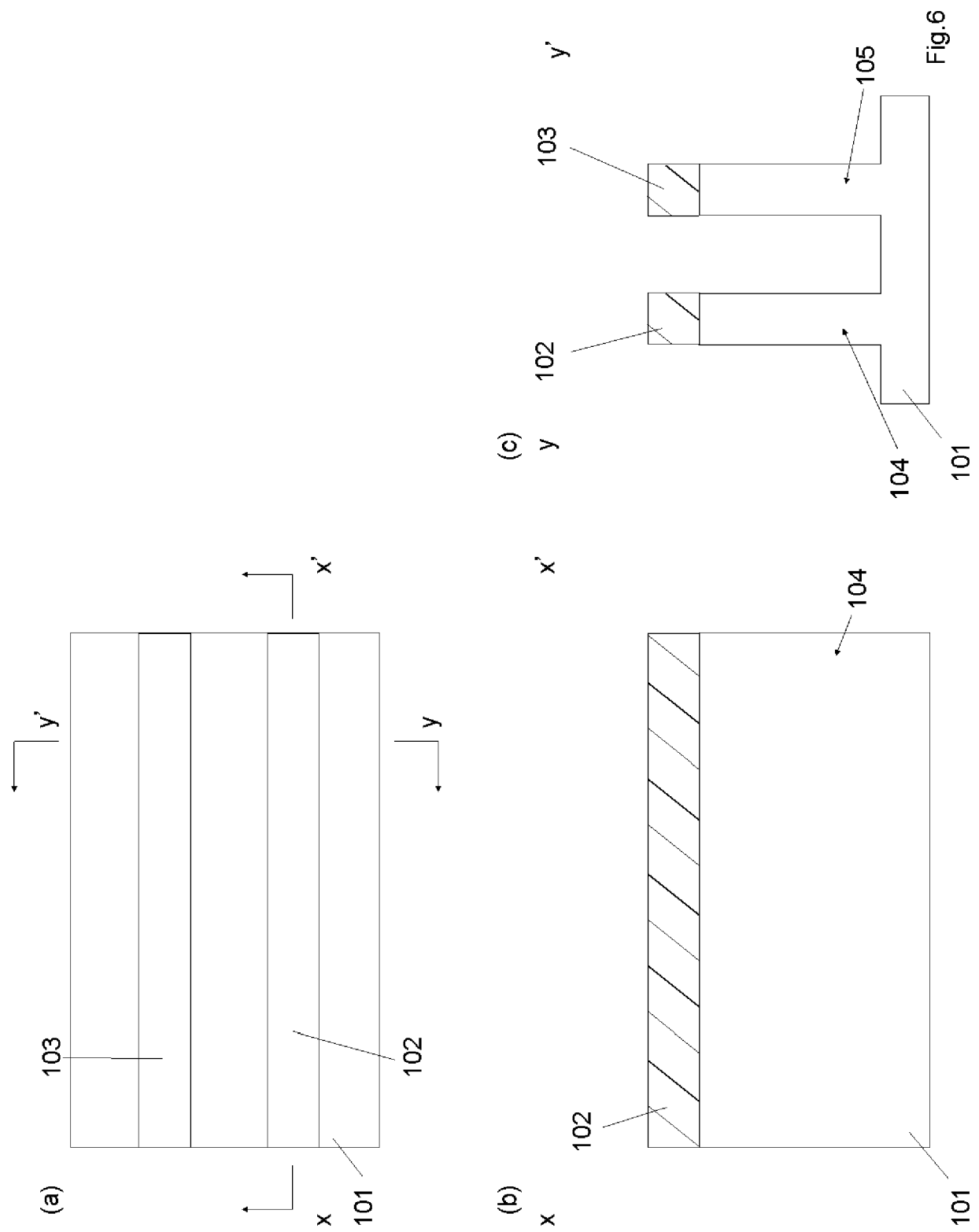


Fig. 4

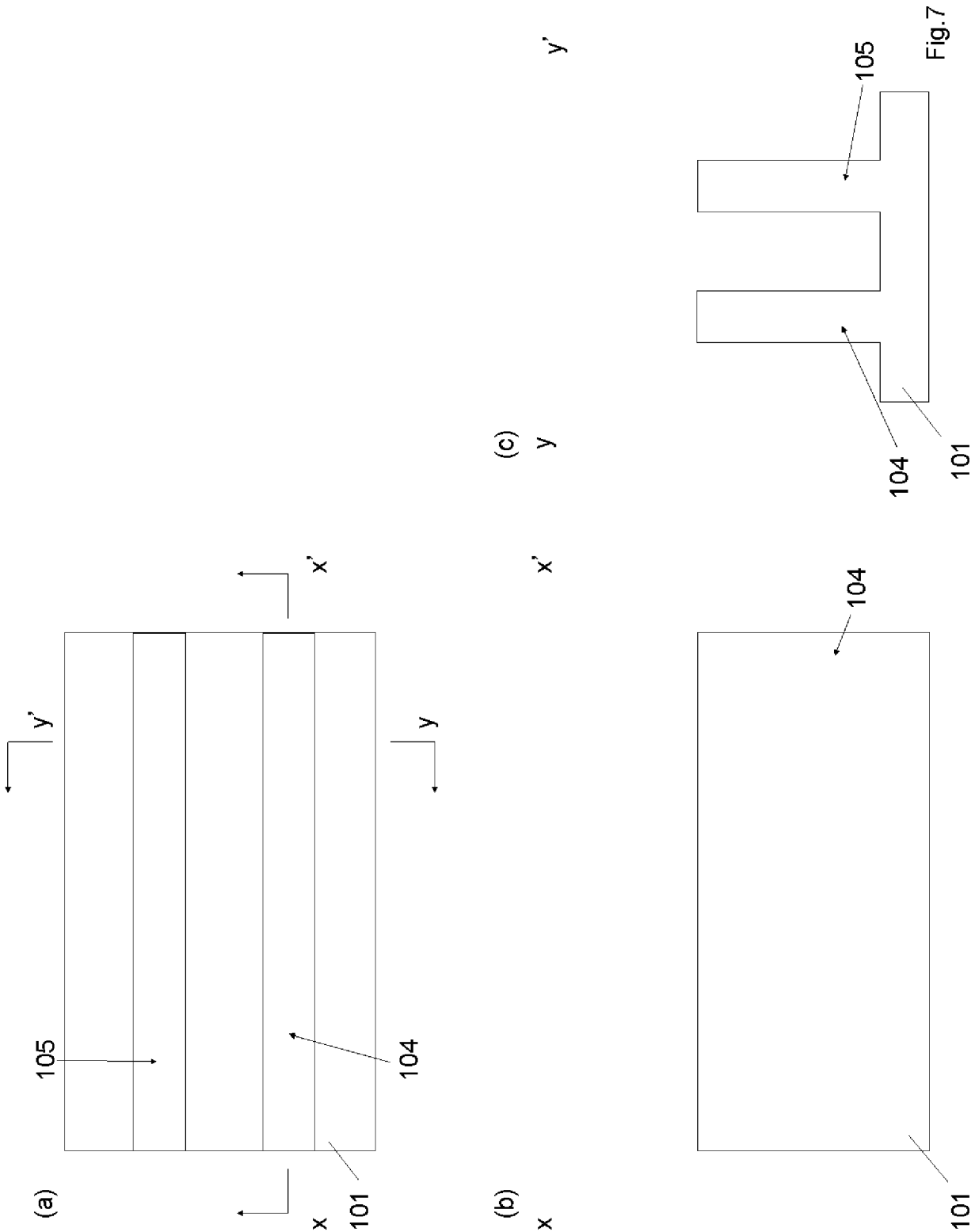
[図5]



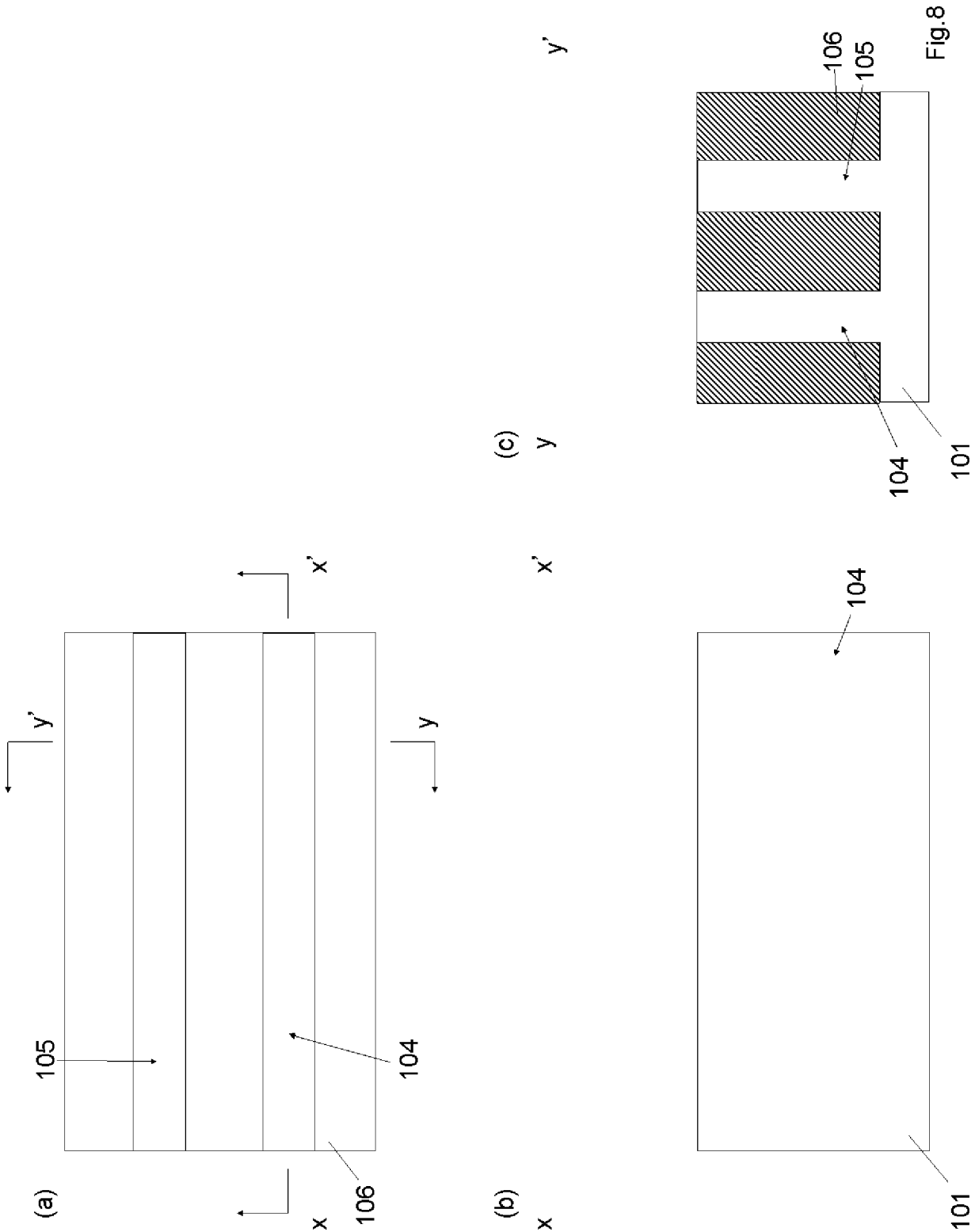
[図6]



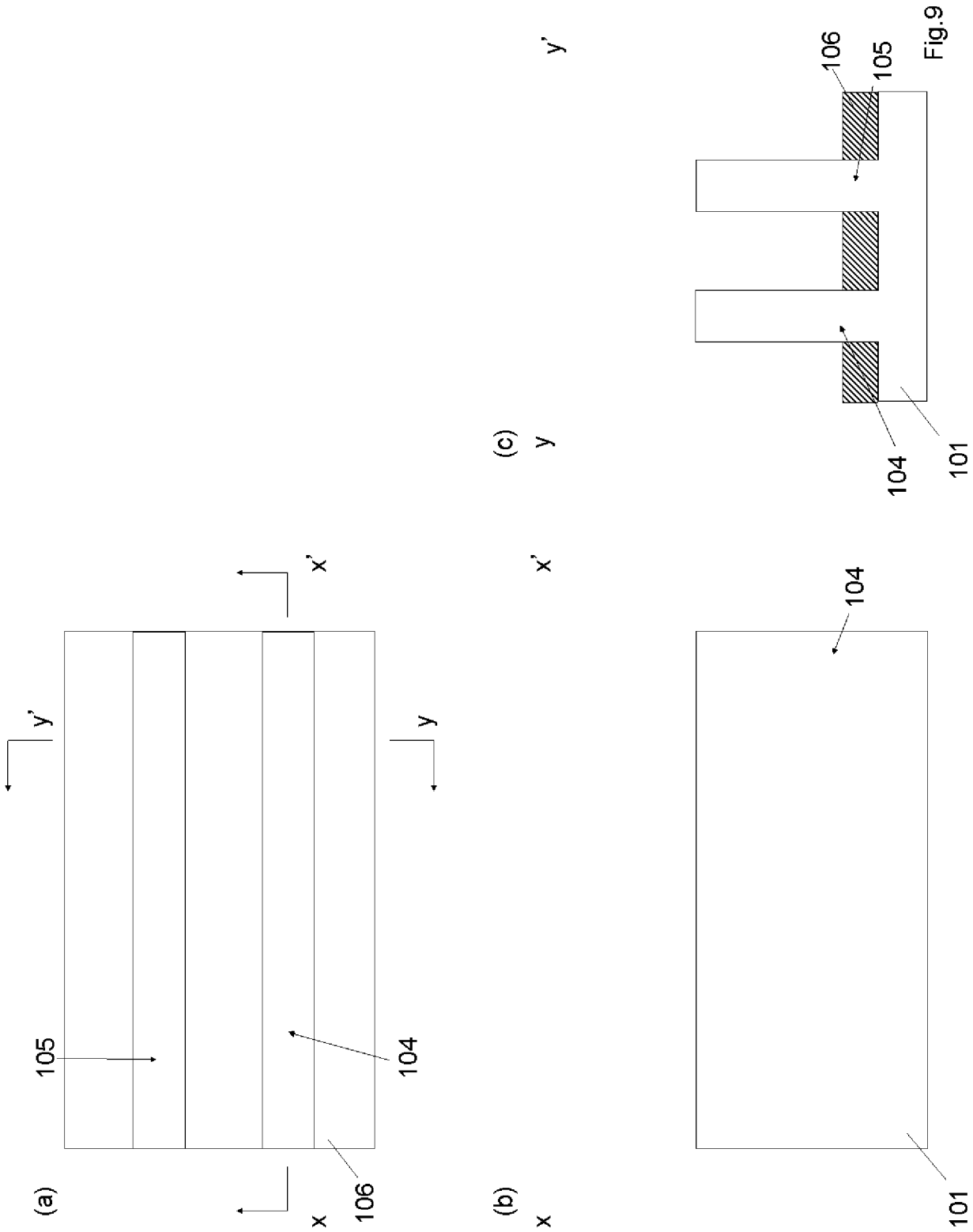
[図7]



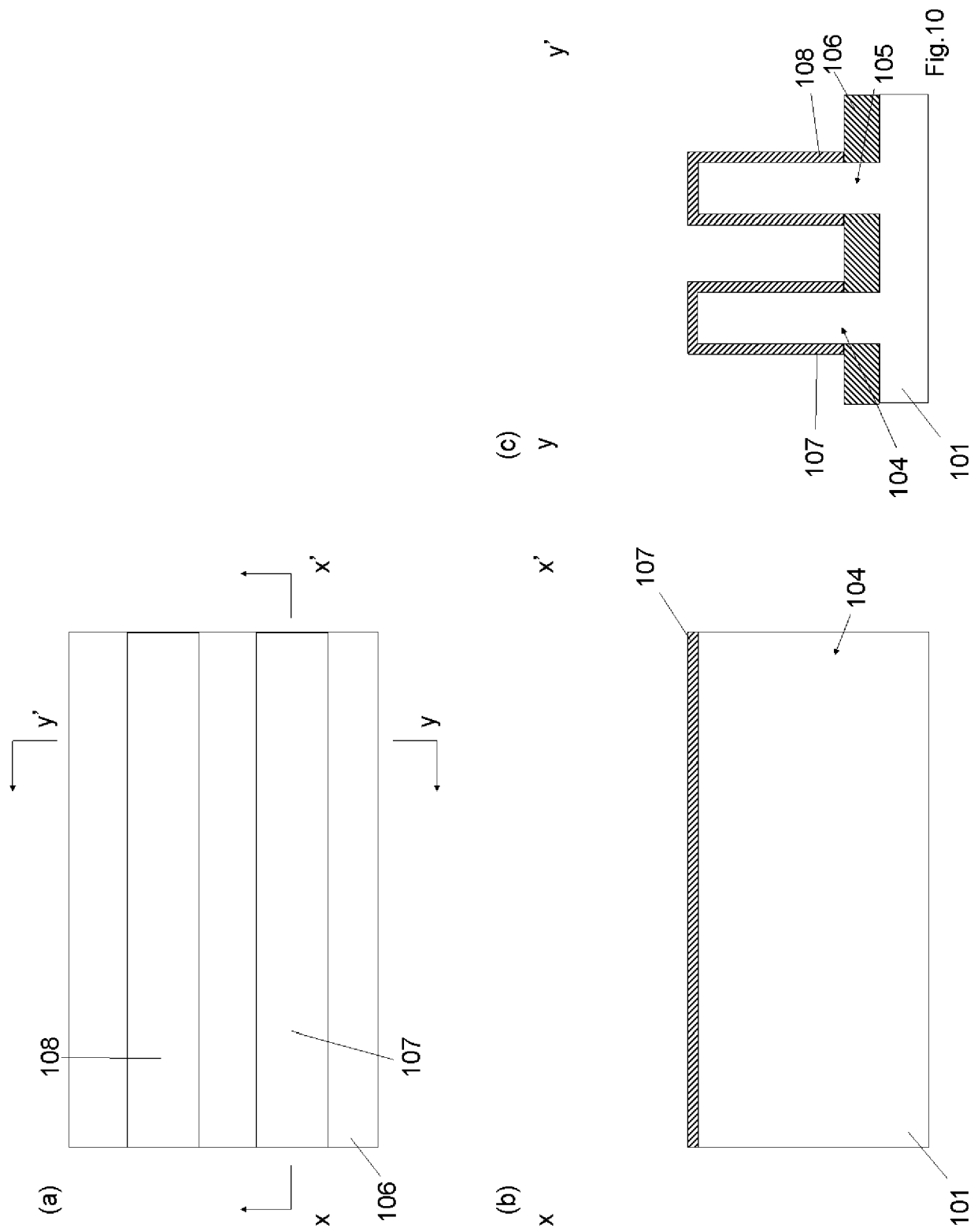
[図8]



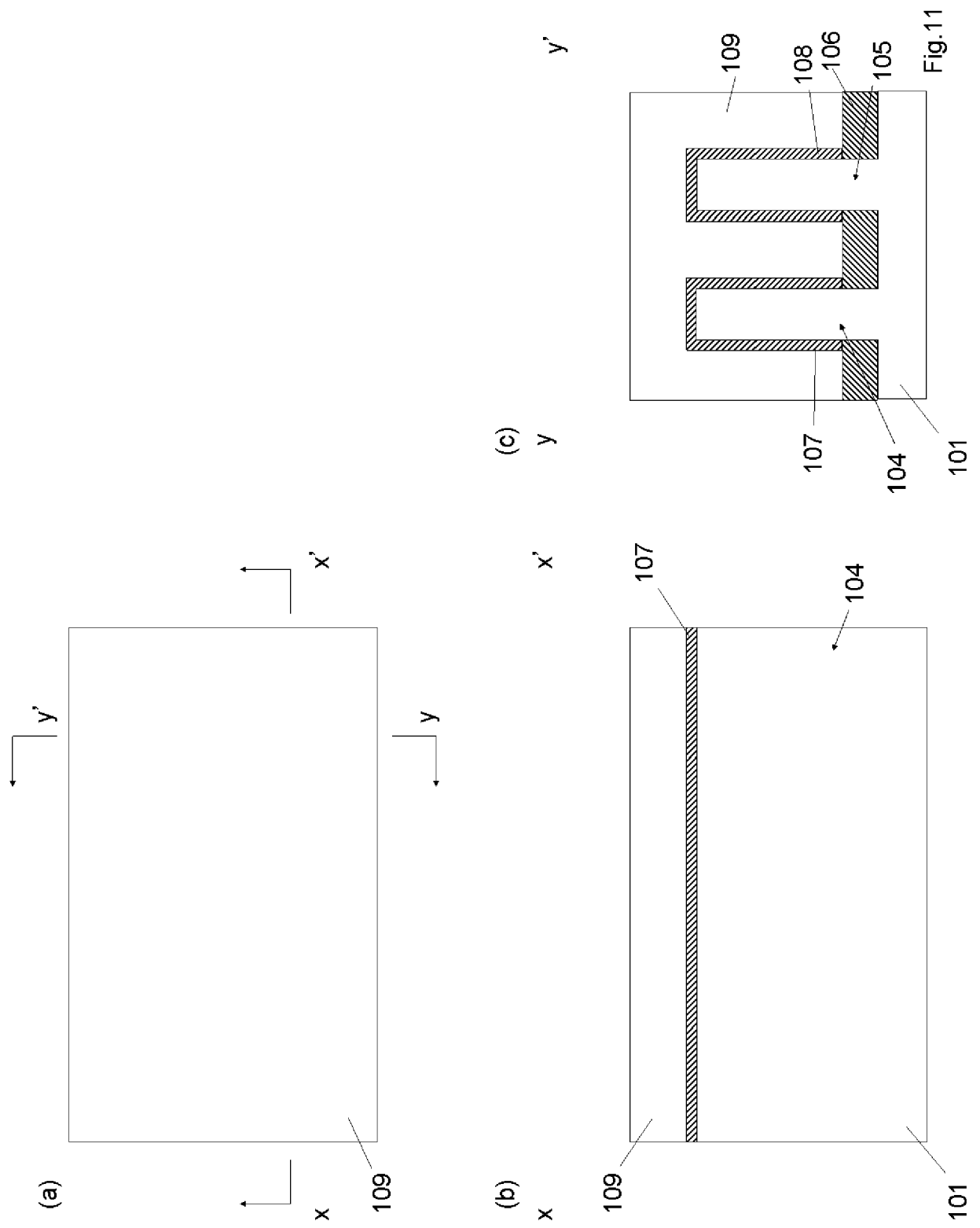
[図9]



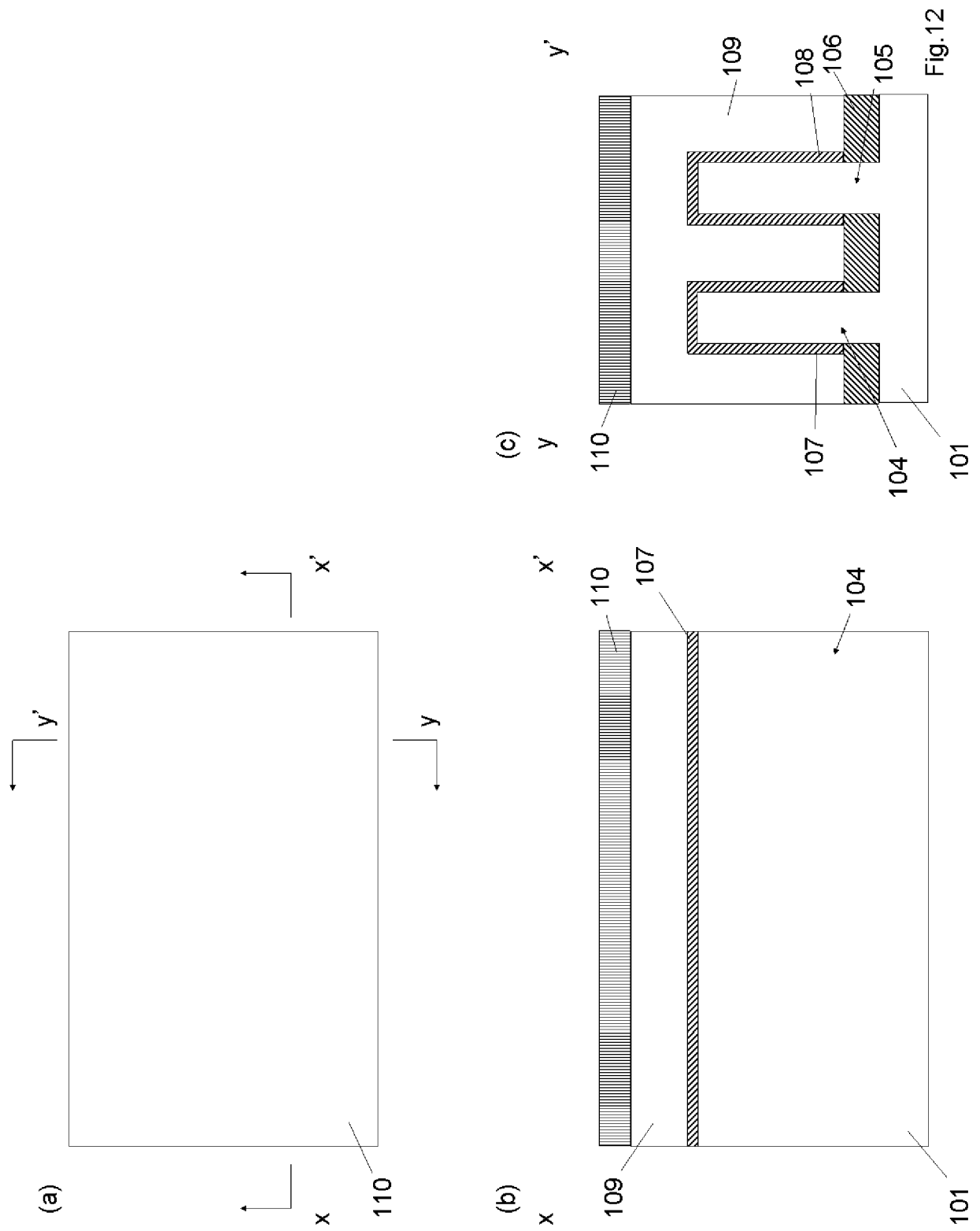
[図10]



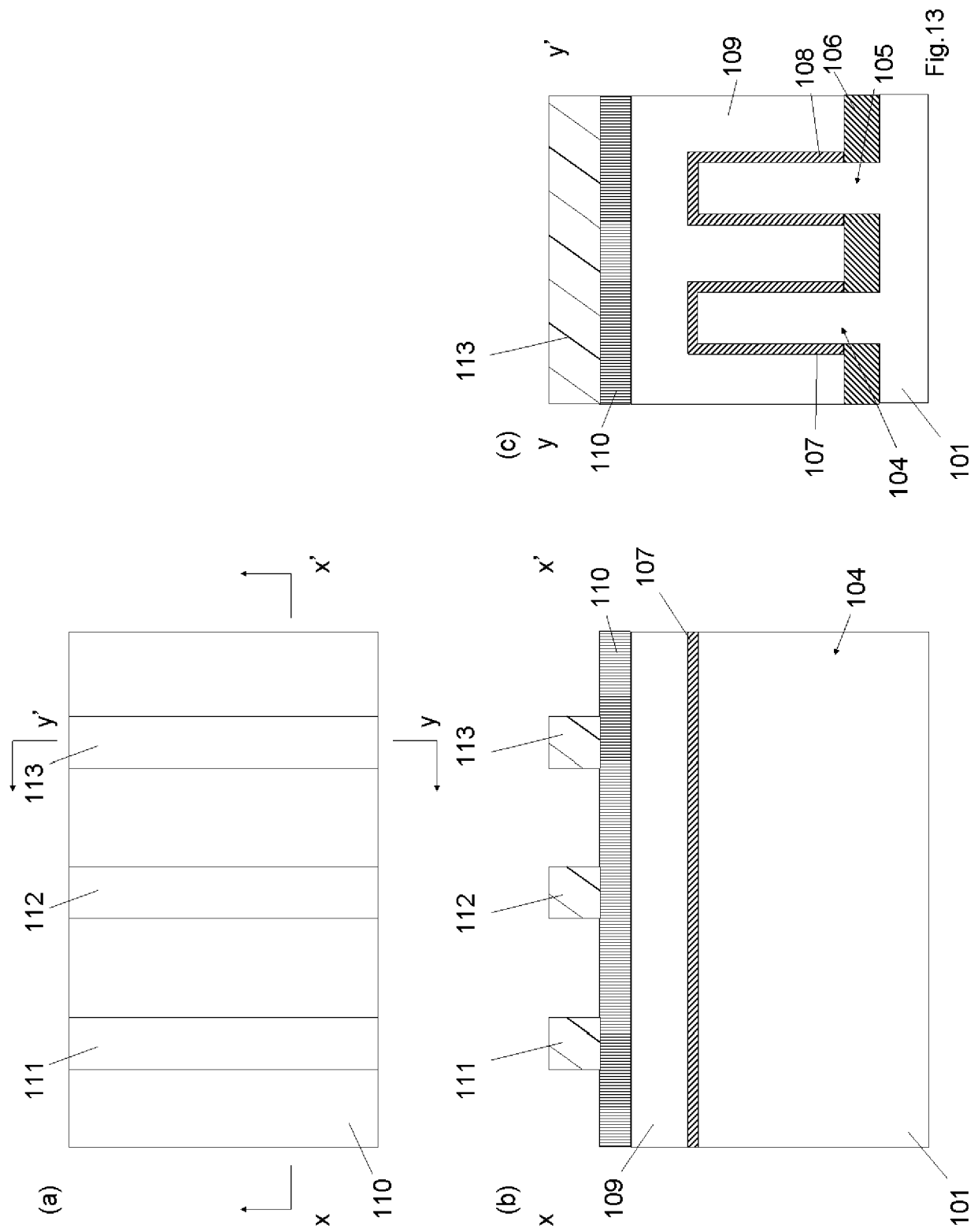
[図11]



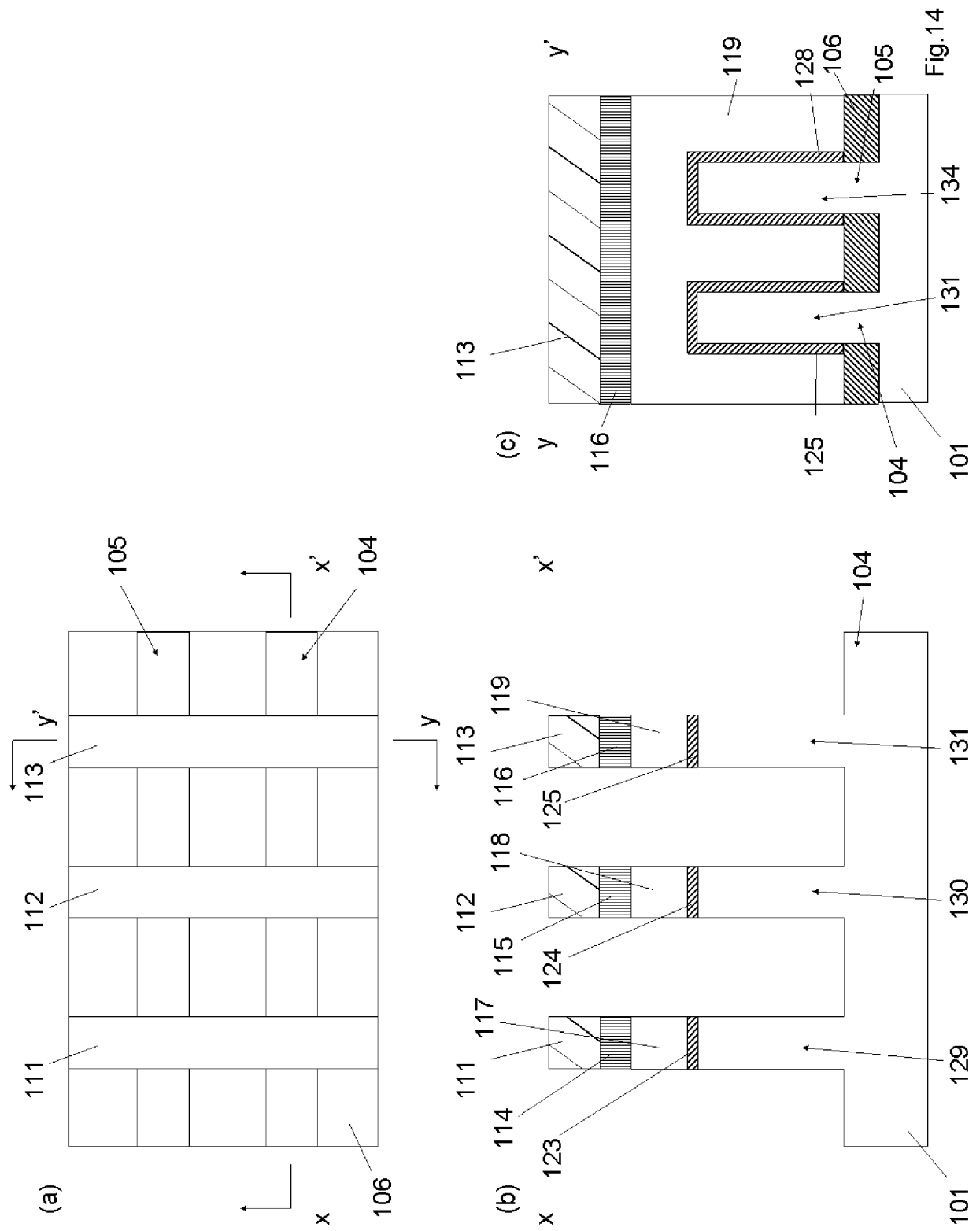
[図12]



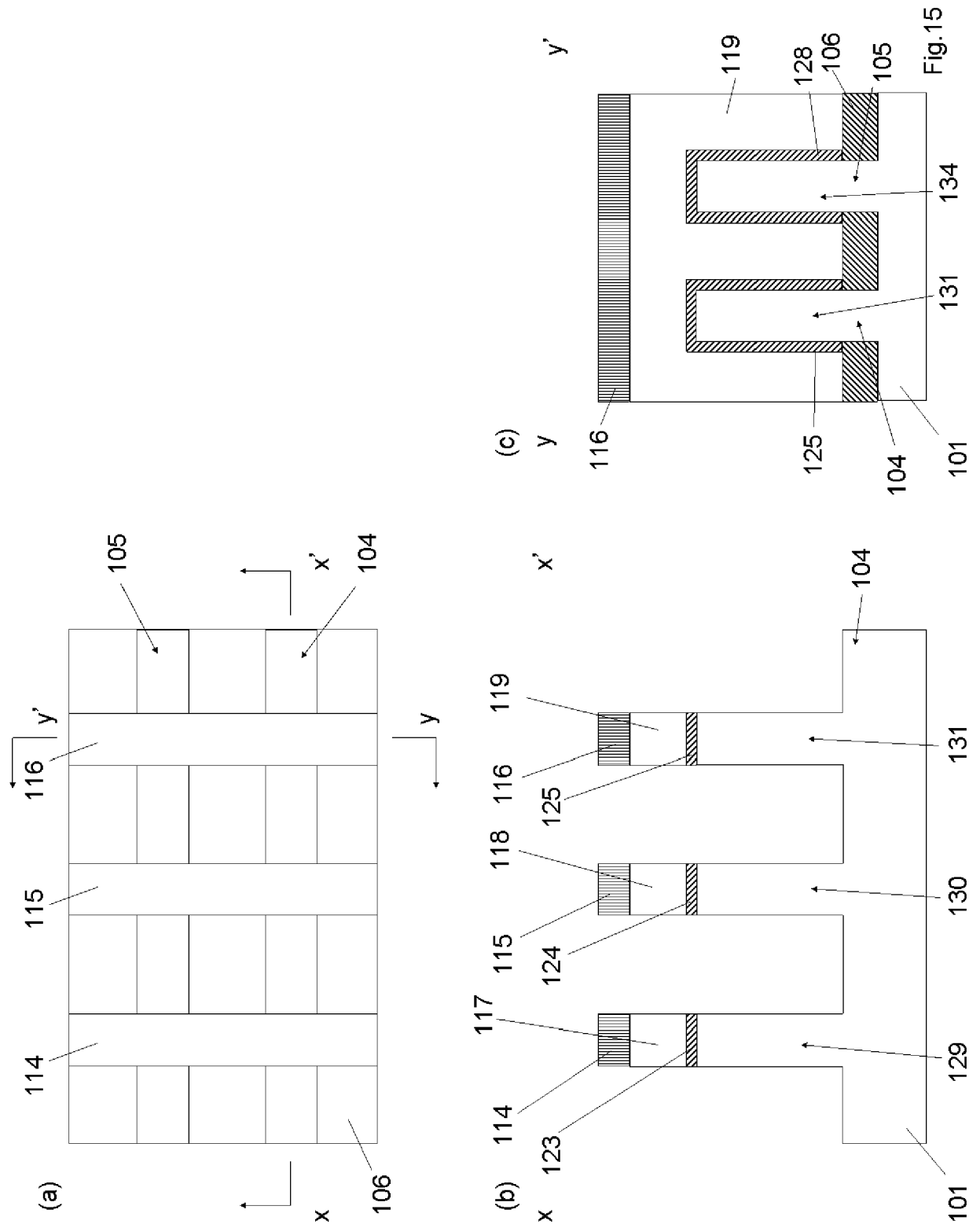
[図13]



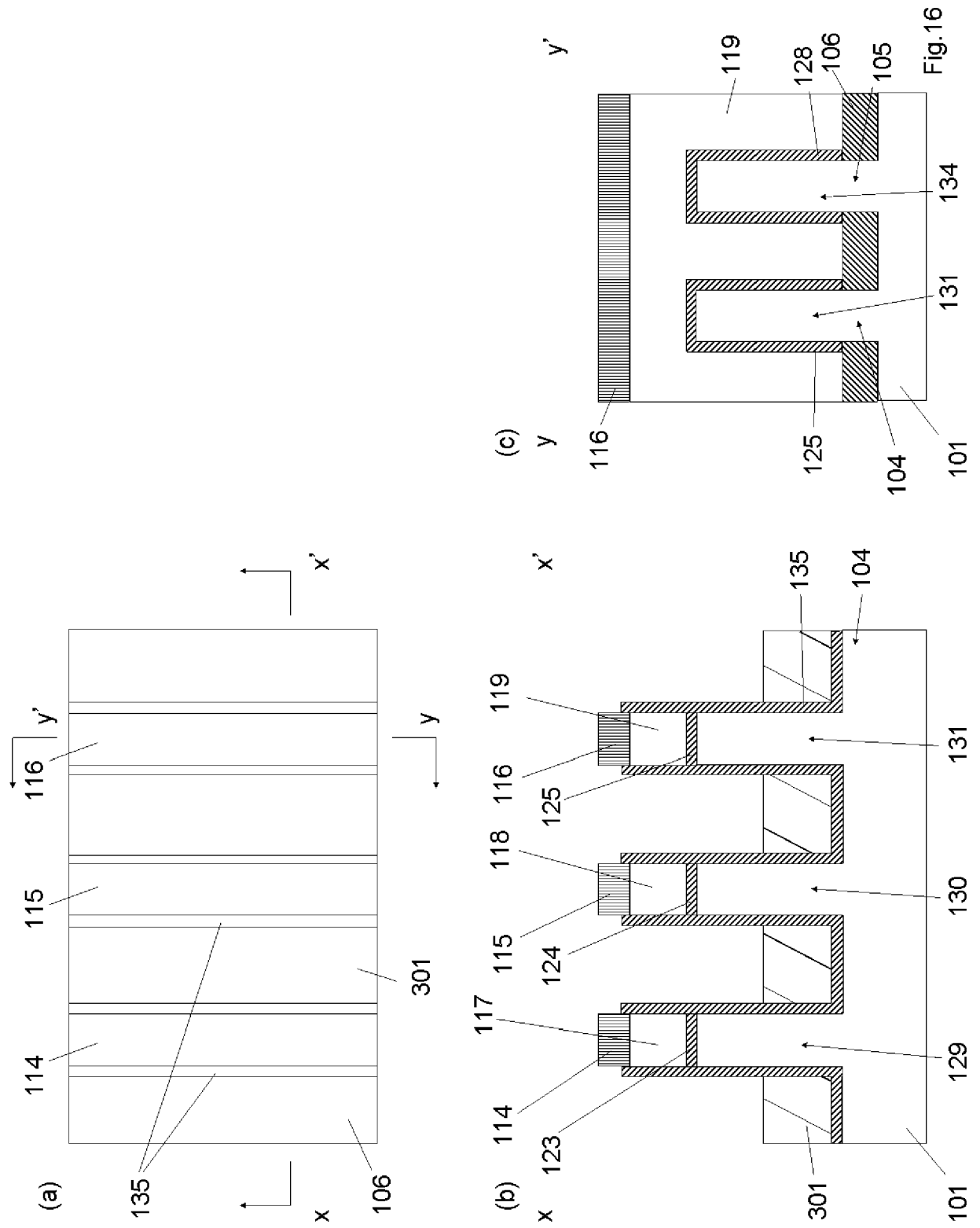
[図14]



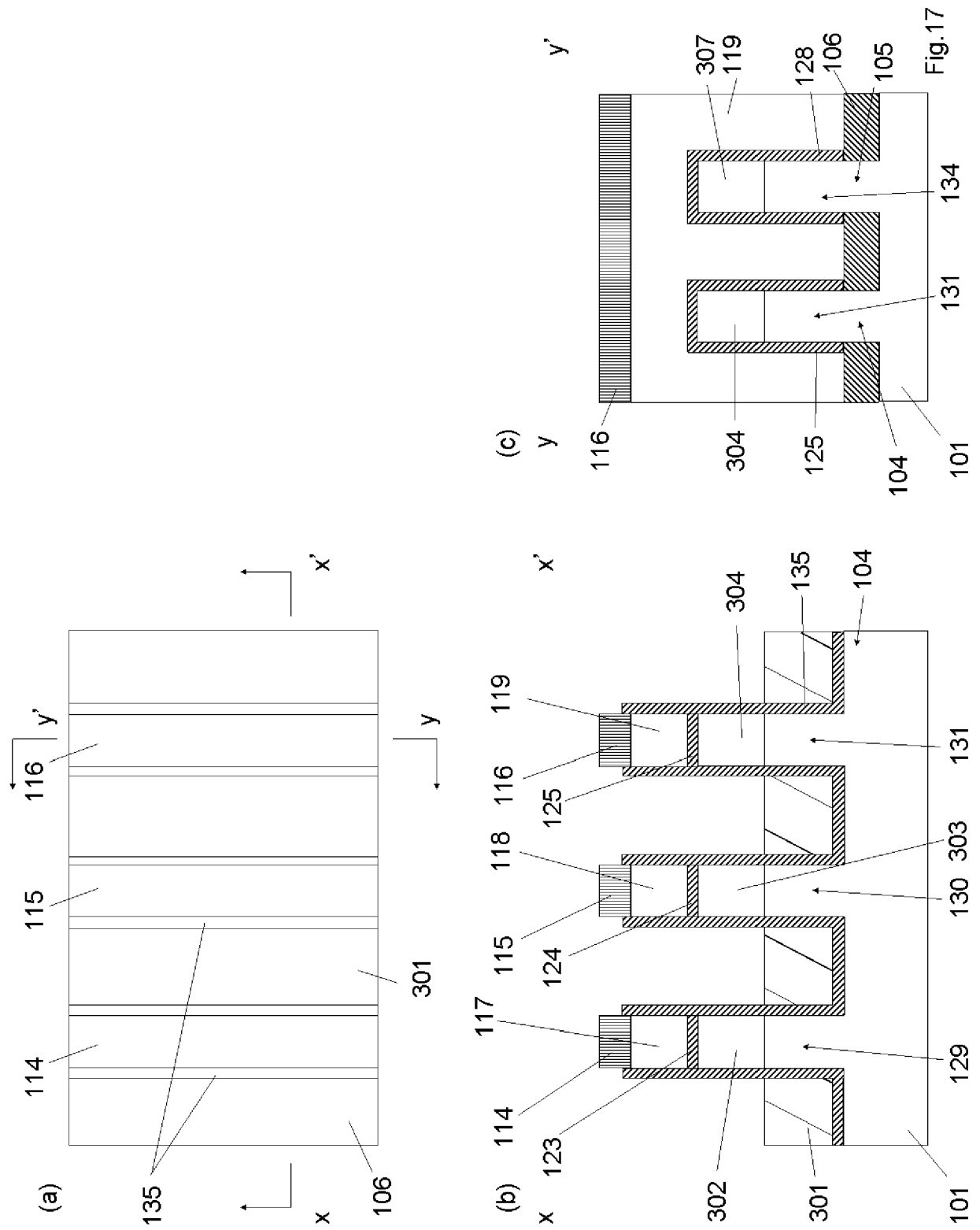
[図15]



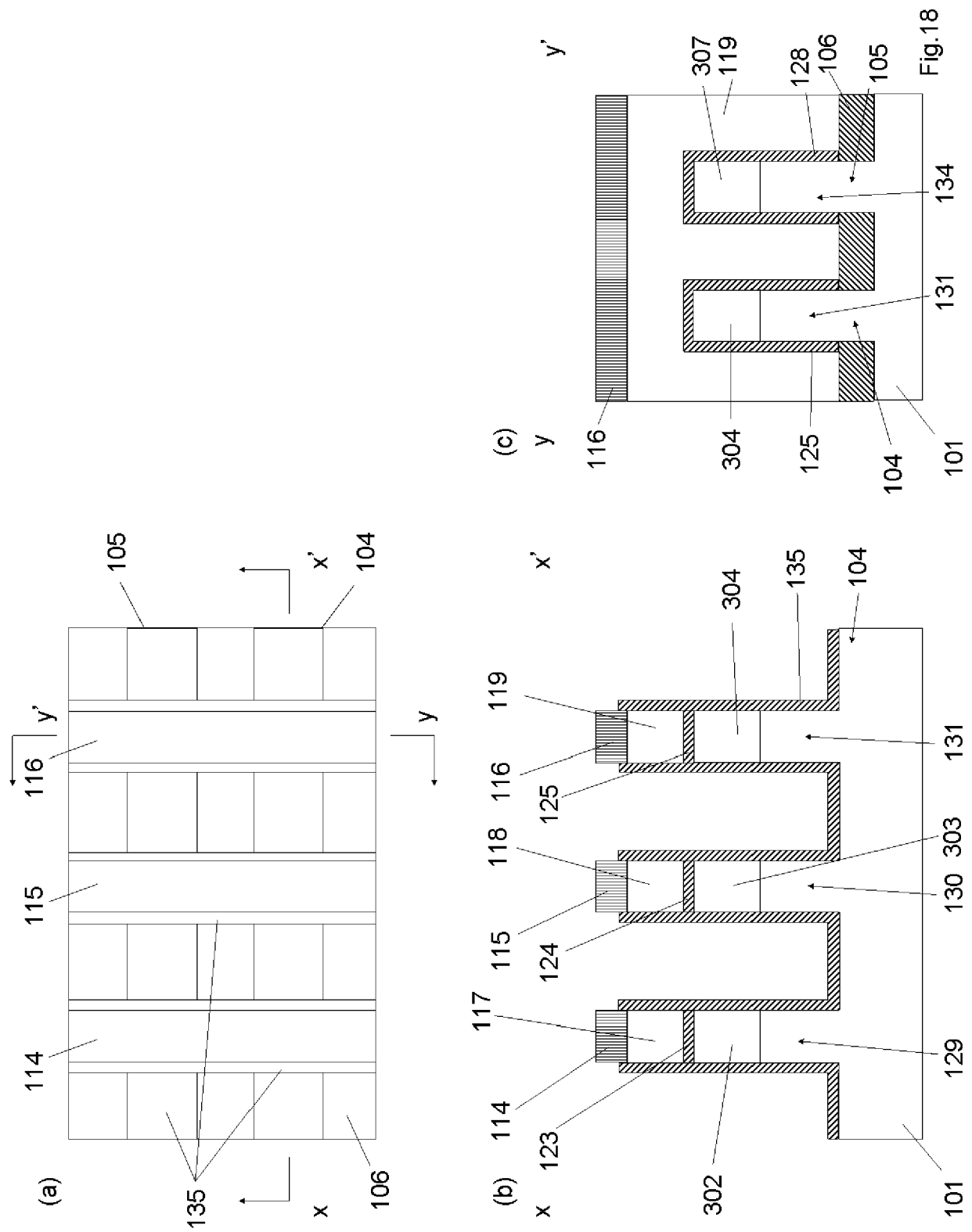
[図16]



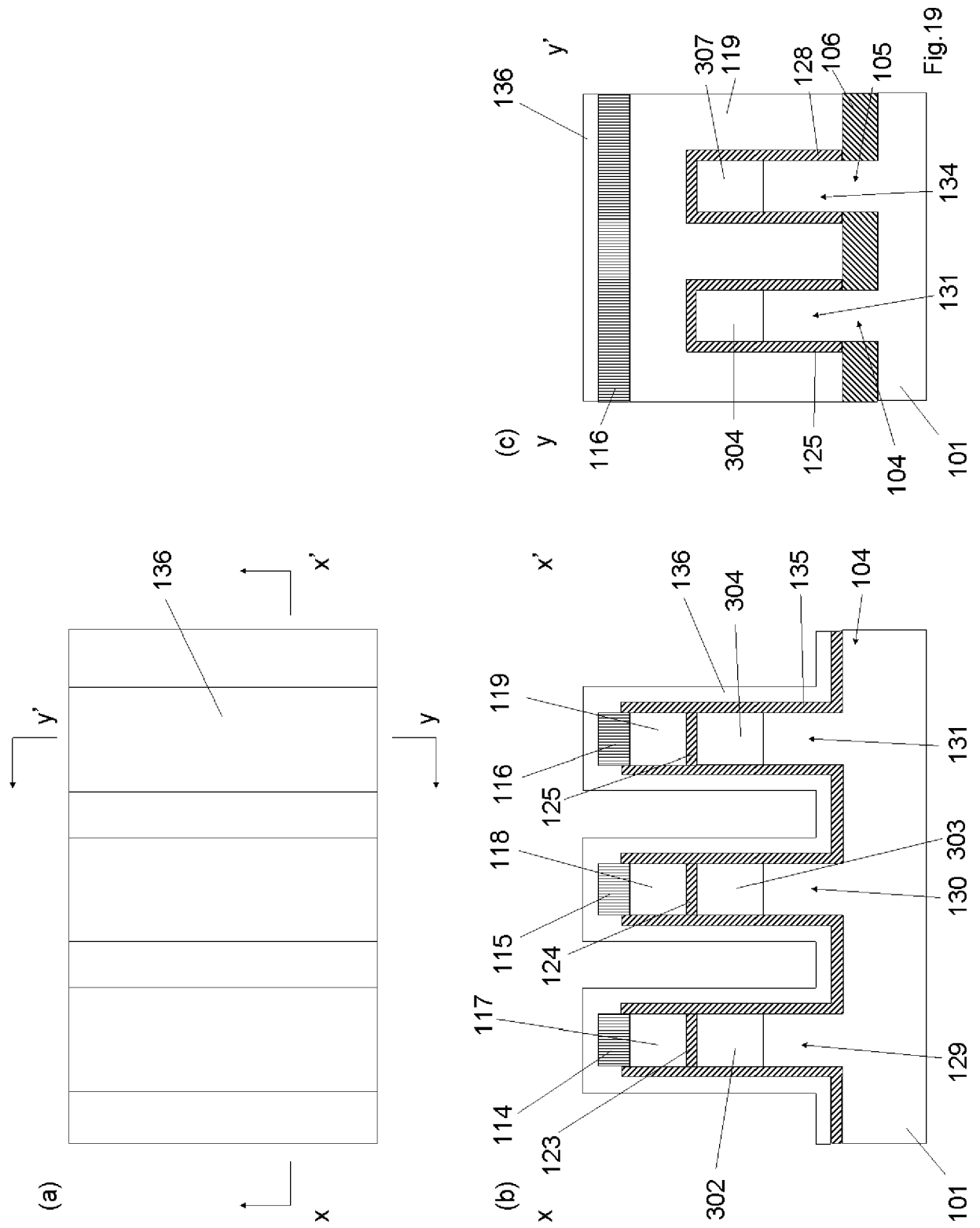
[図17]



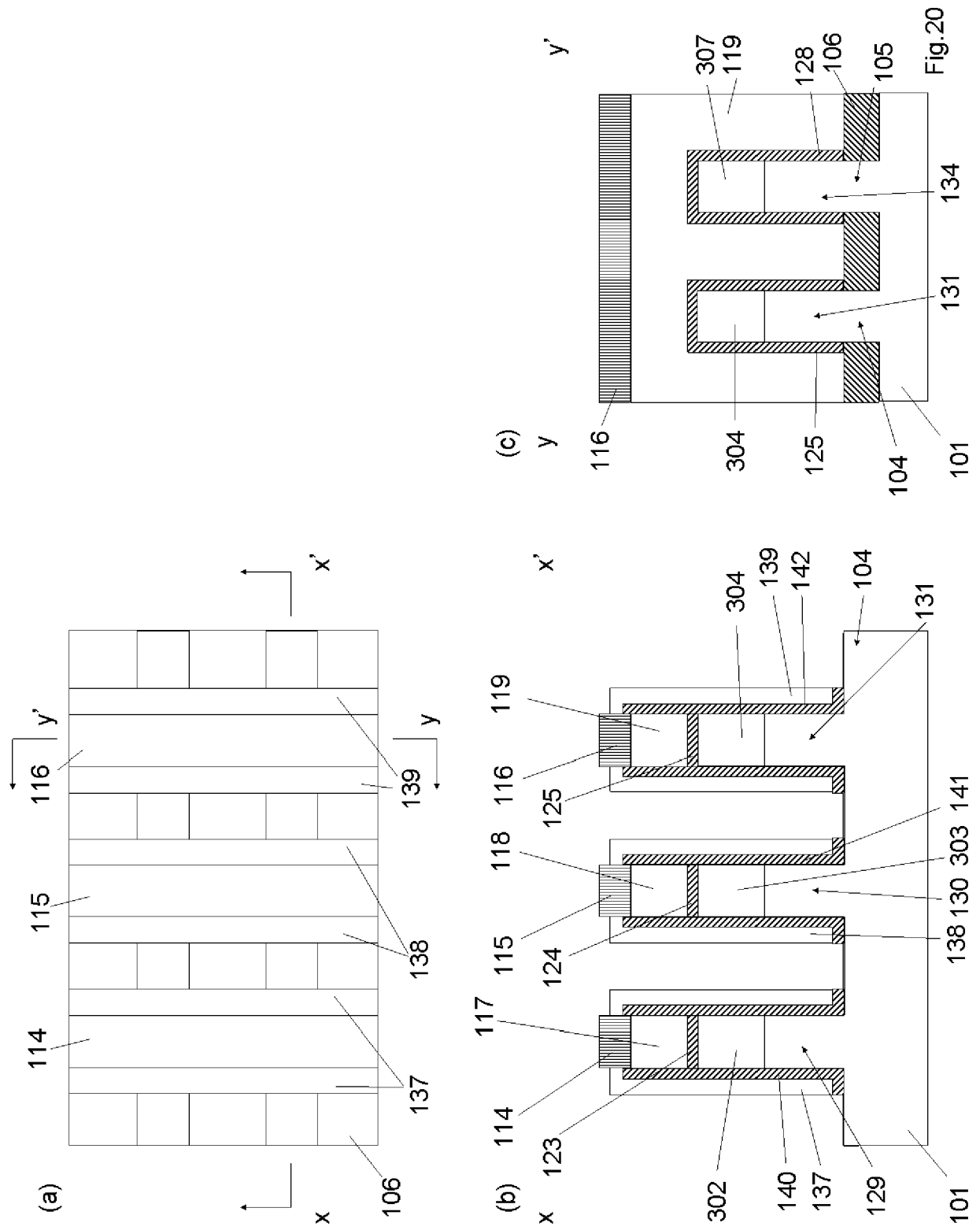
[図18]



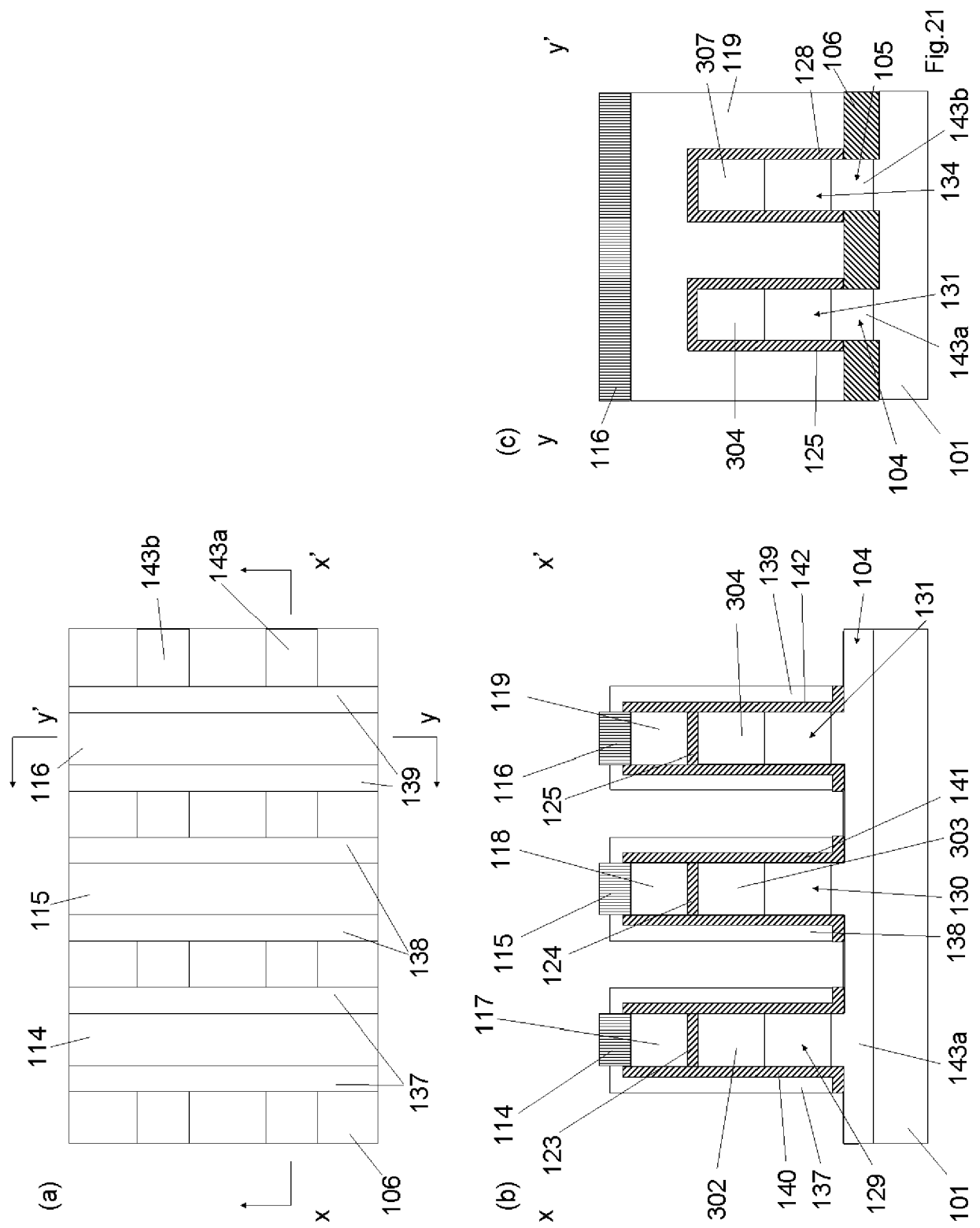
[図19]



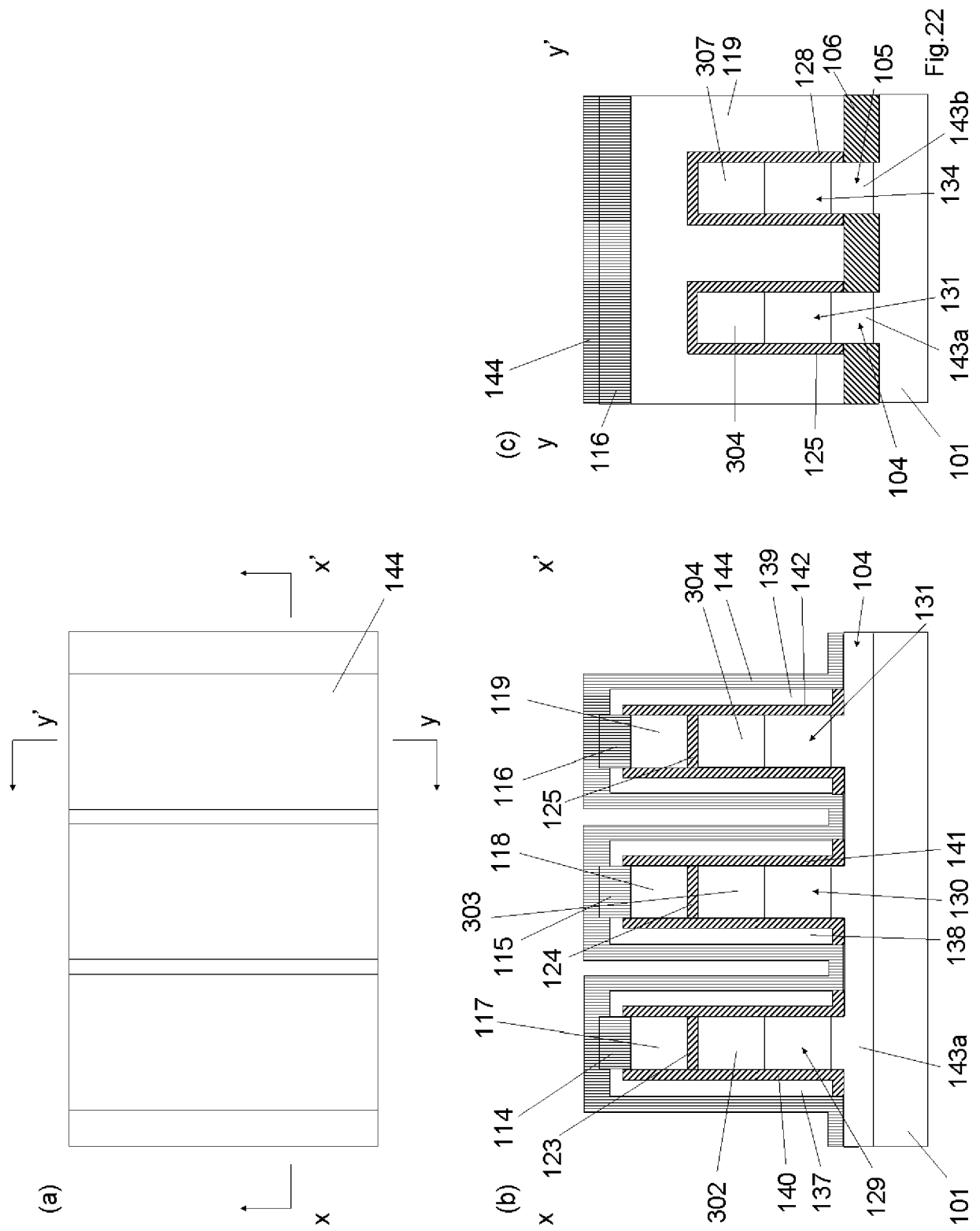
[図20]



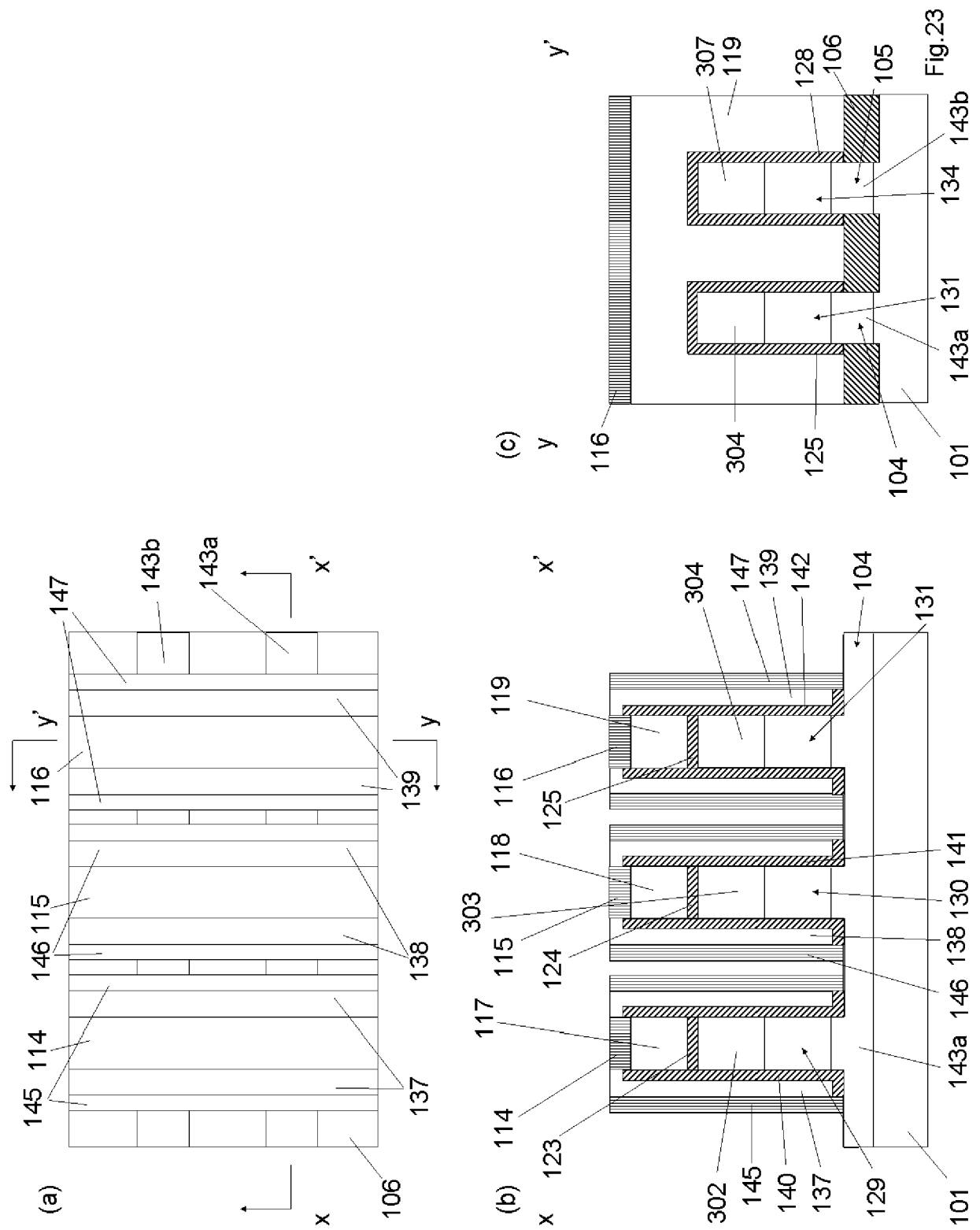
[図21]



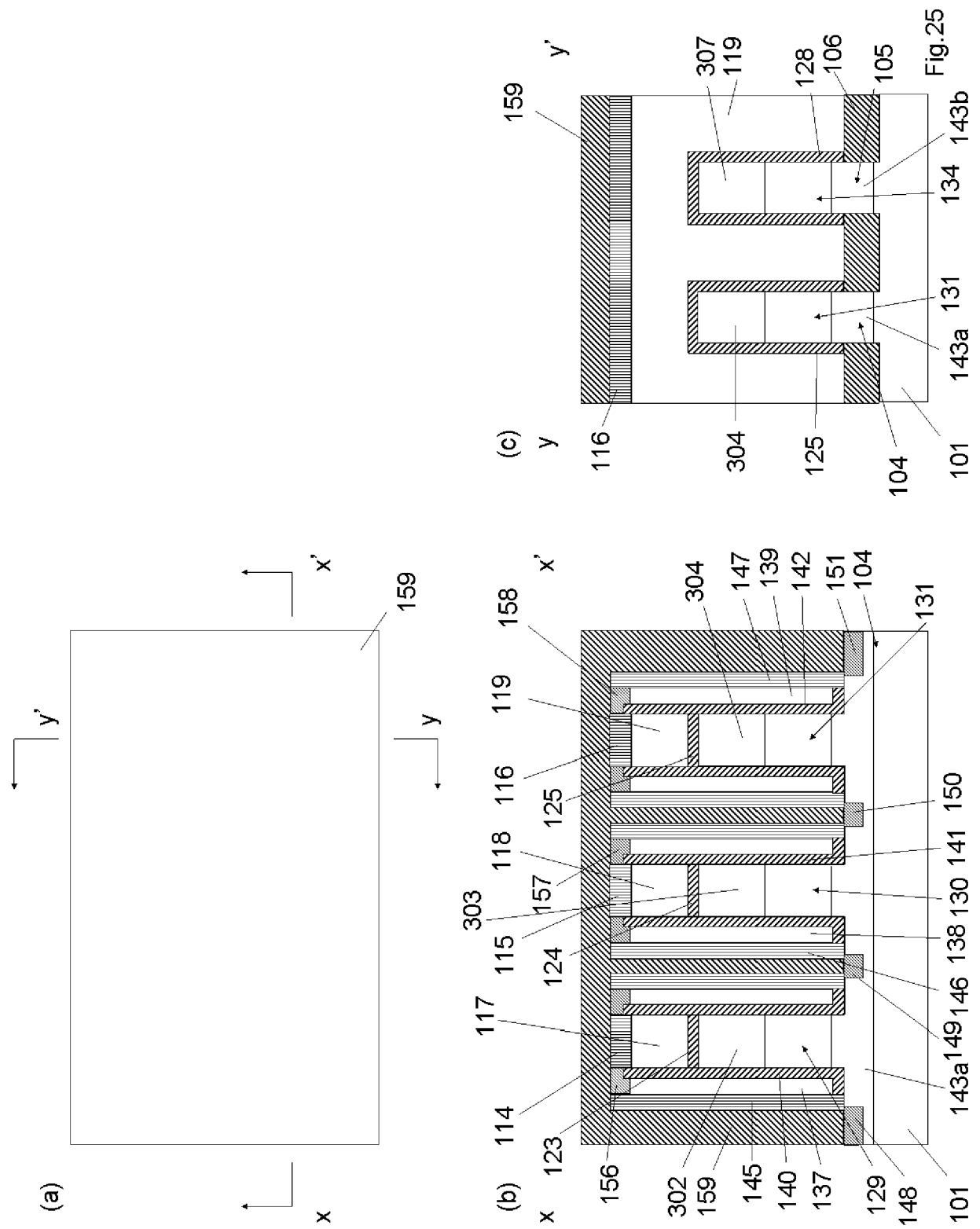
[図22]



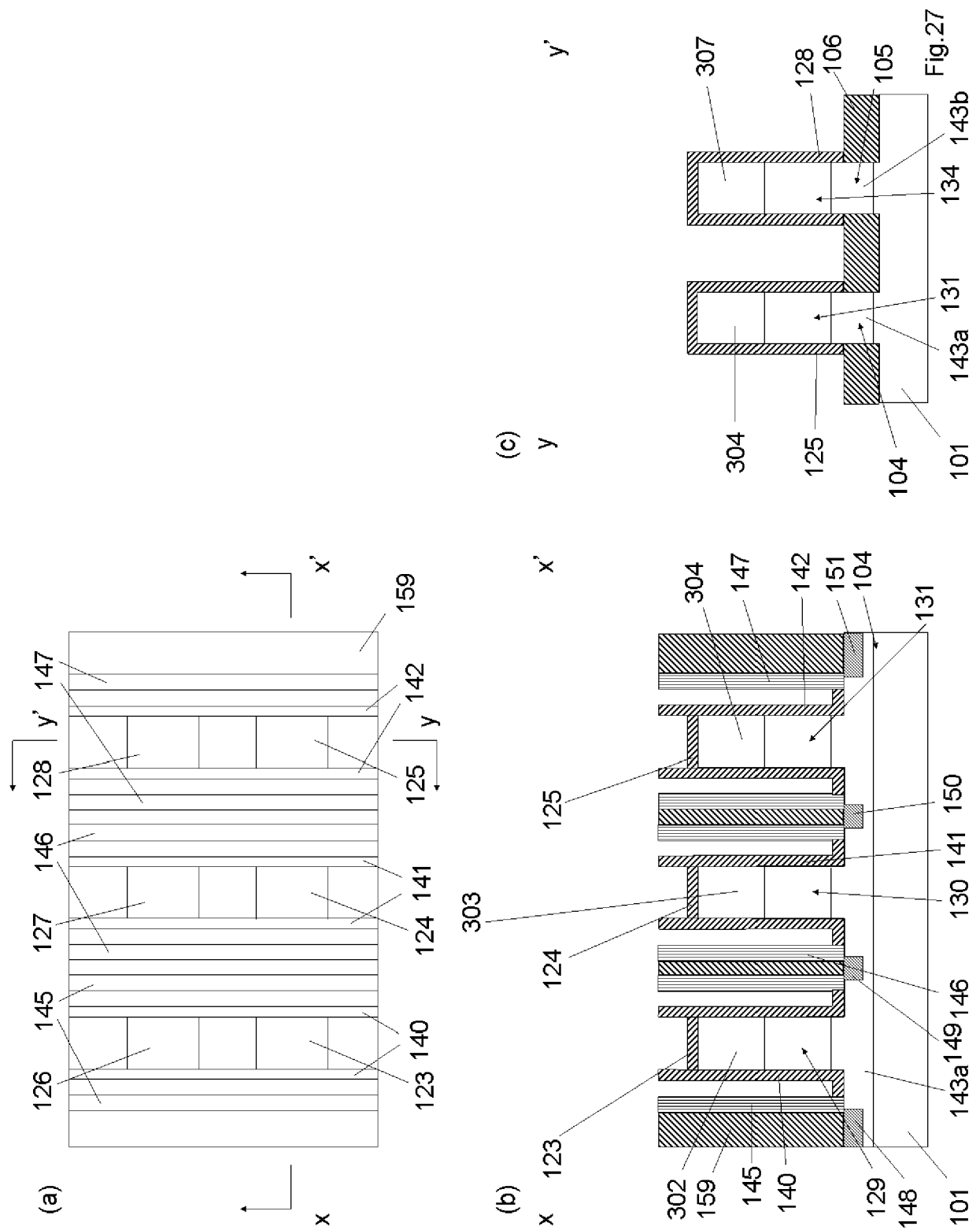
[図23]



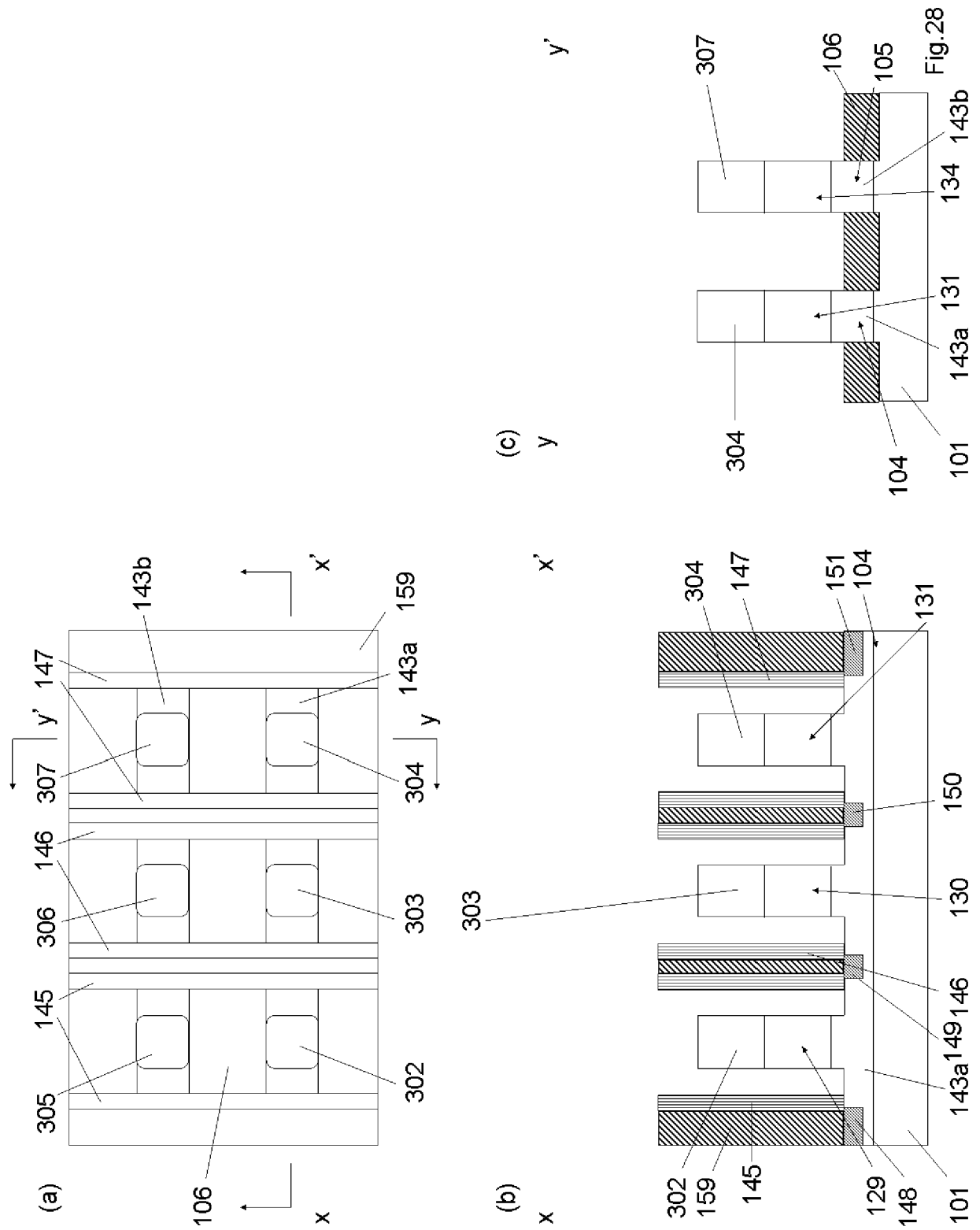
[図25]



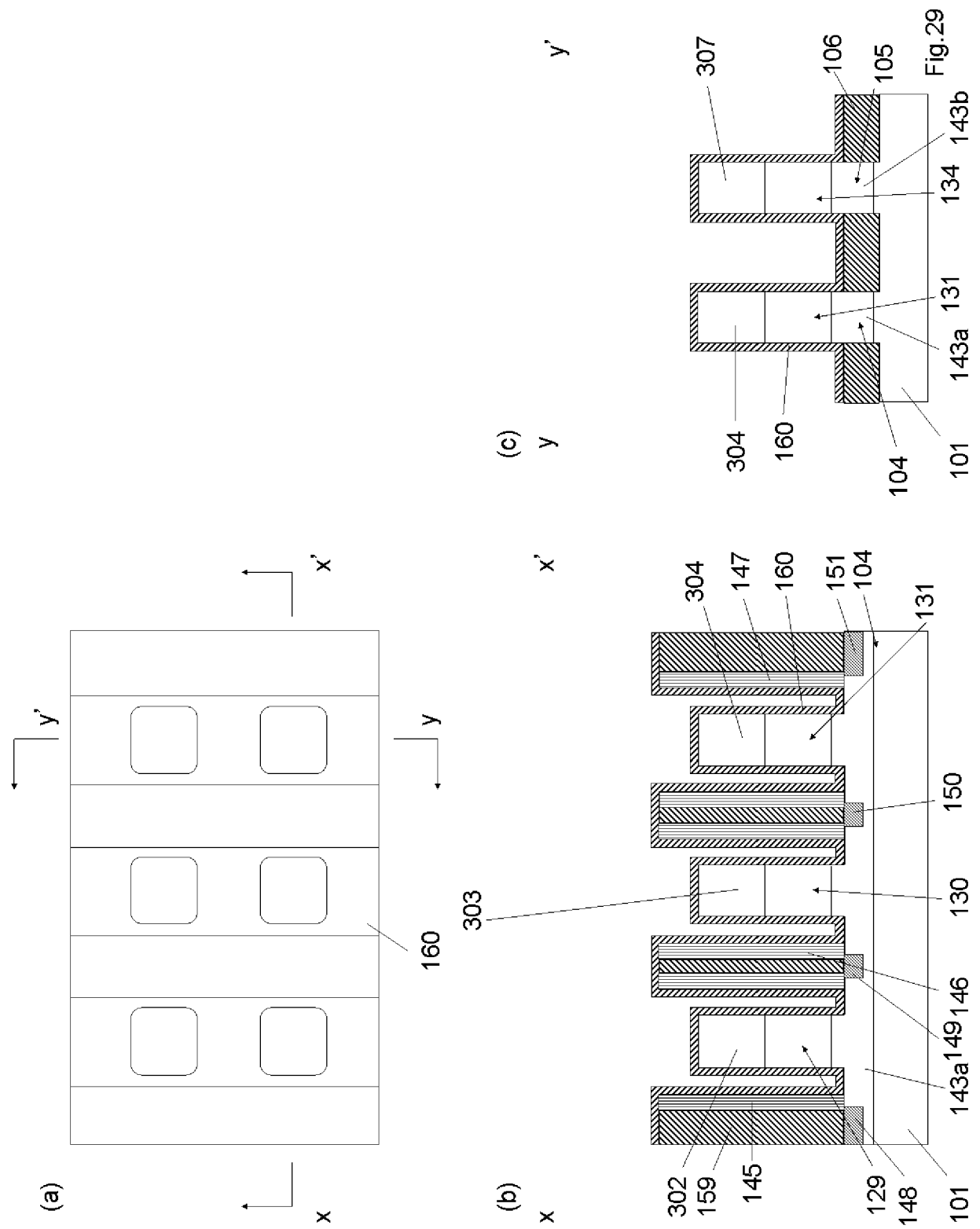
[図27]



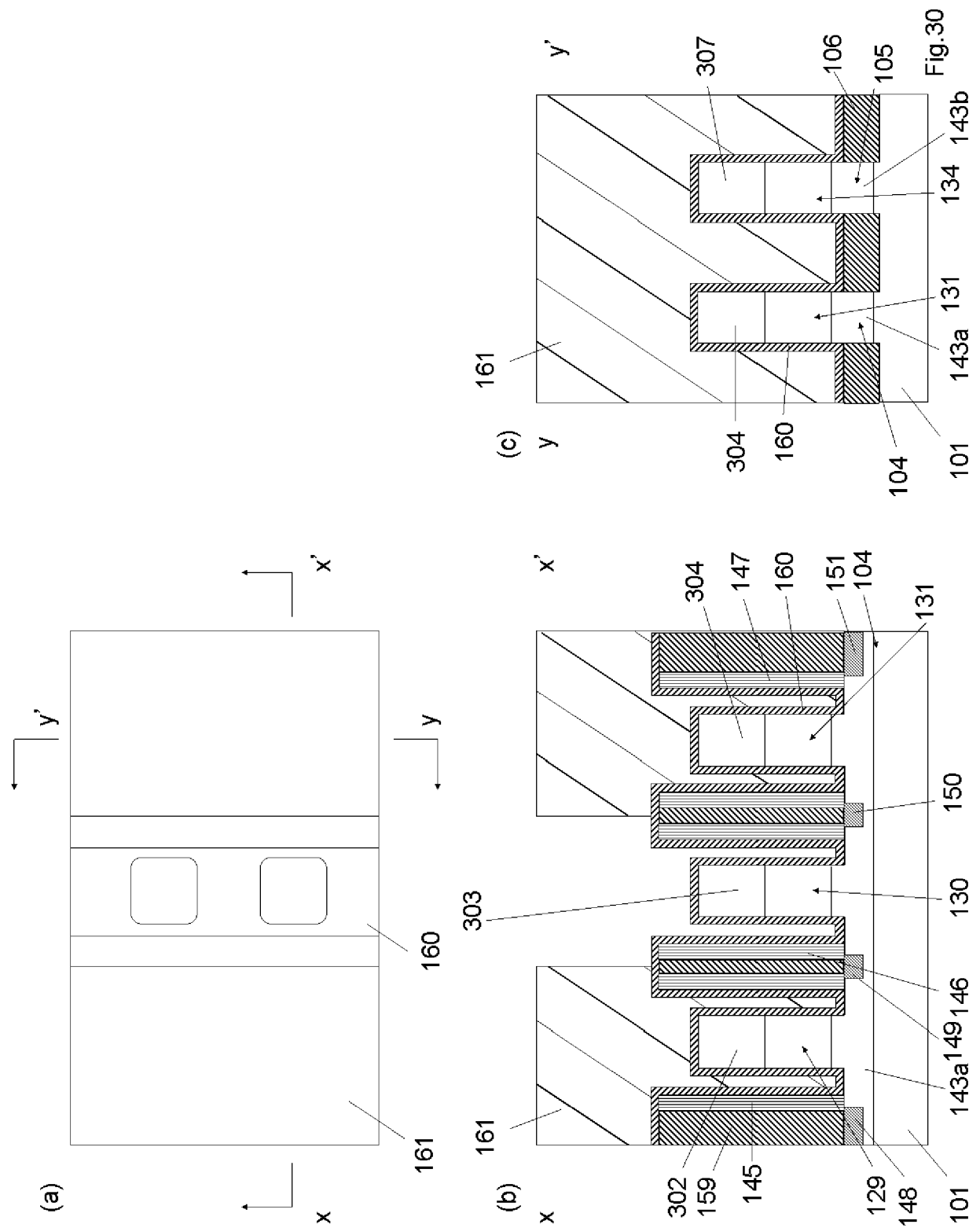
[図28]



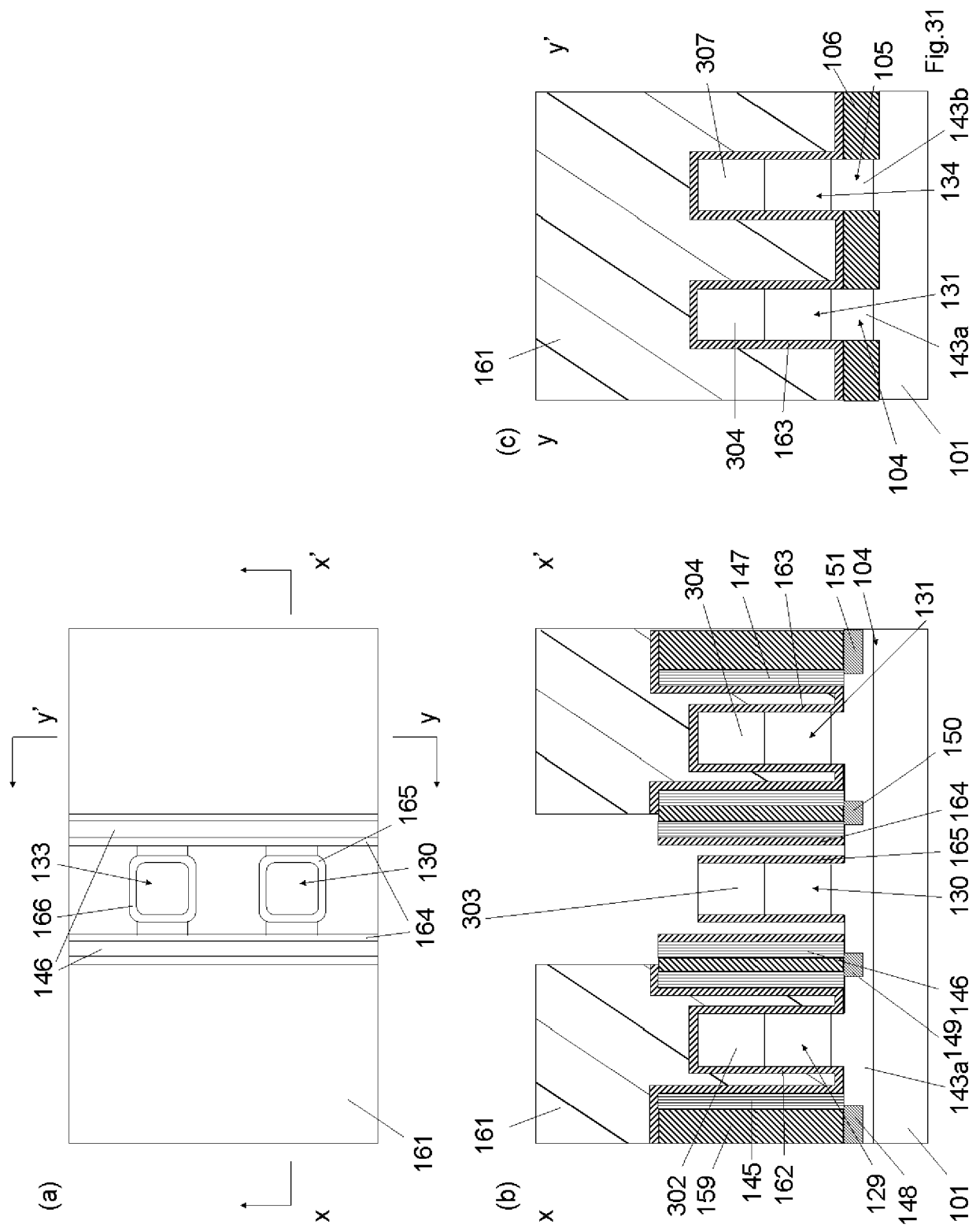
[図29]



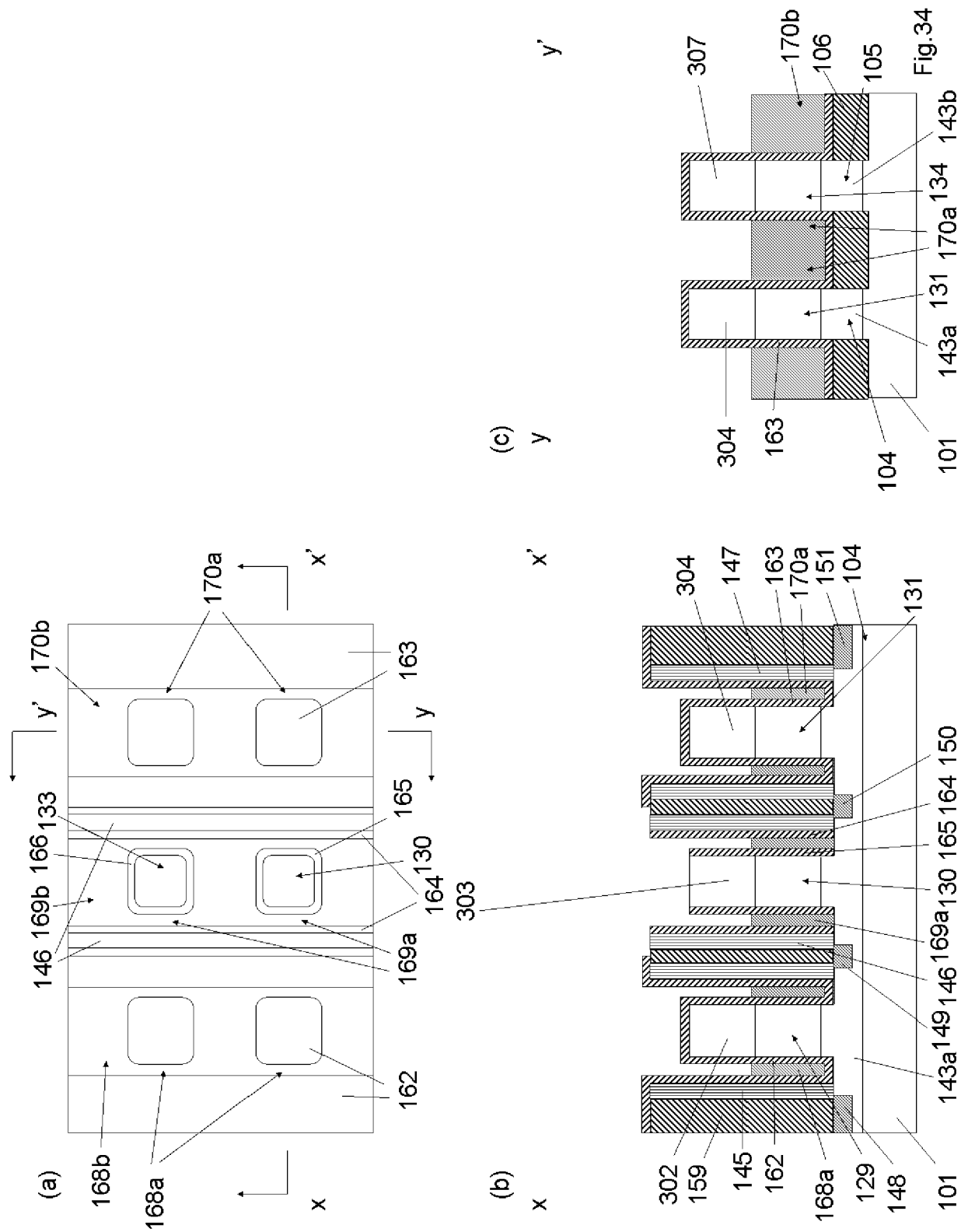
[図30]



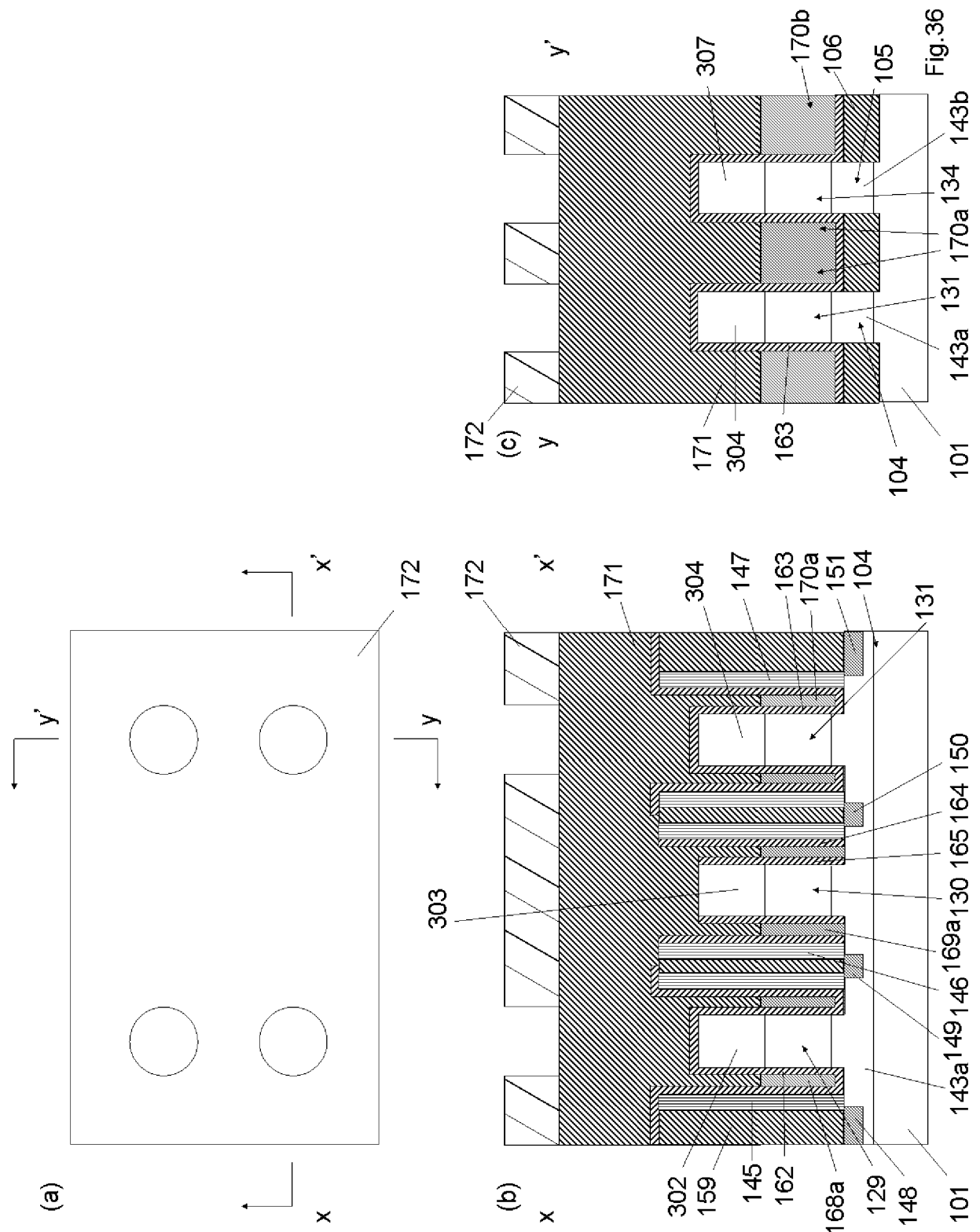
[図31]



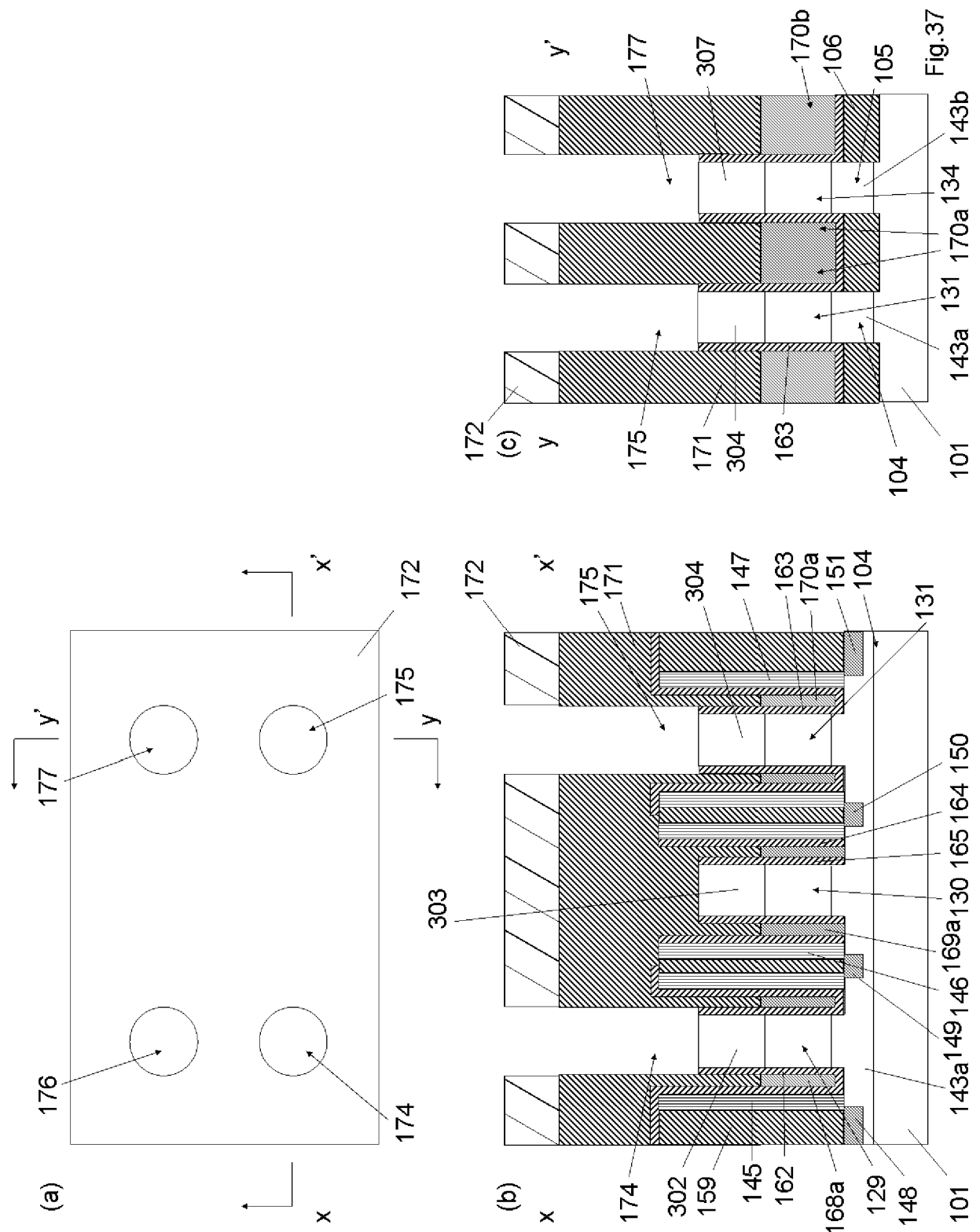
[図34]



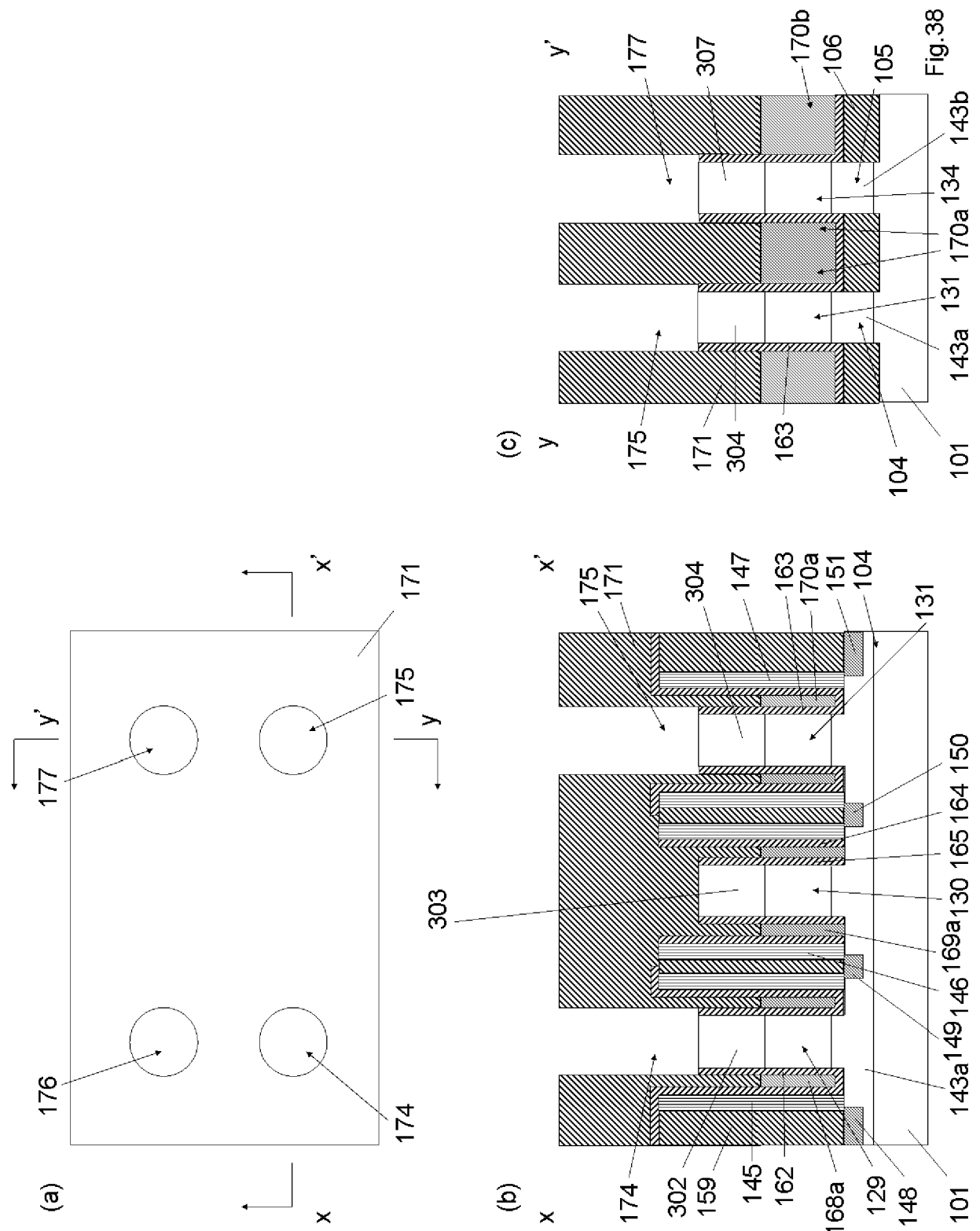
[図36]



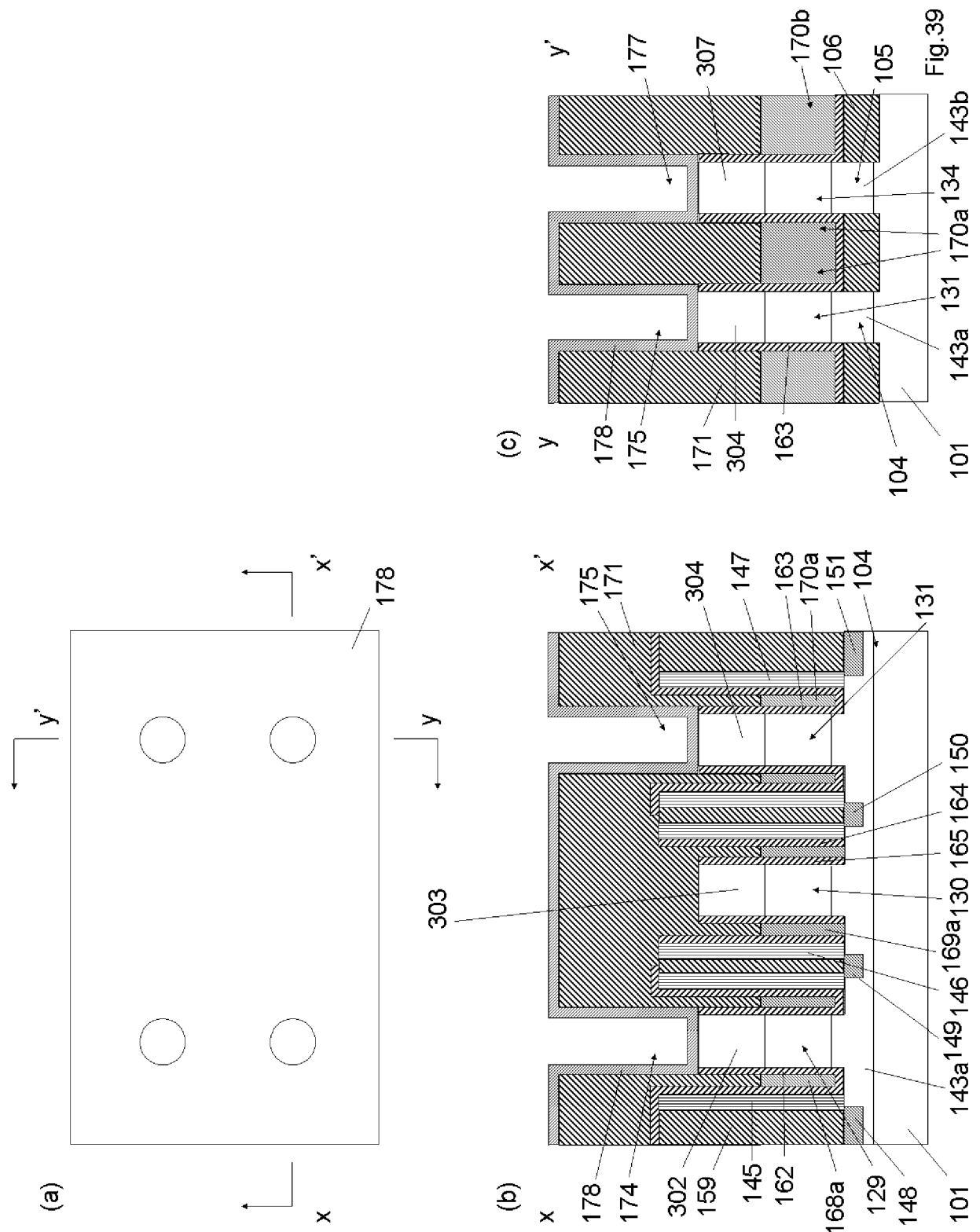
[図37]



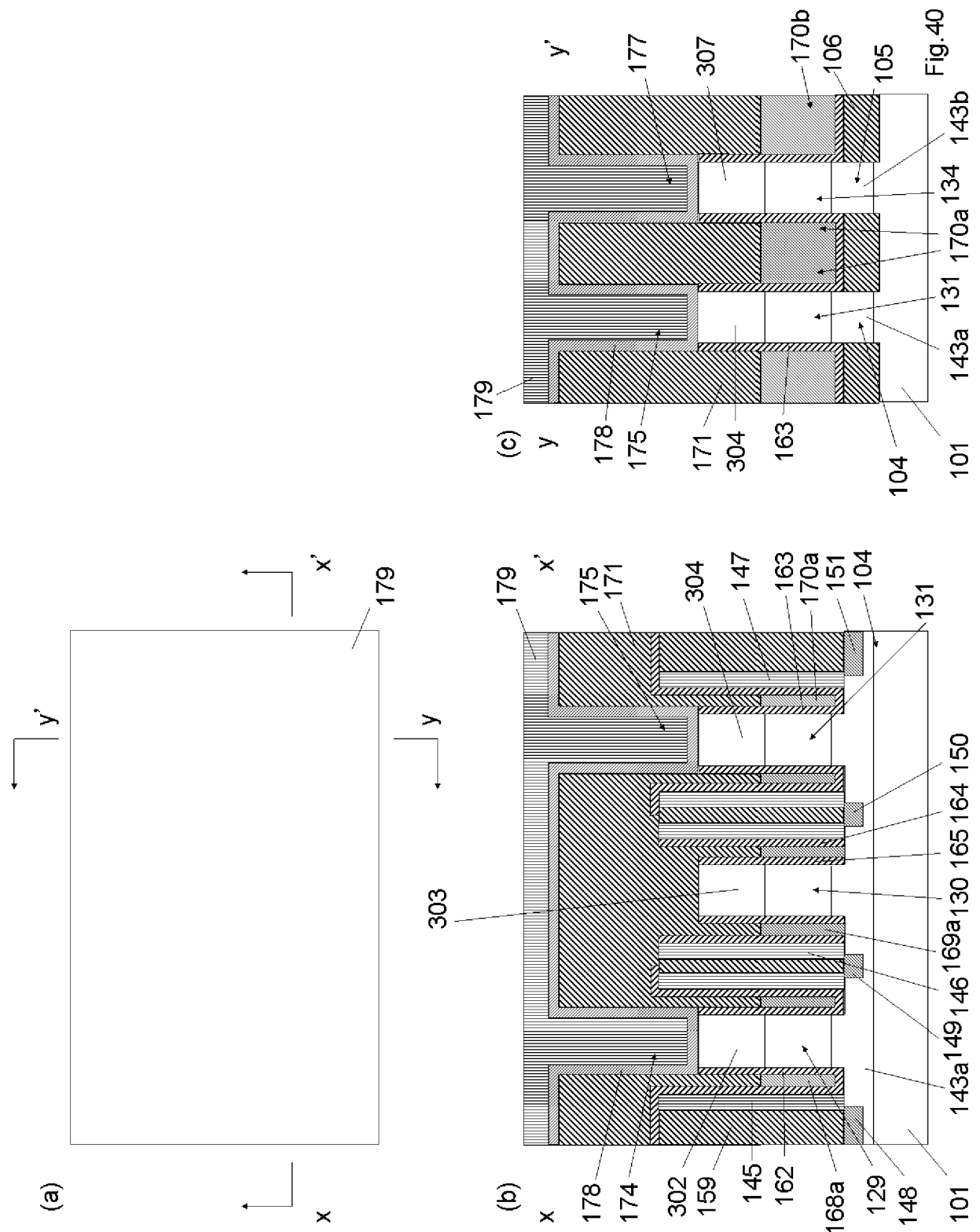
[図38]



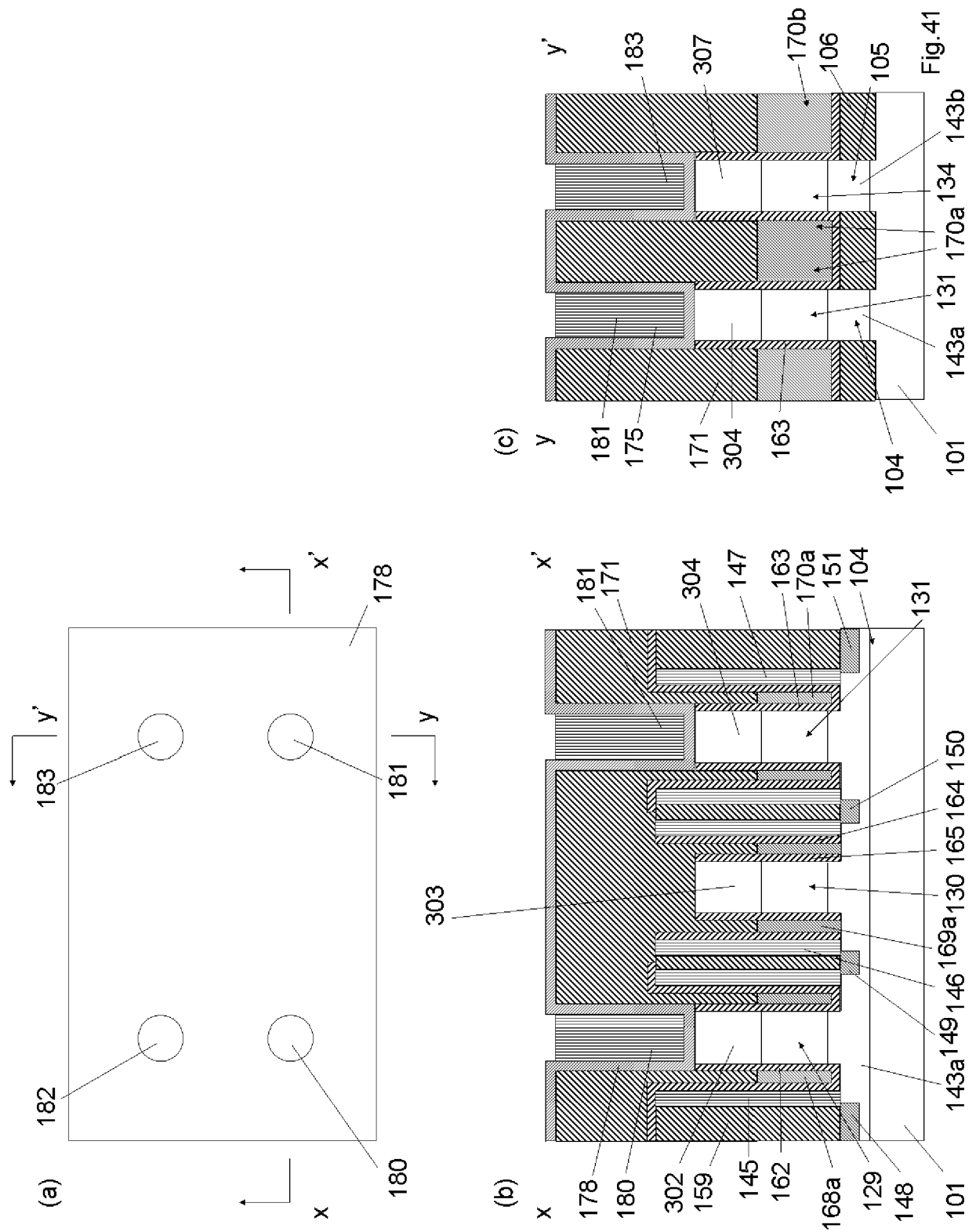
[図39]



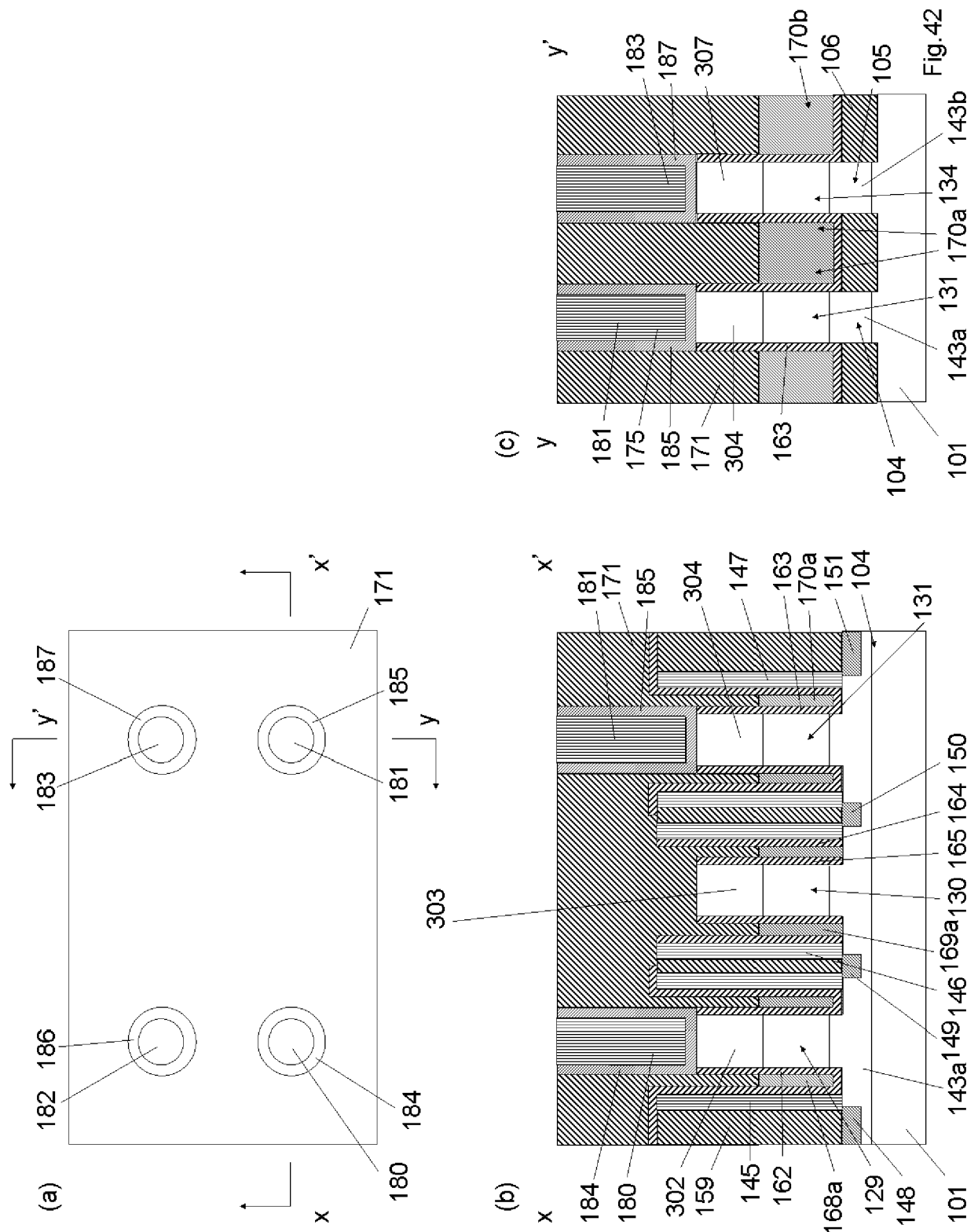
[図40]



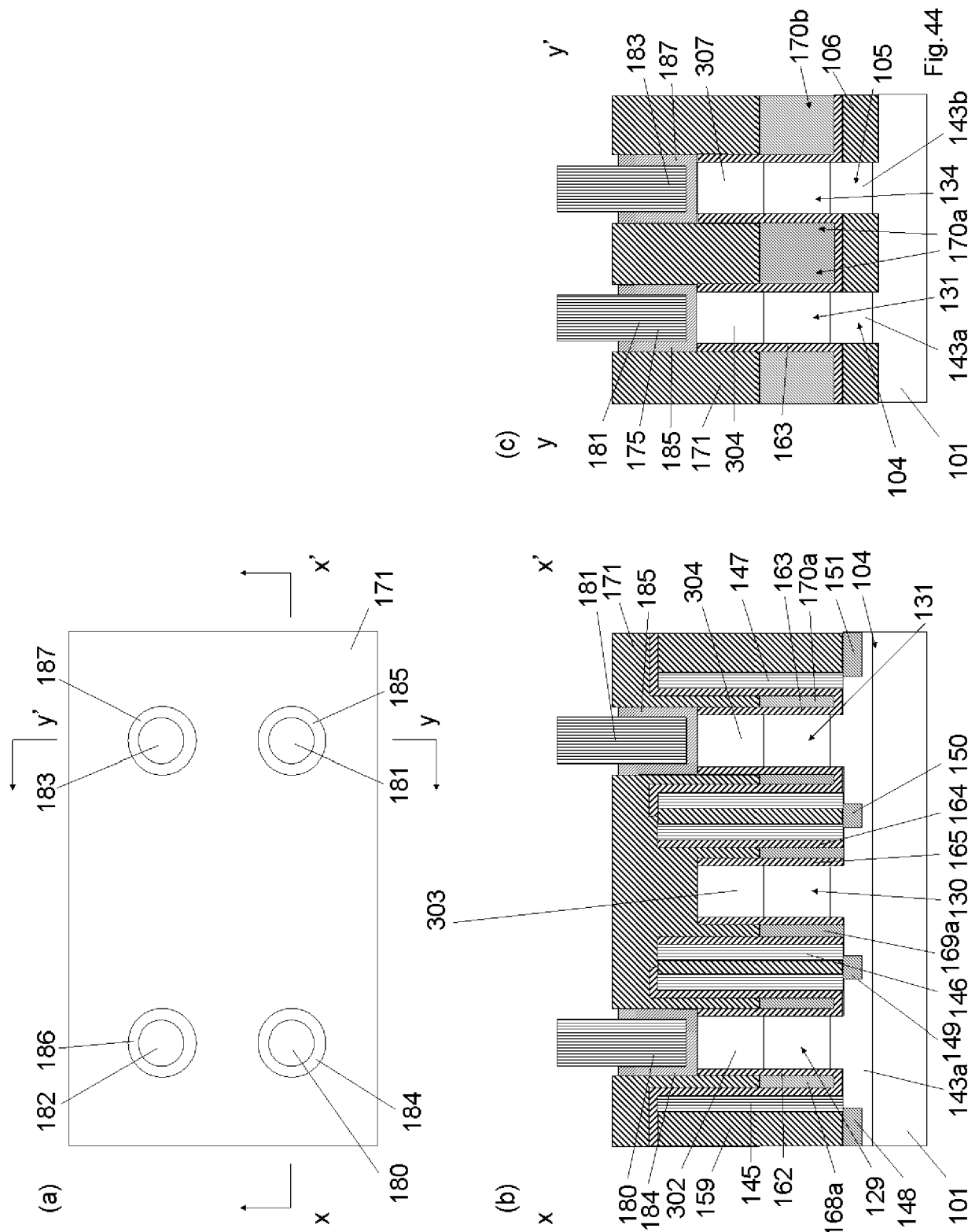
[図41]



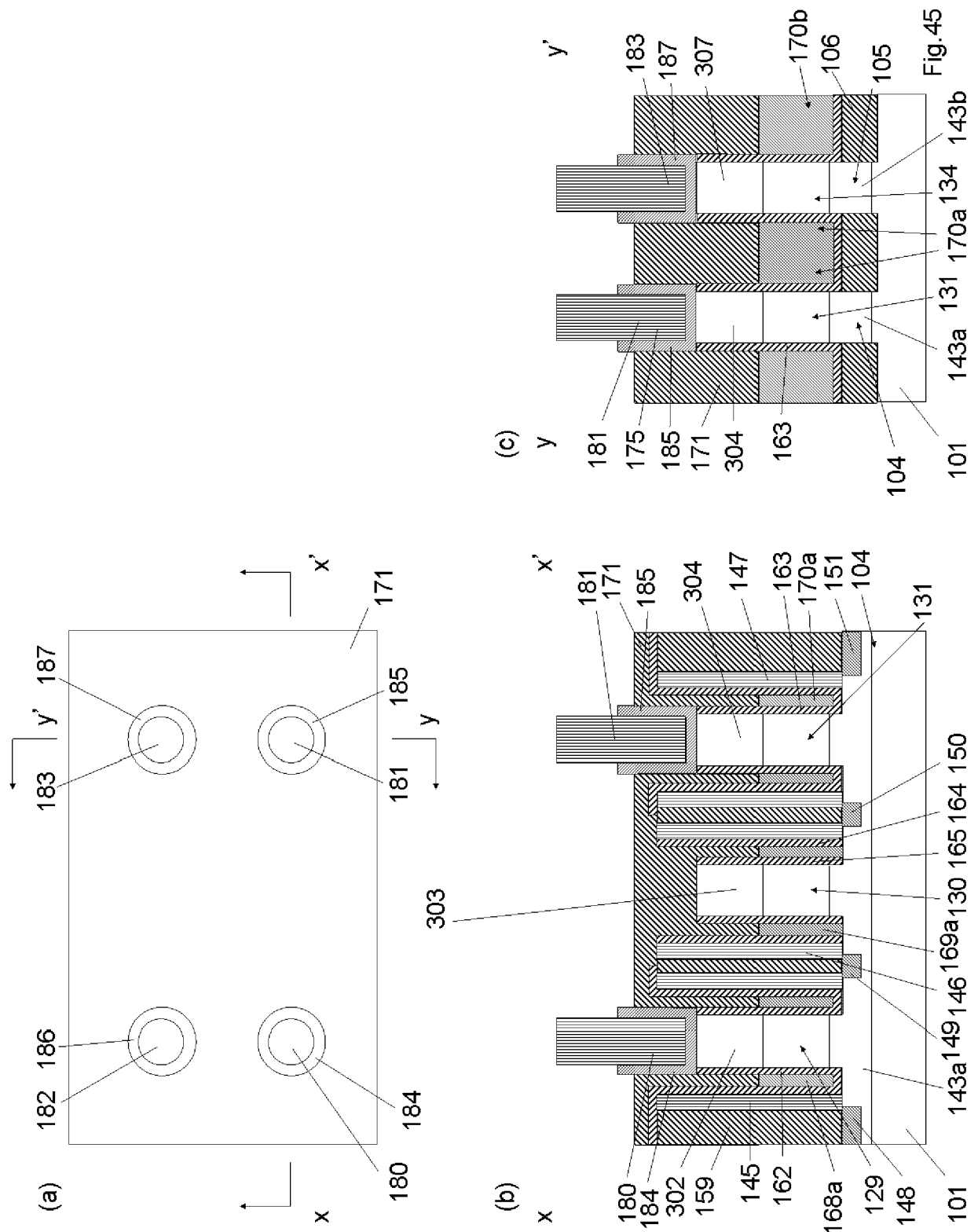
[図42]



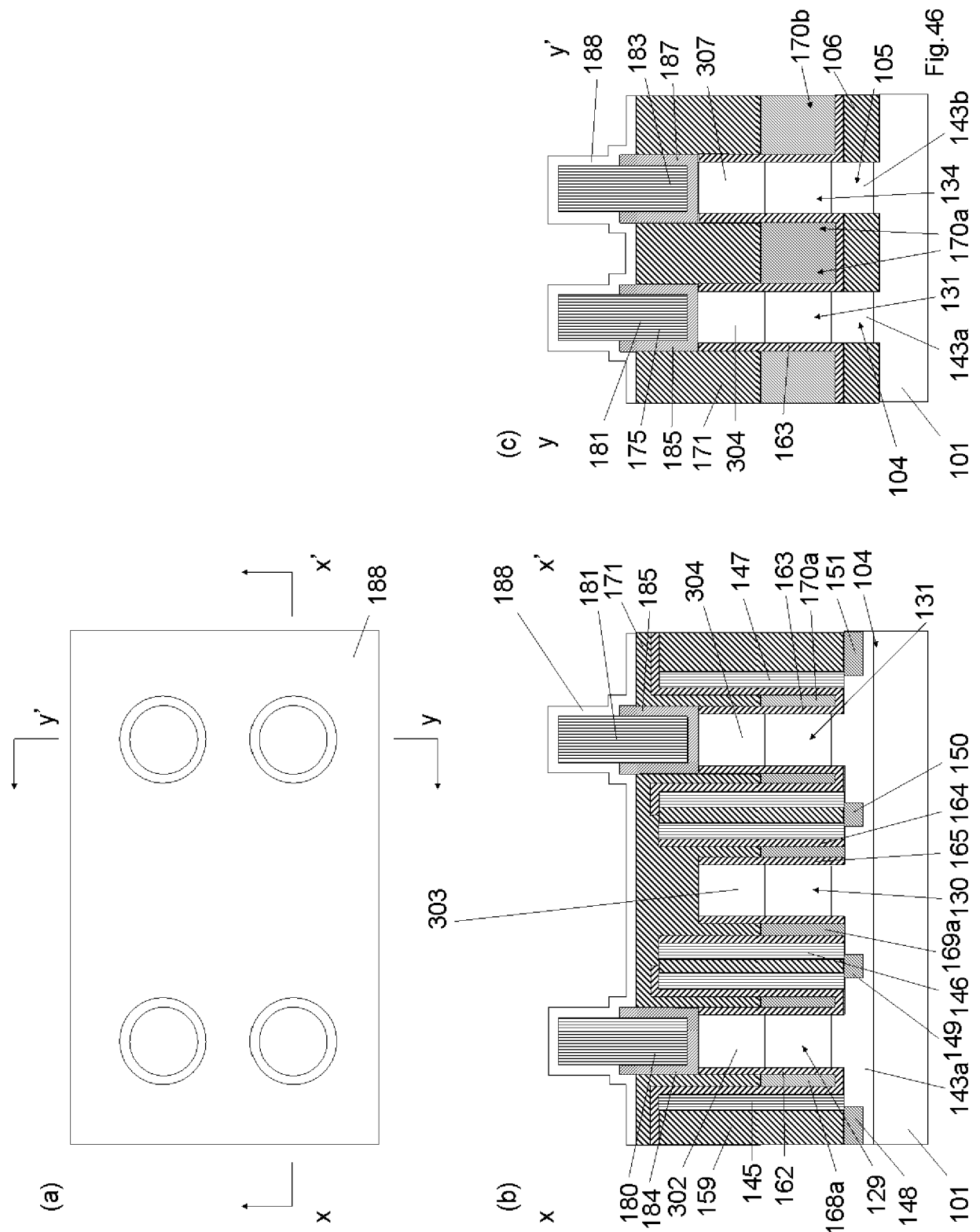
[図44]



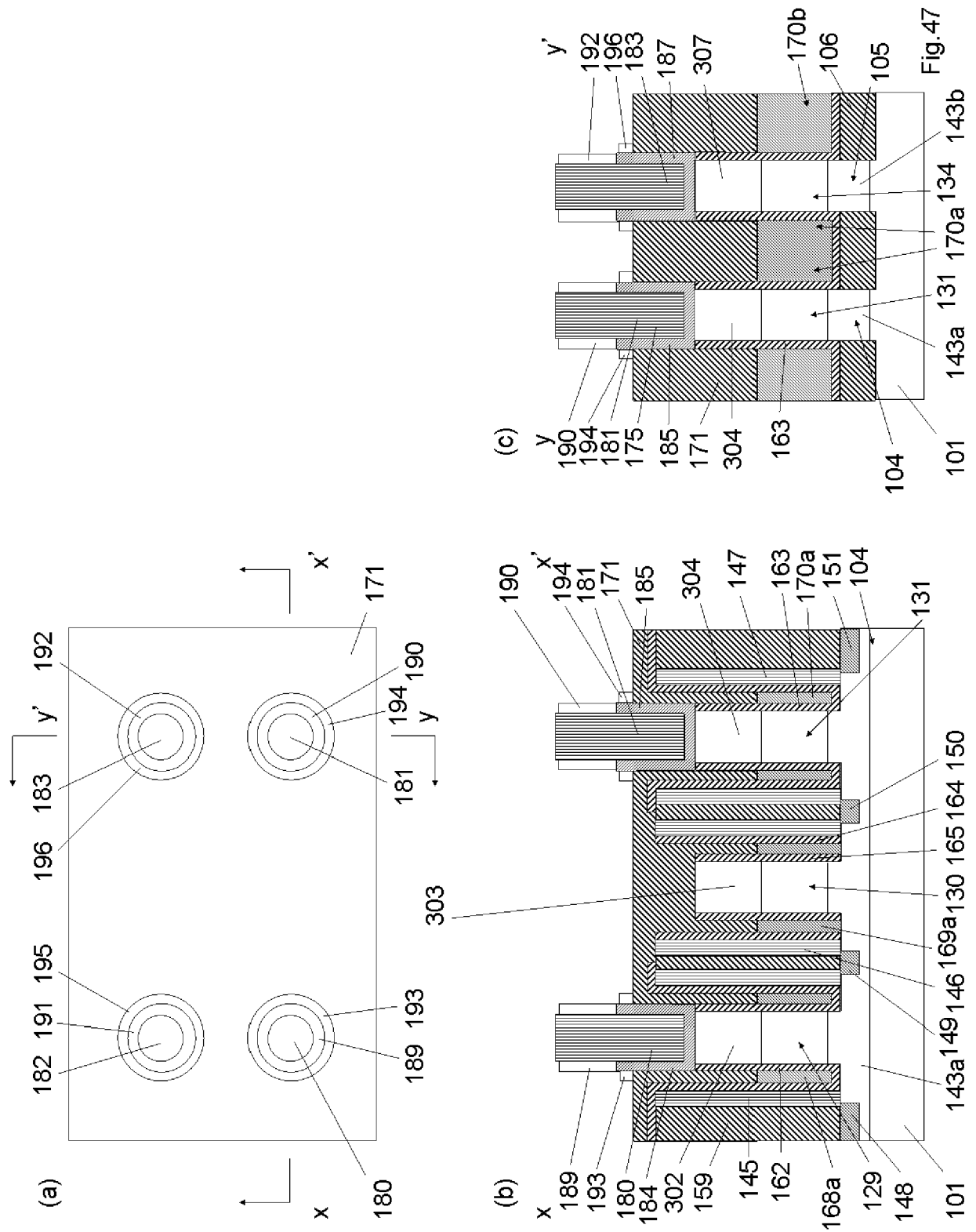
[図45]



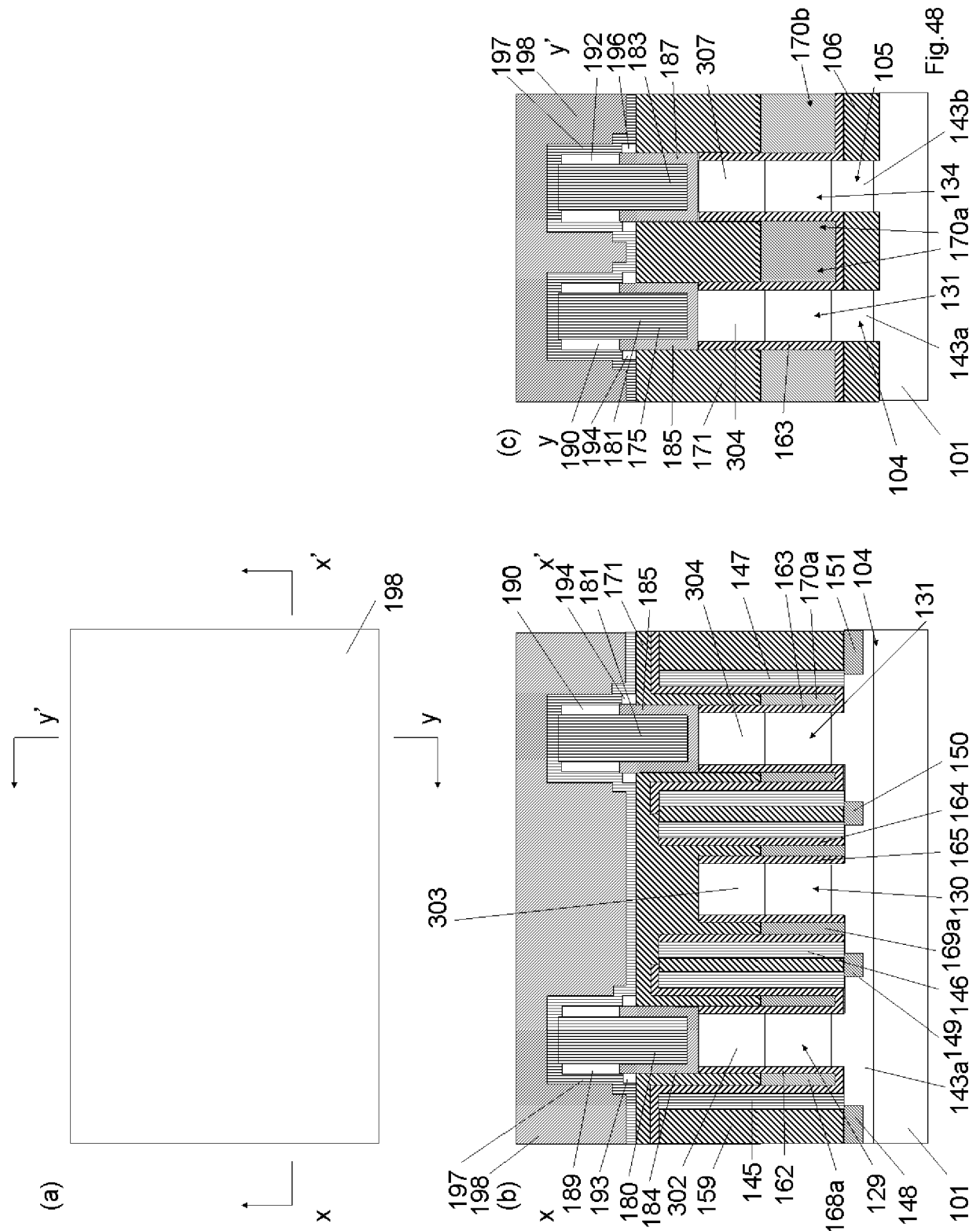
[図46]



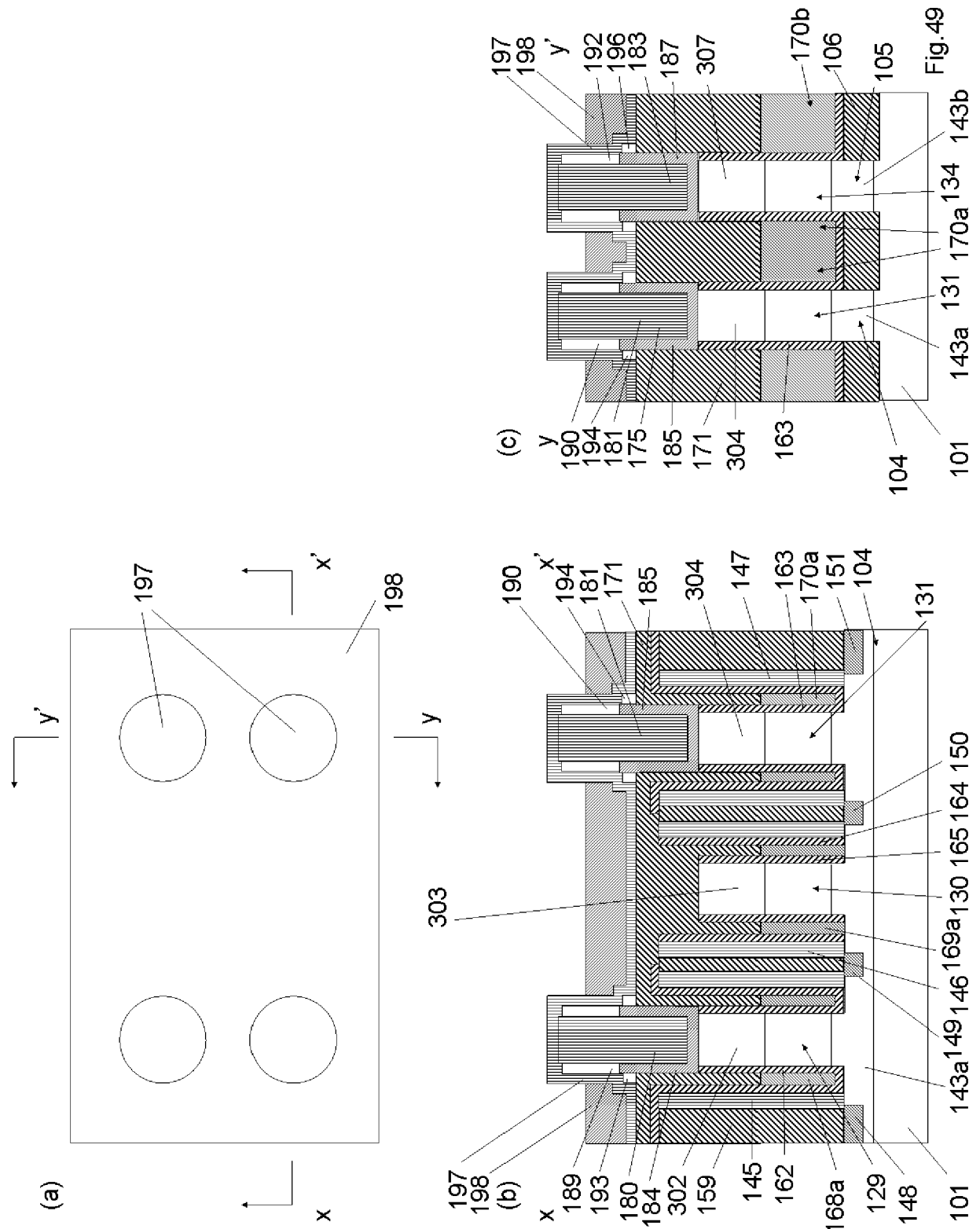
[図47]



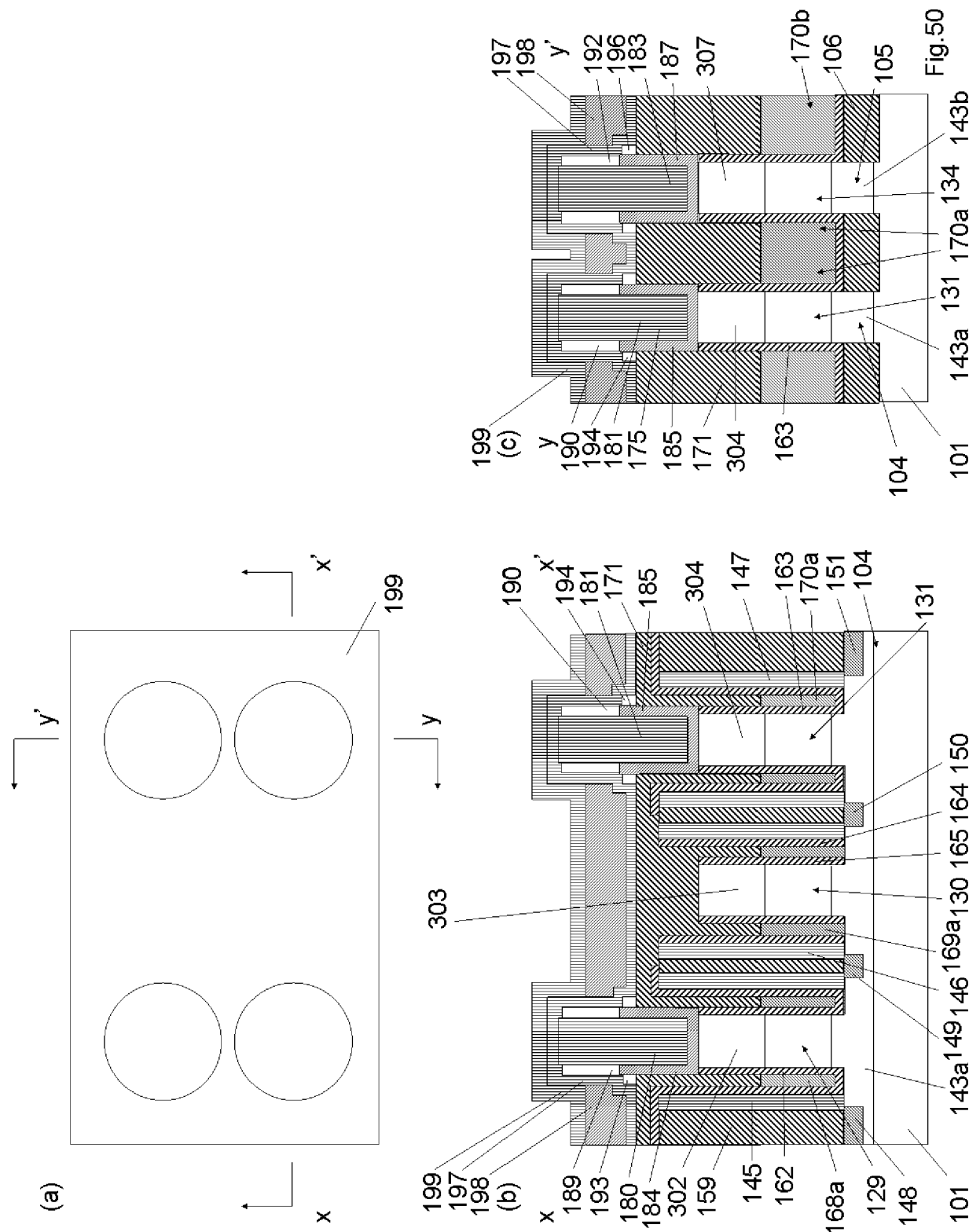
[図48]



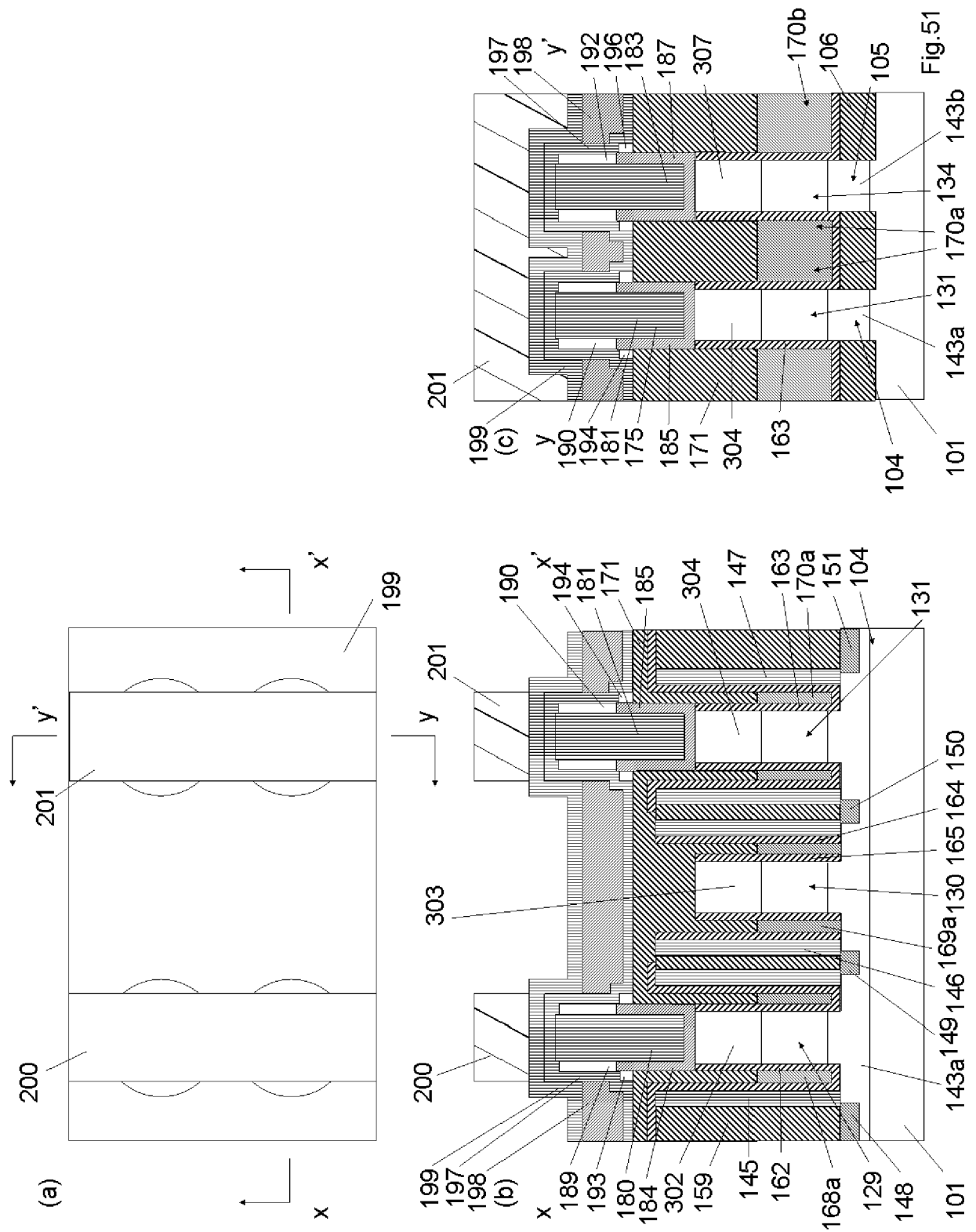
[図49]



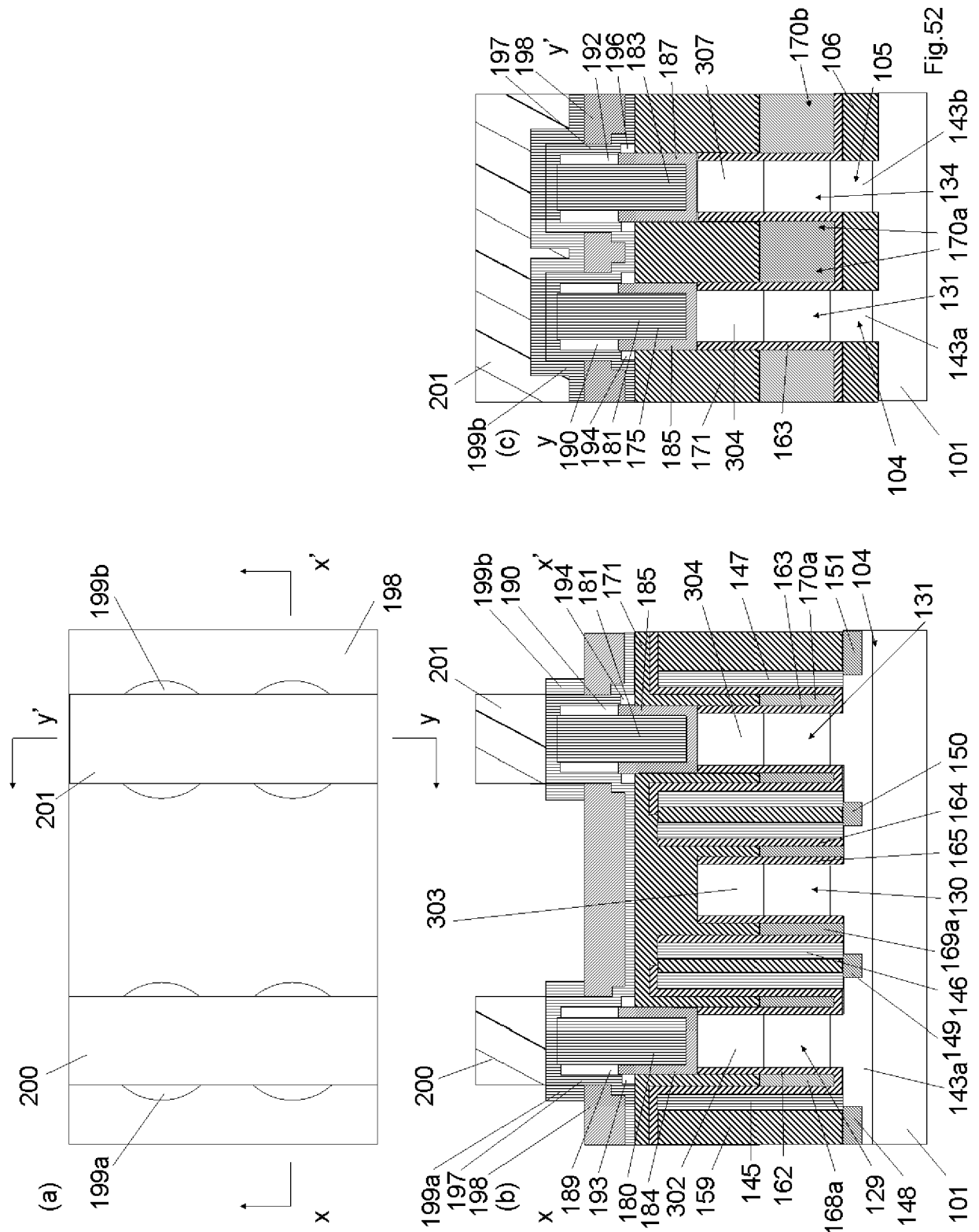
[図50]



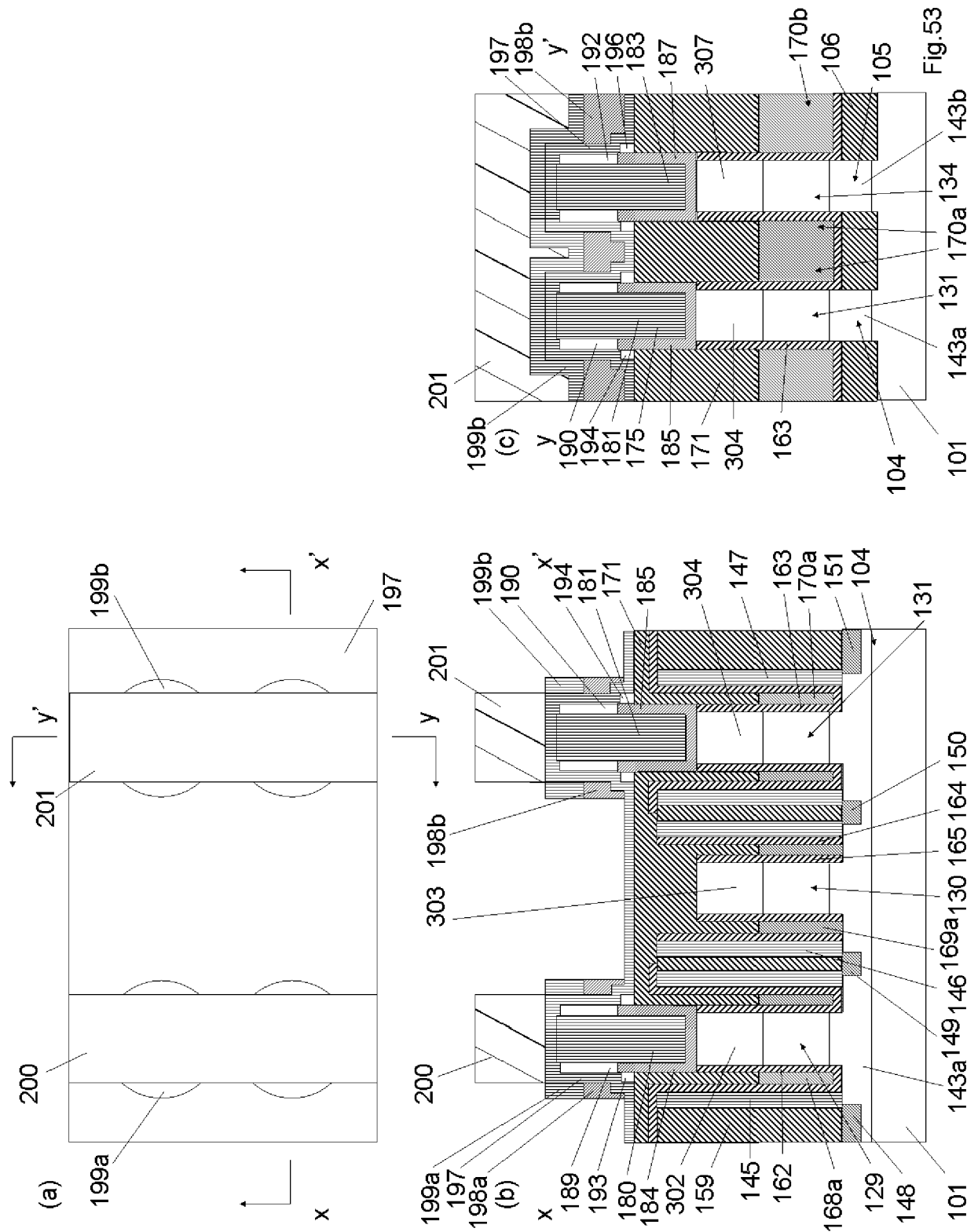
[図51]



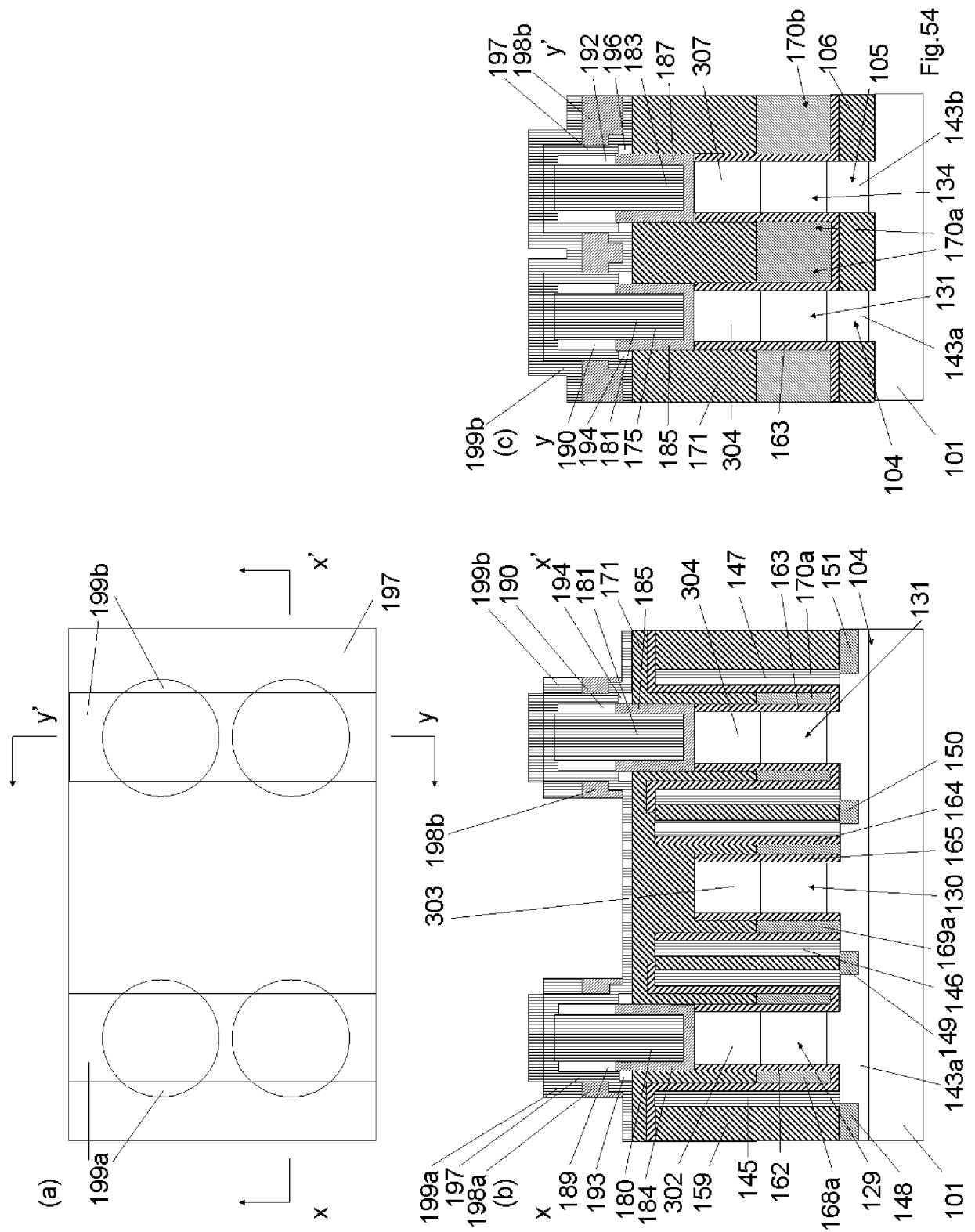
[図52]



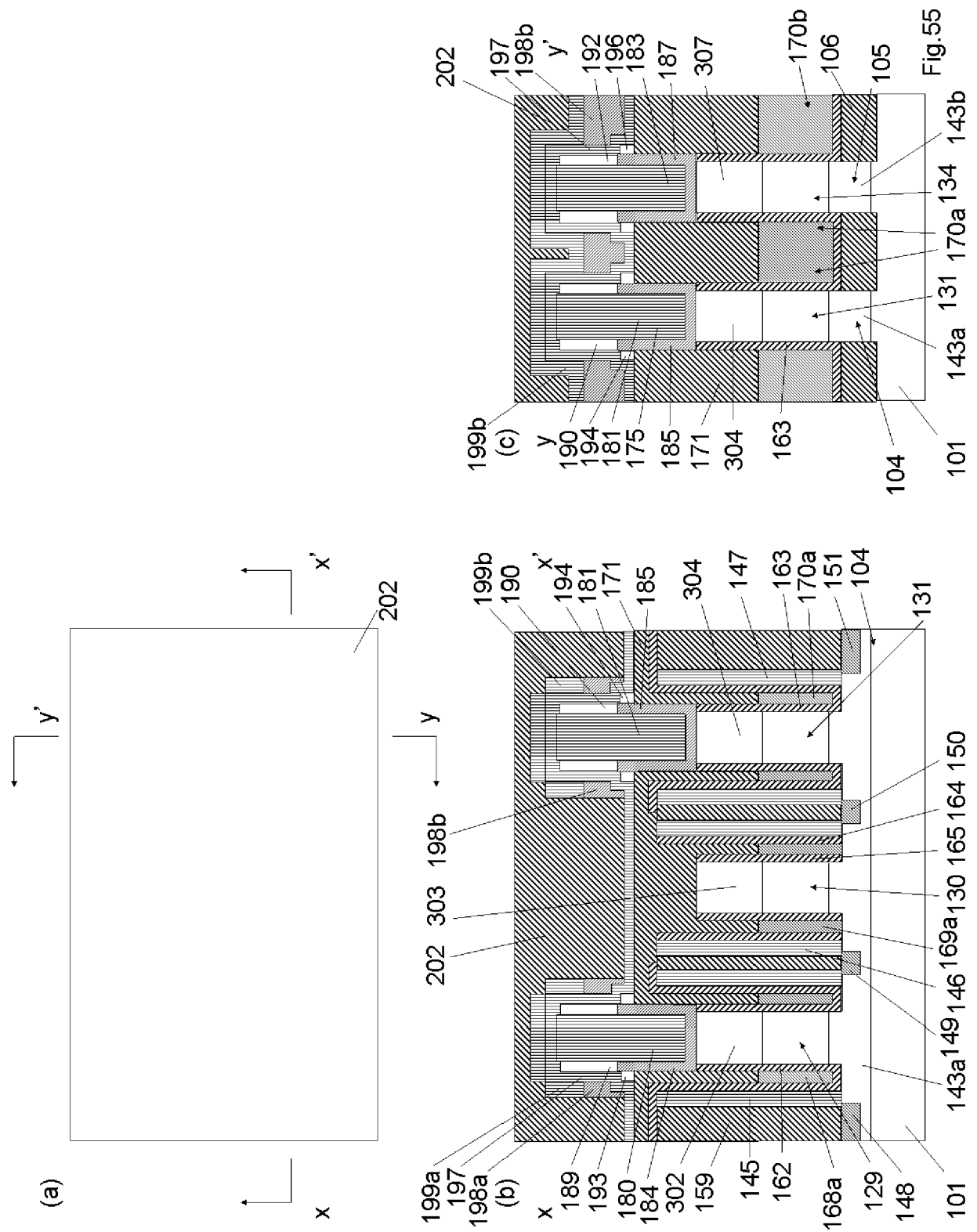
[図53]



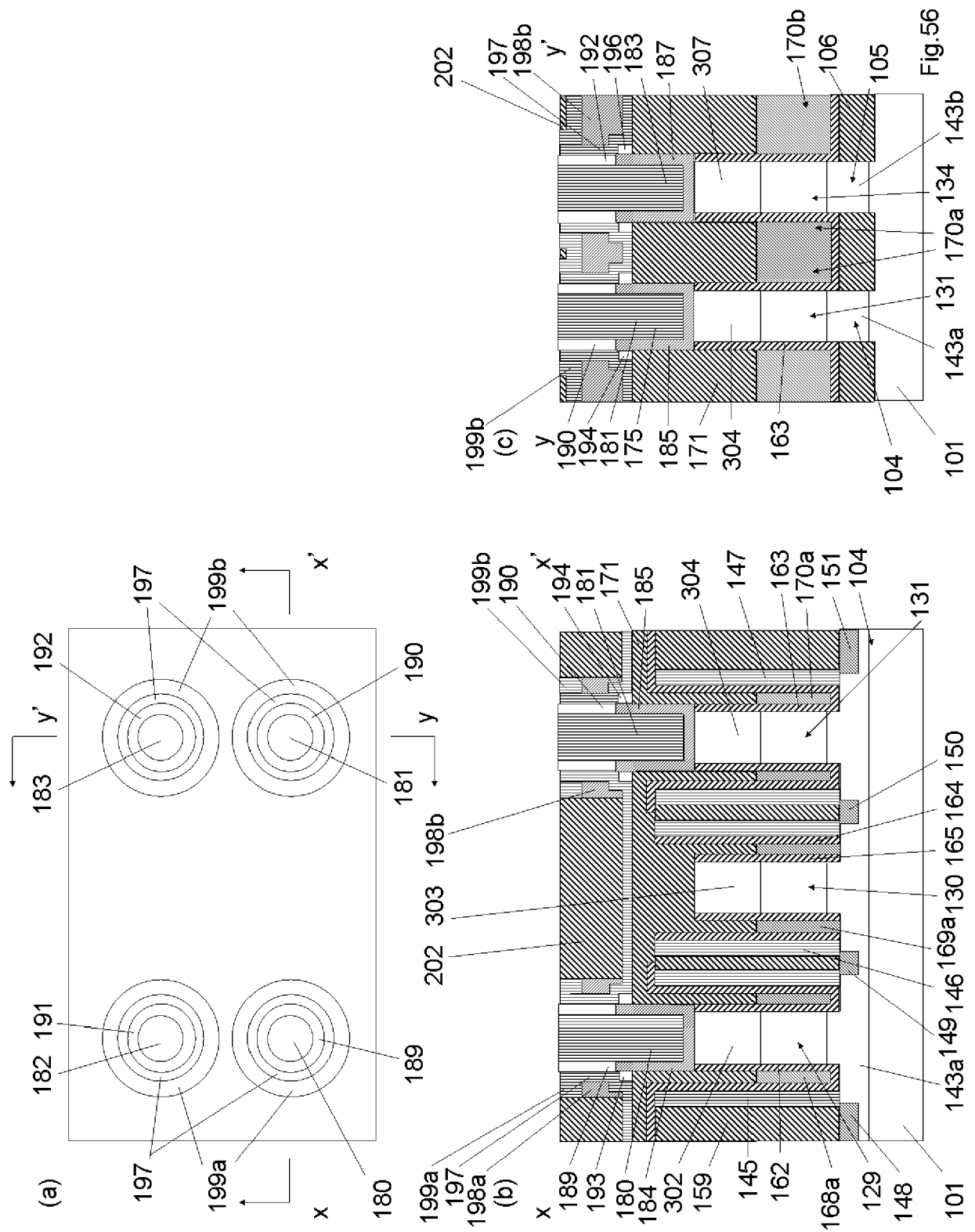
[図54]



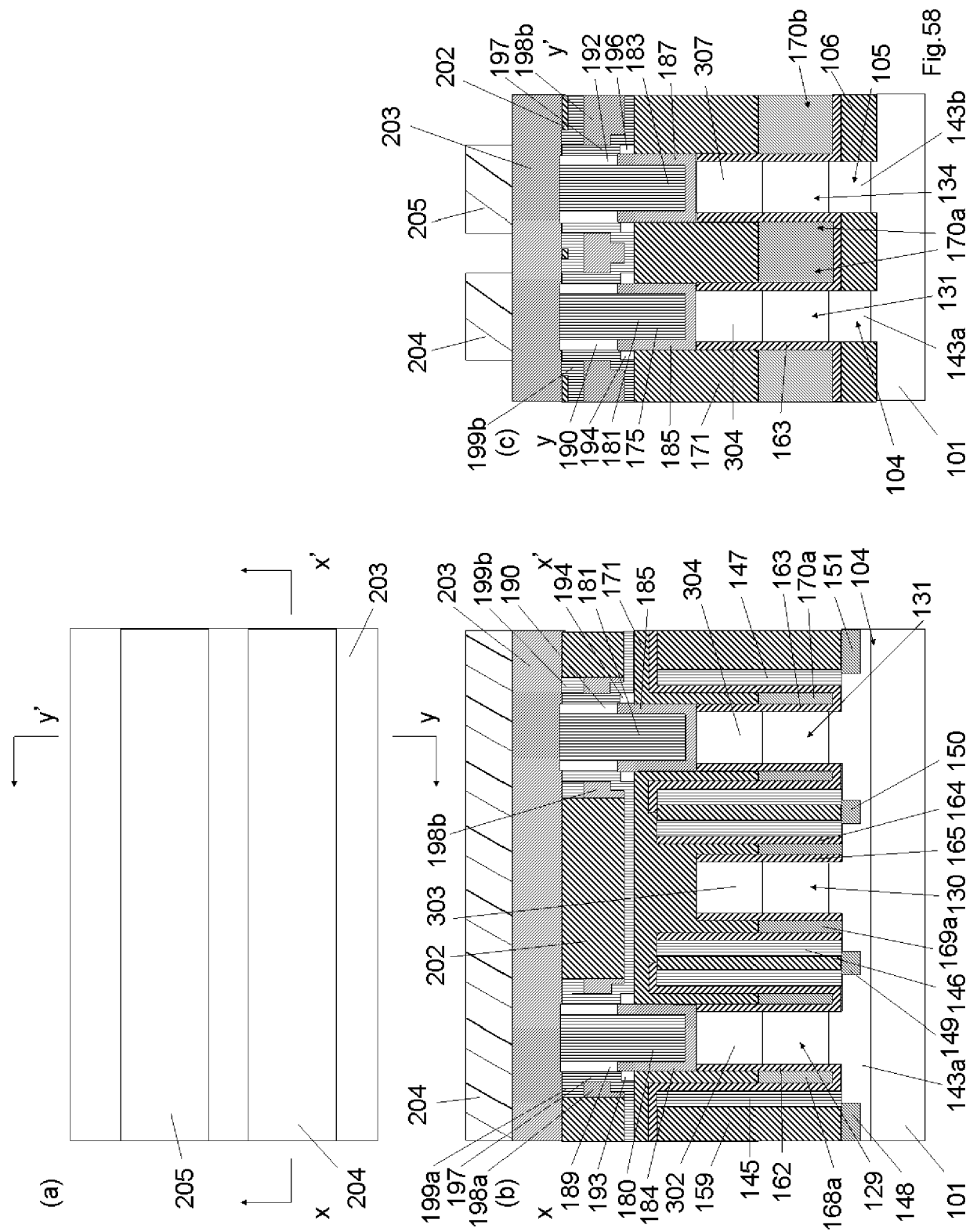
[図55]



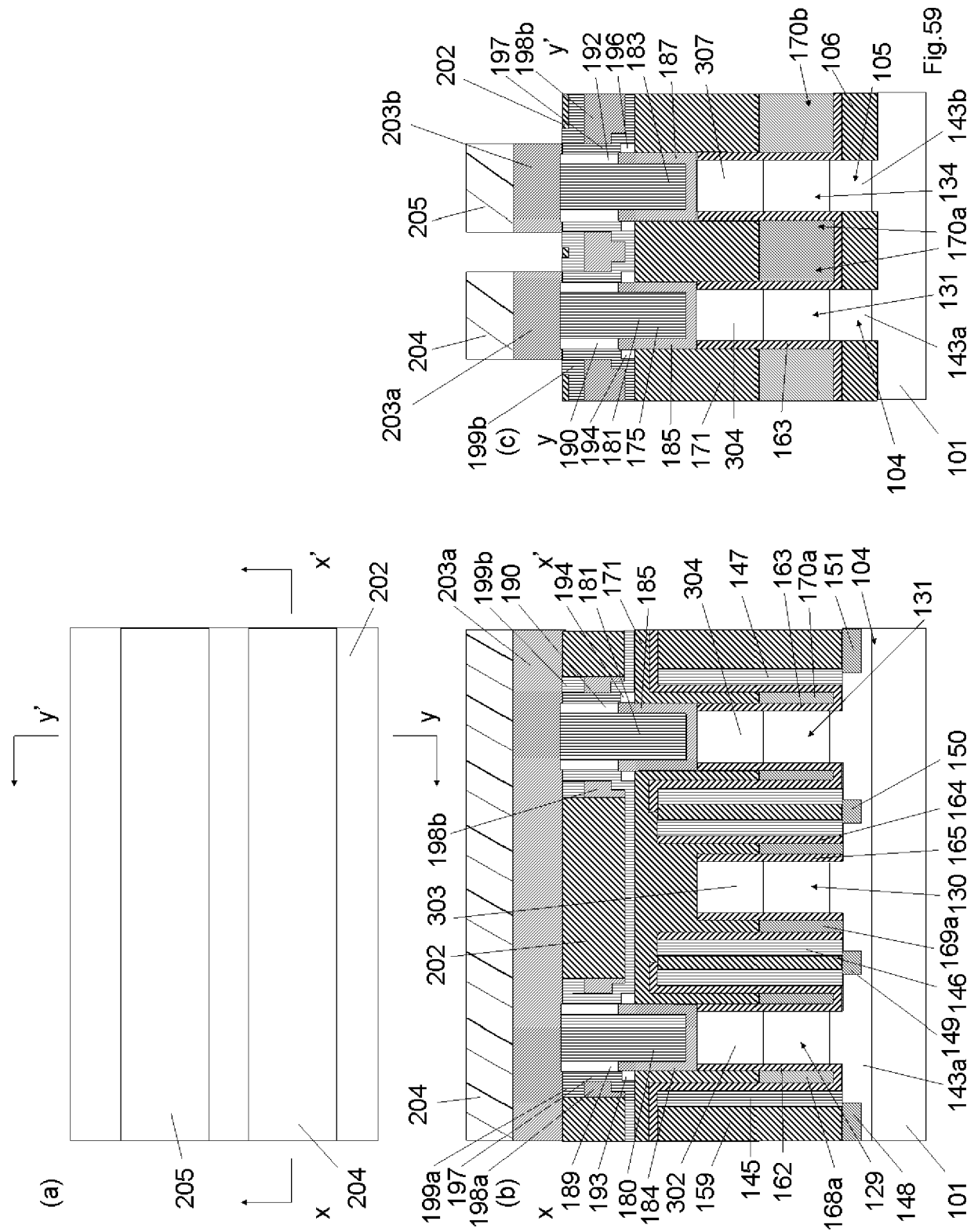
[図56]



[図58]



[図59]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080719

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01)i, H01L45/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, H01L45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-186424 A (Elpida Memory, Inc.), 27 September 2012 (27.09.2012), paragraphs [0055] to [0069]; fig. 8, 9 (Family: none)	1-9, 12, 17 10, 11, 13-16, 18-21
Y A	WO 2009/096363 A1 (NEC Corp.), 06 August 2009 (06.08.2009), paragraphs [0128] to [0154]; fig. 11, 12 & US 2011/0006278 A1	1-9, 12, 17 10, 11, 13-16, 18-21
Y	JP 2011-199017 A (Elpida Memory, Inc.), 06 October 2011 (06.10.2011), paragraphs [0010] to [0032]; fig. 3, 4 (Family: none)	7-9, 12, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 January, 2014 (24.01.14)

Date of mailing of the international search report
04 February, 2014 (04.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080719

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/093988 A1 (Unisantis Electronics Singapore Pte Ltd.), 27 June 2013 (27.06.2013), paragraphs [0090] to [0091]; fig. 1 & CN 103270585 A	8, 9, 12, 17
Y	WO 2013/038553 A1 (Unisantis Electronics Singapore Pte Ltd.), 21 March 2013 (21.03.2013), paragraphs [0047] to [0060], [0078]; fig. 1, 7 & CN 103119720 A & TW 201312693 A & KR 10-2013-0056897 A	9, 12
A	JP 2012-238348 A (Hitachi, Ltd.), 06 December 2012 (06.12.2012), entire text; all drawings & US 2012/0287697 A1	1-21

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/105(2006.01)i, H01L45/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/105, H01L45/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-186424 A（エルピーダメモリ株式会社）2012.09.27, 段落【0055】 - 【0069】、図 8, 9	1-9, 12, 17
A	（ファミリーなし）	10, 11, 13-16, 18-21
Y	WO 2009/096363 A1（日本電気株式会社）2009.08.06, 段落【0128】 - 【0154】、図 11, 12	1-9, 12, 17
A	& US 2011/0006278 A1	10, 11, 13-16, 18-21

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 1 . 2 0 1 4

国際調査報告の発送日

0 4 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

上田 智志

5 F

3 6 6 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-199017 A (エルピーダメモリ株式会社) 2011. 10. 06, 段落【0010】 - 【0032】, 図 3, 4 (ファミリーなし)	7-9, 12, 17
Y	WO 2013/093988 A1 (ユニサンティス エレクトロニクス シンガポ ール プライベート リミテッド) 2013. 06. 27, 段落【0090】 - 【0091】, 図 1 & CN 103270585 A	8, 9, 12, 17
Y	WO 2013/038553 A1 (ユニサンティス エレクトロニクス シンガポ ール プライベート リミテッド) 2013. 03. 21, 段落【0047】 - 【0060】, 【0078】, 図 1, 7 & CN 103119720 A & TW 201312693 A & KR 10-2013-0056897 A	9, 12
A	JP 2012-238348 A (株式会社日立製作所) 2012. 12. 06, 全文, 全図 & US 2012/0287697 A1	1-21