

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-17558

(P2017-17558A)

(43) 公開日 平成29年1月19日(2017.1.19)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/26 (2006.01)	H03F 1/26	5J500
H03F 3/08 (2006.01)	H03F 3/08	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号	特願2015-133047 (P2015-133047)	(71) 出願人	000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号
(22) 出願日	平成27年7月1日(2015.7.1)	(71) 出願人	591230295 NTTエレクトロニクス株式会社 神奈川県横浜市神奈川区新浦島町一丁目1番地32
		(74) 代理人	110001243 特許業務法人 谷・阿部特許事務所
		(72) 発明者	中野 慎介 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
		(72) 発明者	桂井 宏明 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

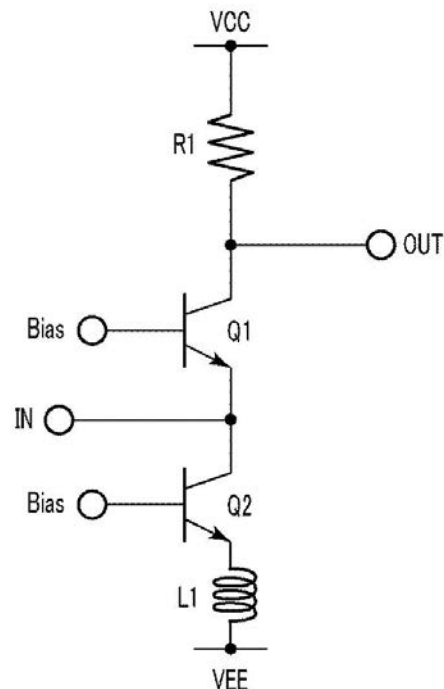
(54) 【発明の名称】 増幅器

(57) 【要約】

【課題】 T I A に適用される増幅器であって、電流源によって生じるノイズを抑制する。

【解決手段】 トランスインピーダンスアンプを構成する増幅器であって、増幅段の入力端子に接続された電流源と電源電圧線との間にインダクタ素子が挿入されていることを特徴とする。前記電流源は、ベース端子が電流制御用バイアスに接続され、コレクタ端子が前記入力端子に接続された第1のトランジスタを含み、前記インダクタ素子は、前記第1のトランジスタのエミッタ端子と前記電源電圧線との間に挿入されている。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

トランスインピーダンスアンプを構成する増幅器であって、増幅段の入力端子に接続された電流源と電源電圧線との間にインダクタ素子が挿入されていることを特徴とする増幅器。

【請求項 2】

前記電流源は、ベース端子が電流制御用バイアスに接続され、コレクタ端子が前記入力端子に接続された第 1 のトランジスタを含み、

前記インダクタ素子は、前記第 1 のトランジスタのエミッタ端子と前記電源電圧線との間に挿入されていることを特徴とする請求項 1 に記載の増幅器。

10

【請求項 3】

前記増幅段は、エミッタ端子が前記入力端子に接続され、コレクタ端子が出力端子に接続され、ベース端子が電流制御用バイアスに接続された第 2 のトランジスタを含むことを特徴とする請求項 2 に記載の増幅器。

【請求項 4】

ベース端子が電流制御用バイアスに接続され、コレクタ端子が前記第 2 のトランジスタのコレクタ端子に接続された第 3 のトランジスタを含み、

前記第 3 のトランジスタのエミッタ端子と電源電圧線との間に第 2 のインダクタ素子が挿入されていることを特徴とする請求項 3 に記載の増幅器。

【請求項 5】

エミッタ端子が前記電源電圧線に接続され、コレクタ端子が前記第 2 のトランジスタのベース端子に接続され、ベース端子が前記入力端子に接続された第 3 のトランジスタを含むことを特徴とする請求項 3 に記載の増幅器。

20

【請求項 6】

前記増幅段は、ベース端子が前記入力端子に接続され、コレクタ端子が出力端子に接続され、エミッタ端子が前記電源電圧線に接続された第 2 のトランジスタを含むことを特徴とする請求項 2 に記載の増幅器。

【請求項 7】

前記電流源と前記電源電圧線との間に、さらに抵抗素子が挿入されていることを特徴とする請求項 1 ないし 6 のいずれかに記載の増幅器。

30

【請求項 8】

前記インダクタ素子と並列に、さらに容量素子が挿入されていることを特徴とする請求項 1 ないし 7 のいずれかに記載の増幅器。

【請求項 9】

ベース端子、コレクタ端子およびエミッタ端子を有するトランジスタの一部または全てが、ゲート端子、ドレイン端子およびソース端子を有する F E T であることを特徴とする請求項 2 ないし 8 のいずれかに記載の増幅器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、増幅器に関し、より詳細には、光受信器において受光素子によって光信号から変換された電流信号を電圧信号に変換するトランスインピーダンスアンプに適用される増幅器に関する。

40

【背景技術】**【0002】**

トランスインピーダンスアンプ (T I A) は、光受信器に用いられ、受光素子によって光信号から電流信号に変換された信号を、電圧信号に変換しながら信号強度を増幅する役割を果たす。光受信器は、微小な光信号を受信できることが望まれるため、 T I A の特性として、低ノイズであることが望まれる。

【0003】

50

図 1 に、従来のエミッタ接地型 T I A の構成を示す。エミッタ接地型 T I A は、入力端子 I N と負側電源電圧 V E E との間に挿入されたトランジスタ Q 3 と、トランジスタ Q 1 および抵抗 R 1、R 2 からなる増幅段と、トランジスタ Q 2 および抵抗 R 3 からなる出力段と、出力端子 O U T と入力端子 I N との間に挿入された帰還抵抗 R 4 とを備えている。トランジスタ Q 3 は、可変電流源の役割を果たし、その電流量を制御することにより、増幅器の D C 動作点を制御する構成となっている。この電流源による D C 動作点制御は、例えばオフセット補償機能に用いられる（例えば、非特許文献 1 参照）。

【 0 0 0 4 】

図 2 に、従来のベース接地型 T I A の構成を示す。ベース接地型 T I A は、入力端子 I N と負側電源電圧 V E E との間に挿入されたトランジスタ Q 2 と、トランジスタ Q 1 および抵抗 R 1 からなる増幅段とを備えている。トランジスタ Q 2 は、可変電流源としてトランジスタ Q 1 に流れる D C 電流と入力信号電流の D C 成分とを制御する（例えば、非特許文献 2 参照）。

10

【 0 0 0 5 】

図 3 に、従来の R G C (Regulated Cascode) 型 T I A の構成を示す。ベース接地型 T I A と同様に、トランジスタ Q 2 が、可変電流源として増幅段のトランジスタ Q 1 に流れる D C 電流と入力信号電流の D C 成分とを制御する。このように、T I A に適用される増幅器には、トランジスタで形成される電流源を備えている。

【 先行技術文献 】

【 非特許文献 】

20

【 0 0 0 6 】

【 非特許文献 1 】 Chia-Ming Tsai, "A 40 mW 3 Gb/s Self-Compensated Differential Trans-impedance Amplifier With Enlarged Input Capacitance Tolerance in 0.18mm CMOS Technology," IEEE Journal of Solid-State Circuits, Vol. 44, No. 10, pp. 2671-2677, Oct. 2009.

【 非特許文献 2 】 Rania H. Mekky et al., "Ultra Low-Power Low-Noise Trans-impedance Amplifier for MEMS-Based Reference Oscillators," IEEE International Conference on Electronics, Circuits, and Systems 2013.

【 発明の概要 】

【 発明が解決しようとする課題 】

30

【 0 0 0 7 】

しかしながら、増幅器の内部に電流源を備える場合、その電流源によって生じる雑音が大きく、T I A のノイズ特性を劣化させるといった問題があった。特に、上述した T I A のように、入力端子に電流源が接続されている場合には、入力信号を増幅する前段において雑音の影響を及ぼすため、ノイズ特性の劣化は極めて顕著である。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の目的は、T I A に適用される増幅器であって、電流源によって生じるノイズを抑制した増幅器を提供することにある。

【 0 0 0 9 】

40

本発明は、このような目的を達成するために、トランスインピーダンスアンプを構成する増幅器であって、増幅段の入力端子に接続された電流源と電源電圧線との間にインダクタ素子が挿入されていることを特徴とする。

【 0 0 1 0 】

前記電流源は、ベース端子が電流制御用バイアスに接続され、コレクタ端子が前記入力端子に接続された第 1 のトランジスタを含み、前記インダクタ素子は、前記第 1 のトランジスタのエミッタ端子と前記電源電圧線との間に挿入されている。

【 発明の効果 】

【 0 0 1 1 】

本発明によれば、T I A に適用される増幅器であって、電流源となるトランジスタのエ

50

ミッタ端子にインダクタ素子を接続することにより、内部インピーダンスが大きな電流源を実現することができる。これにより、電流源によって生じるノイズを小さく抑え、低ノイズのTIAを実現することができる。

【図面の簡単な説明】

【0012】

【図1】従来のエミッタ接地型TIAの構成を示す図である。

【図2】従来のベース接地型TIAの構成を示す図である。

【図3】従来のRGC型TIAの構成を示す図である。

【図4】MOSFETの内部抵抗を説明するための図である。

【図5】本発明の第1の実施形態にかかるベース接地型TIAの構成を示す図である。

10

【図6】本発明の第2の実施形態にかかるベース接地型TIAの構成を示す図である。

【図7】本発明の第3の実施形態にかかるベース接地型TIAの構成を示す図である。

【図8】本発明の第4の実施形態にかかるベース接地型TIAの構成を示す図である。

【図9】ベース接地型TIAの Z_t 、 I_{eq} 特性をシミュレーションした結果を示す図である。

【図10】ベース接地型TIAの Z_t 、 I_{eq} 特性をシミュレーションした結果を示す図である。

【図11】本発明の第5の実施形態にかかるエミッタ接地型TIAの構成を示す図である。

【図12】エミッタ接地型TIAの Z_t 、 I_{eq} 特性をシミュレーションした結果を示す図である。

20

【図13】本発明の第6の実施形態にかかるRGC型TIAの構成を示す図である。

【発明を実施するための形態】

【0013】

以下、図面を参照しながら本発明の実施形態について詳細に説明する。本実施形態におけるTIAは、電流源となるトランジスタのエミッタ端子にインダクタ素子を接続している。電流源を理想電流源と内部抵抗 R の並列接続と考えると、その電流源によって生じる単位周波数あたりの電流ノイズは、

【0014】

【数1】

30

$$\overline{I_n^2} = 4kT/R \quad [A^2/Hz]$$

【0015】

であるため、内部抵抗 R が大きいほど電流ノイズは小さくなる。理想的な電流源の場合、内部インピーダンスが無窮大であり電流ノイズはゼロであるが、実際に電流源を構成すると、有限の内部インピーダンスを有するため、電流源によって生じる雑音がTIAのノイズ特性を劣化させる。例えば、図4に示すように、MOSFETのソース端子にインピーダンス Z_s の素子を接続して構成した電流源の内部抵抗 R を式で求めると、

【0016】

【数2】

40

$$R = r_o + (1 + g_m r_o) Z_s$$

【0017】

となる。 r_o はトランジスタ単体のドレイン抵抗、 g_m は相互コンダクタンスである。この式から、ソース端子に大きなインピーダンスを接続したトランジスタを、電流源に用いることにより、電流源の内部インピーダンスを大きくすることができる。

【0018】

一方、電流源の内部インピーダンスを増加させるために、大きな抵抗値の抵抗素子を用いた場合、抵抗によって大きな電圧降下が生じる。このような構成では、電流源を駆動する時に、ゲート端子およびドレイン端子に必要なバイアスが大きくなり、使用用途が制限

50

されてしまう。このことは、バイポーラトランジスタについても同じことが言える。

【0019】

そこで、本実施形態では、電流源となるトランジスタのエミッタ端子にインダクタ素子を接続することにより、電流源を駆動するのに必要なバイアスを低く保ったまま、高周波帯での内部インピーダンスが大きな電流源を実現することができる。これにより、電流源から発生する電流ノイズの総量を小さく抑えることができる。本実施形態では、インダクタ素子の大きなインダクタ素子を用いるほど、より大きな内部インピーダンスを有する電流源を実現することができ、より大きなノイズ低減効果を得ることができる。また、インダクタ素子と直列に抵抗を挿入することも考えられる。以下にベース接地型、エミッタ接地型、RGC型TIAの構成を例に、それぞれ実施例を説明するが、電流源を搭載するTIAであれば本発明を適応することができ、TIAの構成はこれに限るものではない。

10

【0020】

(ベース接地型TIA)

図5に、本発明の第1の実施形態にかかるベース接地型TIAの構成を示す。ベース接地型TIAは、入力端子INと負側電源電圧VEEとの間に直列に挿入された、トランジスタQ2およびインダクタL1と、トランジスタQ1および抵抗R1からなる増幅段とを備えている。トランジスタQ2のベース端子は、電流制御用バイアスに接続され、トランジスタQ1に流れるDC電流と入力信号電流のDC成分とを制御する。トランジスタQ2のエミッタ端子にインダクタ素子を接続することにより、内部インピーダンスの大きな電流源を構成し、電流源によるTIAのノイズ特性の劣化を抑えている。

20

【0021】

図6に、本発明の第2の実施形態にかかるベース接地型TIAの構成を示す。電流源となるトランジスタQ2のエミッタ端子には、インダクタL1に加えて、さらに抵抗R2が負側電源電圧VEEとの間に直列に挿入されている。第1の実施形態と比較して、より大きな内部インピーダンスを有する電流源を実現することができる。

【0022】

ここでは、ベース端子、コレクタ端子、エミッタ端子を有するバイポーラトランジスタを用いた構成で説明したが、一部または全てのトランジスタを、ゲート端子、ドレイン端子、ソース端子を有するFET素子に置き換えることもできる。

【0023】

図7に、本発明の第3の実施形態にかかるベース接地型TIAの構成を示す。図6に示したベース接地型TIAにおいて、インダクタL1に加えて、さらに容量素子Cを並列に接続した。容量素子Cを加えることにより、電流源を構成するQ2のエミッタ端子からVEE方向に見えるインピーダンスZは、

30

【0024】

【数3】

$$Z = R2 + \frac{j\omega L}{1 - \omega^2 LC}$$

【0025】

となり、

40

【0026】

【数4】

$$\omega^2 LC = 1$$

【0027】

となる周波数、いわゆる共振点において、 $|Z| =$ となる。第2の実施形態と比較して、より大きな内部インピーダンスを有する電流源を実現することができる。

【0028】

実際には、インダクタL1に寄生する抵抗成分等によって、エミッタ端子からVEE方

50

向に見えるインピーダンスは、まで大きくはならないが、共振点付近においてインピーダンスを大きく見せることができる。第3の実施形態は、増幅器の内部に、十分に大きなインダクタンスのインダクタを形成することができない場合に有効である。また、LCの共振点を、TIAの帯域内に設計することにより、特に大きな内部インピーダンスを得ることができる。

【0029】

図8に、本発明の第4の実施形態にかかるベース接地型TIAの構成を示す。図5に示したベース接地型TIAにおいて、トランジスタQ3を追加してカスコード型とし、正側電源電圧VCCとトランジスタQ1のコレクタ端子との間に、トランジスタQ4およびインダクタL2からなる第2の電流源を備えた。トランジスタQ4およびインダクタL2からなる第2の電流源をさらに備えることにより、増幅段のトランジスタQ1に流れる電流を増加させ、図2に示した従来のTIAよりも広帯域動作が可能となる。また、トランジスタQ3を追加してカスコード型とすることにより、第2の電流源に付随する寄生容量によって生ずる帯域劣化を防ぐ効果が得られる。

10

【0030】

図9に、ベース接地型TIAのトランスインピーダンス利得 Z_t 、入力換算雑音電流密度 I_{eq} 特性をシミュレーションした結果を示す。符号Aは、図8に示した第4の実施形態のベース接地型TIA（インダクタL1、L2が存在）を示し、符号Bは、図5に示した第1の実施形態のベース接地型TIA（インダクタL1のみ存在）を示し、符号Cは、第4の実施形態の変形でインダクタL1が無く、インダクタL2のみが存在するベース接地型TIAを示し、符号Dは、図2に示した従来のベース接地型TIA（インダクタL1、L2ともに無し）を示している。

20

【0031】

図9から明らかなように、インダクタL1、L2を挿入することにより、トランスインピーダンス利得 Z_t を変化させることなく、入力換算雑音電流密度 I_{eq} を改善することができる。また、入力端子INと負側電源電圧VEEとの間に挿入された電流源に限らず、カスコード型のTIAにおけるトランジスタQ4およびインダクタL2により構成される電流源にも適応可能であることが分かる。従って、本実施形態は、電流源を備えるTIAにおいて、入力端子INと負側電源電圧VEEとの間に挿入された電流源に限定されるものではない。

30

【0032】

さらに、図10にシミュレーション結果を示す。符号Aは、図7に示した第3の実施形態のベース接地型TIA（抵抗R、インダクタL1、容量素子Cが存在）を示し、符号Bは、図6に示した第2の実施形態のベース接地型TIA（抵抗R、インダクタL1のみ存在）を示し、符号Cは、図2に示した従来のベース接地型TIA（インダクタL1、L2ともに無し）を示している。

【0033】

図10から明らかなように、容量素子Cを挿入することにより、トランスインピーダンス利得 Z_t を変化させることなく、入力換算雑音電流密度 I_{eq} を改善することができ、TIAの帯域内において、電流源によって生じるノイズを小さく抑えることができる。

40

【0034】

（エミッタ接地型TIA）

図11に、本発明の第5の実施形態にかかるエミッタ接地型TIAの構成を示す。エミッタ接地型TIAは、入力端子INと負側電源電圧VEEとの間に直列に挿入された、トランジスタQ3およびインダクタL1と、トランジスタQ1および抵抗R1、R2からなる増幅段と、トランジスタQ2および抵抗R3からなる出力段（エミッタフォロワ）と、出力端子OUTと入力端子INとの間に挿入された帰還抵抗R4とを備えている。トランジスタQ3のベース端子は、電流制御用バイアスに接続され、トランジスタQ1に流れるDC電流と入力信号電流のDC成分とを制御する。トランジスタQ3のエミッタ端子にインダクタ素子を接続することにより、内部インピーダンスの大きな電流源を構成し、電流

50

源による T I A のノイズ特性の劣化を抑えている。

【 0 0 3 5 】

増幅段のトランジスタ Q 1 のベース端子は入力端子 I N に接続され、エミッタ端子は抵抗 R 2 を介して負側電源電圧 V E E に接続され、コレクタ端子は、出力段のトランジスタ Q 2 のベース端子に接続されている。出力段のトランジスタ Q 2 のコレクタ端子は正側電源電圧 V C C に接続され、エミッタ端子は抵抗 R 3 を介して負側電源電圧 V E E に接続されている。トランジスタ Q 1 のコレクタ端子は、出力段のエミッタフォロウに接続されているので、等価的には、出力端子 O U T に接続されているとみなせる。

【 0 0 3 6 】

図 1 2 に、エミッタ接地型 T I A のトランスインピーダンス利得 Z_t 、入力換算雑音電流密度 $I_{e q}$ 特性をシミュレーションした結果を示す。符号 A は、図 1 1 に示した第 5 の実施形態のエミッタ接地型 T I A (インダクタ L 1 が存在) を示し、符号 B は、図 1 に示した従来のエミッタ接地型 T I A (インダクタ L 1 無し) を示している。

10

【 0 0 3 7 】

図 1 2 から明らかなように、インダクタ L 1 を挿入することにより、トランスインピーダンス利得 Z_t を変化させることなく、入力換算雑音電流密度 $I_{e q}$ を改善することができる。本実施形態においても、ベース接地型 T I A と同様に、インダクタ素子と直列に抵抗を挿入した構成としてもよい。また、バイポーラトランジスタの代わりに、一部または全てのトランジスタを F E T 素子に置き換えることもできる。さらに、電流源を備える T I A において、入力端子 I N と負側電源電圧 V E E との間に挿入された電流源に限定されるものではない。

20

【 0 0 3 8 】

(R G C 型 T I A)

図 1 3 に、本発明の第 6 の実施形態にかかる R G C 型 T I A の構成を示す。トランジスタ Q 1 および抵抗 R 1 からなる増幅段に、トランジスタ Q 2 および抵抗 R 2 をカスコード接続し、入力端子 I N と負側電源電圧 V E E との間に挿入された、トランジスタ Q 2 およびインダクタ L 1 とを備えている。トランジスタ Q 2 のベース端子は、電流制御用バイアスに接続され、トランジスタ Q 1 に流れる D C 電流と入力信号電流の D C 成分とを制御する。トランジスタ Q 2 のエミッタ端子にインダクタ素子を接続することにより、内部インピーダンスの大きな電流源を構成し、電流源による T I A のノイズ特性の劣化を抑えている。

30

【 0 0 3 9 】

本実施形態においても、ベース接地型 T I A と同様に、インダクタ素子と直列に抵抗を挿入した構成としてもよい。また、バイポーラトランジスタの代わりに、一部または全てのトランジスタを F E T 素子に置き換えることもできる。さらに、電流源を備える T I A において、入力端子 I N と負側電源電圧 V E E との間に挿入された電流源に限定されるものではない。

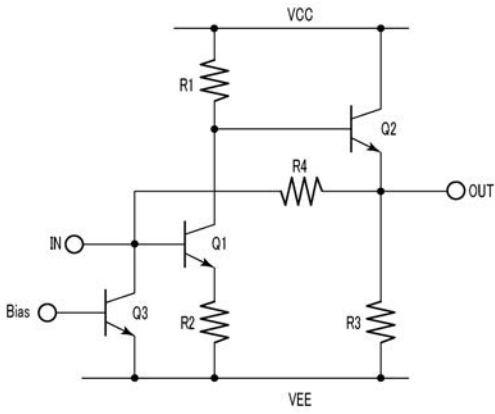
【 符号の説明 】

【 0 0 4 0 】

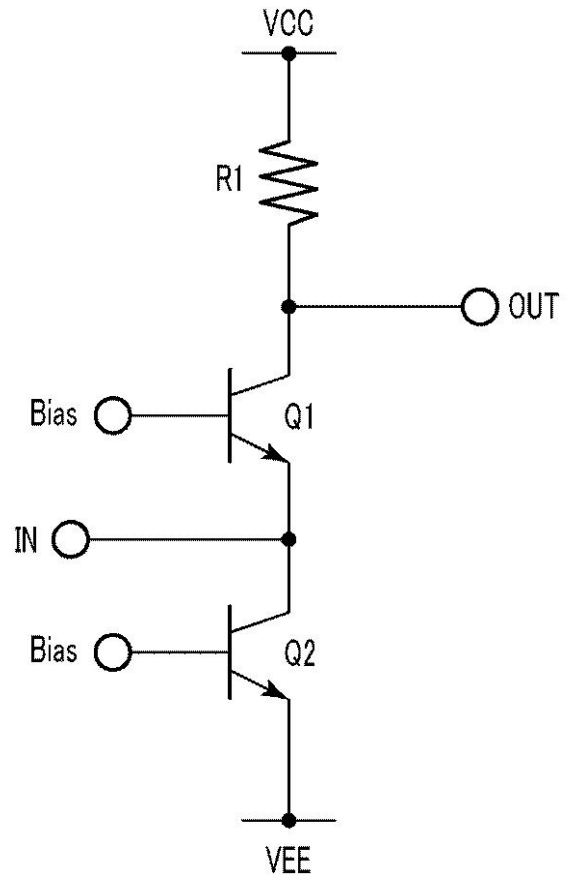
Q 1 - Q 4 トランジスタ
R 1 - R 4 抵抗
L 1 , L 2 インダクタ
V C C 正側電源電圧線
V E E 負側電源電圧線
I N 入力端子
O U T 出力端子
B i a s 電流制御用バイアス

40

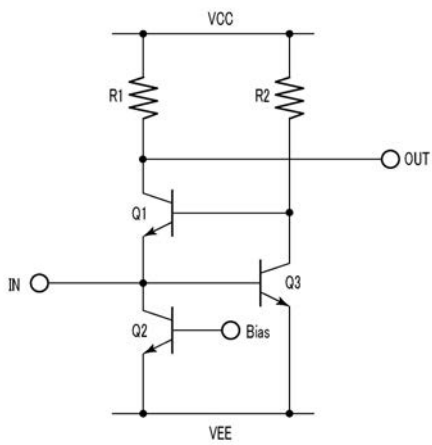
【 図 1 】



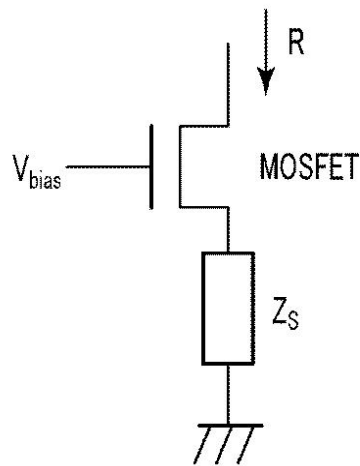
【 図 2 】



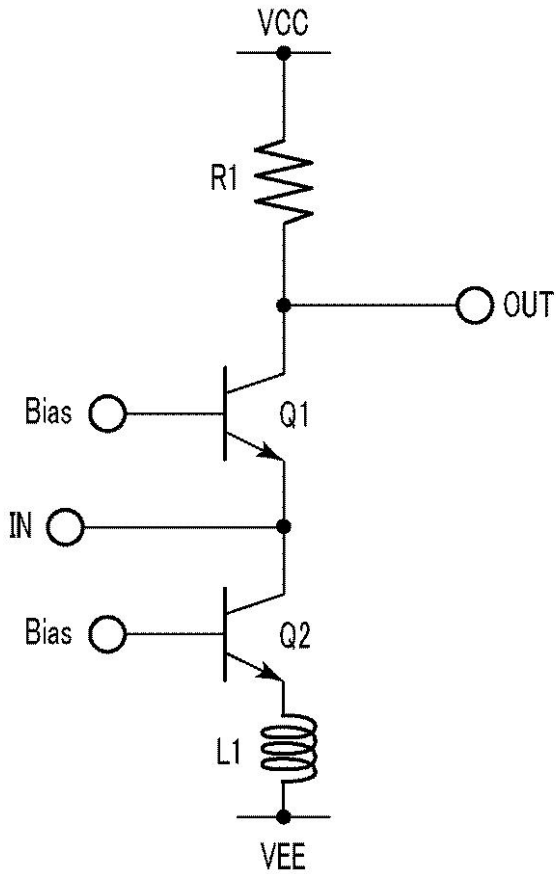
【 図 3 】



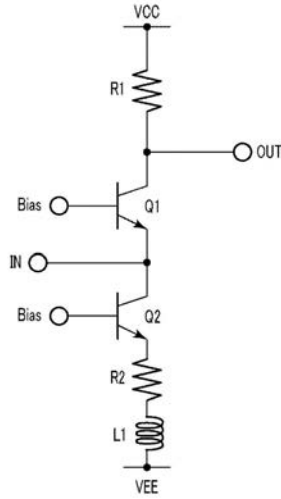
【 図 4 】



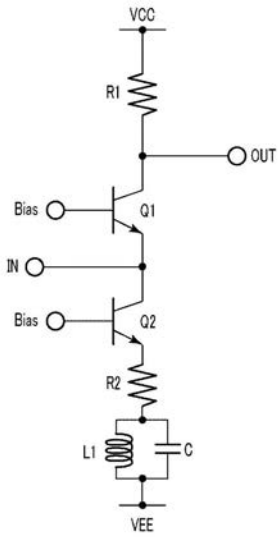
【 図 5 】



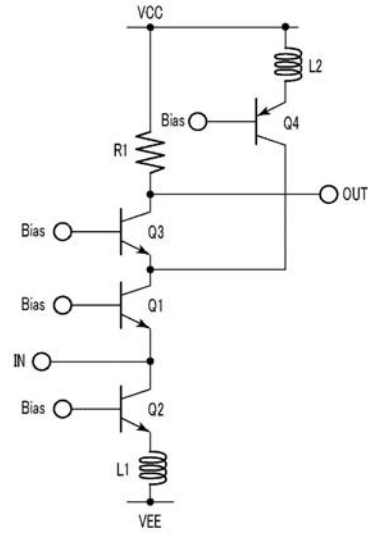
【 図 6 】



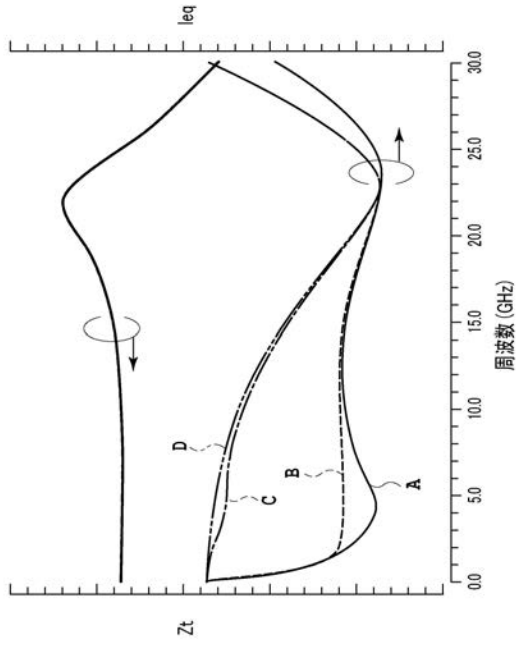
【 図 7 】



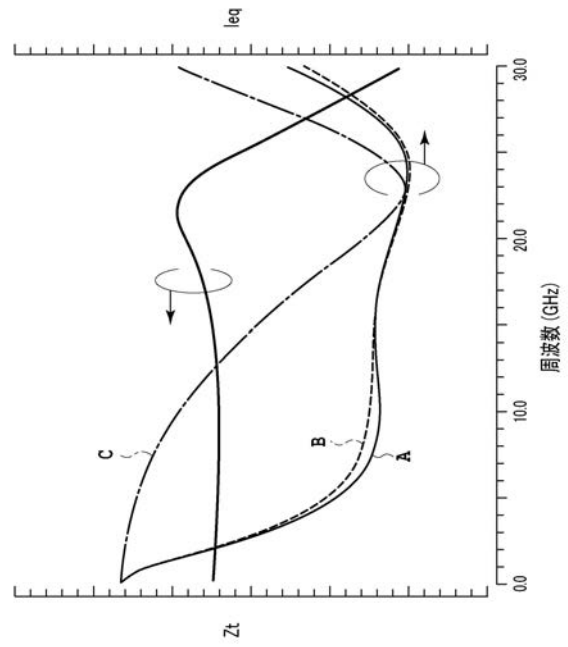
【 図 8 】



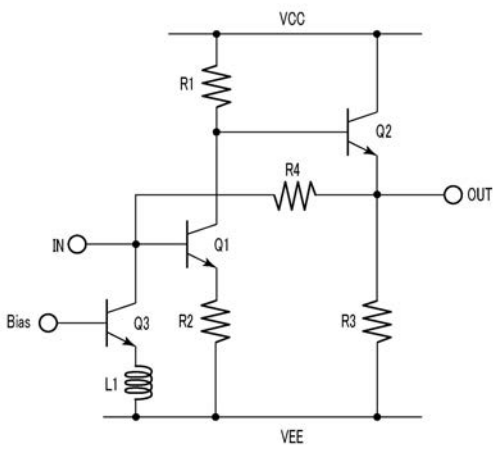
【 図 9 】



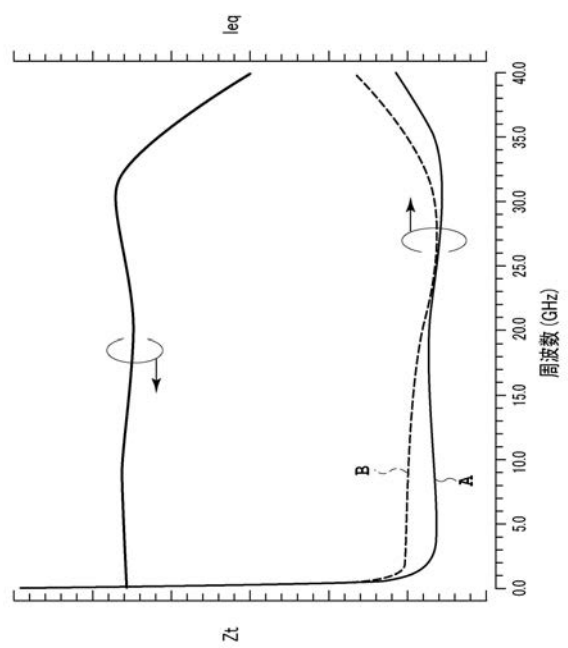
【 図 10 】



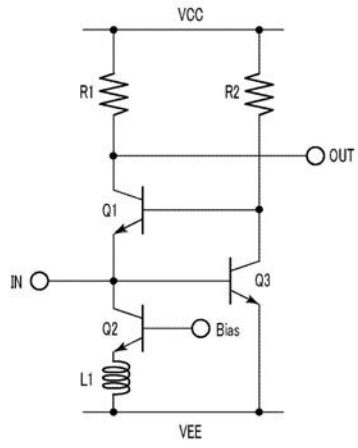
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

- (72)発明者 野河 正史
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 木村 俊二
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 十林 正俊
神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内
- (72)発明者 栗田 茂弘
神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内
- (72)発明者 遠藤 雅弘
神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内
- Fターム(参考) 5J500 AA01 AA56 AC41 AF20 AH02 AH09 AH18 AH25 AH29 AH33
AK48 AM01 AM04 AM11 AM17 AM23 AS13 AT03