



# (12) 发明专利

(10) 授权公告号 CN 110928524 B

(45) 授权公告日 2023.06.02

(21) 申请号 201911241117.8

(22) 申请日 2019.12.06

(65) 同一申请的已公布的文献号  
申请公布号 CN 110928524 A

(43) 申请公布日 2020.03.27

(73) 专利权人 南方科技大学  
地址 518000 广东省深圳市南山区西丽学  
苑大道1088号

(72) 发明人 潘权 胡俊峰 于洪宇 姜培  
汪青

(74) 专利代理机构 北京品源专利代理有限公司  
11332  
专利代理师 孟金喆

(51) Int. Cl.  
G06F 7/58 (2006.01)

(56) 对比文件

CN 101087129 A, 2007.12.12

CN 103067116 A, 2013.04.24

CN 106992770 A, 2017.07.28

EP 1159673 A1, 2001.12.05

张德瑞; 佟首峰; 宋延嵩; 杨阳. 空间激光通信中高速伪随机序列及多路器. 红外与激光工程. 2012, (11), 全文.

审查员 周丹丹

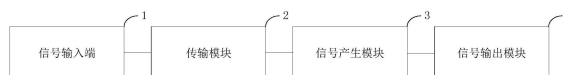
权利要求书2页 说明书7页 附图3页

(54) 发明名称

伪随机信号发生器

(57) 摘要

本发明公开了一种伪随机信号发生器,包括:信号输入端,用于输入时钟信号;传输模块,与上述信号输入端连接,用于分流放大所述时钟信号;信号产生模块,与上述传输模块连接,用于接收模式切换信号并根据所述模式切换信号和所述时钟信号产生伪随机信号;信号输出模块,与上述信号产生模块连接,用于输出伪随机信号。本发明提供的一种伪随机信号发生器,通过优化核心电路逻辑架构解决了现有技术中数据传输延迟高、工作速率低、电路功耗高的问题,实现了缩短数据传输延迟进而提高工作速率,并且在需要特定码元信号的情况下,可以切换模式任意产生多种不同的高速伪随机信号源的效果。



1. 一种伪随机信号发生器,其特征在于,包括:

信号输入端,用于输入时钟信号;

传输模块,与所述信号输入端连接,用于分流放大所述时钟信号;

信号产生模块,与所述传输模块连接,用于接收模式切换信号并根据所述模式切换信号和所述时钟信号产生伪随机信号;

信号输出模块,与所述信号产生模块连接,用于输出伪随机信号;

所述信号输入端包括:时钟信号输入端CLK\_in,用于输入时钟信号;

所述传输模块包括:电阻缓冲器H1、时钟缓冲器S1、时钟缓冲器S2、时钟缓冲器S3、时钟缓冲器S4和时钟缓冲器S5,所述电阻缓冲器H1第一端连接到所述时钟信号输入端CLK\_in;所述时钟缓冲器S1第一端连接到所述电阻缓冲器H1的第二端;所述时钟缓冲器S2的第一端连接到所述时钟缓冲器S1的第二端;所述时钟缓冲器S3的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S3的第二端连接到所述信号产生模块;所述时钟缓冲器S4的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S4的第二端连接到所述信号产生模块;所述时钟缓冲器S5的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S5的第二端连接到所述信号产生模块;

所述信号产生模块包括同或门B1、第一D触发器集、第二D触发器集、第三D触发器集、7个三态相反器C1到C7,所述第一D触发器集连接到所述同或门B1,所述第二D触发器集连接到所述第一D触发器集,所述第三D触发器集连接到所述第一D触发器集。

2. 根据权利要求1中所述的一种伪随机信号发生器,其特征在于,所述第一D触发器集合包括7个D触发器D1到D7,D触发器D1的CP端连接到所述时钟缓冲器S3第二端,所述D触发器D1的D端连接到所述同或门B1的输出端,所述D触发器D1的 $\bar{Q}$ 端连接到所述D触发器D2的D端;D触发器D5的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D5的 $\bar{Q}$ 端连接到所述三态相反器C1的输入端,所述D触发器D5的Q端连接到所述第二D触发器集;D触发器D6的D端连接到所述三态相反器C1的输出端,所述D触发器D6的CP端连接到所述第三D触发器集,所述D触发器D6的Q端连接到所述同或门B1的第一输入端,所述D触发器D6的 $\bar{Q}$ 端连接到所述三态相反器C2的输入端;D触发器D7的D端连接到所述三态相反器C2的输出端,所述D触发器D7的CP端连接到所述时钟缓冲器S5的第二端,所述D触发器D7的Q端连接到所述同或门的第二输入端。

3. 根据权利要求2中所述的一种伪随机信号发生器,其特征在于,所述第二D触发器集合包括22个D触发器D8到D29,D触发器D8的D端连接到所述D触发器D5的Q端,所述D触发器D8的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D8的 $\bar{Q}$ 端连接到所述三态相反器C3的第一端,所述D触发器D8的Q端连接所述D触发器D9的D端;D触发器D29的D端连接到所述D触发器D28的Q端,所述D触发器D29的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D29的Q端连接所述三态相反器C5的输入端。

4. 根据权利要求3中所述的一种伪随机信号发生器,其特征在于,第三D触发器集合包括4个D触发器D30到D33,D触发器D30的D端连接到所述同或门B1的第一输入端,所述D触发器D30的CP端连接到时钟缓冲器S5的第二端,所述D触发器D30的Q端连接到所述D触发器D31

的D端;D触发器D33的D端连接到所述D触发器D32的Q端,所述D触发器D33的CP端连接到时钟缓冲器S5的第二端,所述D触发器D33的 $\bar{Q}$ 端连接到所述三态相反器C7的输入端。

5.根据权利要求4中所述的一种伪随机信号发生器,其特征在于,所述信号输出模块包括:转换器Z1、电阻缓冲器H2、输出端OUTN和输出端OUTP,所述转换器Z1的输入端连接到所述D触发器D7的Q端,所述转换器Z1的第一输出端与第二输出端连接到所述电阻缓冲器H2的输入端,所述电阻缓冲器H2的第一输出端连接到所述输出端OUTN,所述电阻缓冲器H2的第二输出端连接到所述输出端OUTP。

6.根据权利要求1中所述的一种伪随机信号发生器,其特征在于,所述模式切换信号包括PRBS7模式信号、PRBS15模式信号、PRBS23模式信号和PRBS31模式信号,所述PRBS7模式信号控制所述信号产生模块中7个D触发器工作;所述PRBS15模式信号控制所述信号产生模块中15个D触发器工作;所述PRBS23模式信号控制所述信号产生模块中23个D触发器工作;所述PRBS31模式信号控制所述信号产生模块中31个D触发器工作。

7.根据权利要求1中所述的一种伪随机信号发生器,其特征在于,所述信号产生模块包括至少一个D触发器,所述D触发器的工作数量根据所述模式切换信号确定。

## 伪随机信号发生器

### 技术领域

[0001] 本发明实施例涉及高速通信集成电路的技术,尤其涉及一种伪随机信号发生器。

### 背景技术

[0002] 在高速通信电路中,接收机、发射机需要特定的随机信号源来检测其逻辑功能是否正常工作,由于不同的电路模块需要不同的高速码元数据,因此,在电路中信号发生器需要能够根据特定要求产生对应的数据流,保证输出系统检测所需要的数据流。

[0003] 传统的多模式伪随机信号发生器电路架构通常使用数据选择器作为控制端,由于数据选择器电路模块较大,在实际信号传输过程中选择不同模式信号时会导致时钟数据延迟,影响电路正常的工作速率。因此,需要一种新的电路架构来改变由于数据选择器工作面积较大而导致的电路工作速率降低的问题。

### 发明内容

[0004] 本发明提供一种伪随机信号发生器,以实现缩短数据传输延迟进而提高工作速率和产生多种不同高速伪随机信号源的效果。

[0005] 本发明实施例提供了一种伪随机信号发生器,包括:

[0006] 信号输入端,用于输入时钟信号;

[0007] 传输模块,与所述信号输入端连接,用于分流放大所述时钟信号;

[0008] 信号产生模块,与所述传输模块连接,用于接收模式切换信号并根据所述模式切换信号和所述时钟信号产生伪随机信号;

[0009] 信号输出模块,与所述信号产生模块连接,用于输出伪随机信号。

[0010] 可选的,所述信号输入端包括:时钟信号输入端 $CLK_{in}$ ,用于输入时钟信号。

[0011] 可选的,所述传输模块包括:电阻缓冲器H1、时钟缓冲器S1、时钟缓冲器S2、时钟缓冲器S3、时钟缓冲器S4、时钟缓冲器S5,所述电阻缓冲器H1第一端连接到所述时钟信号输入端 $CLK_{in}$ ;所述时钟缓冲器S1第一端连接到所述电阻缓冲器H1的第二端;所述时钟缓冲器S2的第一端连接到所述时钟缓冲器S1的第二端;所述时钟缓冲器S3的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S3的第二端连接到所述信号产生模块;所述时钟缓冲器S4的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S4的第二端连接到所述信号产生模块;所述时钟缓冲器S5的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S5的第二端连接到所述信号产生模块。

[0012] 可选的,所述信号产生模块包括同或门B1、第一D触发器集、第二D触发器集、第三D触发器集、7个三态相反器C1到C7,所述第一D触发器集连接到所述同或门B1,所述第二D触发器集连接到所述第一D触发器集,所述第三D触发器集连接到所述第一D触发器集。

[0013] 可选的,所述第一D触发器集合包括7个D触发器D1到D7,D触发器D1的CP端连接到所述时钟缓冲器S3第二端,所述D触发器D1的D端连接到所述同或门B1的输出端,所述D触发器D1的 $\bar{Q}$ 端连接到所述D触发器D2的D端;D触发器D5的CP端连接到所述时钟缓冲器S4的第

二端,所述D触发器D5的 $\bar{Q}$ 端连接到所述三态相反器C1的输入端,所述D触发器D5的Q端连接到所述第二D触发器集;所述D触发器D6的D端连接到所述三态相反器C1的输出端,所述D触发器D6的CP端连接到所述第三D触发器集,所述D触发器D6的Q端连接到所述同或门B1的第一输入端,所述D触发器D6的 $\bar{Q}$ 端连接到所述三态相反器C2的输入端;所述D触发器D7的D端连接到所述三态相反器C2的输出端,所述D触发器D7的CP端连接到所述时钟缓冲器S5的第二端,所述D触发器D7的Q端连接到所述同或门的第二输入端。

[0014] 可选的,所述第二D触发器集合包括22个的D触发器D8到D29,D触发器D8的D端连接到所述D触发器D5的Q端,所述D触发器D8的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D8的 $\bar{Q}$ 端连接到所述三态相反器C3的第一端,所述D触发器D8的Q端连接所述D触发器D9的D端;D触发器D29的D端连接到所述D触发器D28的Q端,所述D触发器D29的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D29的Q端连接所述三态相反器C5的输入端。

[0015] 可选的,第三D触发器集合包括4个D触发器D30到D33,D触发器D30的D端连接到所述同或门B1的第一输入端,所述D触发器D30的CP端连接到时钟缓冲器S5的第二端,所述D触发器D30的Q端连接到所述D触发器D31的D端;D触发器D33的D端连接到所述D触发器D32的Q端,所述D触发器D33的CP端连接到时钟缓冲器S5的第二端,所述D触发器D33的 $\bar{Q}$ 端连接到所述三态相反器C7的输入端。

[0016] 可选的,所述信号输出模块包括:转换器Z1、电阻缓冲器H2、输出端OUTN和输出端OUTP,所述转换器Z1的输入端连接到所述D触发器D7的Q端,所述转换器Z1的第一输出端与第二输出端连接到所述电阻缓冲器H2的输入端,所述电阻缓冲器H2的第一输出端连接到所述输出端OUTN,所述电阻缓冲器H2的第二输出端连接到所述输出端OUTP。

[0017] 可选的,所述模式切换信号包括PRBS7模式信号、PRBS15模式信号、PRBS23模式信号和PRBS31模式信号,所述PRBS7模式信号控制所述信号产生模块中7个D触发器工作;所述PRBS15模式信号控制所述信号产生模块中15个D触发器工作;所述PRBS23模式信号控制所述信号产生模块中23个D触发器工作;所述PRBS31模式信号控制所述信号产生模块中31个D触发器工作。

[0018] 可选的,所述信号产生模块包括至少一个D触发器,所述D触发器的工作数量根据所述模式切换信号确定。

[0019] 本发明实施例公开了一种伪随机信号发生器,包括:信号输入端,用于输入时钟信号;传输模块,与所述信号输入端连接,用于分流放大所述时钟信号;信号产生模块,与所述传输模块连接,用于接收模式切换信号并根据所述模式切换信号和所述时钟信号产生伪随机信号;信号输出模块,与所述信号产生模块连接,用于输出伪随机信号。本发明提供的一种伪随机信号发生器,通过优化核心电路逻辑架构解决了现有技术中数据传输延迟高、工作速率低、电路功耗高的问题,实现了缩短数据传输延迟进而提高工作速率,并且在需要特定码元信号的情况下,可以切换模式任意产生多种不同的高速伪随机信号源的效果。

## 附图说明

[0020] 图1为本发明实施例一提供的一种伪随机信号发生器的模块连接关系示意图;

[0021] 图2为本发明实施例一提供的一种伪随机信号发生器中的电路连接关系示意图;

- [0022] 图3为本发明实施例二中处于PRBS7模式下的伪随机信号发生器电路图；
- [0023] 图4为本发明实施例二中处于PRBS15模式下的伪随机信号发生器电路图；
- [0024] 图5为本发明实施例二中处于PRBS23模式下的伪随机信号发生器电路图；
- [0025] 图6为本发明实施例二中处于PRBS31模式下的伪随机信号发生器电路图。

### 具体实施方式

[0026] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0027] 在更加详细地讨论示例性实施例之前应当提到的是，一些示例性实施例被描述成作为流程图描绘的处理或方法。虽然流程图将各步骤描述成顺序的处理，但是其中的许多步骤可以被并行地、并发地或者同时实施。此外，各步骤的顺序可以被重新安排。当其操作完成时处理可以被终止，但是还可以具有未包括在附图中的附加步骤。处理可以对应于方法、函数、规程、子例程、子程序等等。

[0028] 此外，术语“第一”、“第二”等可在本文中用于描述各种方向、动作、步骤或元件等，但这些方向、动作、步骤或元件不受这些术语限制。这些术语仅用于将第一个方向、动作、步骤或元件与另一个方向、动作、步骤或元件区分。举例来说，在不脱离本申请的范围的情况下，可以将第一端称为第二端，且类似地，可将第二端称为第一端。第一端和第二端两者都是端，但其不是同一端。术语“第一”、“第二”等而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中，“多个”的含义是至少两个，例如两个，三个等，除非另有明确具体的限定。

[0029] 实施例一

[0030] 图1为本发明实施例一提供的一种伪随机信号发生器的模块连接关系示意图，图2为本发明实施例一提供的一种伪随机信号发生器中的电路连接关系示意图，本实施例提供了一种伪随机信号发生器用于实现缩短数据传输延迟进而提高工作速率，并且在需要特定码元信号的情况下，可以切换模式任意产生多种不同的高速伪随机信号源的效果，包括：信号输入端1、传输模块2、信号产生模块3和信号输出模块4。

[0031] 参阅图1和图2，具体地：

[0032] 信号输入端1，用于输入时钟信号。所述信号输入端1包括：时钟信号输入端 $CLK_{in}$ ，用于输入时钟信号。

[0033] 本实施例中，信号输入端1包括时钟信号输入端 $CLK_{in}$ ，时钟信号是有固定周期并与运行无关的信号量，时钟信号有固定的时钟频率，时钟频率是时钟周期的倒数，时钟信号通常被用于同步电路当中，扮演计时器的角色，保证相关的电子组件得以同步运作。

[0034] 传输模块2，与所述信号输入端1连接，用于分流放大所述时钟信号。所述传输模块2包括：电阻缓冲器H1、时钟缓冲器S1、时钟缓冲器S2、时钟缓冲器S3、时钟缓冲器S4、时钟缓冲器S5，所述电阻缓冲器H1第一端连接到所述时钟信号输入端 $CLK_{in}$ ；所述时钟缓冲器S1第一端连接到所述电阻缓冲器H1的第二端；所述时钟缓冲器S2的第一端连接到所述时钟缓冲器S1的第二端；所述时钟缓冲器S3的第一端连接到所述时钟缓冲器S2的第二端，所述时钟

缓冲器S3的第二端连接到所述信号产生模块3;所述时钟缓冲器S4的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S4的第二端连接到所述信号产生模块3;所述时钟缓冲器S5的第一端连接到所述时钟缓冲器S2的第二端,所述时钟缓冲器S5的第二端连接到所述信号产生模块3。

[0035] 本实施例中,传输模块2包括电阻缓冲器H1和时钟缓冲器S1、时钟缓冲器S2、时钟缓冲器S3、时钟缓冲器S4和时钟缓冲器S5。在本实施例中,电阻缓冲器H1、时钟缓冲器S1和时钟缓冲器S2依次连接在时钟信号输入端 $CLK_{in}$ ,用于稳定电路和放大时钟信号。本实施例中,时钟缓冲器S2分流出三条时钟信号支路,分别连接到时钟缓冲器S3、时钟缓冲器S4和时钟缓冲器S5的第一端。时钟缓冲器S3、时钟缓冲器S4和时钟缓冲器S5的第二端分别连接到信号产生模块3以提供多个时钟信号。

[0036] 信号产生模块3,与所述传输模块2连接,用于接收模式切换信号并根据所述模式切换信号和所述时钟信号产生伪随机信号。所述信号产生模块3包括同或门B1、第一D触发器集、第二D触发器集、第三D触发器集、7个三态相反器C1到C7,第一D触发器集连接到所述同或门B1,所述第二D触发器集连接到所述第一D触发器集,所述第三D触发器集连接到所述第一D触发器集。

[0037] 所述第一D触发器集合包括7个D触发器D1到D7,D触发器D1的CP端连接到所述时钟缓冲器S3第二端,所述D触发器D1的D端连接到所述同或门B1的输出端,所述D触发器D1的 $\bar{Q}$ 端连接到所述D触发器D2的D端;D触发器D5的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D5的 $\bar{Q}$ 端连接到所述三态相反器C1的输入端,所述D触发器D5的Q端连接到所述第二D触发器集;所述D触发器D6的D端连接到所述三态相反器C1的输出端,所述D触发器D6的CP端连接到所述第三D触发器集,所述D触发器D6的Q端连接到所述同或门B1的第一输入端,所述D触发器D6的 $\bar{Q}$ 端连接到所述三态相反器C2的输入端;所述D触发器D7的D端连接到所述三态相反器C2的输出端,所述D触发器D7的CP端连接到所述时钟缓冲器S5的第二端,所述D触发器D7的Q端连接到所述同或门的第二输入端。

[0038] 所述第二D触发器集合包括22个D触发器D8到D29,D触发器D8的D端连接到所述D触发器D5的Q端,所述D触发器D8的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D8的 $\bar{Q}$ 端连接到所述三态相反器C3的第一端,所述D触发器D8的Q端连接到所述D触发器D9的D端;D触发器D29的D端连接到所述D触发器D28的Q端,所述D触发器D29的CP端连接到所述时钟缓冲器S4的第二端,所述D触发器D29的Q端连接到所述三态相反器C5的输入端。

[0039] 第三D触发器集合包括4个D触发器D30到D33,D触发器D30的D端连接到所述同或门B1的第一输入端,所述D触发器D30的CP端连接到时钟缓冲器S5的第二端,所述D触发器D30的Q端连接到所述D触发器D31的D端;D触发器D33的D端连接到所述D触发器D32的Q端,所述D触发器D33的CP端连接到时钟缓冲器S5的第二端,所述D触发器D33的 $\bar{Q}$ 端连接到所述三态相反器C7的输入端。

[0040] 本实施例中,信号产生模块3包括33个D触发器、7个三态相反器和1个同或门,该结构具有反馈调节功能,从D触发器D1的非Q端输出,相比于现有技术中从D触发器的Q端输出,可以减少一个相反器的延迟时间,传统的关键路径延迟为 $t_{dc} = t_{cq} + t_{xor} + t_{mux}$ ,通常来说电路最

大工作速率由传输时间决定即 $f_{\max} = 1/(t_{dc} + t_{\text{setup}})$ 其中 $t_{\text{setup}}$ 为电路启动固定时间,通常有生产工艺决定。所以电路的工作速率主要受 $t_{dc}$ 变量的影响。而此次设计方案通过将额外的数据选择器取消,将开关管与D触发器结合在一起减少了传输延迟,

[0041]  $t_{dc} = t_{cq} + t_{\text{xnor}}$ 最高频率为 $f_{\max} = 1/(t_{dc} + t_{\text{setup}})$ 由于 $t_{cq} < t_{\text{cq}}$ 所以最高工作速率得到提升。在本实施例中,信号产生模块3可以接收外部的模式切换信号,并根据模式切换信号选择不同数量的D触发器和三态相反器进行工作,产生指定模式的伪随机信号,实现了可选择产生多模式伪随机信号的效果。

[0042] 信号输出模块4,与所述信号产生模块3连接,用于输出伪随机信号。所述信号输出模块4包括:转换器Z1、电阻缓冲器H2、输出端OUTN和输出端OUTP,所述转换器Z1的输入端连接到所述D触发器D7的Q端,所述转换器Z1的第一输出端与第二输出端连接到所述电阻缓冲器H2的输入端,所述电阻缓冲器H2的第一输出端连接到所述输出端OUTN,所述电阻缓冲器H2的第二输出端连接到所述输出端OUTP。

[0043] 本实施例中,信号输出模块4中使用了转换器Z1,将一路信号转换为两路信号并从两个输出端OUTN和输出端OUTP输出,实现了更多情况的伪随机信号需求。使用电阻缓冲器H2稳定电路,保证伪随机信号稳定输出。

[0044] 本发明实施例公开了一种伪随机信号发生器,包括:信号输入端,用于输入时钟信号;传输模块,与所述信号输入端连接,用于分流放大所述时钟信号;信号产生模块,与所述传输模块连接,用于接收模式切换信号并根据所述模式切换信号和所述时钟信号产生伪随机信号;信号输出模块,与所述信号产生模块连接,用于输出伪随机信号。本发明提供的一种伪随机信号发生器,通过优化核心电路逻辑架构解决了现有技术中数据传输延迟高、工作速率低、电路功耗高的问题,实现了缩短数据传输延迟进而提高工作速率,并且在需要特定码元信号的情况下,可以切换模式任意产生多种不同的高速伪随机信号源的效果。

[0045] 实施例二

[0046] 本实施例是在实施例一的基础上对各个PRBS模式的详细工作电路进行说明,具体地:

[0047] 所述模式切换信号包括PRBS7模式信号、PRBS15模式信号、PRBS23模式信号和PRBS31模式信号,在本实施例中,模式切换信号通过信号输入端1输入,通过传输模块2传输到信号产生模块3中,模式切换信号通过控制三态相反器C1到C7中的一个或多个导通,没有导通的三态相反器将阻止时钟信号流过,从而可以选择多个D触发器工作或者关闭,达到切换不同PRBS模式的目的。所述PRBS7模式信号控制所述信号产生模块3中7个D触发器工作;所述PRBS15模式信号控制所述信号产生模块3中15个D触发器工作;所述PRBS23模式信号控制所述信号产生模块3中23个D触发器工作;所述PRBS31模式信号控制所述信号产生模块3中31个D触发器工作。

[0048] 本实施例中,PRBS即伪随机码,常用于高速串行通道的测试。对于信道来说,码型看上去像是随机的,没有规律的出现,但实际上的码型是由生成多项式确定的,并且有重复周期。PRBS7模式信号、PRBS15模式信号、PRBS23模式信号和PRBS31模式信号即为PRBS的几种输出码型。

[0049] 参阅图3,图3为本发明实施例二中处于PRBS7模式下的伪随机信号发生器电路元件的连接示意图。

[0050] 本实施例中,信号产生模块3接收PRBS7模式信号,PRBS7模式信号用于控制三态相反器C1和三态相反器C5导通,其余三态相反器关闭,此时信号产生模块3中工作的D触发器为D触发器D1到D7,两路信号输入端 $CLK_{in1}$ 和 $CLK_{in2}$ 分别输入到D触发器D1的CP端和D触发器D7的CP端,输出端OUT连接到D触发器D7的Q端。输出端OUT输出127位数据码型。

[0051] 参阅图4,图4为本发明实施例二中处于PRBS15模式下的伪随机信号发生器电路元件的连接示意图。

[0052] 本实施例中,信号产生模块3接收PRBS15模式信号,PRBS15模式信号用于控制三态相反器C2和三态相反器C5导通,其余三态相反器关闭,此时信号产生模块3中工作的D触发器为D触发器D1到D15,两路信号输入端 $CLK_{in1}$ 和 $CLK_{in2}$ 分别输入到D触发器D1的CP端和D触发器D7的CP端,输出端OUT连接到D触发器D7的Q端。输出端OUT输出21767位数据码型。

[0053] 参阅图5,图5为本发明实施例二中处于PRBS23模式下的伪随机信号发生器电路元件的连接示意图。

[0054] 本实施例中,信号产生模块3接收PRBS23模式信号,PRBS23模式信号用于控制三态相反器C3和三态相反器C7导通,其余三态相反器关闭,此时信号产生模块3中工作的D触发器为D触发器D1到D19、D触发器D19、D31到D33,三路信号输入端 $CLK_{in1}$ 、 $CLK_{in2}$ 和 $CLK_{in3}$ 分别输入到D触发器D1的CP端、D触发器D7的CP端和D触发器D6的CP端,输出端OUT连接到D触发器D7的Q端。输出OUT输出8388607位数据码型。

[0055] 参阅图6,图6为本发明实施例二中处于PRBS31模式下的伪随机信号发生器电路元件的连接示意图。

[0056] 本实施例中,信号产生模块3接收PRBS31模式信号,PRBS31模式信号用于控制三态相反器C4和三态相反器C6导通,其余三态相反器关闭,此时信号产生模块3中工作的D触发器为D触发器D1到D31,工作的三态相反器为三态相反器C4和三态相反器C6,三路信号输入端 $CLK_{in1}$ 、 $CLK_{in2}$ 和 $CLK_{in3}$ 分别输入到D触发器D1的CP端、D触发器D7的CP端和D触发器D6的CP端,输出端OUT连接到D触发器D7的Q端。输出OUT输出2147483647位数据码型。

[0057] 替代实施例中,所述信号产生模块3包括至少一个D触发器,所述D触发器的工作数量根据所述模式切换信号确定。

[0058] 在替代实施例中,根据所述用户所需伪随机信号的模式不同,可以在实施例一的基础上增加或者减少多个D触发器和三态相反器来实现更高位或者更低位数据码型,具体增加或者减少D触发器和三态相反器的数量根据所需PRBS模式确定,在本实施例中不做限定。

[0059] 本发明实施例公开了一种伪随机信号发生器,包括:信号输入端1,用于输入时钟信号;传输模块,与所述信号输入端1连接,用于分流放大所述时钟信号;信号产生模块,与所述传输模块连接,用于接收模式切换信号并根据所述模式切换信号和所述时钟信号产生伪随机信号;信号输出模块,与所述信号产生模块连接,用于输出伪随机信号。本发明提供了一种伪随机信号发生器,通过优化核心电路逻辑架构解决了现有技术中数据传输延迟高、工作速率低、电路功耗高的问题,实现了缩短数据传输延迟进而提高工作速率,并且在需要特定码元信号的情况下,可以切换模式任意产生多种不同的高速伪随机信号源的效果。

[0060] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,

本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

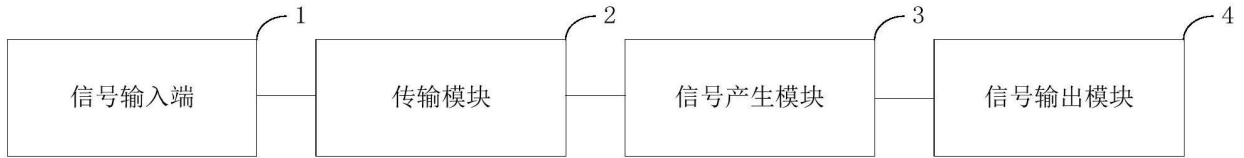


图1

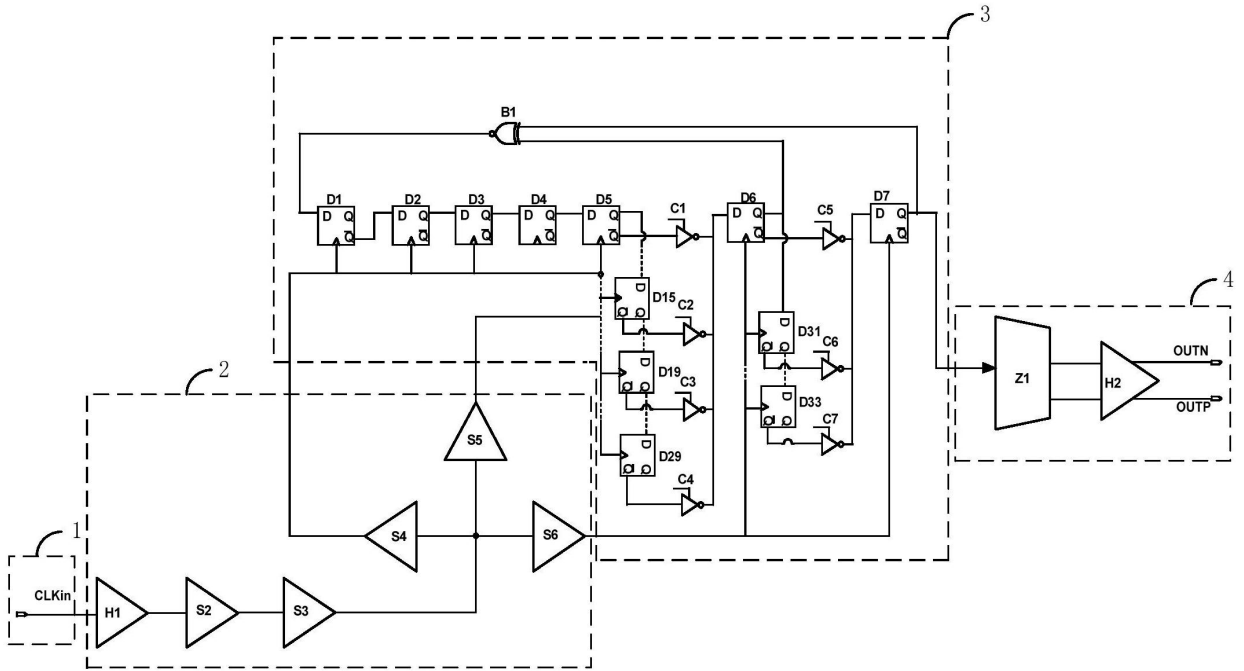


图2

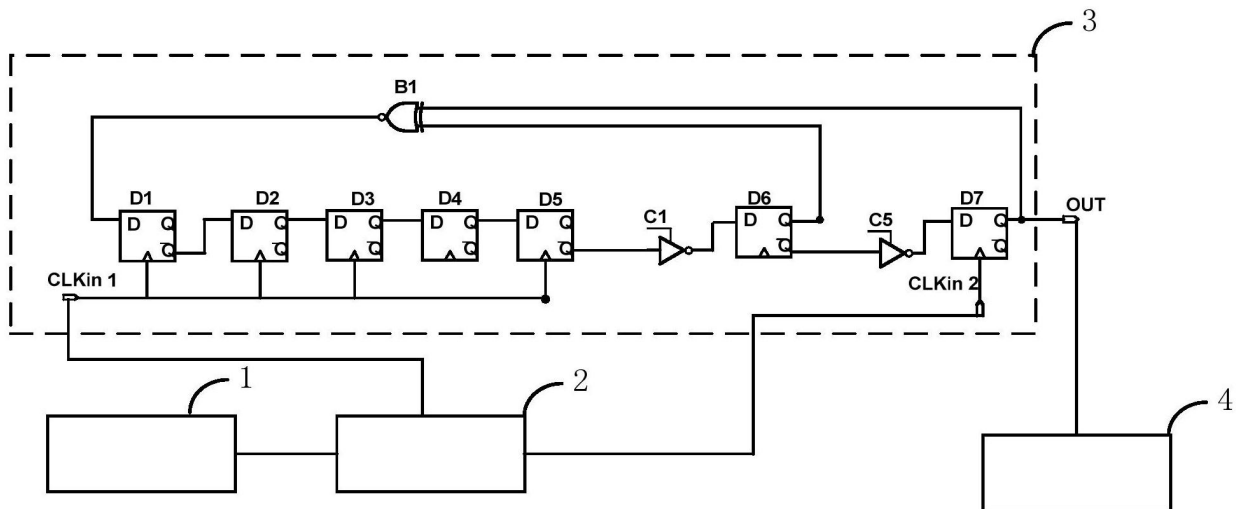


图3

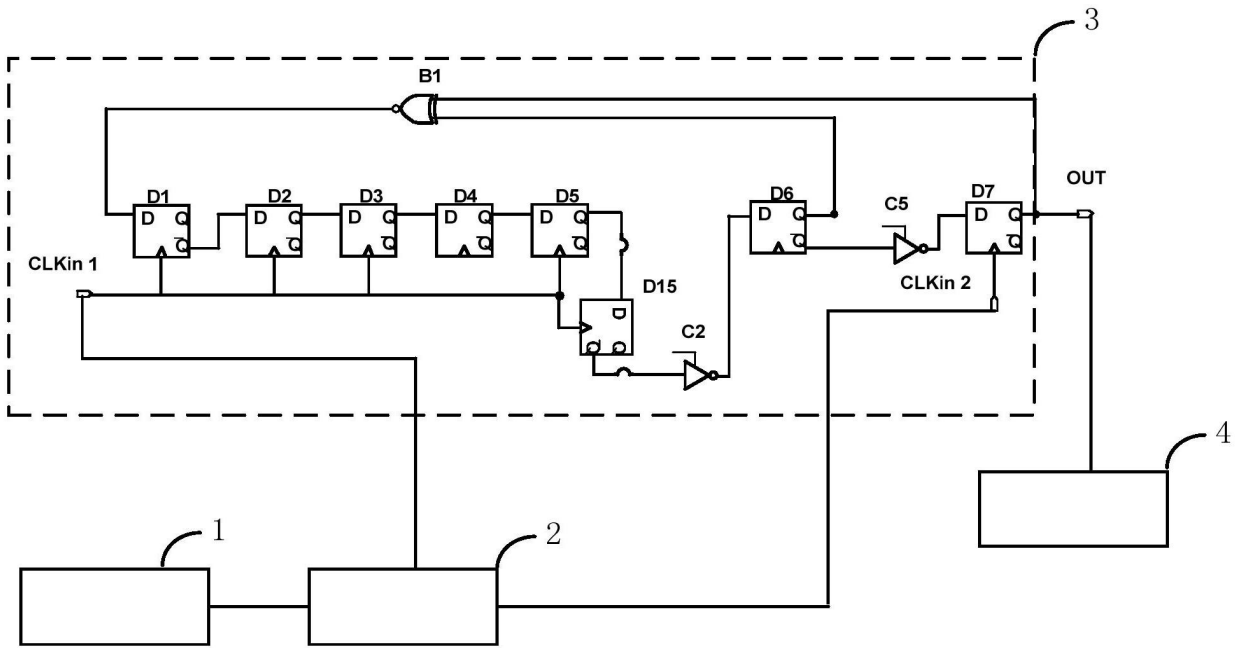


图4

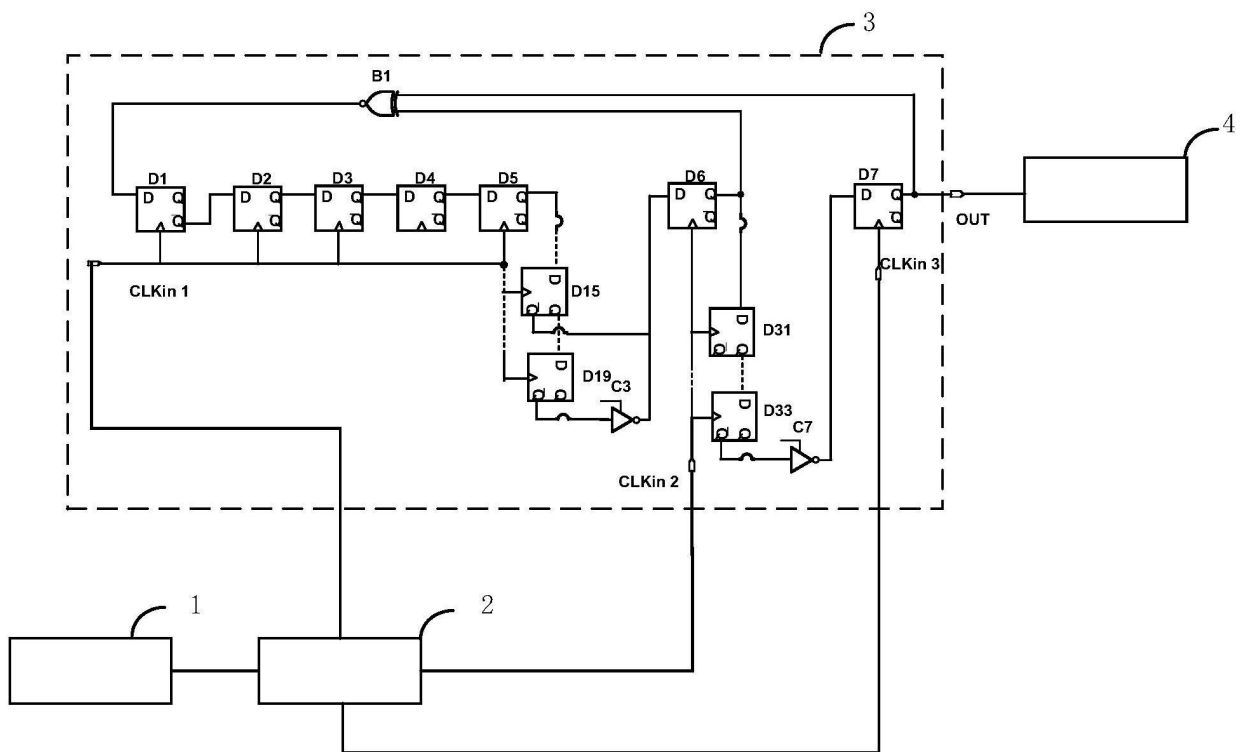


图5

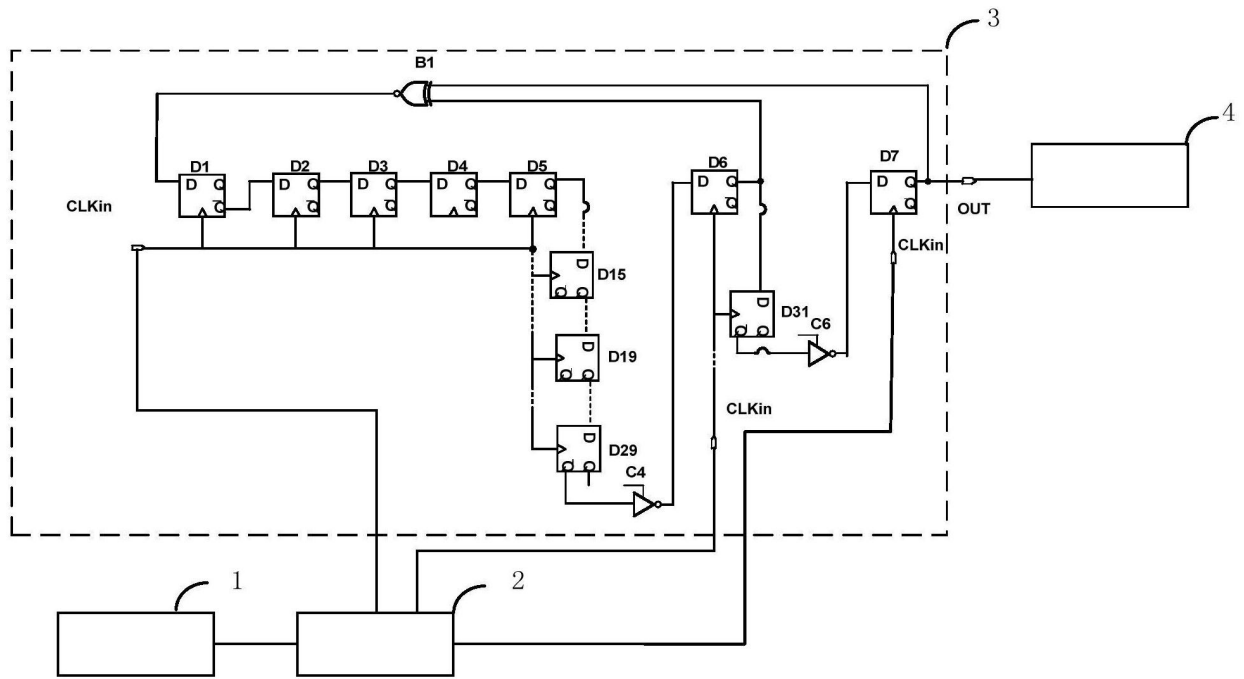


图6