(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0003781
(43) 공개일자 2025년01월07일

(51) 국제특허분류(Int. Cl.)
H10D 84/83 (2025.01) *H05B 33/02* (2006.01)
H05B 33/10 (2006.01) *H10D 30/67* (2025.01)
H10D 48/00 (2025.01) *H10D 64/23* (2025.01)
(52) CPC특허분류
H10D 84/83 (2025.01)
H05B 33/02 (2013.01)
(21) 출원번호 10-2024-7037521
(22) 출원일자(국제) 2023년04월03일
심사청구일자 없음
(85) 번역문제출일자 2024년11월11일
(86) 국제출원번호 PCT/IB2023/053329
(87) 국제공개번호 WO 2023/199160
국제공개일자 2023년10월19일
(30) 우선권주장
JP-P-2022-066782 2022년04월14일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
호사카 야스하루
일본 328-0112 도치기켄 도치기시 츠가마치히라카와 470-6
이구치 타카히로
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 11 항

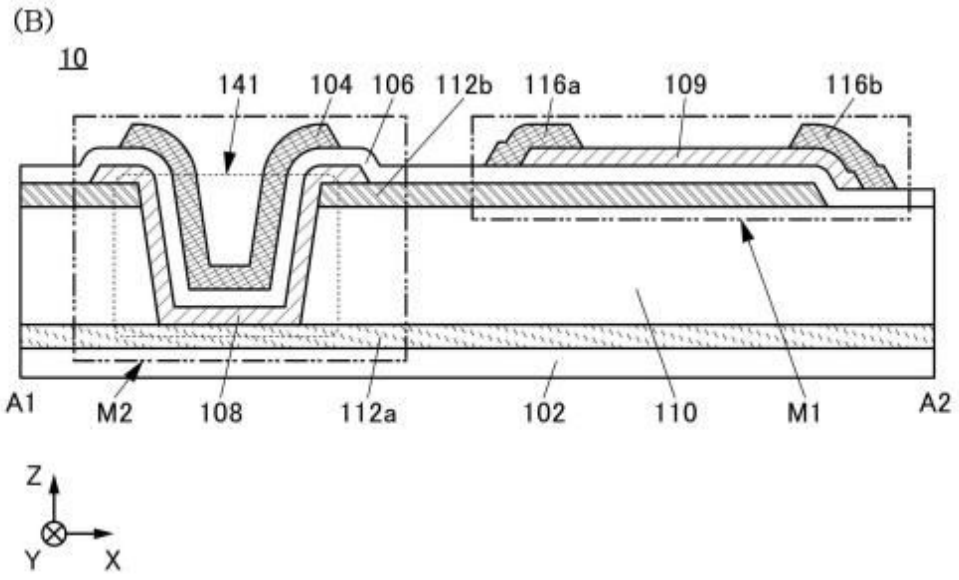
(54) 발명의 명칭 **반도체 장치 및 반도체 장치의 제작 방법**

(57) 요 약

집적도가 높은 반도체 장치(10)를 제공한다. 서로 전기적으로 접속되는 제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 절연층(110)을 가지고, 제 1 트랜지스터(M2)는 제 1 반도체층(108), 제 2 절연층(106), 제 1 도전층 내지 제 3 도전층을 가지고, 제 2 트랜지스터(M1)는 제 2 반도체층(109), 제 3 절연층(106), 제 4 도전층 내지 제 6

(뒷면에 계속)

대 표 도



도전층을 가지고, 제 1 절연층은 제 1 도전층(112a) 위에 위치하고 제 1 도전층에 도달하는 개구를 가지고, 제 2 도전층(112b)은 제 1 절연층 위에 위치하고, 제 1 반도체층은 제 1 도전층의 상면, 개구의 내벽, 제 2 도전층에 접하고, 제 3 도전층(104)은 제 2 절연층 위에 개구의 내벽과 중첩되도록 위치하고, 제 3 절연층은 제 4 도전층(112b) 위에 위치하고, 제 2 반도체층은 제 4 도전층과 중첩되도록 제 3 절연층 위에 위치하고, 단면에서 볼 때, 제 2 반도체층의 측단부 중 한쪽의 상면과 제 5 도전층(116a)이 접하고, 측단부 중 한쪽과 대향하는 측단부 중 다른 쪽의 상면과 제 6 도전층(116b)이 접한다.

(52) CPC특허분류

H05B 33/10 (2013.01)

H10D 30/6729 (2025.01)

H10D 30/6755 (2025.01)

H10D 30/6757 (2025.01)

H10D 99/00 (2025.01)

(72) 발명자

미사와 치에코

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

사토 아미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

도바시 마사요시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

진초 마사미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고,

상기 제 1 트랜지스터는 제 1 반도체층과, 제 2 절연층과, 제 1 도전층 내지 제 3 도전층을 가지고,

상기 제 2 트랜지스터는 제 2 반도체층과, 제 3 절연층과, 제 4 도전층 내지 제 6 도전층을 가지고,

상기 제 1 절연층은 상기 제 1 도전층 위에 제공되고, 또한 상기 제 1 도전층에 도달하는 개구를 가지고,

상기 제 2 도전층은 상기 제 1 절연층 위에 제공되고,

상기 제 1 반도체층은 상기 제 1 도전층의 상면과, 상기 개구의 내벽과, 상기 제 2 도전층에 접하고,

상기 제 3 도전층은 상기 제 2 절연층을 개재(介在)하여 상기 제 1 반도체층 위에 상기 개구의 내벽과 중첩되는 영역을 가지도록 제공되고,

상기 제 3 절연층은 상기 제 4 도전층 위에 제공되고,

상기 제 2 반도체층은 상기 제 4 도전층과 중첩되는 영역을 가지도록 상기 제 3 절연층 위에 제공되고,

상기 제 5 도전층은 상기 제 2 반도체층의 제 1 측단부에서의 측면 및 상면과 접하고,

상기 제 6 도전층은 상기 제 2 반도체층의 상기 제 1 측단부와 대향하는 제 2 측단부에서의 측면 및 상면과 접하고,

상기 제 1 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나와, 상기 제 2 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나는 전기적으로 접속되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 반도체층 및 상기 제 2 반도체층은 각각 산화물 반도체를 가지는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 2 도전층과 상기 제 4 도전층은 동일한 도전층으로 형성되는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 3 도전층과 상기 제 5 도전층은 동일한 도전층으로 형성되는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 2 도전층과 상기 제 5 도전층은 동일한 도전층으로 형성되는, 반도체 장치.

청구항 6

반도체 장치로서,

제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고,

상기 제 1 트랜지스터는 제 1 반도체층과, 제 2 절연층과, 제 1 도전층 내지 제 3 도전층을 가지고,

상기 제 2 트랜지스터는 제 2 반도체층과, 제 3 절연층과, 제 4 도전층 내지 제 6 도전층을 가지고,

상기 제 1 절연층은 상기 제 2 반도체층 위에 제공되고, 또한 상기 제 1 도전층에 도달하는 개구를 가지고,

상기 제 2 도전층은 상기 제 1 절연층 위에 제공되고,

상기 제 1 반도체층은 상기 제 1 도전층의 상면과, 상기 개구의 내벽과, 상기 제 2 도전층에 접하고,

상기 제 3 도전층은 상기 제 2 절연층을 개재하여 상기 제 1 반도체층 위에 상기 개구의 내벽과 중첩되는 영역을 가지도록 제공되고,

상기 제 3 절연층은 상기 제 4 도전층 위에 제공되고,

상기 제 2 반도체층은 상기 제 4 도전층과 중첩되는 영역을 가지도록 상기 제 3 절연층 위에 제공되고,

상기 제 5 도전층은 상기 제 2 반도체층의 제 1 측단부에서의 측면 및 상면과 접하고,

상기 제 6 도전층은 상기 제 2 반도체층의 상기 제 1 측단부와 대향하는 제 2 측단부에서의 측면 및 상면과 접하고,

상기 제 1 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나와, 상기 제 2 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나는 전기적으로 접속되는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 반도체층 및 상기 제 2 반도체층은 각각 산화물 반도체를 가지는, 반도체 장치.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 제 1 도전층과 상기 제 4 도전층은 동일한 도전층으로 형성되는, 반도체 장치.

청구항 9

제 6 항 또는 제 7 항에 있어서,

상기 제 1 도전층과 상기 제 5 도전층은 동일한 도전층으로 형성되는, 반도체 장치.

청구항 10

반도체 장치의 제작 방법으로서,

제 1 도전막을 형성하고,

상기 제 1 도전막을 가공하여 제 1 도전층을 형성하고,

상기 제 1 도전층 위에 제 1 절연층을 형성하고,

상기 제 1 절연층 위에 제 2 도전막을 형성하고,

상기 제 2 도전막 및 상기 제 1 절연층을 가공하여 상기 제 2 도전막 및 상기 제 1 절연층에 개구를 형성하고,

상기 제 1 도전층의 상면, 상기 개구의 내벽, 상기 제 2 도전막의 상면을 덮도록 제 1 금속 산화물막을 형성하고,

상기 제 1 금속 산화물막을 상기 개구의 내벽과 중첩되는 영역을 가지도록 가공하여 제 1 반도체층을 형성하고,

상기 제 2 도전막을 가공하여 제 2 도전층을 형성하고,

상기 제 1 반도체층, 상기 제 2 도전층, 및 상기 제 1 절연층 위에 제 2 절연층을 형성하고,

상기 제 2 절연층 위에 제 2 금속 산화물막을 형성하고,

상기 제 2 금속 산화물막을 가공하여 상기 제 2 도전층과 중첩되는 영역을 가지도록 제 2 반도체층을 형성하고,

상기 제 2 반도체층 및 상기 제 2 절연층 위에 제 3 도전막을 형성하고,

상기 제 3 도전막을 가공하여, 상기 개구와 중첩되는 영역을 가지는 제 3 도전층과, 상기 제 2 반도체층의 제 1 측단부를 덮는 제 4 도전층과, 상기 제 2 반도체층의 제 2 측단부를 덮는 제 5 도전층을 형성하는, 반도체 장치의 제작 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 절연층 형성 후에 상기 제 1 절연층에 산소를 공급하는 처리를 수행하는, 반도체 장치의 제작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치, 표시 장치, 표시 모듈, 및 전자 기기에 관한 것이다. 본 발명의 일 형태는 반도체 장치의 제작 방법 및 표시 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야의 일례로서 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들이 탑재된 전자 기기, 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

배 경 기 술

[0003] 트랜지스터를 가지는 반도체 장치는 표시 장치 및 전자 기기에 널리 적용되고 있고, 반도체 장치의 고집적화 및 고속화가 요구되고 있다. 예를 들어, 정세도가 높은 표시 장치에 반도체 장치를 적용하는 경우, 집적도가 높은 반도체 장치가 요구된다. 트랜지스터의 집적도를 높이는 수단의 하나로서, 미세한 크기의 트랜지스터의 개발이 진행되고 있다.

[0004] 근년에 들어 가상 현실(VR: Virtual Reality), 증강 현실(AR: Augmented Reality), 대체 현실(SR: Substitutional Reality), 또는 혼합 현실(MR: Mixed Reality)에 적용할 수 있는 표시 장치가 요구되고 있다. VR, AR, SR, 및 MR는 총칭하여 XR(Extended Reality)라고도 불린다. XR용 표시 장치는 현실감 및 몰입감을 높이기 위하여 정세도 및 색 재현성이 높은 것이 요구되고 있다. 상기 표시 장치에 적용 가능한 것으로서, 예를 들어 액정 표시 장치, 유기 EL(Electro Luminescence) 소자, 발광 다이오드(LED: Light Emitting Diode) 등의 발광 디바이스(발광 소자라고도 함)를 가지는 발광 장치 등이 있다.

[0005] 특허문헌 1에는, 유기 EL 디바이스(유기 EL 소자라고도 함)를 사용한 VR용 표시 장치가 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 국제공개공보 WO2018/087625호

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 형태는 미세한 크기의 트랜지스터를 가지는 반도체 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 트랜지스터를 고밀도로 배치한 반도체 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 온 전류가 큰 트랜지스터를 가지는 반도체 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 집적도가 높은 반도체 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 전기 특성이 양호한 반도체

장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 반도체 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 생산성이 높은 반도체 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0008] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 반드시 이들 과제 모두를 해결할 필요는 없다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재에서 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0009] 본 발명의 일 형태는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고, 제 1 트랜지스터는 제 1 반도체층과, 제 2 절연층과, 제 1 도전층 내지 제 3 도전층을 가지고, 제 2 트랜지스터는 제 2 반도체층과, 제 3 절연층과, 제 4 도전층 내지 제 6 도전층을 가지고, 제 1 절연층은 제 1 도전층 위에 제공되고, 또한 제 1 도전층에 도달하는 개구를 가지고, 제 2 도전층은 제 1 절연층 위에 제공되고, 제 1 반도체층은 제 1 도전층의 상면과, 개구의 내벽과, 제 2 도전층에 접하고, 제 3 도전층은 제 2 절연층을 개재(介在)하여 제 1 반도체층 위에 개구의 내벽과 중첩되는 영역을 가지도록 제공되고, 제 3 절연층은 제 4 도전층 위에 제공되고, 제 2 반도체층은 제 4 도전층과 중첩되는 영역을 가지도록 제 3 절연층 위에 제공되고, 제 5 도전층은 제 2 반도체층의 제 1 측단부에서의 측면 및 상면과 접하고, 제 6 도전층은 제 2 반도체층의 제 1 측단부와 대향하는 제 2 측단부에서의 측면 및 상면과 접하고, 제 1 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나와, 제 2 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나는 전기적으로 접속되는 반도체 장치이다.

[0010] 또한 상기에 있어서, 제 1 반도체층 및 제 2 반도체층은 각각 산화물 반도체를 가지는 것이 바람직하다.

[0011] 또한 상기에 있어서, 제 2 도전층과 제 4 도전층은 같은 도전층으로 형성되는 것이 바람직하다.

[0012] 또한 상기에 있어서, 제 3 도전층과 제 5 도전층은 같은 도전층으로 형성되는 것이 바람직하다.

[0013] 또한 상기에 있어서, 제 2 도전층과 제 5 도전층은 같은 도전층으로 형성되는 것이 바람직하다.

[0014] 또한 본 발명의 일 형태는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고, 제 1 트랜지스터는 제 1 반도체층과, 제 2 절연층과, 제 1 도전층 내지 제 3 도전층을 가지고, 제 2 트랜지스터는 제 2 반도체층과, 제 3 절연층과, 제 4 도전층 내지 제 6 도전층을 가지고, 제 1 절연층은 제 2 반도체층 위에 제공되고, 또한 제 1 도전층에 도달하는 개구를 가지고, 제 2 도전층은 제 1 절연층 위에 제공되고, 제 1 반도체층은 제 1 도전층의 상면과, 개구의 내벽과, 제 2 도전층에 접하고, 제 3 도전층은 제 2 절연층을 개재하여 제 1 반도체층 위에 개구의 내벽과 중첩되는 영역을 가지도록 제공되고, 제 3 절연층은 제 4 도전층 위에 제공되고, 제 2 반도체층은 제 4 도전층과 중첩되는 영역을 가지도록 제 3 절연층 위에 제공되고, 제 5 도전층은 제 2 반도체층의 제 1 측단부에서의 측면 및 상면과 접하고, 제 6 도전층은 제 2 반도체층의 제 1 측단부와 대향하는 제 2 측단부에서의 측면 및 상면과 접하고, 제 1 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나와, 제 2 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나는 전기적으로 접속되는 반도체 장치이다.

[0015] 또한 상기에 있어서, 제 1 반도체층 및 제 2 반도체층은 각각 산화물 반도체를 가지는 것이 바람직하다.

[0016] 또한 상기에 있어서, 제 1 도전층과 제 4 도전층은 같은 도전층으로 형성되는 것이 바람직하다.

[0017] 또한 상기에 있어서, 제 1 도전층과 제 5 도전층은 같은 도전층으로 형성되는 것이 바람직하다.

[0018] 또한 본 발명의 일 형태는 제 1 도전막을 형성하고, 제 1 도전막을 가공하여 제 1 도전층을 형성하고, 제 1 도전층 위에 제 1 절연층을 형성하고, 제 1 절연층 위에 제 2 도전막을 형성하고, 제 2 도전막 및 제 1 절연층을 가공하여 제 2 도전막 및 제 1 절연층에 개구를 형성하고, 제 1 도전층의 상면, 개구의 내벽, 제 2 도전막의 상면을 덮도록 제 1 금속 산화물막을 형성하고, 제 1 금속 산화물막을 개구의 내벽과 중첩되는 영역을 가지도록 가공하여 제 1 반도체층을 형성하고, 제 2 도전막을 가공하여 제 2 도전층을 형성하고, 제 1 반도체층, 제 2 도전층, 및 제 1 절연층 위에 제 2 절연층을 형성하고, 제 2 절연층 위에 제 2 금속 산화물막을 형성하고, 제 2 금속 산화물막을 가공하여 제 2 도전층과 중첩되는 영역을 가지도록 제 2 반도체층을 형성하고, 제 2 반도체층 및 제 2 절연층 위에 제 3 도전막을 형성하고, 제 3 도전막을 가공하여, 개구와 중첩되는 영역을 가지는 제 3 도전층과, 제 2 반도체층의 제 1 측단부를 덮는 제 4 도전층과, 제 2 반도체층의 제 2 측단부를 덮는 제 5 도전

층을 형성하는 반도체 장치의 제작 방법이다.

[0019] 또한 상기에 있어서, 제 1 절연층 형성 후에 제 1 절연층에 산소를 공급하는 처리를 수행하는 것이 바람직하다.

발명의 효과

[0020] 본 발명의 일 형태에 의하여 미세한 크기의 트랜지스터를 가지는 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 트랜지스터를 고밀도로 배치한 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 온 전류가 큰 트랜지스터를 가지는 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 집적도가 높은 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 높은 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 생산성이 높은 반도체 장치의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 반도체 장치 및 그 제작 방법을 제공할 수 있다.

[0021] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0022] 도 1의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 1의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 2의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 2의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 3의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 3의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 4의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 4의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 5의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 5의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 6의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 6의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 7의 (A) 내지 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 8의 (A) 내지 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 9의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 10의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 11의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 12의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 13의 (A) 내지 (D)는 화소 회로의 회로도이다.

도 14의 (A) 내지 (D)는 화소 회로의 회로도이다.

도 15는 표시 장치의 일례를 나타낸 사시도이다.

도 16은 표시 장치의 일례를 나타낸 단면도이다.

도 17은 표시 장치의 일례를 나타낸 단면도이다.

도 18은 표시 장치의 일례를 나타낸 단면도이다.

도 19는 표시 장치의 일례를 나타낸 단면도이다.

도 20은 표시 장치의 일례를 나타낸 단면도이다.

도 21의 (A) 내지 (H)는 화소의 일례를 나타낸 도면이다.

도 22의 (A) 내지 (K)는 화소의 일례를 나타낸 도면이다.

도 23의 (A) 내지 (F)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 24의 (A) 내지 (C)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 25의 (A) 및 (B)는 수광 디바이스의 구성예를 나타낸 도면이다. 도 25의 (C) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.

도 26의 (A) 내지 (D)는 전자 기기의 일례를 나타낸 도면이다.

도 27의 (A) 내지 (F)는 전자 기기의 일례를 나타낸 도면이다.

도 28의 (A) 내지 (G)는 전자 기기의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것은 아니다.

[0024] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0025] 도면에 나타낸 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.

[0026] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바뀔 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있다.

[0027] 본 명세서 등에서, 메탈 마스크 또는 FMM(파인 메탈 마스크, 정세도가 높은 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서, 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 부르는 경우가 있다.

[0028] 본 명세서 등에서는 발광 파장이 상이한 발광 디바이스를 사용하여 적어도 발광층을 구분 형성하는 구조를 SBS(Side By Side) 구조라고 부르는 경우가 있다. SBS 구조는 발광 디바이스마다 재료 및 구성을 최적화할 수 있기 때문에 재료 및 구성의 선택 자유도가 높고, 휘도 및 신뢰성의 향상을 도모하는 것이 용이하다.

[0029] 본 명세서 등에서 정공 또는 전자를 "캐리어"라고 표현하는 경우가 있다. 구체적으로는 정공 주입층 또는 전자 주입층을 "캐리어 주입층"이라고 표현하고, 정공 수송층 또는 전자 수송층을 "캐리어 수송층"이라고 표현하고, 정공 차단층 또는 전자 차단층을 "캐리어 차단층"이라고 표현하는 경우가 있다. 또한 상술한 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층은 단면 형상 또는 특성 등에 따라 명확히 구별할 수 없는 경우가 있다. 또한 하나의 층이 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층 중 2개 또는 3개의 기능을 가지는 경우가 있다.

[0030] 본 명세서 등에서 발광 디바이스는 한 쌍의 전극 사이에 EL층을 가진다. EL층은 적어도 발광층을 가진다. 여기서 EL층이 가지는 층(기능층이라고도 함)으로서 발광층, 캐리어 주입층(정공 주입층 및 전자 주입층), 캐리어 수송층(정공 수송층 및 전자 수송층), 및 캐리어 차단층(정공 차단층 및 전자 차단층) 등을 들 수 있다.

[0031] 본 명세서 등에서 수광 디바이스(수광 소자라고도 함)는 한 쌍의 전극 사이에 적어도 광전 변환층으로서 기능하는 활성층을 가진다.

[0032] 본 명세서 등에서 섬 형상이란, 동일한 공정에서 형성되며 동일한 재료를 사용한 2개 이상의 층이 물리적으로

분리되어 있는 상태인 것을 말한다. 예를 들어 섬 형상의 발광층이란, 상기 발광층과, 이에 인접한 발광층이 물리적으로 분리되어 있는 상태인 것을 말한다.

[0033] 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사진 형상을 가리킨다. 예를 들어, 경사진 측면과 기판면 또는 피형성면이 이루는 각(테이퍼 각이라고도 함)이 90° 미만인 영역을 가지는 형상을 가리킨다. 또한 구조의 측면, 기판면 또는 피형성면은 반드시 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 대략 평면상 또는 미세한 요철을 가지는 대략 평면상이어도 좋다.

[0034] 본 명세서 등에서 마스크층(희생층이라고도 함)이란, 적어도 발광층(더 구체적으로는 EL층을 구성하는 층들 중 섬 형상으로 가공되는 층) 위쪽에 위치하고, 제조 공정에서 상기 발광층을 보호하는 기능을 가진다.

[0035] 본 명세서 등에서 단절이란, 층, 막, 또는 전극이 피형성면의 형상(예를 들어 단차 등)에 기인하여 분단되는 현상을 가리킨다.

[0036] 본 명세서 등에서 "평면 형상이 대략 일치"란, 적층한 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층이 아래층의 내측에 위치하거나 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우도 "평면 형상이 대략 일치"라고 한다.

[0037] (실시형태 1)

[0038] 본 발명의 일 형태는 하나의 가로 채널형 트랜지스터(후술함)와 하나의 세로 채널형 트랜지스터(후술함)를 가지고, 가로 채널형 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나와, 세로 채널형 트랜지스터의 소스 전극, 드레인 전극, 및 게이트 전극 중 어느 하나가 전기적으로 접속되는 반도체 장치이다. 상기 반도체 장치는 2개의 가로 채널형 트랜지스터를 가지는 반도체 장치보다 기판면 내에서의 반도체 장치의 점유 면적을 작게 할 수 있다. 본 실시형태에서는 본 발명의 일 형태의 반도체 장치 및 그 제작 방법 등에 대하여 도 1의 (A) 내지 도 14의 (D)를 사용하여 설명한다.

[0039] <구성예>

[0040] 본 발명의 일 형태의 반도체 장치(10)에 대하여 설명한다. 도 1의 (A)는 반도체 장치(10)의 평면도(상면도라고도 함)이다. 도 1의 (B)는 도 1의 (A)에 나타낸 일점쇄선 A1-A2에서의 단면도이다. 또한 도 1의 (A)에서는 반도체 장치(10)의 구성 요소의 일부를 생략하였다. 반도체 장치의 평면도에 대해서는 나머지 도면에서도 도 1의 (A)와 마찬가지로 구성 요소의 일부를 생략한다.

[0041] 반도체 장치(10)는 기판(102) 위에 트랜지스터(M1)와 트랜지스터(M2)를 가진다.

[0042] 트랜지스터(M1)는 기판(102) 위에 적층된 도전층(112a)과 절연층(110) 위에 제공된 도전층(112b)과, 도전층(112b)의 측면 및 상면 그리고 절연층(110)의 상면의 일부를 덮는 절연층(106)과, 도전층(112b)과 중첩되는 영역을 가지도록 절연층(106) 위에 제공된 반도체층(109)과, 단면에서 볼 때(도 1의 (B) 참조), 반도체층(109)의 측단부 중 한쪽에서의 측면 및 상면 그리고 절연층(106)의 상면과 접하는 도전층(116a)과, 반도체층(109)의 측단부 중 한쪽과 대향하는 측단부 중 다른 쪽에서의 측면 및 상면 그리고 절연층(106)의 상면과 접하는 도전층(116b)을 가진다.

[0043] 트랜지스터(M1)에서 도전층(112b)은 게이트 전극으로서 기능한다. 절연층(106)은 게이트 절연층으로서 기능한다. 반도체층(109)은 채널이 형성되는 반도체층으로서 기능한다. 도전층(116a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(116b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다.

[0044] 즉 트랜지스터(M1)는 채널이 형성되는 반도체층(반도체층(109))보다 아래층에 게이트 전극(도전층(112b))이 위치하고, 또한 채널이 형성되는 반도체층(반도체층(109))의 상면과, 소스 전극 및 드레인 전극(도전층(116a) 및 도전층(116b))의 각각이 접하는 "보텀 게이트 톱 콘택트형" 트랜지스터이다.

[0045] 트랜지스터(M2)는 기판(102) 위의 도전층(112a)과, 도전층(112a) 위에 제공된 절연층(110) 위의 도전층(112b)과, 절연층(110) 등에 제공된 개구(141)의 내벽(도전층(112a)의 상면의 일부, 절연층(110)의 측면, 및 도전층(112b)의 측면) 및 도전층(112b)의 상면의 일부에 접하는 반도체층(108)과, 반도체층(108)의 상면 및 측면 그리고 도전층(112b)의 상면과 접한 영역을 가지는 절연층(106)과, 절연층(106) 위에 개구(141)의 내벽과 중첩되는 영역을 가지도록 제공된 도전층(104)을 가진다.

[0046] 트랜지스터(M2)에서 도전층(112a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(112b)은 소스

전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 반도체층(108)은 채널이 형성되는 반도체층으로서 기능한다. 절연층(106)은 게이트 절연층으로서 기능한다. 도전층(104)은 게이트 전극으로서 기능한다.

[0047] 트랜지스터(M2)에서는 단면에서 볼 때(도 1의 (B) 참조), 도전층(112a)의 상면과 도전층(112b)의 밑면 사이의 높이에 위치하고, 또한 절연층(106)을 개재하여 도전층(104)과 중첩되는 반도체층(108)의 영역이 채널 형성 영역으로서 기능한다. 즉 상기 영역의 길이가 트랜지스터(M2)의 채널 길이이다. 따라서 트랜지스터(M2)에서는 도전층(112a)과 도전층(112b) 사이에 제공되는 절연층(110)의 두께를 조정함으로써 채널 길이가 결정될 수 있다. 그러므로 짧은 채널 길이의 트랜지스터를 높은 정밀도로 제작할 수 있다. 또한 복수의 트랜지스터(M2)를 제작하는 경우, 트랜지스터(M2)들 간의 특성 편차를 저감할 수도 있다.

[0048] 또한 트랜지스터(M2)는 평면에서 볼 때(도 1의 (A) 참조), 반도체층(108)이 개구(141)와 중첩되는 영역에 제공되므로, 개구(141)의 외주 길이, 더 정확히는 개구(141)에서의 반도체층(108)(트랜지스터(M2)의 채널 형성 영역)의 외주 길이가 트랜지스터(M2)의 채널 폭이 된다. 또한 도 1의 (B)의 구성에서는 개구(141)의 X방향에서의 폭이 도전층(112a) 측에 갈수록 좁아지고, 도전층(112b) 측에 갈수록 넓어진다. 상기 구성의 경우, 개구(141)의 X방향에서의 폭이 가장 좁은 영역에서의 채널 형성 영역의 외주 길이를 트랜지스터(M2)의 채널 폭으로 정의하여도 좋고, 반대로 개구(141)의 X방향에서의 폭이 가장 넓은 영역에서의 채널 형성 영역의 외주 길이를 트랜지스터(M2)의 채널 폭으로 정의하여도 좋다. 또는 양자의 중간값을 트랜지스터(M2)의 채널 폭으로 정의하여도 좋다.

[0049] 상술한 바와 같이 도전층(112b)은 트랜지스터(M1)에서는 게이트 전극으로서 기능하고, 트랜지스터(M2)에서는 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 즉 트랜지스터(M1)의 게이트 전극과, 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽은 전기적으로 접속된다. 따라서 본 발명의 일 형태의 반도체 장치(10)는 전기적으로 접속되는 2개의 트랜지스터(트랜지스터(M1) 및 트랜지스터(M2))를 가진다고 할 수 있다.

[0050] 여기서 트랜지스터(M1)에서는 도전층(116a)과 도전층(116b) 사이의 반도체층(109)의 영역을 드레인 전류가 흐르고, 한편으로 트랜지스터(M2)에서는 도전층(112a)과 도전층(112b) 사이의 반도체층(108)의 영역을 드레인 전류가 흐른다. 즉 트랜지스터(M1)에서는 드레인 전류가 흐르는 방향이 기판면에 대하여 대략 평행한 방향이고, 한편으로 트랜지스터(M2)에서는 드레인 전류가 흐르는 방향이 기판면에 대하여 대략 수직인 방향(더 정확하게는 개구(141)의 측면을 따른 방향)이다.

[0051] 트랜지스터(M1)와 같이, 소스 전극과 드레인 전극이 각각 가로 방향(도 1의 (A) 및 (B)에 나타낸 X방향 또는 Y방향)으로 배치되고, 드레인 전류가 가로 방향으로 흐르는 트랜지스터를 "가로 채널형 트랜지스터"라고도 한다. 한편, 트랜지스터(M2)와 같이, 소스 전극과 드레인 전극이 각각 세로 방향(도 1의 (A) 및 (B)에 나타낸 Z방향)으로 배치되고, 드레인 전류가 세로 방향으로 흐르는 트랜지스터를 "세로 채널형 트랜지스터"라고도 한다.

[0052] 세로 채널형 트랜지스터는 소스 전극과 드레인 전극이 기판면에 대하여 수직인 방향(도 1의 (A) 및 (B)에 나타낸 Z방향)으로 배치되므로, 가로 채널형 트랜지스터와 비교하여 기판면 내에서의 트랜지스터의 점유 면적을 현저히 작게 할 수 있다. 본 발명의 일 형태의 반도체 장치(10)에서는 상기 반도체 장치에 포함되는 2개의 트랜지스터 중 하나(트랜지스터(M2))가 세로 채널형 트랜지스터이다. 그러므로 본 발명의 일 형태의 반도체 장치(10)는 2개의 가로 채널형 트랜지스터를 가로 방향으로 배치한 반도체 장치보다 기판면 내에서의 반도체 장치의 점유 면적을 작게 할 수 있다. 또한 본 발명의 일 형태의 반도체 장치(10)에서는 상기 반도체 장치에 포함되는 2개의 트랜지스터 중 하나(트랜지스터(M1))가 가로 채널형 트랜지스터이다. 그러므로 소스 전극, 드레인 전극 등 트랜지스터의 구성 요소의 일부에 대해서는 동일 평면 위에 일괄적으로 제작할 수 있다. 따라서 세로 채널형 트랜지스터보다 공정 수를 삭감할 수 있다. 또한 상술한 바와 같이, 트랜지스터(M1)는 보텀 게이트 톱 콘택트형 트랜지스터이다. 보텀 게이트 톱 콘택트형 트랜지스터에서는, 반도체층에서 소스 전극과 드레인 전극 사이의, 게이트 전극과 대향하는 측의 영역이 채널 형성 영역으로서 기능한다. 따라서 보텀 게이트 톱 콘택트형 트랜지스터에서는, 트랜지스터의 제작 공정 중에 반도체층에서의 채널 형성 영역이 노출되지 않는다. 그러므로 상기 영역이 트랜지스터 제작 공정 시에 대미지를 받는 것을 억제할 수 있다. 상술한 바와 같이, 본 발명의 일 형태에서는 양호한 특성을 가지는 트랜지스터를 고밀도로 배치한 반도체 장치를 실현할 수 있다. 또한 집적도가 높은 반도체 장치를 실현할 수 있다. 예를 들어 본 발명의 일 형태의 반도체 장치(10)를 표시 장치의 화소 회로(후술함)에 사용하는 경우, 정세도가 높은 표시 장치로 할 수 있다.

[0053] 이하에서는 본 발명의 일 형태의 반도체 장치(10)에 사용할 수 있는 재료에 대하여 설명한다.

[0054] [기판(102)]

[0055] 기판(102)에 사용하는 재료에 큰 제한은 없다. 목적에 따라, 투광성의 유무 및 가열 처리에 견딜 수 있을 정도의 내열성 등을 고려하여 결정하면 좋다. 예를 들어 바륨붕규산염 유리 및 알루미노붕규산염 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한 절연 표면을 가지는 반도체 기판, 가요성 기판(플렉시블 기판), 접합 필름, 기재 필름 등을 사용하여도 좋다.

[0056] 반도체 기판으로서는 예를 들어 실리콘 또는 저마늄 등을 재료로 한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨을 재료로 한 화합물 반도체 기판 등이 있다. 또한 반도체 기판은 단결정 반도체이어도 좋고 다결정 반도체이어도 좋다.

[0057] 본 발명의 일 형태의 반도체 장치(10)를 표시 장치에 사용하는 경우의 기판(102)으로서, 예를 들어 6세대(1500㎜×1850㎜), 7세대(1870㎜×2200㎜), 8세대(2200㎜×2400㎜), 9세대(2400㎜×2800㎜), 10세대(2950㎜×3400㎜) 등의 면적이 큰 유리 기판을 사용할 수 있다. 이로써 대형 표시 장치를 제작할 수 있다. 또한 기판이 대형화됨으로써 1장의 기판으로부터 더 많은 표시 장치를 생산할 수 있어 생산 비용을 절감할 수 있다.

[0058] 또한 반도체 장치의 가요성을 높이기 위하여 기판(102)으로서 가요성 기판, 접합 필름, 기재 필름 등을 사용하여도 좋다.

[0059] 가요성 기판, 접합 필름, 기재 필름 등의 재료로서는 예를 들어 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리아크릴로나이트릴 수지, 아크릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지(나일론, 아라미드 등), 폴리실록산 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리우레탄 수지, 폴리염화바이닐 수지, 폴리염화바이닐리덴 수지, 폴리프로필렌 수지, 폴리테트라플루오로에틸렌(PTFE) 수지, ABS 수지, 셀룰로스 나노섬유 등을 사용할 수 있다.

[0060] 기판(102)으로서 상기 재료를 사용함으로써 가벼운 반도체 장치를 제공할 수 있다. 또한 기판(102)으로서 상기 재료를 사용함으로써 충격에 강한 반도체 장치를 제공할 수 있다. 또한 기판(102)으로서 상기 재료를 사용함으로써 파손되기 어려운 반도체 장치를 제공할 수 있다.

[0061] 기판(102)에 가요성 기판을 사용하는 경우, 상기 가요성 기판의 선팽창률이 낮을수록 환경으로 인한 변형이 억제되어 바람직하다. 기판(102)으로서 사용하는 가요성 기판에는 예를 들어 선팽창률이 1×10^{-3}/K 이하, 5×10^{-5}/K 이하, 또는 1×10^{-5}/K 이하인 재질을 사용하면 좋다. 특히 아라미드는 선팽창률이 낮기 때문에 기판(102)에 사용하는 가요성 기판으로서 적합하다.

[0062] [도전층(104), 도전층(112a), 도전층(112b), 도전층(116a), 도전층(116b)]

[0063] 트랜지스터(M1)의 소스 전극 및 드레인 전극으로서 기능하는 도전층(도전층(116a), 도전층(116b)), 트랜지스터(M1)의 게이트 전극으로서 기능하는 도전층(도전층(112b)), 트랜지스터(M2)의 소스 전극 및 드레인 전극으로서 기능하는 도전층(도전층(112a), 도전층(112b)), 및 트랜지스터(M2)의 게이트 전극으로서 기능하는 도전층(도전층(104)) 외에, 본 발명의 일 형태의 반도체 장치(10)를 구성하는 각종 배선 및 전극 등의 도전층에 사용할 수 있는 도전성 재료로서는, 알루미늄(Al), 크로뮴(Cr), 구리(Cu), 은(Ag), 금(Au), 백금(Pt), 탄탈럼(Ta), 니켈(Ni), 타이타늄(Ti), 몰리브데넘(Mo), 텅스텐(W), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 망가니즈(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be) 등에서 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다. 도전성 재료의 형성 방법은 특별히 한정되지 않고 증착법, 화학 기상 퇴적(CVD: Chemical Vapor Deposition)법, 스퍼터링법, 스핀 코팅법 등의 각종 형성 방법을 사용할 수 있다.

[0064] 또한 도전성 재료로서 Cu-X 합금(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 적용하여도 좋다. Cu-X 합금으로 형성한 층은 웨트 에칭 공정으로 가공할 수 있기 때문에 제조 비용을 절감할 수 있다. 또한 도전성 재료로서 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐에서 선택된 하나 또는 복수의 원소를 포함하는 알루미늄 합금을 사용하여도 좋다.

[0065] 또한 도전층에 사용할 수 있는 도전성 재료로서, 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 산소를 포함한 도전성 재료를 사용할 수도 있다. 또한 질화 타이타늄, 질화 탄탈럼, 질화 텅스텐 등 질소를 포함한 도전성 재료를 사용할 수도 있다.

또한 도전층은 산소를 포함한 도전성 재료, 질소를 포함한 도전성 재료, 상술한 금속 원소를 포함한 재료를 적절히 조합한 적층 구조로 할 수도 있다.

[0066] 예를 들어 도전층은 실리콘을 포함한 알루미늄층의 단층 구조, 알루미늄층 위에 타이타늄층을 적층하는 2층 구조, 질화 타이타늄층 위에 타이타늄층을 적층하는 2층 구조, 질화 타이타늄층 위에 텅스텐층을 적층하는 2층 구조, 질화 탄탈럼층 위에 텅스텐층을 적층하는 2층 구조, 타이타늄층과, 그 타이타늄층 위에 알루미늄층을 적층하고, 또한 그 위에 타이타늄층을 적층하는 3층 구조로 하여도 좋다.

[0067] 또한 상기 도전성 재료로 형성되는 도전층을 복수로 적층하여 사용하여도 좋다. 예를 들어 도전층은 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료, 산소를 포함한 도전성 재료, 및 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0068] 예를 들어 도전층은 인듐 및 아연 중 적어도 한쪽과 산소를 포함한 도전층 위에, 구리를 포함한 도전층을 적층하고, 또한 그 위에 인듐 및 아연 중 적어도 한쪽과 산소를 포함한 도전층을 적층하는 3층 구조로 하여도 좋다. 이 경우, 구리를 포함한 도전층의 측면도 인듐 및 아연 중 적어도 한쪽과 산소를 포함한 도전층으로 덮는 것이 바람직하다. 또한 예를 들어 도전층으로서 인듐 및 아연 중 적어도 한쪽과 산소를 포함한 도전층을 복수로 적층하여 사용하여도 좋다.

[0069] 예를 들어 반도체층(108) 및 반도체층(109)에 산화물 반도체를 사용하는 경우, 반도체층(108)과 접하는 도전층(112a) 및 도전층(112b), 그리고 반도체층(109)과 접하는 도전층(116a) 및 도전층(116b)에는 각각 산화물 반도체를 n형화시키는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 질소를 포함한 도전성 재료를 사용하면 좋다. 예를 들어 타이타늄 또는 탄탈럼과 질소를 포함한 도전성 재료를 사용하면 좋다. 또한 질소를 포함한 도전성 재료에 중첩시켜 다른 도전성 재료를 제공하여도 좋다.

[0070] [절연층(106), 절연층(110)]

[0071] 트랜지스터(M1) 및 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106), 및 층간막으로서 기능하는 절연층(110) 외에, 본 발명의 일 형태의 반도체 장치(10)를 구성하는 각종 절연층에는 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 산화 마그네슘, 질화 실리콘, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 알루미늄 실리케이트 등에서 선택된 재료를 단층으로 또는 적층하여 사용한다. 또한 산화물 재료, 질화물 재료, 산화질화물 재료, 질화산화물 재료 중 복수의 재료를 혼합한 재료를 사용하여도 좋다.

[0072] 또한 본 명세서 등에서 산화질화물이란, 질소보다 산소의 함유량이 많은 재료를 가리킨다. 또한 질화산화물이란, 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 각 원소의 함유량은 예를 들어 러더퍼드 후방 산란(RBS: Rutherford Backscattering Spectrometry)법 등을 사용하여 측정할 수 있다.

[0073] 예를 들어 반도체층(108) 및 반도체층(109)에 산화물 반도체를 사용하는 경우, 절연층(106) 및 절연층(110)에는 수소가 저감되고 산소를 포함하는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어 절연층(106) 및 절연층(110)에는 각각 산화 실리콘을 사용하는 것이 바람직하다. 절연층(106) 및 절연층(110)에 각각 산화 실리콘을 사용함으로써, 이들 절연층과 접한 영역을 가지는 반도체층(108) 및 반도체층(109)이 n형화되기 어려워진다. 또한 이들 절연층으로부터 반도체층(108) 및 반도체층(109)에 산소를 효율적으로 공급할 수 있다. 이에 의하여 반도체층(108) 및 반도체층(109)의 산소 결손(V_O: Oxygen Vacancy)이 저감되고, 트랜지스터(M1) 및 트랜지스터(M2)의 전기 특성 향상과 신뢰성 향상을 양립시킬 수 있다.

[0074] 한편, 예를 들어 트랜지스터(M1) 및 트랜지스터(M2)보다 위층 또는 아래층에 위치하는 절연층(둘 다 도시하지 않았음)에는 불순물을 투과시키기 어려운 절연성 재료를 사용하는 것이 바람직하다. 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연성 재료를 단층으로 또는 적층으로 사용하면 좋다. 불순물을 투과시키기 어려운 절연성 재료의 일례로서 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 질화 실리콘 등을 들 수 있다.

[0075] 트랜지스터(M1) 및 트랜지스터(M2)보다 위층 또는 아래층에 위치하는 절연층에 불순물을 투과시키기 어려운 절연성 재료를 사용함으로써, 트랜지스터(M1) 및 트랜지스터(M2)의 위쪽 및 아래쪽으로부터 트랜지스터(M1) 및 트

랜지스터(M2) 측으로 불순물이 확산되는 것을 억제할 수 있기 때문에 반도체 장치(10)의 신뢰성을 높일 수 있다.

[0076] 또한 트랜지스터(M1) 및 트랜지스터(M2)보다 위층 또는 아래층에 위치하는 절연층으로서, 평탄화층으로서 기능할 수 있는 절연층을 사용하여도 좋다. 평탄화층으로서 기능할 수 있는 절연층으로서는 폴리이미드, 아크릴 수지, 벤조사이클로뷰텐 수지, 폴리아마이드, 에폭시 수지 등 내열성을 가지는 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 이외에 저유전율 재료(low-k 재료), 실록산 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다. 또한 이들 재료로 형성되는 절연층을 복수로 적층하여도 좋다.

[0077] 또한 실록산 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산 수지는 치환기로서는 유기기(예를 들어 알킬기 또는 아릴기) 또는 플루오로기를 사용하여도 좋다. 또한 유기기는 플루오로기를 가져도 좋다.

[0078] 평탄화층으로서 기능할 수 있는 절연층의 표면에 대하여 화학 기계 연마(CMP: Chemical Mechanical Polishing) 처리를 수행하여도 좋다. CMP 처리를 수행함으로써, 시료 표면의 요철을 저감하여, 이 후 형성되는 절연층이나 도전층의 피복성을 높일 수 있다.

[0079] [반도체층(108), 반도체층(109)]

[0080] 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109) 및 트랜지스터(M2)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(108)에는, 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단독으로 또는 조합하여 사용할 수 있다. 반도체 재료로서는 예를 들어 실리콘, 저마늄 등을 사용할 수 있다. 또한 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 질화물 반도체 등의 화합물 반도체를 사용하여도 좋다. 화합물 반도체로서는 반도체 특성을 가지는 유기물 또는 반도체 특성을 가지는 금속 산화물(산화물 반도체라고도 함)을 사용할 수 있다. 또한 이들 반도체 재료에 도펀트로서 불순물이 포함되어도 좋다.

[0081] 특히 산화물 반도체는 밴드 갭이 2eV 이상이기 때문에, 채널이 형성되는 반도체층에 금속 산화물의 1종류인 산화물 반도체를 사용한 트랜지스터("OS 트랜지스터"라고도 함)는 다른 재료를 사용하는 경우에 비하여 오프 전류가 현저히 작다. 따라서 반도체 장치(10)의 소비 전력을 저감시킬 수 있다. 또한 OS 트랜지스터는 고온 환경하에서도 동작이 안정되고 특성 변동이 적다. 예를 들어 고온 환경하에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는 실온 이상 200℃ 이하의 환경 온도하에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경하에서도 온 전류가 저하되기 어렵다. 따라서 OS 트랜지스터를 사용한 반도체 장치는 고온 환경하에서도 동작이 안정되고 신뢰성이 높다.

[0082] 또한 채널이 형성되는 반도체층에 사용할 수 있는 실리콘으로서는 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 비정질 실리콘 등을 들 수 있다. 다결정 실리콘으로서는 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)이 있다.

[0083] 채널이 형성되는 반도체층에 비정질 실리콘을 사용한 트랜지스터는 대형 유리 기판 위에 형성할 수 있고 저비용으로 제작할 수 있다. 채널이 형성되는 반도체층에 다결정 실리콘을 사용한 트랜지스터는 전계 효과 이동도가 높아 고속 동작이 가능하다. 또한 채널이 형성되는 반도체층에 미결정 실리콘을 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높아 고속 동작이 가능하다.

[0084] 본 실시형태에서는 트랜지스터(M1)와 트랜지스터(M2)의 양쪽에 OS 트랜지스터를 사용한다. 즉 반도체층(108)과 반도체층(109)의 양쪽에 산화물 반도체를 사용한다. OS 트랜지스터는 소스와 드레인 사이의 절연 내압이 높기 때문에 채널 길이를 짧게 할 수 있다. 따라서 트랜지스터의 온 전류를 크게 할 수 있다.

[0085] OS 트랜지스터의 채널이 형성되는 반도체층에 사용할 수 있는 금속 산화물로서는, 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연에서 선택되는 2종류 또는 3종류를 포함하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 안티모니, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0086] 예를 들어 산화 인듐, 인듐 갈륨 산화물(In-Ga 산화물), 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 갈륨 아연 산화물(Ga-Zn 산화물), 인듐 알루미늄 아연

산화물(In-Al-Zn 산화물, IAZO라고도 기재함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO 또는 IAGZO라고도 기재함) 등을 사용할 수 있다. 또는 실리콘을 포함한 인듐 주석 산화물 등을 사용할 수 있다.

[0087] 특히 원소 M은 갈륨, 알루미늄, 이트륨, 및 주석에서 선택된 1종류 또는 복수 종류인 것이 바람직하다. 특히 원소 M은 갈륨인 것이 바람직하다.

[0088] 여기서 채널이 형성되는 반도체층에 사용하는 금속 산화물의 조성은 OS 트랜지스터의 전기적 특성 및 신뢰성에 크게 영향을 미친다.

[0089] 예를 들어 금속 산화물의 인듐의 함유율을 높게 함으로써 온 전류가 큰 트랜지스터를 실현할 수 있다.

[0090] OS 트랜지스터의 채널이 형성되는 반도체층에 In-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 아연의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Zn=1:1, In:Zn=2:1, In:Zn=3:1, In:Zn=4:1, In:Zn=5:1, In:Zn=7:1, In:Zn=10:1, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0091] OS 트랜지스터의 채널이 형성되는 반도체층에 In-Sn 산화물을 사용하는 경우, 인듐의 원자수비가 주석의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Sn=1:1, In:Sn=2:1, In:Sn=3:1, In:Sn=4:1, In:Sn=5:1, In:Sn=7:1, In:Sn=10:1, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0092] OS 트랜지스터의 채널이 형성되는 반도체층에 In-Sn-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 주석의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 주석의 원자수비보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Sn:Zn=2:1:3, In:Sn:Zn=3:1:2, In:Sn:Zn=4:2:3, In:Sn:Zn=4:2:4.1, In:Sn:Zn=5:1:3, In:Sn:Zn=5:1:6, In:Sn:Zn=5:1:7, In:Sn:Zn=5:1:8, In:Sn:Zn=6:1:6, In:Sn:Zn=10:1:3, In:Sn:Zn=10:1:6, In:Sn:Zn=10:1:7, In:Sn:Zn=10:1:8, In:Sn:Zn=5:2:5, In:Sn:Zn=10:1:10, In:Sn:Zn=20:1:10, In:Sn:Zn=40:1:10, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0093] OS 트랜지스터의 채널이 형성되는 반도체층에 In-Al-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 알루미늄의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 알루미늄의 원자수비보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Al:Zn=2:1:3, In:Al:Zn=3:1:2, In:Al:Zn=4:2:3, In:Al:Zn=4:2:4.1, In:Al:Zn=5:1:3, In:Al:Zn=5:1:6, In:Al:Zn=5:1:7, In:Al:Zn=5:1:8, In:Al:Zn=6:1:6, In:Al:Zn=10:1:3, In:Al:Zn=10:1:6, In:Al:Zn=10:1:7, In:Al:Zn=10:1:8, In:Al:Zn=5:2:5, In:Al:Zn=10:1:10, In:Al:Zn=20:1:10, In:Al:Zn=40:1:10, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0094] OS 트랜지스터의 채널이 형성되는 반도체층에 In-Ga-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 예를 들어 반도체층에는 금속 원소의 원자수비가 In:Ga:Zn=2:1:3, In:Ga:Zn=3:1:2, In:Ga:Zn=4:2:3, In:Ga:Zn=4:2:4.1, In:Ga:Zn=5:1:3, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:7, In:Ga:Zn=5:1:8, In:Ga:Zn=6:1:6, In:Ga:Zn=10:1:3, In:Ga:Zn=10:1:6, In:Ga:Zn=10:1:7, In:Ga:Zn=10:1:8, In:Ga:Zn=5:2:5, In:Ga:Zn=10:1:10, In:Ga:Zn=20:1:10, In:Ga:Zn=40:1:10, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0095] OS 트랜지스터의 채널이 형성되는 반도체층에 In-M-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 예를 들어 반도체층에는 금속 원소의 원자수비가 In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:3, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, In:M:Zn=10:1:3, In:M:Zn=10:1:6, In:M:Zn=10:1:7, In:M:Zn=10:1:8, In:M:Zn=5:2:5, In:M:Zn=10:1:10, In:M:Zn=20:1:10, In:M:Zn=40:1:10, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0096] 또한 원소 M으로서 복수의 금속 원소를 포함하는 경우에는, 상기 금속 원소의 원자수비의 합계를 원소 M의 원자수비로 할 수 있다. 예를 들어 원소 M으로서 갈륨과 알루미늄을 포함한 In-Ga-Al-Zn 산화물의 경우, 갈륨의 원자수비와 알루미늄의 원자수비의 합계를 원소 M의 원자수비로 할 수 있다. 또한 인듐, 원소 M, 및 아연의 원자

수비가 상술한 범위에 있는 것이 바람직하다.

[0097] 금속 산화물에 함유되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율이 30atomic% 이상 100atomic% 이하, 바람직하게는 30atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 90atomic% 이하, 더 바람직하게는 40atomic% 이상 90atomic% 이하, 더 바람직하게는 45atomic% 이상 90atomic% 이하, 더 바람직하게는 50atomic% 이상 80atomic% 이하, 더 바람직하게는 60atomic% 이상 80atomic% 이하, 더 바람직하게는 70atomic% 이상 80atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층에 In-Ga-Zn 산화물을 사용하는 경우, 인듐, 원소 M, 및 아연의 원자수의 합계에 대한 인듐의 원자수의 비율이 상술한 범위에 있는 것이 바람직하다.

[0098] 본 명세서 등에서, 함유되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율을 인듐의 함유율이라고 기재하는 경우가 있다. 다른 금속 원소에 대해서도 마찬가지이다.

[0099] 금속 산화물의 인듐의 함유율을 높게 함으로써 온 전류가 큰 트랜지스터로 할 수 있다. 상기 트랜지스터를 사용함으로써 고속 동작이 가능한 회로를 제작할 수 있다. 또한 회로의 점유 면적을 축소할 수 있다. 예를 들어 상기 트랜지스터를 대형 표시 장치 또는 고정세(高精細) 표시 장치에 적용할 때, 배선 수가 증가한 경우에도 각 배선에서의 신호 지연을 저감할 수 있어 표시 불균일을 억제할 수 있다. 또한 회로의 점유 면적을 축소할 수 있기 때문에 베젤이 좁은 표시 장치로 할 수 있다.

[0100] 금속 산화물의 조성을 분석하는 방법으로서는 예를 들어 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 유도 결합 플라스마 질량 분석법(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry), 또는 유도 결합 고주파 플라스마 발광 분광법(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)을 사용할 수 있다. 또는 이들 방법을 복수 조합하여 분석을 수행하여도 좋다. 또한 함유율이 낮은 원소는 분석 정밀도의 영향 때문에, 실제의 함유율과 분석에 의하여 얻어진 함유율이 다른 경우가 있다. 예를 들어 원소 M의 함유율이 낮은 경우, 분석에 의하여 얻어진 원소 M의 함유율이 실제의 함유율보다 낮아지는 경우가 있다.

[0101] 본 명세서 등에서 근방의 조성은 원하는 원자수비의 ±30%의 범위를 포함한다. 예를 들어 원자수비가 In:M:Zn=4:2:3 또는 그 근방의 조성이라고 기재하는 경우, 인듐의 원자수비를 4로 하면 M의 원자수비가 1 이상 3 이하이고, 아연의 원자수비가 2 이상 4 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=5:1:6 또는 그 근방의 조성이라고 기재하는 경우, 인듐의 원자수비를 5로 하면 M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 5 이상 7 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=1:1:1 또는 그 근방의 조성이라고 기재하는 경우, 인듐의 원자수비를 1로 하면 M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 0.1보다 크고 2 이하인 경우를 포함한다.

[0102] 금속 산화물의 형성에는 스퍼터링법 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 적합하게 사용할 수 있다. 또한 금속 산화물을 스퍼터링법으로 형성하는 경우, 타깃의 원자수비와 상기 금속 산화물의 원자수비가 다른 경우가 있다. 특히 아연은 타깃의 원자수비보다 금속 산화물의 원자수비가 작게 되는 경우가 있다. 구체적으로는 타깃에 포함되는 아연의 원자수비의 40% 이상 90% 이하 정도가 되는 경우가 있다.

[0103] 여기서 트랜지스터의 신뢰성에 대하여 설명한다. 트랜지스터의 신뢰성을 평가하는 지표의 하나로서, 게이트에 전계를 인가한 상태로 유지하는 GBT(Gate Bias Temperature) 스트레스 시험이 있다. 그 중에서도 소스 전위 및 드레인 전위에 대하여 게이트에 양의 전위(양의 바이어스)를 공급한 상태로 고온하에서 유지하는 시험을 PBTS(Positive Bias Temperature Stress) 시험, 게이트에 음의 전위(음의 바이어스)를 공급한 상태로 고온하에서 유지하는 시험을 NBTS(Negative Bias Temperature Stress) 시험이라고 부른다. 또한 광을 조사한 상태로 수행하는 PBTS 시험 및 NBTS 시험을 각각 PBTIS(Positive Bias Temperature Illumination Stress) 시험, NBTIS(Negative Bias Temperature Illumination Stress) 시험이라고 부른다.

[0104] n형 트랜지스터에서는 트랜지스터를 온 상태(전류를 흘리는 상태)로 할 때 게이트에 양의 전위가 공급되기 때문에, PBTS 시험에서의 문턱 전압의 변동량은 트랜지스터의 신뢰성의 지표로서 착안할 중요한 항목 중 하나가 된다.

[0105] 갈륨이 포함되지 않거나 갈륨의 함유율이 낮은 금속 산화물을 트랜지스터의 채널이 형성되는 반도체층에 사용함으로써, 양의 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 PBTS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 또한 갈륨을 포함한 금속 산화물을 사용하는 경우에는, 인듐의 함유율보다 갈륨의 함유율을 낮게 하는 것이 바람직하다. 이로써 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0106] PBTS 시험에서의 문턱 전압의 변동 요인의 하나로서, 트랜지스터의 채널이 형성되는 반도체층과 게이트 절연층의 계면 또는 계면 근방에서의 결함 준위를 들 수 있다. 결함 준위 밀도가 클수록 PBTS 시험에서의 열화가 현저해진다. 트랜지스터의 채널이 형성되는 반도체층에서 게이트 절연층과 접한 영역의 갈륨의 함유율을 낮게 함으로써, 상기 결함 준위의 생성을 억제할 수 있다.

[0107] 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 트랜지스터의 채널이 형성되는 반도체층에 사용함으로써 PBTS 시험에서의 문턱 전압의 변동을 억제할 수 있는 이유로서는, 예를 들어 아래와 같은 것이 생각된다. 금속 산화물에 포함되는 갈륨은 다른 금속 원소(예를 들어 인듐 또는 아연)와 비교하여 산소를 끌어당기기 쉬운 성질을 가진다. 그러므로 갈륨을 많이 포함하는 금속 산화물과 게이트 절연층의 계면에서, 갈륨이 게이트 절연층 중의 과잉 산소와 결합함으로써 캐리어(여기서는 전자) 트랩 사이트가 생기기 쉬워진다고 추찰된다. 따라서 게이트에 양의 전위를 공급한 경우에, 트랜지스터의 채널이 형성되는 반도체층과 게이트 절연층의 계면에 캐리어가 트랩되는 것에 의하여 문턱 전압이 변동되는 것으로 생각된다.

[0108] 더 구체적으로는, 트랜지스터의 채널이 형성되는 반도체층에 In-Ga-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 바람직하다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 바꿔 말하면, 금속 원소의 원자수비가 In>Ga 및 Zn>Ga를 만족시키는 금속 산화물을 트랜지스터의 채널이 형성되는 반도체층에 적용하는 것이 바람직하다.

[0109] 예를 들어 OS 트랜지스터의 채널이 형성되는 반도체층에는, 금속 원소의 원자수비가 In:Ga:Zn=2:1:3, In:Ga:Zn=3:1:2, In:Ga:Zn=4:2:3, In:Ga:Zn=4:2:4.1, In:Ga:Zn=5:1:3, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:7, In:Ga:Zn=5:1:8, In:Ga:Zn=6:1:6, In:Ga:Zn=10:1:3, In:Ga:Zn=10:1:6, In:Ga:Zn=10:1:7, In:Ga:Zn=10:1:8, In:Ga:Zn=5:2:5, In:Ga:Zn=10:1:10, In:Ga:Zn=20:1:10, In:Ga:Zn=40:1:10, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0110] OS 트랜지스터의 채널이 형성되는 반도체층에는, 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 0atomic%보다 높고 50atomic% 이하, 바람직하게는 0.1atomic% 이상 40atomic% 이하, 더 바람직하게는 0.1atomic% 이상 35atomic% 이하, 더 바람직하게는 0.1atomic% 이상 30atomic% 이하, 더 바람직하게는 0.1atomic% 이상 25atomic% 이하, 더 바람직하게는 0.1atomic% 이상 20atomic% 이하, 더 바람직하게는 0.1atomic% 이상 15atomic% 이하, 더 바람직하게는 0.1atomic% 이상 10atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 상기 반도체층 중의 갈륨의 함유율을 낮게 함으로써, PBTS 시험에 대한 내성이 높은 트랜지스터로 할 수 있다. 또한 금속 산화물에 갈륨을 함유시킴으로써, 금속 산화물에 산소 결손(V_O)이 생기기 어려워진다는 효과가 나타난다.

[0111] OS 트랜지스터의 채널이 형성되는 반도체층에, 갈륨을 포함하지 않은 금속 산화물을 적용하여도 좋다. 예를 들어 In-Zn 산화물을 상기 반도체층에 적용할 수 있다. 이때, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 인듐의 원자수비를 높게 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다. 한편, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 아연의 원자수비를 높게 함으로써 결정성이 높은 금속 산화물이 되기 때문에, 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다. 또한 상기 반도체층에는 산화 인듐 등 갈륨 및 아연을 포함하지 않은 금속 산화물을 적용하여도 좋다. 갈륨을 포함하지 않은 금속 산화물을 사용함으로써, 특히 PBTS 시험에서의 문턱 전압의 변동을 매우 작게 할 수 있다.

[0112] 예를 들어 OS 트랜지스터의 채널이 형성되는 반도체층에는 인듐과 아연을 포함한 산화물을 사용할 수 있다. 이때 금속 원소의 원자수비가 예를 들어 In:Zn=2:3, In:Zn=4:1, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0113] 또한 대표적으로 갈륨을 들어 설명하였지만, 갈륨 대신에 원소 M을 사용한 경우에도 적용할 수 있다. OS 트랜지스터의 채널이 형성되는 반도체층에는 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다.

[0114] OS 트랜지스터의 채널이 형성되는 반도체층에 원소 M의 함유율이 낮은 금속 산화물을 적용함으로써, 양의 바이어스 인가에 대한 신뢰성이 높은 트랜지스터를 실현할 수 있다. 상기 트랜지스터를 양의 바이어스 인가에 대한 높은 신뢰성이 요구되는 트랜지스터에 적용함으로써 신뢰성이 높은 반도체 장치를 실현할 수 있다.

[0115] 다음으로 광에 대한 트랜지스터의 신뢰성에 대하여 설명한다.

[0116] 트랜지스터에 광이 입사되면 트랜지스터의 전기 특성이 변동되는 경우가 있다. 특히 광이 입사될 수 있는 영역

에 적용되는 트랜지스터는 광 조사 조건에서 전기 특성의 변동이 작고 광에 대한 신뢰성이 높은 것이 바람직하다. 광에 대한 신뢰성은 예를 들어 NBTIS 시험에서의 문턱 전압의 변동량에 의하여 평가할 수 있다.

[0117] 트랜지스터의 채널이 형성되는 반도체층에 사용하는 금속 산화물의 원소 M의 함유율을 높게 함으로써, 광에 대한 신뢰성이 높은 트랜지스터를 실현할 수 있다. 즉 NBTIS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터를 실현할 수 있다. 구체적으로는 원소 M의 원자수비가 인듐의 원자수비 이상인 금속 산화물은 밴드 갭이 보다 크게 되고, 트랜지스터의 NBTIS 시험에서의 문턱 전압의 변동량을 작게 할 수 있다. 트랜지스터의 채널이 형성되는 반도체층에 포함되는 금속 산화물의 밴드 갭은 2.0eV 이상이 바람직하고, 2.5eV 이상이 더 바람직하고, 3.0eV 이상이 더 바람직하고, 3.2eV 이상이 더 바람직하고, 3.3eV 이상이 더 바람직하고, 3.4eV 이상이 더 바람직하고, 3.5eV 이상이 더 바람직하다.

[0118] 예를 들어 트랜지스터의 채널이 형성되는 반도체층에는 금속 원소의 원자수비가 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:3, In:M:Zn=1:3:4, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0119] 특히 트랜지스터의 채널이 형성되는 반도체층에는, 함유되는 금속 원소의 원자수에 대한 원소 M의 원자수의 비율이 20atomic% 이상 70atomic% 이하, 바람직하게는 30atomic% 이상 70atomic% 이하, 더 바람직하게는 30atomic% 이상 60atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0120] 트랜지스터의 채널이 형성되는 반도체층에 In-Ga-Zn 산화물을 사용한 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비 이하인 금속 산화물을 적용할 수 있다. 예를 들어 금속 원소의 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=1:1:1.2, In:Ga:Zn=1:3:2, In:Ga:Zn=1:3:3, In:Ga:Zn=1:3:4, 또는 이들 근방인 금속 산화물을 사용할 수 있다.

[0121] 특히 트랜지스터의 채널이 형성되는 반도체층에는, 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 20atomic% 이상 60atomic% 이하, 바람직하게는 30atomic% 이상 60atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0122] 트랜지스터의 채널이 형성되는 반도체층에 원소 M의 함유율이 높은 금속 산화물을 적용함으로써, 광에 대한 신뢰성이 높은 트랜지스터를 실현할 수 있다. 상기 트랜지스터를 광에 대한 높은 신뢰성이 요구되는 트랜지스터에 적용함으로써, 신뢰성이 높은 반도체 장치를 실현할 수 있다.

[0123] 상술한 바와 같이, 트랜지스터의 채널이 형성되는 반도체층에 적용하는 금속 산화물의 조성에 따라 트랜지스터의 전기 특성 및 신뢰성이 상이하다. 따라서 트랜지스터에 요구되는 전기 특성 및 신뢰성에 따라 금속 산화물의 조성을 다르게 함으로써, 우수한 전기 특성과 높은 신뢰성을 양립한 표시 장치를 실현할 수 있다.

[0124] 트랜지스터의 채널이 형성되는 반도체층은 2개 이상의 금속 산화물층을 가지는 적층 구조로 하여도 좋다. 상기 반도체층에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 같거나 대략 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에 제조 비용을 절감할 수 있다.

[0125] 트랜지스터의 채널이 형성되는 반도체층에 포함되는 2개 이상의 금속 산화물층은 조성이 상이하여도 좋다. 예를 들어 In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성의 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성의 제 2 금속 산화물층의 적층 구조를 적합하게 사용할 수 있다. 또한 원소 M으로서 갈륨 또는 알루미늄을 사용하는 것이 특히 바람직하다. 예를 들어 인듐 산화물, 인듐 갈륨 산화물, 및 IGZO에서 선택되는 어느 하나와, IAZO, IAGZO, 및 ITZO(등록 상표)에서 선택되는 어느 하나의 적층 구조 등을 사용하여도 좋다.

[0126] 트랜지스터의 채널이 형성되는 반도체층에는 결정성을 가지는 금속 산화물층을 사용하는 것이 바람직하다. 예를 들어 CAAC(C-Axis Aligned Crystal) 구조, 다결정 구조, 미결정(nc: nano-crystal) 구조 등을 가지는 금속 산화물층을 사용할 수 있다. 결정성을 가지는 금속 산화물층을 상기 반도체층에 사용함으로써, 반도체층 중의 결함 준위 밀도를 저감할 수 있어 신뢰성이 높은 표시 장치를 실현할 수 있다.

[0127] 트랜지스터의 채널이 형성되는 반도체층에 사용하는 금속 산화물층의 결정성이 높을수록 상기 반도체층 중의 결함 준위 밀도를 저감할 수 있다. 한편, 결정성이 낮은 금속 산화물층을 사용함으로써, 큰 전류를 흘릴 수 있는

트랜지스터를 실현할 수 있다.

[0128] 금속 산화물층을 스퍼터링법에 의하여 형성하는 경우, 형성 시의 기판 온도(스테이지 온도)가 높을수록 결정성이 높은 금속 산화물층을 형성할 수 있다. 또한 형성 시에 사용하는 성막 가스 전체에 대한 산소 가스의 유량의 비율(이하 산소 유량비라고도 함)이 높을수록 결정성이 높은 금속 산화물층을 형성할 수 있다.

[0129] OS 트랜지스터의 채널이 형성되는 반도체층은 결정성이 상이한 2개 이상의 금속 산화물층의 적층 구조를 가져도 좋다. 예를 들어 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 제 2 금속 산화물층의 적층 구조로 하고, 제 2 금속 산화물층은 제 1 금속 산화물층보다 결정성이 높은 영역을 가지는 구성으로 할 수 있다. 또는 제 2 금속 산화물층은 제 1 금속 산화물층보다 결정성이 낮은 영역을 가지는 구성으로 할 수 있다. 상기 반도체층에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 같거나 대략 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에 제조 비용을 절감할 수 있다. 예를 들어 같은 스퍼터링 타깃을 사용하고 산소 유량비를 다르게 함으로써, 결정성이 상이한 2개 이상의 금속 산화물층의 적층 구조를 형성할 수 있다. 또한 상기 반도체층에 포함되는 2개 이상의 금속 산화물층은 조성이 상이하여도 좋다.

[0130] 이하에서는 상기 구성예의 변형예에 대하여 설명한다. 또한 상기와 중복되는 부분에 대해서는 그 기재를 참조하고 설명을 생략하는 경우가 있다.

[0131] <변형예 1>

[0132] 도 2의 (A) 및 (B)에 나타낸 반도체 장치(10A)는 트랜지스터(M1)가 절연층(110)의 아래쪽에 제공되는 점이 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)와 다르다.

[0133] 도 2의 (B)에 나타낸 바와 같이, 반도체 장치(10A)에서는 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(112a) 위에 트랜지스터(M1)의 게이트 절연층으로서 기능하는 절연층(107)이 제공되고, 절연층(107) 위에 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)이 제공되어 있다. 반도체층(109)은 절연층(107)을 개재하여 도전층(112a)의 측면을 덮는 영역을 가지도록 제공되어 있다. 또한 단면에서 볼 때(도 2의 (B) 참조), 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(116a)이 반도체층(109)의 측단부 중 한쪽에서의 측면 및 상면 그리고 절연층(107)의 상면에 접하여 제공되고, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(116b)이 반도체층(109)의 측단부 중 한쪽과 대향하는 측단부 중 다른 쪽에서의 측면 및 상면 그리고 절연층(107)의 상면에 접하여 제공되어 있다.

[0134] 반도체 장치(10A)에서는 도전층(112a)이 트랜지스터(M1)의 게이트 전극으로서 기능하면서 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽으로서도 기능한다. 즉 반도체 장치(10A)는 트랜지스터(M1)의 게이트 전극과 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽이 전기적으로 접속된 구성을 가진다. 상기 구성으로 함으로써, 반도체 장치(10)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0135] 또한 반도체 장치(10A)에서는 절연층(110)이 트랜지스터(M1)를 덮도록 제공되어 있다. 즉 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)이 절연층(110)과, 트랜지스터(M1)의 게이트 절연층으로서 기능하는 절연층(107)으로 덮인다. 절연층(107)에는 예를 들어 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106)과 같은 재료를 사용할 수 있다. 상술한 바와 같이, 절연층(106)(절연층(107)) 및 절연층(110)에는 각각 수소가 저감되고 산소를 포함하는 절연성 재료를 사용할 수 있다. 따라서 반도체층(109)이 절연층(110) 및 절연층(107)으로 덮임으로써 절연층(110) 및 절연층(107)으로부터 반도체층(109)에 산소를 효율적으로 공급할 수 있다. 이에 의하여 반도체층(109) 중의 산소 결손(V_O), 및 산소 결손에 수소가 들어감으로써 생성되는 V_OH를 저감하여, 트랜지스터(M1)의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0136] 또한 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112b)이 절연층(110)을 개재하여 트랜지스터(M1)의 위쪽에 위치한다. 이 경우, 예를 들어 도전층(112b)을 트랜지스터(M1)의 제 2 게이트 전극으로서 사용할 수도 있다. 이에 의하여, 트랜지스터(M1)가 하나의 게이트 전극(도전층(112a))을 가지는 경우보다 트랜지스터(M1)의 문턱 전압의 제어를 더 확실하게 수행할 수 있다. 이 경우, 도전층(112b)은 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능과, 트랜지스터(M1)의 제 2 게이트 전극으로서의 기능을 겸비한다.

[0137] <변형예 2>

[0138] 도 3의 (A) 및 (B)에 나타낸 반도체 장치(10B)는 트랜지스터(M1)의 게이트 전극의 구성과, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽의 구성과, 트랜지스터(M2)의 게이트 전극의 구성이 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)와 다르다.

[0139] 도 3의 (B)에 나타낸 바와 같이, 반도체 장치(10B)는 트랜지스터(M2)의 게이트 전극으로서 기능하는 도전층(104)의 한쪽 단부가 트랜지스터(M1) 측으로 연장되어, 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)의 한쪽 측단부의 측면 및 상면과 접하는 구성을 가진다. 또한 도 1에 나타낸 반도체 장치(10)와 달리, 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층과, 트랜지스터(M1)의 게이트 전극으로서 기능하는 도전층이 각각 독립된 구성을 가진다.

[0140] 반도체 장치(10B)에서는 도전층(112c)이 트랜지스터(M1)의 게이트 전극으로서 기능한다. 또한 도전층(104)이 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하면서 트랜지스터(M2)의 게이트 전극으로서도 기능한다. 즉 반도체 장치(10B)는 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽과 트랜지스터(M2)의 게이트 전극이 전기적으로 접속된 구성을 가진다. 반도체 장치(10B)에서의 트랜지스터(M1)가 반도체 장치(10A)의 트랜지스터(M2)에 상당하고, 반도체 장치(10B)에서의 트랜지스터(M2)가 반도체 장치(10A)의 트랜지스터(M1)에 상당한다고도 할 수 있다. 상기 구성으로 함으로써, 반도체 장치(10)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0141] <변형예 3>

[0142] 도 4의 (A) 및 (B)에 나타낸 반도체 장치(10C)는 트랜지스터(M1)의 게이트 전극의 구성과, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽의 구성과, 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽의 구성과, 트랜지스터(M1)의 게이트 절연층의 구성이 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)와 다르다.

[0143] 도 4의 (B)에 나타낸 바와 같이, 반도체 장치(10C)에서는 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(112b)이 트랜지스터(M2) 측으로 연장되어, 트랜지스터(M2)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(108)의 밑면에 접한다. 또한 트랜지스터(M1)의 게이트 절연층으로서 기능하는 절연층(107)이 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106)과는 별도로 제공되어 있다. 또한 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106)이 트랜지스터(M1) 측으로 연장되어, 도전층(112b)과, 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)과, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112d)을 각각 덮는 구성을 가진다.

[0144] 반도체 장치(10C)에서는 도전층(103)이 트랜지스터(M1)의 게이트 전극으로서 기능한다. 또한 도전층(112b)이 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하면서 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽으로서도 기능한다. 즉 반도체 장치(10C)는 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽과 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽이 전기적으로 접속된 구성을 가진다. 상기 구성으로 함으로써, 반도체 장치(10)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0145] 또한 반도체 장치(10C)에서는 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)이 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106)과, 트랜지스터(M1)의 게이트 절연층으로서 기능하는 절연층(107)으로 덮인다. 그러므로 절연층(106) 및 절연층(107)에 각각 수소가 저감되고 산소를 포함하는 절연성 재료를 사용함으로써, 절연층(106) 및 절연층(107)으로부터 반도체층(109)에 산소를 효율적으로 공급할 수 있다. 이에 의하여 반도체층(109) 중의 산소 결손(V_O), 및 산소 결손에 수소가 들어감으로써 생성되는 V_OH를 저감하여, 트랜지스터(M1)의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0146] <변형예 4>

[0147] 도 5의 (A) 및 (B)에 나타낸 반도체 장치(10D)는 트랜지스터(M1)가 절연층(110)의 아래쪽에 제공되는 점이 도 1에 나타낸 반도체 장치(10)와 다르다. 또한 트랜지스터(M1)의 게이트 전극의 구성과, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽의 구성과, 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽의 구성이 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)와 다르다.

[0148] 도 5의 (B)에 나타낸 바와 같이, 반도체 장치(10D)에서는 기판(102) 위에 트랜지스터(M1)의 게이트 전극으로서 기능하는 도전층(103)이 제공되고, 도전층(103) 및 기판(102)을 덮도록 트랜지스터(M1)의 게이트 절연층으로서 기능하는 절연층(107)이 제공되어 있다. 절연층(107) 위에는 도전층(103)을 덮도록 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)이 제공되어 있다. 또한 단면에서 볼 때(도 5의 (B) 참조),

트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(112a)이 반도체층(109)의 측단부 중 한쪽에서의 측면 및 상면, 절연층(107)의 상면, 및 트랜지스터(M2)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(108)의 밑면에 각각 접하여 제공되고, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112e)이 반도체층(109)의 측단부 중 한쪽과 대향하는 측단부 중 다른 쪽에서의 측면 및 상면 그리고 절연층(107)의 상면에 접하여 제공되어 있다.

[0149] 반도체 장치(10D)에서는 도전층(112a)이 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하면서 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽으로서도 기능한다. 즉 반도체 장치(10D)는 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽과 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽이 전기적으로 접속된 구성을 가진다. 상기 구성으로 함으로써, 반도체 장치(10)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0150] 또한 반도체 장치(10D)에서는 절연층(110)이 트랜지스터(M1)를 덮도록 제공되어 있다. 즉 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)이 절연층(110)과, 트랜지스터(M1)의 게이트 절연층으로서 기능하는 절연층(107)으로 덮인다. 절연층(107)에는 예를 들어 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106)과 같은 재료를 사용할 수 있다. 상술한 바와 같이, 절연층(106)(절연층(107)) 및 절연층(110)에는 각각 수소가 저감되고 산소를 포함하는 절연성 재료를 사용할 수 있다. 따라서 반도체층(109)이 절연층(110) 및 절연층(107)으로 덮임으로써 절연층(110) 및 절연층(107)으로부터 반도체층(109)에 산소를 효율적으로 공급할 수 있다. 이에 의하여 반도체층(109) 중의 산소 결손(V_O), 및 산소 결손에 수소가 들어감으로써 생성되는 V_OH를 저감하여, 트랜지스터(M1)의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0151] 또한 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112b)이 절연층(110)을 개재하여 트랜지스터(M1)의 위쪽에 위치한다. 이 경우, 예를 들어 도전층(112b)을 트랜지스터(M1)의 제 2 게이트 전극으로서 사용할 수도 있다. 이에 의하여, 트랜지스터(M1)가 하나의 게이트 전극(도전층(103))을 가지는 경우보다 트랜지스터(M1)의 문턱 전압의 제어를 더 확실하게 수행할 수 있다. 이 경우, 도전층(112b)은 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능과, 트랜지스터(M1)의 제 2 게이트 전극으로서의 기능을 겸비한다.

[0152] <변형예 5>

[0153] 도 6의 (A) 및 (B)에 나타낸 반도체 장치(10E)는 트랜지스터(M1)의 게이트 전극의 구성과, 트랜지스터(M1)의 게이트 절연층의 구성과, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽의 구성과, 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽의 구성과, 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽의 구성이 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)와 다르다.

[0154] 도 6의 (B)에 나타낸 바와 같이, 반도체 장치(10E)에서는 기판(102) 위에 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(112a)과, 트랜지스터(M1)의 게이트 전극으로서 기능하는 도전층(112g)이 각각 독립되어 제공되어 있다. 도전층(112a) 및 도전층(112g) 위에는 트랜지스터(M1)의 게이트 절연층으로서 기능하는 절연층(110)이 제공되고, 절연층(110) 위에는 도전층(112g)과 중첩되는 영역을 가지도록, 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)이 제공되어 있다. 또한 단면에서 볼 때(도 6의 (B) 참조), 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(112b)이 반도체층(109)의 측단부 중 한쪽에서의 측면 및 상면, 절연층(110)의 상면, 및 트랜지스터(M2)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(108)의 밑면에 각각 접하여 제공되고, 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112d)이 반도체층(109)의 측단부 중 한쪽과 대향하는 측단부 중 다른 쪽에서의 측면 및 상면 그리고 절연층(110)의 상면에 접하여 제공되어 있다. 또한 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106)이 트랜지스터(M1) 측으로 연장되어, 도전층(112b)과, 반도체층(109)과, 도전층(112d)을 각각 덮고 있다.

[0155] 반도체 장치(10E)에서는 도전층(112b)이 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하면서 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽으로서도 기능한다. 즉 반도체 장치(10E)는 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽과 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽이 전기적으로 접속된 구성을 가진다. 상기 구성으로 함으로써, 반도체 장치(10)에서 얻어지는 효과와 같은 효과를 얻을 수 있다. 또한 반도체 장치(10E)에서는 절연층(110)이 층간막으로서의 기능과, 트랜지스터(M1)의 게이트 절연층으로서의 기능을 겸비한다. 상술한 바와 같이, 층간막으로서 기능하는 절연층(110)은 그 막 두께에 의하여

트랜지스터(M2)의 채널 길이가 결정되는 층이기도 하다. 따라서 반도체 장치(10E)의 제작 공정에서 절연층(110)의 막 두께를 조정함으로써 트랜지스터(M1)의 게이트 절연층의 막 두께와 트랜지스터(M2)의 채널 길이의 양쪽을 동시에 제어할 수 있으므로 전체 공정수를 삭감할 수 있다.

[0156] 또한 반도체 장치(10E)에서는 상술한 바와 같이, 절연층(106)이 트랜지스터(M1)를 덮도록 제공되어 있다. 또한 반도체층(109)의 밑면이 절연층(110)의 상면과 접한다. 즉 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 반도체층(109)이 절연층(106)과, 절연층(110)으로 덮인다. 상술한 바와 같이, 절연층(106) 및 절연층(110)에는 각각 수소가 저감되고 산소를 포함하는 절연성 재료를 사용할 수 있다. 따라서 반도체층(109)이 절연층(106) 및 절연층(110)으로 덮임으로써 절연층(106) 및 절연층(110)으로부터 반도체층(109)에 산소를 효율적으로 공급할 수 있다. 이에 의하여 반도체층(109) 중의 산소 결손(V_O), 및 산소 결손에 수소가 들어감으로써 생성되는 V_OH를 저감하여, 트랜지스터(M1)의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0157] <변형예 6>

[0158] 도 7의 (A)에 나타낸 반도체 장치(10F)는 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽(도전층(112b))이 트랜지스터(M2)의 채널이 형성되는 반도체층(반도체층(108))의 상면과 접하는 점, 그리고 상기 반도체층의 밑면과 절연층(110)의 상면이 접하는 점이 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)와 다르다. 그 외의 구성에 대해서는 반도체 장치(10)와 마찬가지이다. 상기 구성으로 함으로써, 반도체 장치(10)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0159] <변형예 7>

[0160] 도 7의 (B)에 나타낸 반도체 장치(10G)는 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽(도전층(112b))이 트랜지스터(M2)의 채널이 형성되는 반도체층(반도체층(108))의 상면과 접하는 점, 그리고 상기 반도체층의 밑면과 절연층(110)의 상면이 접하는 점이 도 2의 (A) 및 (B)에 나타낸 반도체 장치(10A)와 다르다. 그 외의 구성에 대해서는 반도체 장치(10A)와 마찬가지이다. 상기 구성으로 함으로써, 반도체 장치(10A)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0161] <변형예 8>

[0162] 도 7의 (C)에 나타낸 반도체 장치(10H)는 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽(도전층(112b))이 트랜지스터(M2)의 채널이 형성되는 반도체층(반도체층(108))의 상면과 접하는 점, 그리고 상기 반도체층의 밑면과 절연층(110)의 상면이 접하는 점이 도 3의 (A) 및 (B)에 나타낸 반도체 장치(10B)와 다르다. 그 외의 구성에 대해서는 반도체 장치(10B)와 마찬가지이다. 상기 구성으로 함으로써, 반도체 장치(10B)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0163] <변형예 9>

[0164] 도 8의 (A)에 나타낸 반도체 장치(10I)는 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽(도전층(112b))이 트랜지스터(M2)의 채널이 형성되는 반도체층(반도체층(108))의 상면과 접하는 점, 그리고 상기 반도체층의 밑면과 트랜지스터(M1)의 게이트 절연층(절연층(107))의 상면이 접하는 점이 도 4의 (A) 및 (B)에 나타낸 반도체 장치(10C)와 다르다. 그 외의 구성에 대해서는 반도체 장치(10C)와 마찬가지이다. 상기 구성으로 함으로써, 반도체 장치(10C)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0165] <변형예 10>

[0166] 도 8의 (B)에 나타낸 반도체 장치(10J)는 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽(도전층(112b))이 트랜지스터(M2)의 채널이 형성되는 반도체층(반도체층(108))의 상면과 접하는 점, 그리고 상기 반도체층의 밑면과 절연층(110)의 상면이 접하는 점이 도 5의 (A) 및 (B)에 나타낸 반도체 장치(10D)와 다르다. 그 외의 구성에 대해서는 반도체 장치(10D)와 마찬가지이다. 상기 구성으로 함으로써, 반도체 장치(10D)에서 얻어지는 효과와 같은 효과를 얻을 수 있다.

[0167] <변형예 11>

[0168] 도 8의 (C)에 나타낸 반도체 장치(10K)는 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 다른 쪽(도전층(112b))이 트랜지스터(M2)의 채널이 형성되는 반도체층(반도체층(108))의 상면과 접하는 점, 그리고 상기 반도체층의 밑면과 절연층(110)의 상면이 접하는 점이 도 6의 (A) 및 (B)에 나타낸 반도체 장치(10E)와 다르다. 그 외의 구성에 대해서는 반도체 장치(10E)와 마찬가지이다. 상기 구성으로 함으로써, 반도체 장치(10E)에서 얻어

지는 효과와 같은 효과를 얻을 수 있다.

[0169] <제작 방법예>

[0170] 다음으로 반도체 장치(10)의 제작 방법의 일례에 대하여 설명한다. 먼저 각 층의 구성 재료 및 각 층의 형성 방법에 대하여 설명한다.

[0171] [각 층의 형성 방법]

[0172] 절연층, 반도체층, 전극 또는 배선을 형성하기 위한 도전층 등은 스퍼터링법, CVD법, 진공 증착법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, ALD법 등을 사용하여 형성할 수 있다. CVD법으로서는 플라스마 화학 기상 퇴적(PECVD: Plasma Enhanced CVD)법 또는 열 CVD법을 사용하여도 좋다. 열 CVD법의 예로서 유기 금속 화학 기상 퇴적(MOCVD: Metal Organic CVD)법을 사용하여도 좋다.

[0173] 또한 반도체 장치를 구성하는 절연층, 반도체층, 및 도전층 등을 스핀 코팅, 디핑(dipping), 스프레이 도포, 잉크젯, 디스펜싱, 스크린 인쇄, 오프셋 인쇄, 슬릿 코팅, 롤 코팅, 커튼 코팅, 나이프 코팅 등의 방법에 의하여 형성하여도 좋다.

[0174] PECVD법을 사용하면, 비교적 낮은 온도에서 고품질의 막을 얻을 수 있다. MOCVD법, ALD법, 또는 열 CVD법 등 성막 시에 플라스마를 사용하지 않는 성막 방법을 사용하면 피형성면에 대미지가 생기기 어렵다. 예를 들어 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라스마로부터 전하를 받아 차지 업(charge up)하는 경우가 있다. 이때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 성막 방법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한 성막 시에 플라스마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.

[0175] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과는 달리 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 단차 피복성과 두께 균일성이 우수하기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.

[0176] CVD법 및 ALD법은 원료 가스의 유량비에 의하여, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어 CVD법 및 ALD법에서는 원료 가스의 유량비에 따라 임의의 조성을 가지는 막을 성막할 수 있다. 또한 예를 들어 CVD법 및 ALD법에서는 원료 가스의 유량비를 변화시키면서 성막을 수행함으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막을 수행하는 경우, 복수의 성막실을 사용하여 성막을 수행하는 경우와 비교하여, 반송 및 압력 조정에 걸리는 시간이 불필요하므로 성막 공정 전체에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.

[0177] 반도체 장치를 구성하는 층(박막)을 가공하는 경우에는 포토리소그래피법 등을 사용할 수 있다. 또는 차폐 마스크를 사용한 성막 방법에 의하여 섬 형상의 층을 형성하여도 좋다. 또는 나노임프린트법, 샌드 블라스트법, 리프트 오프법 등에 의하여 층을 가공하여도 좋다. 포토리소그래피법으로서는, 가공하고자 하는 층(박막) 위에 레지스트 마스크를 형성하고, 레지스트 마스크를 마스크로서 사용하여 상기 층(박막)의 일부를 선택적으로 제거하고, 그 후에 레지스트 마스크를 제거하는 방법과, 감광성을 가지는 층을 성막한 후에 노광, 현상을 수행하여 상기 층을 원하는 형상으로 가공하는 방법이 있다.

[0178] 포토리소그래피법에서 광을 사용하는 경우, 노광에 사용되는 광으로서는 예를 들어 i선(파장 365nm), g선(파장 436nm), h선(파장 405nm), 또는 이들을 혼합한 광을 사용할 수 있다. 그 외에 자외광, KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수도 있다. 또한 액침 노광 기술에 의하여 노광을 수행하여도 좋다. 또한 노광에 사용되는 광으로서 극자외(EUV: Extreme Ultra-Violet)광 또는 X선을 사용하여도 좋다. 또한 노광에 사용되는 광 대신에 전자 빔을 사용할 수도 있다. 극자외광, X선, 또는 전자 빔을 사용하면, 매우 미세한 가공을 수행할 수 있기 때문에 바람직하다. 또한 전자 빔 등의 빔을 주사하여 노광을 수행하는 경우에는 포토마스크가 불필요하다.

[0179] 층(박막)의 제거(에칭)에는 드라이 에칭법, 웨트 에칭법, 샌드 블라스트법 등을 사용할 수 있다. 또한 이들 에칭 방법을 조합하여 사용하여도 좋다.

[0180] 이하에서는 반도체 장치(10)의 제작 방법의 일례에 대하여 설명한다.

[0181] 먼저 기판(102) 위에 도전층(112a)을 형성하고, 도전층(112a) 위에 절연층(110)을 형성한다(도 9의 (A) 참조).

[0182] 기판(102)으로서 예를 들어 절연 표면을 가지는 절연체 기판을 사용한다. 절연체 기판으로서 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다.

[0183] 또한 필요에 따라 기판(102)으로서 반도체 기판 또는 도전체 기판을 사용하여도 좋다. 반도체 기판으로서 예를 들어 실리콘, 저마늄 등으로 이루어지는 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서, 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는 금속의 질화물을 포함한 기판, 금속의 산화물을 포함한 기판 등이 있다. 또한 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0184] 도전층(112a)이 되는 도전막은 예를 들어 상술한 재료를 사용하여 스퍼터링법에 의하여 형성할 수 있다. 또한 상기 도전막 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성(미도시)한 후에 상기 도전막을 가공함으로써, 추후에 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽이 되는 도전층(112a)을 형성한다. 상기 도전막의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다.

[0185] 또한 트랜지스터(M2)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 가지는 도전층(112a)에 배선으로서의 기능도 가지게 하는 경우, 상기 배선은 전기 저항이 낮은 재료로 형성되는 것이 바람직하다. 따라서 도전층(112a)을 전기 저항이 낮은 재료로 형성하는 것이 바람직하다. 또는 도전층(112a)보다 전기 저항이 낮은 재료로 형성되는 도전층을 도전층(112a) 위 또는 아래에 적층시켜 제공하는 것이 바람직하다.

[0186] 예를 들어 도전층(112a)에 도전성 산화물 재료를 사용하고, 도전층(112a)과 적층되는 도전층에는 상술한 도전층(104) 등에 사용할 수 있는 금속, 합금, 또는 이들의 질화물을 사용하는 것이 바람직하다. 도전층(112a)보다 전기 저항이 낮은 도전층을 도전층(112a)에 접하여 제공함으로써, 도전층(112a)을 배선으로서 사용하는 경우에 그 배선 저항을 저감할 수 있다.

[0187] 절연층(110)은 예를 들어 상술한 재료를 사용하여 PECVD법에 의하여 형성할 수 있다. 절연층(110)은 2층 이상의 적층 구조이어도 좋다. 이 경우, 각 층의 표면을 대기에 노출시키지 않고 진공 중에서 연속하여 형성하는 것이 바람직하다. 이에 의하여, 각 층의 표면에 대기 유래의 불순물이 부착되는 것을 억제할 수 있다. 상기 불순물로서는 예를 들어 물 및 유기물이 있다.

[0188] 절연층(110) 형성 시의 기판 온도는 180℃ 이상 450℃ 이하가 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하고, 350℃ 이상 400℃ 이하가 더 바람직하다. 절연층(110) 형성 시의 기판 온도를 상술한 범위로 함으로써, 절연층(110)으로부터의 불순물(예를 들어 물 및 수소)의 방출을 적게 할 수 있고, 추후에 형성하는 반도체층(108) 및 반도체층(109)으로 불순물이 확산되는 것을 억제할 수 있다. 이에 의하여, 전기 특성이 양호하고 신뢰성이 높은 반도체 장치를 실현할 수 있다.

[0189] 또한 절연층(110)은 반도체층(108) 및 반도체층(109)보다 먼저 형성되기 때문에, 절연층(110) 형성 시에 가해지는 열에 의한 반도체층(108) 및 반도체층(109)으로부터의 산소 이탈을 우려할 필요는 없다.

[0190] 절연층(110)을 형성한 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리를 수행함으로써 절연층(110)의 표면 및 막 중에서 물 및 수소를 이탈시킬 수 있다.

[0191] 가열 처리의 온도는 150℃ 이상 기판의 변형점 미만이 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하고, 350℃ 이상 400℃ 이하가 더 바람직하다. 가열 처리는 비활성 기체, 질소, 및 산소 중 하나 이상을 포함하는 분위기에서 수행할 수 있다. 질소를 포함한 분위기 또는 산소를 포함한 분위기로서 건조 공기(CDA: Clean Dry Air)를 사용하여도 좋다. 또한 상기 분위기에서의 수소, 물 등의 함유량이 가능한 한 적은 것이 바람직하다. 상기 분위기로서는 이슬점이 -60℃ 이하, 바람직하게는 -100℃ 이하의 고순도 가스를 사용하는

것이 바람직하다. 수소, 물 등의 함유량이 가능한 한 적은 분위기를 사용함으로써, 절연층(110)에 수소, 물 등이 들어가는 것을 가능한 한 방지할 수 있다. 가열 처리에는 오븐, 급속 가열(RTA: Rapid Thermal Annealing) 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써 가열 처리 시간을 단축할 수 있다.

[0192] 다음으로 절연층(110)에 대하여 산소(160)를 공급하는 처리를 수행한다(도 9의 (B) 참조). 산소(160)로서는 산소 라디칼, 산소 원자, 산소 원자 이온, 산소 분자 이온 등을 들 수 있다. 산소(160)의 공급 방법으로서는 예를 들어 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리를 사용할 수 있다.

[0193] 플라스마 처리에는 산소 가스를 고주파 전력에 의하여 플라스마화시키는 장치(플라스마 에칭 장치 또는 플라스마 애싱 장치라고도 함)를 적합하게 사용할 수 있다. 예를 들어 산소를 포함한 분위기에서 플라스마 처리를 수행하여도 좋다. 또는 일산화 이질소(N_2O) 등의 산화성 기체를 포함한 분위기에서의 플라스마 처리에 의하여 절연층(110)에 산소를 공급하여도 좋다. 일산화 이질소 가스를 포함한 플라스마 처리를 수행하면 절연층(110) 표면의 유기물을 적합하게 제거하면서 산소를 공급할 수 있다.

[0194] 다음으로 절연층(110) 위에, 추후에 도전층(112b)이 되는 도전막(112f)을 형성한다(도 9의 (C) 참조). 도전막(112f)은 예를 들어 상술한 재료를 사용하여 스퍼터링법에 의하여 형성할 수 있다.

[0195] 다음으로 추후에 트랜지스터(M2)를 형성하는 위치와 중첩되지 않는 도전막(112f) 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성(미도시)한 후, 도전막(112f) 및 절연층(110)을 각각 가공함으로써, 도전층(112a)에 도달하는 개구(141)를 형성한다(도 10의 (A) 참조). 개구(141) 형성에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다. 개구(141) 형성에는 예를 들어 드라이 에칭법을 적합하게 사용할 수 있다.

[0196] 다음으로 개구(141)의 내벽(도전층(112a)의 상면의 일부, 절연층(110)의 측면, 및 도전막(112f)의 측면), 및 도전막(112f)의 상면을 덮도록, 추후에 반도체층(108)이 되는 금속 산화물막(108f)을 형성한다(도 10의 (B) 참조). 금속 산화물막(108f)은 금속 산화물 타깃을 사용한 스퍼터링법에 의하여 형성하는 것이 바람직하다.

[0197] 금속 산화물막(108f)은 가능한 한 결함이 적은 치밀한 막으로 하는 것이 바람직하다. 또한 금속 산화물막(108f)은 수소 원소를 포함한 불순물이 가능한 한 저감되어 순도가 높은 막인 것이 바람직하다. 특히 금속 산화물막(108f)으로서는 결정성을 가지는 금속 산화물막을 사용하는 것이 바람직하다.

[0198] 금속 산화물막(108f) 형성 시에는 산소 가스를 사용하는 것이 바람직하다. 금속 산화물막(108f) 형성 시에 산소 가스를 사용함으로써, 개구(141)의 내벽으로부터 절연층(110) 중에 산소를 적합하게 공급할 수 있다.

[0199] 절연층(110)에 산소를 공급함으로써, 추후의 공정에서 반도체층(108)에 산소가 공급되어, 반도체층(108) 중의 산소 결손(V_O), 및 산소 결손에 수소가 들어감으로써 생성되는 V_OH를 저감할 수 있다.

[0200] 금속 산화물막(108f)을 성막할 때, 산소 가스와 불활성 가스(예를 들어 헬륨 가스, 아르곤 가스, 제논 가스 등)를 혼합시켜도 좋다. 금속 산화물막(108f)을 성막할 때의 성막 가스 전체에 차지하는 산소 가스의 비율(산소 유량비)이 높을수록 금속 산화물막(108f)의 결정성을 높일 수 있는 경우가 있다. 이에 의하여 신뢰성이 높은 트랜지스터(M2)를 실현할 수 있는 경우가 있다. 한편, 산소 유량비가 낮을수록 금속 산화물막(108f)의 결정성이 낮아지는 경우가 있다. 이에 의하여 온 전류가 큰 트랜지스터(M2)를 실현할 수 있는 경우가 있다.

[0201] 금속 산화물막(108f)을 형성할 때의 기판 온도가 높을수록 결정성이 높고 치밀한 금속 산화물막으로 할 수 있는 경우가 있다. 한편, 기판 온도가 낮을수록 결정성이 낮고 전기 전도성이 높은 금속 산화물막(108f)으로 할 수 있는 경우가 있다.

[0202] 금속 산화물막(108f) 형성 시의 기판 온도는 실온 이상 250℃ 이하, 바람직하게는 실온 이상 200℃ 이하, 더 바람직하게는 실온 이상 140℃ 이하로 하면 좋다. 예를 들어 기판 온도를 실온 이상 140℃ 이하로 하면 생산성이 높아져 바람직하다.

[0203] 반도체층(108)을 적층 구조로 하는 경우에는, 먼저 형성하는 금속 산화물막을 성막한 후에, 그 표면을 대기에 노출시키지 않고 연속하여 다음 금속 산화물막을 성막하는 것이 바람직하다.

[0204] 금속 산화물막(108f) 형성 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리를 수행함으로써 금속 산화물막(108f)의 표면 및 막 중에서 물 및 수소를 이탈시킬 수 있다. 또한 상기 가열 처리에 의하여 절연층(110)으로부터 금속 산화물막(108f)에 산소를 공급할 수 있다. 또한 상기 가열 처리에 의하여 금속 산화물막(108f)의 막질이 향상(예를 들어 결함의 저감, 결정성의 향상 등)되는 경우가 있다. 또한 가열 처리의 조건에 대해서는 상

술한 절연층(110)의 형성 후에 사용할 수 있는 가열 처리의 조건을 적용할 수 있다.

[0205] 또한 상기 가열 처리는 불필요하면 수행하지 않아도 된다. 또한 여기서는 가열 처리를 수행하지 않고, 추후의 공정에서 수행되는 가열 처리로 상기 가열 처리를 겸하여도 좋다. 또한 추후의 공정에서의 고온하의 처리(예를 들어 성막 공정 등) 등으로 상기 가열 처리를 겸할 수 있는 경우도 있다.

[0206] 다음으로 개구(141)의 내벽과 중첩되는 영역을 가지도록 금속 산화물막(108f)을 섬 형상으로 가공하여 반도체층(108)을 형성한다(도 10의 (C) 참조).

[0207] 반도체층(108) 형성에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다. 반도체층(108) 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0208] 다음으로 추후에 트랜지스터(M1)의 게이트 전극이 되는 위치와 중첩되는 도전막(112f) 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성(미도시)한 후, 상기 도전막을 가공함으로써 도전층(112b)을 형성한다(도 11의 (A) 참조). 도전층(112b) 형성에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다. 도전층(112b) 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0209] 다음으로 반도체층(108), 도전층(112b), 및 절연층(110) 위에, 추후에 트랜지스터(M1) 및 트랜지스터(M2)의 게이트 절연층이 되는 절연층(106)을 형성한다(도 11의 (B) 참조). 절연층(106)은 예를 들어 상술한 재료를 사용하여 PECVD법에 의하여 형성할 수 있다.

[0210] 반도체층(108) 및 추후에 형성하는 반도체층(109)에 각각 산화물 반도체를 사용하는 경우, 절연층(106)에는 수소가 저감되고 산소를 포함하는 절연성 재료를 사용하는 것이 바람직하다. 이에 의하여 절연층(106)과 접한 영역을 가지는 반도체층(108) 및 반도체층(109)이 각각 n형화되기 어려워진다. 또한 절연층(106)으로부터 반도체층(108) 및 반도체층(109)에 각각 산소를 효율적으로 공급할 수 있기 때문에 반도체층(108) 및 반도체층(109)의 산소 결손(V_O)을 저감할 수 있다. 반도체층(108)은 추후에 트랜지스터(M2)의 채널이 형성되는 반도체층으로서 기능하는 층이고, 반도체층(109)은 추후에 트랜지스터(M1)의 채널이 형성되는 반도체층으로서 기능하는 층이다. 따라서 절연층(106)에 상술한 바와 같은 재료를 사용함으로써, 양호한 전기 특성을 나타내고, 또한 신뢰성이 높은 트랜지스터(M2) 및 트랜지스터(M1)를 각각 실현할 수 있다.

[0211] 트랜지스터(M1) 및 트랜지스터(M2)의 게이트 절연층으로서 기능하는 절연층(106) 형성 시의 온도를 높게 함으로써 결함이 적은 절연층으로 할 수 있다. 그러나 절연층(106) 형성 시의 온도가 높으면, 반도체층(108)에서 산소가 이탈되어, 반도체층(108) 중의 산소 결손(V_O), 및 산소 결손에 수소가 들어감으로써 생성되는 V_OH가 증가하는 경우가 있다. 절연층(106) 형성 시의 기판 온도는 180℃ 이상 450℃ 이하가 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하다. 절연층(106) 형성 시의 기판 온도를 상술한 범위로 함으로써, 절연층(106)의 결함을 적게 하는 것과 동시에, 반도체층(108)에서 산소가 이탈되는 것을 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 트랜지스터(M2)를 실현할 수 있다.

[0212] 절연층(106)을 형성하기 전에 반도체층(108)의 표면에 대하여 플라스마 처리를 수행하여도 좋다. 상기 플라스마 처리에 의하여, 반도체층(108)의 표면에 흡착된 물 등의 불순물을 저감할 수 있다. 그러므로 반도체층(108)과 절연층(106)의 계면의 불순물을 저감할 수 있어 신뢰성이 높은 트랜지스터(M2)를 실현할 수 있다. 특히 반도체층(108) 형성 공정부터 절연층(106) 형성 공정까지 사이에 반도체층(108)의 표면이 대기에 노출되는 경우에는 적합하다. 플라스마 처리는 예를 들어 산소, 오존, 질소, 일산화 이질소, 아르곤 등의 분위기에서 수행할 수 있다. 또한 플라스마 처리와 절연층(106)의 성막은 대기에 노출시키지 않고 연속하여 수행되는 것이 바람직하다.

[0213] 다음으로 절연층(106) 위에, 추후에 반도체층(109)이 되는 금속 산화물막(109f)을 형성한다(도 11의 (C) 참조). 금속 산화물막(109f)은 금속 산화물 타깃을 사용한 스퍼터링법에 의하여 형성하는 것이 바람직하다.

[0214] 또한 금속 산화물막(109f)의 형성 조건, 및 금속 산화물막(109f) 형성 후에 수행하는 가열 처리의 조건에 대해서는 상술한 금속 산화물막(108f)의 형성 조건, 및 금속 산화물막(108f) 형성 후에 수행하는 가열 처리의 조건을 참조할 수 있다.

[0215] 다음으로, 금속 산화물막(109f)을 섬 형상으로 가공하여, 도전층(112b)과 중첩되는 영역을 가지도록 반도체층(109)을 형성한다(도 12의 (A) 참조).

[0216] 반도체층(109) 형성에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다. 반도체층(109) 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다. 이때 반도체층(109)과 중첩되지 않는 영역의 절연층(106)의 일부가 에칭되어 막 두께가 얇아지는 경우가 있다. 또한 금속 산화물막(109f)의 에칭에서 절연층(106)에 선택비가 높은 재료를 사용함으로써, 절연층(106)의 막 두께가 얇아지는 것을 억제할 수 있다.

[0217] 다음으로 반도체층(109) 및 절연층(106) 위에, 추후에 도전층(104), 도전층(116a), 및 도전층(116b)이 되는 도전막(116f)을 형성한다(도 12의 (B) 참조). 도전막(116f)은 예를 들어 상술한 재료를 사용하여 스퍼터링법에 의하여 형성할 수 있다.

[0218] 다음으로, 도전막(116f) 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한다(미도시). 또한 상기 레지스트 마스크는 적어도, 개구(141)와 중첩되는 영역과, 단면에서 볼 때 반도체층(109)의 측단부 중 한쪽을 덮는 영역과, 단면에서 볼 때 반도체층(109)의 측단부 중 한쪽과 대향하는 측단부 중 다른 쪽을 덮는 영역의 각각에 제공한다. 그 후, 상기 레지스트 마스크를 통하여 도전막(116f)을 가공함으로써, 개구(141)와 중첩되는 영역을 가지는 도전층(104)과, 단면에서 볼 때 반도체층(109)의 측단부 중 한쪽을 덮는 도전층(116a)과, 단면에서 볼 때 반도체층(109)의 측단부 중 한쪽과 대향하는 측단부 중 다른 쪽을 덮는 도전층(116b)을 각각 형성한다(도 12의 (C) 참조). 도전층(104)은 트랜지스터(M2)의 게이트 전극이 되는 도전층이다. 도전층(116a)은 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽이 되는 도전층이다. 도전층(116b)은 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 다른 쪽이 되는 도전층이다. 도전층(104), 도전층(116a), 및 도전층(116b)의 형성에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다. 도전층(104), 도전층(116a), 및 도전층(116b)의 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0219] 또한 도전층(104), 도전층(116a), 및 도전층(116b) 형성 시에, 도전층(104), 도전층(116a), 도전층(116b), 및 반도체층(109)과 중첩되는 영역의 절연층(106)의 막 두께보다 도전층(104), 도전층(116a), 도전층(116b), 및 반도체층(109)과 중첩되지 않는 영역의 절연층(106)의 막 두께가 얇아지는 경우가 있다. 또한 도전층(116a) 및 도전층(116b)과 중첩되는 영역의 반도체층(109)의 막 두께보다 도전층(116a) 및 도전층(116b)과 중첩되지 않는 영역의 반도체층(109)의 막 두께가 얇아지는 경우가 있다.

[0220] 도전층(104), 도전층(116a), 및 도전층(116b)을 형성한 후에 세정 처리를 수행하여도 좋다. 상기 세정 처리로서, 세정액 등을 사용한 웨트 세정 또는 플라스마를 사용한 플라스마 처리에 의한 세정을 사용할 수 있다. 상술한 세정을 적절히 조합하여 수행하여도 좋다. 상기 세정 처리를 수행함으로써, 도전층(104), 도전층(116a), 및 도전층(116b) 형성 시에 절연층(106) 및 반도체층(109)의 표면에 부착된 불순물(예를 들어 금속 및 유기물)을 제거할 수 있다.

[0221] 웨트 세정에는 예를 들어 인산, 옥살산, 및 염산 중 어느 하나 이상을 포함한 세정액을 사용할 수 있다. 웨트 세정에는 인산을 포함한 세정액을 적합하게 사용할 수 있다. 세정액의 농도는 절연층(106) 및 반도체층(109)에 대한 에칭 속도를 고려하여 결정하는 것이 바람직하다.

[0222] 플라스마 처리에는 예를 들어 산소, 오존, 질소, 일산화 이질소(N_2O), 및 아르곤 중 하나 이상을 포함한 가스를 사용할 수 있다. 플라스마 처리에는 산소를 포함한 가스를 사용하는 것이 바람직하다. 특히 일산화 이질소(N_2O)를 포함한 가스를 사용함으로써 절연층(106) 및 반도체층(109)의 표면의 유기물을 적합하게 제거할 수 있다. 플라스마 처리에는 예를 들어 PECVD 장치 또는 에칭 장치를 사용할 수 있다.

[0223] 상술한 공정을 거쳐 트랜지스터(M1)와 트랜지스터(M2)가 각각 형성된다.

[0224] 상술한 공정을 거쳐, 트랜지스터(M1) 및 트랜지스터(M2)를 가지는 본 발명의 일 형태인 반도체 장치(10)(도 1의 (A) 및 (B))를 제작할 수 있다.

[0225] 상술한 바와 같이 본 발명의 일 형태의 반도체 장치는 예를 들어 표시 장치의 화소 회로에 적용할 수 있다. 이하에서는 본 발명의 일 형태의 반도체 장치를 적용할 수 있는 화소 회로의 구성예에 대하여 설명한다.

[0226] <화소 회로의 구성예>

[0227] 도 13의 (A) 내지 (D) 및 도 14의 (A) 내지 (D)에, 본 발명의 일 형태의 반도체 장치를 적용할 수 있는 표시 장치의 화소(230)의 구성예를 나타내었다. 화소(230)는 화소 회로(51)(화소 회로(51A), 화소 회로(51B), 화소 회로(51C), 또는 화소 회로(51D)) 및 발광 디바이스(61)를 가진다.

[0228] 본 실시형태 등에서 설명하는 "발광 디바이스"란, 유기 EL 소자(OLED(Organic LED)라고도 함) 등의 자발광형 표

시 디바이스(표시 소자라고도 함)를 말한다. 또한 화소 회로에 전기적으로 접속되는 발광 소자는 LED, 마이크로 LED, QLED(Quantum-dot LED), 반도체 레이저 등의 자발광형 발광 소자로 하는 것이 가능하다.

[0229] 도 13의 (A)에 나타낸 화소 회로(51A)는 트랜지스터(52A), 트랜지스터(52B), 및 용량 소자(53)를 가지는 2Tr1C형 화소 회로이다.

[0230] 트랜지스터(52A)의 소스 및 드레인 중 한쪽은 배선(SL)과 전기적으로 접속되고, 트랜지스터(52A)의 게이트는 배선(GL)과 전기적으로 접속된다. 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52B)의 게이트와 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 한쪽과 용량 소자(53)의 한쪽 단자는 배선(ANO)과 전기적으로 접속된다. 용량 소자(53)의 다른 쪽 단자는 트랜지스터(52B)의 게이트와 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽은 발광 디바이스(61)의 애노드와 전기적으로 접속된다. 발광 디바이스(61)의 캐소드는 배선(VCOM)과 전기적으로 접속된다.

[0231] 배선(GL)은 반도체 장치(10)의 도전층(104)에 상당하고, 배선(SL)은 반도체 장치(10)의 도전층(112a)에 상당한다. 배선(VCOM)은 발광 디바이스(61)에 전류를 공급하기 위한 전위를 공급하는 배선이다. 트랜지스터(52A)는 배선(GL)의 전위에 의거하여 배선(SL)과 트랜지스터(52B)의 게이트 사이의 도통 상태 또는 비도통 상태를 제어하는 기능을 가진다. 예를 들어 배선(ANO)에는 VDD가 공급되고, 배선(VCOM)에는 VSS가 공급된다.

[0232] 트랜지스터(52B)는 발광 디바이스(61)에 흐르는 전류의 양을 제어하는 기능을 가진다. 용량 소자(53)는 트랜지스터(52B)의 게이트 전위를 유지하는 기능을 가진다. 발광 디바이스(61)가 사출하는 광의 강도는 트랜지스터(52B)의 게이트에 공급되는 화상 신호에 따라 제어된다.

[0233] 도 13의 (A)에 나타낸 화소 회로(51A)에서는 트랜지스터(52A)로서 n채널형 트랜지스터를 사용하고, 트랜지스터(52B)로서 p채널형 트랜지스터를 사용한다. 다만 도 13의 (B)에 나타낸 화소 회로(51A)와 같이, 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하여도 좋다. 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하는 경우에는, 용량 소자(53)의 한쪽 단자를 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속하면 좋다.

[0234] 도 13의 (B)에 나타낸 화소 회로(51A)에 본 발명의 일 형태의 반도체 장치를 사용할 수 있다. 예를 들어 화소 회로(51A)가 가지는 트랜지스터(52A)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있고, 화소 회로(51A)가 가지는 트랜지스터(52B)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있다. 또한 예를 들어 화소 회로(51A)가 가지는 트랜지스터(52A)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있고, 화소 회로(51A)가 가지는 트랜지스터(52B)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있다.

[0235] 트랜지스터(52B)로서 p채널형 트랜지스터를 사용하는 경우에는, 도 13의 (C)에 나타낸 화소 회로(51B)의 회로 구성으로 하여도 좋다. 도 13의 (C)에 나타낸 화소 회로(51B)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 및 용량 소자(53)를 가지는 3Tr1C형 화소 회로이다. 도 13의 (C)에 나타낸 화소 회로(51B)는 도 13의 (A)에 나타낸 화소 회로(51A)에 트랜지스터(52C)를 추가한 구성을 가진다.

[0236] 마찬가지로, 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하는 경우에는, 도 13의 (D)에 나타낸 화소 회로(51B)의 회로 구성으로 하여도 좋다. 도 13의 (D)에 나타낸 화소 회로(51B)는 도 13의 (B)에 나타낸 화소 회로(51A)에 트랜지스터(52C)를 추가한 구성을 가진다.

[0237] 도 13의 (C)에 나타낸 화소 회로(51B) 및 도 13의 (D)에 나타낸 화소 회로(51B)에서 트랜지스터(52C)의 소스 및 드레인 중 한쪽은 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(52C)의 소스 및 드레인 중 다른 쪽은 배선(V0)에 전기적으로 접속된다. 예를 들어 배선(V0)에는 기준 전위가 공급된다.

[0238] 트랜지스터(52C)는 배선(GL)의 전위에 의거하여 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 배선(V0) 사이의 도통 상태 또는 비도통 상태를 제어하는 기능을 가진다. 배선(V0)은 기준 전위를 공급하기 위한 배선이다. 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하는 경우에는, 트랜지스터(52C)를 통하여 공급되는 배선(V0)의 기준 전위에 의하여 트랜지스터(52B)의 게이트-소스 간 전압의 편차를 억제할 수 있다.

[0239] 또한 배선(V0)을 사용하여, 화소 파라미터의 설정에 사용할 수 있는 전류값을 취득할 수 있다. 더 구체적으로

는, 배선(V0)은 트랜지스터(52B)에 흐르는 전류 또는 발광 디바이스(61)에 흐르는 전류를 외부에 출력하기 위한 모니터선으로서 기능할 수 있다. 배선(V0)에 출력된 전류는 소스 폴로어 회로 등에 의하여 전압으로 변환되어 외부에 출력될 수 있다. 또는 A-D 컨버터 등에 의하여 디지털 신호로 변환되어 외부에 출력될 수 있다.

[0240] 도 13의 (D)에 나타낸 화소 회로(51B)에 본 발명의 일 형태의 반도체 장치를 사용할 수 있다. 예를 들어 화소 회로(51B)가 가지는 트랜지스터(52A)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있고, 화소 회로(51B)가 가지는 트랜지스터(52B)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있다. 또한 예를 들어 화소 회로(51B)가 가지는 트랜지스터(52A)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있고, 화소 회로(51B)가 가지는 트랜지스터(52B)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있다.

[0241] 또한 예를 들어 화소 회로(51B)가 가지는 트랜지스터(52B)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)(트랜지스터(M2))를 사용할 수 있고, 화소 회로(51B)가 가지는 트랜지스터(52C)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)(트랜지스터(M1))를 사용할 수 있다.

[0242] 도 14의 (A)에 나타낸 화소 회로(51C)는 도 13의 (C)에 나타낸 화소 회로(51B)에 트랜지스터(52D)를 추가한 구성을 가진다. 도 14의 (A)에 나타낸 화소 회로(51C)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 트랜지스터(52D), 및 용량 소자(53)를 가지는 4Tr1C형 화소 회로이다.

[0243] 트랜지스터(52D)의 소스 및 드레인 중 한쪽은 배선(ANO)에 전기적으로 접속되고, 다른 쪽은 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽, 용량 소자(53)의 다른 쪽 단자, 및 트랜지스터(52B)의 게이트에 전기적으로 접속된다.

[0244] 또한 화소 회로(51C)에는 배선(GL1), 배선(GL2), 및 배선(GL3)이 전기적으로 접속된다. 또한 본 실시형태 등에서 배선(GL1), 배선(GL2), 및 배선(GL3)을 통틀어 배선(GL)이라고 부르는 경우가 있다. 따라서 배선(GL)은 하나에 한정되지 않고, 복수 개인 경우가 있다.

[0245] 배선(GL1)은 트랜지스터(52A)의 게이트에 전기적으로 접속되고, 배선(GL2)은 트랜지스터(52C)의 게이트에 전기적으로 접속되고, 배선(GL3)은 트랜지스터(52D)의 게이트에 전기적으로 접속된다.

[0246] 트랜지스터(52D)를 온 상태로 함으로써 트랜지스터(52B)의 소스와 게이트의 전위가 같게 되어, 트랜지스터(52B)를 비도통 상태로 할 수 있다. 이에 의하여, 발광 디바이스(61)에 흐르는 전류를 강제적으로 차단할 수 있다. 이러한 화소 회로는 표시 기간과 소등 기간을 교대로 제공하는 표시 방법을 사용하는 경우에 적합하다. 트랜지스터(52D)를 온 상태로 하는 것과 동시에 트랜지스터(52C)를 온 상태로 하여도 좋다.

[0247] 도 14의 (A)에 나타낸 화소 회로(51C)에 본 발명의 일 형태의 반도체 장치를 사용할 수 있다. 예를 들어 화소 회로(51C)가 가지는 트랜지스터(52A)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)(트랜지스터(M2))를 사용할 수 있고, 화소 회로(51C)가 가지는 트랜지스터(52D)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)(트랜지스터(M1))를 사용할 수 있다.

[0248] 도 14의 (A)에 나타낸 화소 회로(51C)에서는 트랜지스터(52A), 트랜지스터(52C), 및 트랜지스터(52D)로서 n채널형 트랜지스터를 사용하고, 트랜지스터(52B)로서 p채널형 트랜지스터를 사용한다. 다만 도 14의 (B)에 나타낸 화소 회로(51C)와 같이, 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하여도 좋다. 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하는 경우에는, 용량 소자(53)의 한쪽 단자를 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속하면 좋다. 또한 트랜지스터(52D)의 소스 및 드레인 중 한쪽을 배선(V0)과 전기적으로 접속하면 좋다.

[0249] 도 14의 (B)에 나타낸 화소 회로(51C)에 본 발명의 일 형태의 반도체 장치를 사용할 수 있다. 예를 들어 화소 회로(51C)가 가지는 트랜지스터(52A)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)(트랜지스터(M2))를 사용할 수 있고, 화소 회로(51C)가 가지는 트랜지스터(52D)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)(트랜지스터(M1))를 사용할 수 있다.

[0250] 또한 예를 들어 화소 회로(51C)가 가지는 트랜지스터(52B)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)(트랜지스터(M2))를 사용할 수 있고, 화소 회로(51C)가 가지는 트랜지스터(52C)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)(트랜지스터(M1))를 사용할 수 있다.

[0251] 또한 예를 들어 화소 회로(51C)가 가지는 트랜지스터(52A)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있고, 화소 회로(51C)가 가지는 트랜지스터(52B)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있다. 또한 예를 들어 화소 회로(51C)가 가지는 트랜지스터(52A)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있고, 화소 회로(51C)가 가지는 트랜지스터(52B)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있다.

[0252] 또한 예를 들어 화소 회로(51C)가 가지는 트랜지스터(52D)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있고, 화소 회로(51C)가 가지는 트랜지스터(52B)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있다. 또한 예를 들어 화소 회로(51C)가 가지는 트랜지스터(52D)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있고, 화소 회로(51C)가 가지는 트랜지스터(52B)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있다.

[0253] 도 14의 (C)에 나타낸 화소 회로(51D)는 도 14의 (A)에 나타낸 화소 회로(51C)에 용량 소자(53A)를 추가한 구성을 가진다. 도 14의 (C)에 나타낸 화소 회로(51D)에서는 용량 소자(53A)의 한쪽 단자가 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 다른 쪽 단자가 트랜지스터(52B)의 게이트에 전기적으로 접속된다.

[0254] 도 14의 (C)에 나타낸 화소 회로(51D)에 본 발명의 일 형태의 반도체 장치를 사용할 수 있다. 예를 들어 화소 회로(51D)가 가지는 트랜지스터(52A)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)(트랜지스터(M2))를 사용할 수 있고, 화소 회로(51D)가 가지는 트랜지스터(52D)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)(트랜지스터(M1))를 사용할 수 있다.

[0255] 도 14의 (D)에 나타낸 화소 회로(51D)는 도 14의 (B)에 나타낸 화소 회로(51C)에 용량 소자(53A)를 추가한 구성을 가진다. 도 14의 (D)에 나타낸 화소 회로(51D)에서는 용량 소자(53A)의 한쪽 단자가 배선(ANO)에 전기적으로 접속되고, 다른 쪽 단자가 트랜지스터(52B)의 게이트에 전기적으로 접속된다. 용량 소자(53) 및 용량 소자(53A)는 각각 유지 용량 소자로서 기능한다. 도 14의 (C) 및 (D)에 나타낸 화소 회로(51D)는 4Tr2C형 화소 회로이다.

[0256] 도 14의 (D)에 나타낸 화소 회로(51D)에 본 발명의 일 형태의 반도체 장치를 사용할 수 있다. 예를 들어 화소 회로(51D)가 가지는 트랜지스터(52A)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)(트랜지스터(M2))를 사용할 수 있고, 화소 회로(51D)가 가지는 트랜지스터(52D)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)(트랜지스터(M1))를 사용할 수 있다.

[0257] 또한 예를 들어 화소 회로(51D)가 가지는 트랜지스터(52B)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)(트랜지스터(M2))를 사용할 수 있고, 화소 회로(51D)가 가지는 트랜지스터(52C)로서 도 4의 (A) 내지 도 6의 (B) 그리고 도 8의 (A) 내지 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)(트랜지스터(M1))를 사용할 수 있다.

[0258] 또한 예를 들어 화소 회로(51D)가 가지는 트랜지스터(52A)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있고, 화소 회로(51D)가 가지는 트랜지스터(52B)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있다. 또한 예를 들어 화소 회로(51D)가 가지는 트랜지스터(52A)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있고, 화소 회로(51D)가 가지는 트랜지스터(52B)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스

터(M2)를 사용할 수 있다.

[0259] 또한 예를 들어 화소 회로(51D)가 가지는 트랜지스터(52D)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있고, 화소 회로(51D)가 가지는 트랜지스터(52B)로서 도 1의 (A) 내지 도 2의 (B) 그리고 도 7의 (A) 및 (B)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있다. 또한 예를 들어 화소 회로(51D)가 가지는 트랜지스터(52D)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M1)를 사용할 수 있고, 화소 회로(51D)가 가지는 트랜지스터(52B)로서 도 3의 (A) 및 (B) 그리고 도 7의 (C)에 나타낸 각 반도체 장치가 가지는 트랜지스터(M2)를 사용할 수 있다.

[0260] 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 트랜지스터(52D)의 각 트랜지스터는 백 게이트 전극(제 2 게이트 전극)을 가지는 것이 바람직하고, 이 경우 백 게이트 전극에 게이트 전극과 같은 신호를 공급하는 구성, 백 게이트 전극에 게이트 전극과 다른 신호를 공급하는 구성으로 할 수 있다.

[0261] 트랜지스터(52B)뿐만 아니라 트랜지스터(52A), 트랜지스터(52C), 및 트랜지스터(52D)로서 p채널형 트랜지스터를 사용하여도 좋다.

[0262] 상술한 바와 같이 본 발명의 일 형태의 반도체 장치는 표시 장치의 화소 회로에 적용될 수 있다. 본 발명의 일 형태의 반도체 장치에서는 트랜지스터가 고밀도로 배치되고, 고집적화가 가능하므로, 상기 반도체 장치를 화소 회로에 적용한 표시 장치는 정세도가 높은 표시 장치로 할 수 있다.

[0263] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서 하나의 실시형태에 복수의 구성예가 기재된 경우에는 구성예를 적절히 조합할 수 있다.

[0264] (실시형태 2)

[0265] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치를 적용한 표시 장치에 대하여 설명한다.

[0266] 본 실시형태의 표시 장치는 정세도가 높은 표시 장치로 할 수 있다. 따라서 본 실시형태의 표시 장치는 예를 들어, 손목시계형 및 팔찌형 등의 정보 단말기(웨어러블 기기)의 표시부, 그리고 헤드 마운트 디스플레이(HMD) 등의 VR용 기기 및 안경형 AR용 기기 등 머리에 장착할 수 있는 웨어러블 기기의 표시부에 사용할 수 있다.

[0267] 또한 본 실시형태의 표시 장치는 고해상도 표시 장치 또는 대형 표시 장치로 할 수 있다. 따라서 본 실시형태의 표시 장치는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지, 및 파칭코기 등의 대형 게임기 등 비교적 큰 화면을 포함하는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 및 음향 재생 장치의 표시부에 사용할 수 있다.

[0268] <표시 장치(200A)>

[0269] 도 15에 표시 장치(200A)의 사시도를 나타내었다.

[0270] 표시 장치(200A)는 기판(152)과 기판(151)이 접합된 구성을 가진다. 도 15에서는 기판(152)을 파선으로 명시하였다.

[0271] 표시 장치(200A)는 표시부(162), 접속부(140), 회로(164), 배선(165) 등을 가진다. 도 15에는 표시 장치(200A)에 IC(173) 및 FPC(172)가 실장된 예를 나타내었다. 그러므로 도 15에 나타낸 구성은 표시 장치(200A)와, IC(집적 회로)와, FPC를 가지는 표시 모듈이라고도 할 수 있다.

[0272] 표시부(162)에서는 복수의 화소가 매트릭스상으로 배치된다. 화소는 각각 복수의 부화소를 가진다.

[0273] 부화소는 각각 표시 디바이스를 가진다. 표시 디바이스로서는 예를 들어 액정 디바이스(액정 소자라고도 함) 및 발광 디바이스가 있다. 발광 디바이스로서는 예를 들어 OLED 또는 QLED를 사용하는 것이 바람직하다. 발광 디바이스가 가지는 발광 물질로서, 예를 들어 형광을 발하는 물질(형광 재료), 인광을 발하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally Activated Delayed Fluorescence: TADF) 재료), 및 무기 화합물(퀀텀닷(quantum dot) 재료 등)이 있다. 또한 발광 디바이스로서 마이크로 LED 등의 LED를 사용할 수도 있다.

[0274] 발광 디바이스의 발광색은 적외, 적색, 녹색, 청색, 시안, 마젠타, 황색, 또는 백색의 광 등으로 할 수 있다. 또한 발광 디바이스에 마이크로캐비티 구조를 제공함으로써 색 순도를 높일 수 있다.

[0275] 이하에서는 표시 디바이스로서 발광 디바이스를 사용하는 구성을 예로 들어 설명한다.

[0276] 본 발명의 일 형태의 표시 장치는 발광색마다 구분하여 형성된 발광 디바이스를 가지고, 풀 컬러 표시가 가능하다.

[0277] 본 발명의 일 형태의 표시 장치는 발광 디바이스가 형성된 기판과는 반대 방향으로 광을 사출하는 전면 발광형(톱 이미션형), 발광 디바이스가 형성된 기판 측으로 광을 사출하는 배면 발광형(보텀 이미션형), 및 양면으로 광을 사출하는 양면 발광형(듀얼 이미션형) 중 어느 것이어도 좋다.

[0278] 접속부(140)는 표시부(162) 외측에 제공된다. 접속부(140)는 예를 들어 표시부(162)의 1변 또는 복수의 변을 따라 제공될 수 있다. 접속부(140)의 평면 형상은 특별히 한정되지 않고, 띠 형상, L자 형상, U자 형상, 또는 테두리 형상 등으로 할 수 있다. 접속부(140)는 하나이어도 좋고 복수이어도 좋다. 도 15에서는 표시부(162)의 4변을 둘러싸도록 접속부(140)가 제공된 예를 나타내었다. 접속부(140)에서는 발광 디바이스의 공통 전극과 도전층이 전기적으로 접속되고, 공통 전극에 전위를 공급할 수 있다. 접속부(140)는 캐소드 콘택트부라고 할 수도 있다.

[0279] 회로(164)로서는 예를 들어 주사선 구동 회로를 사용할 수 있다.

[0280] 배선(165)은 표시부(162) 및 회로(164)에 신호 및 전력을 공급하는 기능을 가진다. 상기 신호 및 전력은 FPC(172)를 통하여 외부로부터 배선(165)에 입력되거나 IC(173)로부터 배선(165)에 입력된다.

[0281] 도 15에는 COG(Chip On Glass) 방식 또는 COF(Chip On Film) 방식 등에 의하여 기판(151)에 IC(173)가 제공된 예를 나타내었다. IC(173)에는 예를 들어 주사선 구동 회로 또는 신호선 구동 회로 등을 가지는 IC가 적용될 수 있다. 또한 표시 장치(200A) 및 표시 모듈은 IC가 제공되지 않는 구성으로 하여도 좋다. 또한 IC를 COF 방식 등으로 FPC에 실장하여도 좋다.

[0282] 표시 장치(200A)에서의 FPC(172)를 포함하는 영역의 일부, 회로(164)의 일부, 표시부(162)의 일부, 접속부(140)의 일부, 및 단부를 포함하는 영역의 일부를 각각 자른 경우의 단면의 일례를 도 16에 나타내었다.

[0283] 도 16에 나타낸 표시 장치(200A)는 기판(151)과 기판(152) 사이에 트랜지스터(201), 트랜지스터(205R)(미도시), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R)(미도시), 트랜지스터(206G), 트랜지스터(206B)(미도시), 발광 디바이스(130R)(미도시), 발광 디바이스(130G), 및 발광 디바이스(130B) 등을 가진다.

[0284] 기판(151) 위에 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)가 제공된다. 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)를 덮도록 절연층(218)과, 절연층(218) 위의 절연층(235)이 제공된다. 절연층(235) 위에 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)가 제공된다.

[0285] 또한 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에 공통되는 사항을 설명하는 경우에는, 이들을 구별하는 알파벳을 생략하여 발광 디바이스(130)라고 기재하는 경우가 있다. 마찬가지로 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B) 등 알파벳으로 구별하는 구성 요소에 대해서도 이들에 공통되는 사항을 설명하는 경우에는, 알파벳을 생략한 부호를 사용하여 설명하는 경우가 있다.

[0286] 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)는 동일한 재료 및 동일한 공정에 의하여 제작할 수 있다. 또한 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)는 동일한 재료 및 동일한 공정에 의하여 제작할 수 있다. 또한 도 16에는 트랜지스터(201)가 트랜지스터(205)(트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B))와 같은 구성을 가지는 예를 나타내었지만 이에 한정되지 않는다. 트랜지스터(201)는 트랜지스터(206)(트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B))와 같은 구성을 가져도 좋다.

[0287] 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)에는 실시형태 1에서 설명한 트랜지스터를 적합하게 사용할 수 있다. 도 16에는 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)로서 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)의 트랜지스터(M2)를 적용한 구성을 나타내었다. 또한 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)로서 도 1의 (A) 및 (B)에 나타낸 반도체 장치(10)의 트랜지스터(M1)를 적용한 구성을 나타내었다.

[0288] 즉 트랜지스터(205R) 및 트랜지스터(206R)가 적색(R)의 광을 나타내는 부화소의 반도체 장치를 구성하고, 트랜지스터(205G) 및 트랜지스터(206G)가 녹색(G)의 광을 나타내는 부화소의 반도체 장치를 구성하고, 트랜지스터(205B) 및 트랜지스터(206B)가 청색(B)의 광을 나타내는 부화소의 반도체 장치를 구성한다고도 할 수 있다. 또한 도 16에는 절연층(110)이 절연층(110c), 절연층(110a), 및 절연층(110b)의 3층 적층 구조를 가지는 예를 나타내었다. 실시형태 1에 나타낸 트랜지스터를 표시부(162)에 사용함으로써 정세도가 높은 표시 장치로 할 수 있다. 또한 실시형태 1에서 설명한 트랜지스터를 회로(164)에 사용함으로써 베젤이 좁은 표시 장치로 할 수 있다.

[0289] 표시부(162)가 가지는 트랜지스터의 모두를 OS 트랜지스터로 하여도 좋고, 표시부(162)가 가지는 트랜지스터의 모두를 Si 트랜지스터로 하여도 좋고, 표시부(162)가 가지는 트랜지스터의 일부를 OS 트랜지스터로 하고, 나머지를 Si 트랜지스터로 하여도 좋다. Si 트랜지스터로서, LTPS를 사용한 트랜지스터(이하 LTPS 트랜지스터라고 기재함)를 사용하여도 좋다.

[0290] 예를 들어 표시부(162)에 LTPS 트랜지스터와 OS 트랜지스터의 양쪽을 사용함으로써, 소비 전력이 낮고 구동 능력이 높은 표시 장치를 실현할 수 있다. 또한 LTPS 트랜지스터와 OS 트랜지스터를 조합한 구성을 LTPO라고 부르는 경우가 있다. 예를 들어 배선 간의 도통, 비도통을 제어하기 위한 스위치로서 기능하는 트랜지스터에 OS 트랜지스터를 적용하고, 전류를 제어하는 트랜지스터에 LTPS 트랜지스터를 적용하는 것이 적합하다.

[0291] 예를 들어 표시부(162)가 가지는 트랜지스터 중 하나(트랜지스터(206))는 발광 디바이스에 흐르는 전류를 제어하기 위한 트랜지스터로서 기능하며, 구동 트랜지스터라고도 부를 수 있다. 구동 트랜지스터의 소스 및 드레인 중 한쪽은 발광 디바이스의 화소 전극과 전기적으로 접속된다. 상기 구동 트랜지스터에는 LTPS 트랜지스터를 사용하는 것이 바람직하다. 이에 의하여 화소 회로에서 발광 디바이스에 흐르는 전류를 크게 할 수 있다. 한편, 표시부(162)가 가지는 트랜지스터의 다른 하나(트랜지스터(205))는 화소의 선택, 비선택을 제어하기 위한 스위치로서 기능하며, 선택 트랜지스터라고 부를 수 있다. 선택 트랜지스터의 게이트는 게이트선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 소스선(신호선)과 전기적으로 접속된다. 선택 트랜지스터에는 OS 트랜지스터를 적용하는 것이 바람직하다. 이에 의하여 프레임 주파수를 현저히 작게(예를 들어 1fps 이하) 하여도 화소의 계조를 유지할 수 있기 때문에, 정지 화상을 표시할 때에 드라이버를 정지시킴으로써 소비 전력을 저감할 수 있다.

[0292] 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)는 각각 한 쌍의 전극과, 한 쌍의 전극 사이에 끼워지는 층을 가진다. 층은 적어도 발광층을 가진다. 발광 디바이스가 가지는 한 쌍의 전극 중 한쪽 전극은 양극으로서 기능하고, 다른 쪽 전극은 음극으로서 기능한다. 이하에서는 화소 전극이 양극으로서 기능하고, 공통 전극이 음극으로서 기능하는 경우를 예로 들어 설명하는 경우가 있다.

[0293] 발광 디바이스(130R)는 절연층(235) 위의 화소 전극(111R)과, 화소 전극(111R) 위의 섬 형상의 층(113R)(미도시)과, 섬 형상의 층(113R) 위의 공통 전극(115)을 가진다.

[0294] 발광 디바이스(130G)는 절연층(235) 위의 화소 전극(111G)과, 화소 전극(111G) 위의 섬 형상의 층(113G)과, 섬 형상의 층(113G) 위의 공통 전극(115)을 가진다.

[0295] 발광 디바이스(130B)는 절연층(235) 위의 화소 전극(111B)과, 화소 전극(111B) 위의 섬 형상의 층(113B)과, 섬 형상의 층(113B) 위의 공통 전극(115)을 가진다.

[0296] 층(113R), 층(113G), 또는 층(113B)은 각각 적어도 발광층을 가진다. 예를 들어 발광 디바이스(130R)는 적색(R)의 광을 발하고, 발광 디바이스(130G)는 녹색(G)의 광을 발하고, 발광 디바이스(130B)는 청색(B)의 광을 발하는 구성으로 할 수 있다. 층(113R)은 적색의 광을 발하는 발광층을 가지고, 층(113G)은 녹색의 광을 발하는 발광층을 가지고, 층(113B)은 청색의 광을 발하는 발광층을 가진다. 바꿔 말하면, 층(113R)은 적색의 광을 발하는 발광 재료를 포함하고, 층(113G)은 녹색의 광을 발하는 발광 재료를 포함하고, 층(113B)은 청색의 광을 발하는 발광 재료를 포함한다. 층(113R), 층(113G), 또는 층(113B)은 각각 하나 이상의 기능층을 가져도 좋다. 기능층으로서 캐리어 주입층(정공 주입층 및 전자 주입층), 캐리어 수송층(정공 수송층 및 전자 수송층), 및 캐리어 차단층(정공 차단층 및 전자 차단층)을 들 수 있다.

[0297] 도 16에서는 층(113R), 층(113G), 및 층(113B)의 막 두께는 모두 같지만 본 발명은 이에 한정되지 않는다. 층(113R), 층(113G), 및 층(113B)의 막 두께는 상이하여도 좋다. 예를 들어 층(113R), 층(113G), 및 층(113B) 각각이 발하는 광을 강하게 하는 광로 길이에 대응하여 막 두께를 설정하는 것이 바람직하다. 이에 의하여, 마이크로캐비티 구조를 실현하여 각 발광 디바이스(130)로부터 사출되는 광의 색 순도를 높일 수 있다.

[0298] 층(113R), 층(113G), 및 층(113B) 각각은 예를 들어 파인 메탈 마스크를 사용한 진공 증착법에 의하여 형성할 수 있다. 파인 메탈 마스크를 사용한 진공 증착법에서는 파인 메탈 마스크의 개구보다 넓은 범위에 층(113R), 층(113G), 및 층(113B)이 형성될 수 있다. 또한 층(113R), 층(113G), 및 층(113B)의 단부는 각각 테이퍼 형상을 가지게 된다. 또한 층(113R), 층(113G), 및 층(113B)의 형성에 파인 메탈 마스크를 사용한 스퍼터링법, 또는 잉크젯법을 사용하여도 좋다.

[0299] 본 실시형태의 발광 디바이스에는 싱글 구조(발광 유닛을 하나만 가지는 구조)를 적용하여도 좋고, 탠덤 구조(발광 유닛을 복수로 가지는 구조)를 적용하여도 좋다. 발광 유닛은 적어도 1층의 발광층을 가진다.

[0300] 탠덤 구조의 발광 디바이스를 사용하는 경우, 층(113R)은 적색의 광을 발하는 발광 유닛을 복수로 가지고, 층(113G)은 녹색의 광을 발하는 발광 유닛을 복수로 가지고, 층(113B)은 청색의 광을 발하는 발광 유닛을 복수로 가지는 것이 바람직하다. 각 발광 유닛 사이에는 전하 발생층(중간층이라고도 함)을 제공하는 것이 바람직하다.

[0301] 공통 전극(115)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유된다. 공통 전극(115)은 접속부(140)에 제공된 도전층(123)과 전기적으로 접속된다. 도전층(123)에는 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 같은 재료 및 같은 공정으로 형성된 도전층을 사용하는 것이 바람직하다. 도전층(123) 위에는 층(113R), 층(113G), 및 층(113B)을 형성하지 않는 것이 바람직하다.

[0302] 접속부(140)에서 도전층(123) 위에 공통 전극(115)이 제공된다. 공통 전극(115)의 형성에는 예를 들어 스퍼터링법 또는 진공 증착법을 사용할 수 있다. 또는 증착법으로 형성한 막과 스퍼터링법으로 형성한 막을 적층시켜도 좋다. 공통 전극(115)을 형성할 때, 공통 전극(115)을 형성하는 영역을 규정하기 위한 마스크(파인 메탈 마스크와 구별하여 에어리어 마스크 또는 러프 메탈 마스크라고도 함)를 사용하여도 좋다.

[0303] 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B) 위에 제공되는 절연층(218)은 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)의 보호층으로서 기능한다. 절연층(218)에는 불순물이 확산되기 어려운 재료를 사용하는 것이 바람직하다. 절연층(218)은 불순물이 외부로부터 트랜지스터로 확산되는 것을 억제하는 차단막으로서 기능한다. 불순물로서 예를 들어 물 및 수소가 있다. 절연층(218)을 제공함으로써 표시 장치의 신뢰성을 높일 수 있다.

[0304] 절연층(218)은 무기 재료를 포함한 절연층 또는 유기 재료를 포함한 절연층으로 할 수 있다. 절연층(218)에는 무기 재료를 적합하게 사용할 수 있다. 무기 재료로서 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 더 구체적으로는 질화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화 알루미늄, 산화 하프늄, 및 하프늄 알루미네이트 중 하나 또는 복수를 사용할 수 있다. 예를 들어 질화산화 실리콘은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 또한 트랜지스터보다 위쪽으로부터 트랜지스터로 불순물이 확산되는 것을 억제하는 차단막으로서 기능할 수 있기 때문에, 절연층(218)으로서 적합하게 사용할 수 있다. 유기 재료로서는 예를 들어 아크릴 수지 및 폴리이미드 수지 중 한쪽 또는 양쪽을 사용할 수 있다. 유기 재료로서 감광성 재료를 사용하여도 좋다. 또한 상술한 절연막을 2개 이상 적층하여 사용하여도 좋다. 절연층(218)은 무기 재료를 포함한 절연층과 유기 재료를 포함한 절연층의 적층 구조로 하여도 좋다.

[0305] 절연층(218)이 되는 절연막 형성 시의 온도를 높게 함으로써 불순물(예를 들어 물 및 수소)에 대한 차단성을 높일 수 있다. 그러나 트랜지스터(205) 및 트랜지스터(206)의 채널이 형성되는 반도체층으로서 각각 기능하는 반도체층(108) 및 반도체층(109)에 산화물 반도체를 사용하는 경우, 상기 절연막 형성 시의 온도가 높으면, 반도체층(108) 및 반도체층(109)에서 산소가 이탈되어, 반도체층(108) 중 및 반도체층(109) 중의 산소 결손(V_O) 및 V_OH가 증가하는 경우가 있다. 상기 절연막 형성 시의 기판 온도는 180℃ 이상 450℃ 이하가 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하다. 상기 절연막 형성 시의 기판 온도를 상술한 범위로 함으로써, 불순물에 대한 절연층(218)의 차단성을 높이는 것과 동시에, 반도체층(108) 및 반도체층(109)에서 산소가 이탈되는 것을 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 트랜지스터(205) 및 트랜지스터(206)를 실현할 수 있다.

[0306] 절연층(235)은 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)에 기인하는 요철을 작게 하여 발광 디바이스(130)의 피형성면을 더 평탄하게 하는 기능을

가진다. 또한 본 명세서 등에서 절연층(235)을 평탄화층이라고 기재하는 경우가 있다.

[0307] 절연층(235)에는 유기 재료를 적합하게 사용할 수 있다. 유기 재료로서 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다. 또한 본 명세서 등에서 아크릴 수지란, 폴리메타크릴산 에스터 또는 메타크릴 수지만을 가리키는 것이 아니라, 넓은 의미로 아크릴계 폴리머 전체를 가리키는 경우가 있다.

[0308] 절연층(235)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘(silicone) 수지, 실록산 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 사용할 수 있다. 또한 절연층(235)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다. 또한 감광성 수지로서 포토레지스트를 사용하여도 좋다. 감광성 유기 수지로서 포지티브형 재료 및 네거티브형 재료 중 어느 것을 사용하여도 좋다.

[0309] 절연층(235)을 유기 절연층과 무기 절연층의 적층 구조로 하여도 좋다. 예를 들어 절연층(235)을 유기 절연층과, 상기 유기 절연층 위의 무기 절연층의 적층 구조로 할 수 있다. 절연층(235)의 최표면에 무기 절연층을 제공함으로써 에칭 보호층으로서 기능시킬 수 있다. 이에 의하여, 화소 전극(111)을 형성할 때 절연층(235)의 일부가 에칭되어 절연층(235)의 평탄성이 낮아지는 것을 억제할 수 있다.

[0310] 발광 디바이스(130)의 피형성면인 절연층(235)의 상면의 평탄성이 낮은 경우, 예를 들어 공통 전극(115)의 단절로 인한 접속 불량, 또는 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승 등의 문제가 생기는 경우가 있다. 또한 절연층(235)의 상면의 평탄성이 낮은 경우, 절연층(235) 위에 형성되는 층의 가공 정밀도가 낮아지는 경우가 있다. 절연층(235)의 상면을 평탄하게 함으로써, 절연층(235) 위에 제공되는 발광 디바이스(130) 등의 가공 정밀도가 높아져 정세도가 높은 표시 장치로 할 수 있다. 또한 공통 전극(115)의 단절로 인한 접속 불량, 및 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승 등의 문제가 생기는 것을 방지할 수 있어 표시 품질이 높은 표시 장치로 할 수 있다.

[0311] 또한 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)을 형성할 때, 절연층(235)의 일부가 제거되는 경우가 있다. 절연층(235)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 모두와 중첩되지 않는 영역에 오목부를 가져도 좋다.

[0312] 또한 본 발명의 일 형태인 표시 장치에 적용할 수 있는 화소 전극의 구성은 도 16 등에 나타낸 화소 전극(111)의 구성에 한정되지 않는다.

[0313] 절연층(237)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)의 상면의 단부를 덮는다. 절연층(237)은 격벽(제방, 뱅크, 스페이서라고도 함)으로서 기능한다. 절연층(237)은 무기 재료를 포함한 절연층 또는 유기 재료를 포함한 절연층으로 할 수 있다. 절연층(237)에는 절연층(218)에 사용될 수 있는 재료 또는 절연층(235)에 사용될 수 있는 재료를 사용할 수 있다. 절연층(237)은 무기 절연층과 유기 절연층의 적층 구조로 하여도 좋다.

[0314] 절연층(237)을 제공함으로써, 화소 전극(111)과 공통 전극(115)이 접하여 발광 디바이스(130)가 단락되는 것을 억제할 수 있다. 절연층(237)의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 절연층(237)의 단부를 테이퍼 형상으로 함으로써, 추후에 형성되는 막의 피복성을 높일 수 있다. 특히 절연층(237)에 유기 절연층으로서 감광성 재료를 사용하는 경우에는, 노광 및 현상의 조건에 따라 단부의 형상을 제어하기 쉽기 때문에 바람직하다. 또한 절연층(237)에는 무기 절연층을 사용하여도 좋다. 절연층(237)에 무기 절연층을 사용함으로써 정세도가 높은 표시 장치로 할 수 있다.

[0315] 절연층(237)이 되는 막에 감광성 유기 재료를 사용하는 경우, 유기 재료를 포함한 조성물을 스핀 코팅법에 의하여 도포한 후, 선택적으로 노광, 현상을 수행함으로써 절연층(237)을 형성할 수 있다. 절연층(237)이 되는 막에 감광성 유기 재료를 사용하는 경우, 포지티브형 감광성 수지를 사용하여도 좋고 네거티브형 감광성 수지를 사용하여도 좋다. 노광에 사용하는 광은 i선을 포함하는 것이 바람직하다. 또한 노광에 사용하는 광은 g선 및 h선 중 적어도 한쪽을 포함하여도 좋다. 노광량을 조정함으로써 개구의 폭을 제어할 수 있다. 이 외의 형성 방법으로서 스퍼터링법, 증착법, 액적 토출법(잉크젯법), 스크린 인쇄, 및 오프셋 인쇄 중 하나 또는 복수를 사용하여도 좋다.

[0316] 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)은 절연층(218) 및 절연층(235)이 가지는 개구를 덮도록 형성된다. 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)의 오목부에는 절연층(237)이 매립되어

있다. 예를 들어 화소 전극(111)의 상면 단부 및 상기 개구를 덮는 절연층(237)을 형성한 후에, 파인 메탈 마스크를 사용하여 섬 형상의 층(113R), 층(113G), 및 층(113B)을 각각 형성할 수 있다.

[0317] 절연층(237) 위에 층(113R), 층(113G), 및 층(113B)이 제공되어도 좋다. 또한 도 16에는 인접한 층(113)들이 접하지 않는 구성을 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 절연층(237) 위에서, 인접한 층(113)들이 접하여도 좋다. 또한 절연층(237) 위에서, 인접한 층(113)들이 중첩되어도 좋다. 예를 들어 절연층(237) 위에서, 층(113R)과 층(113G)이 접하여도 좋고, 층(113R)과 층(113G)이 중첩되어도 좋다.

[0318] 또한 절연층(237)은 다른 구성예에도 적용할 수 있다.

[0319] 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 위에는 보호층(131)이 제공된다. 보호층(131)과 기판(152)은 접착층(142)을 개재하여 접착된다. 기판(152)에는 차광층(117)이 제공된다. 발광 디바이스의 밀봉에는 고체 밀봉 구조 또는 중공 밀봉 구조 등을 적용할 수 있다. 도 16에서는 기판(152)과 기판(151) 사이의 공간이 접착층(142)으로 충전되는 고체 밀봉 구조가 적용되어 있다. 또는 상기 공간을 불활성 가스(질소 또는 아르곤 등)로 충전하는 중공 밀봉 구조를 적용하여도 좋다. 이때 접착층(142)은 발광 디바이스와 중첩되지 않도록 제공되어도 좋다. 또한 상기 공간을 테두리 형상으로 제공된 접착층(142)과는 다른 수지로 충전하여도 좋다.

[0320] 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 위에 보호층(131)을 제공하는 것이 바람직하다. 보호층(131)을 제공함으로써, 공통 전극(115)의 산화, 및 발광 디바이스로의 불순물(물 및 산소 등) 침입을 억제할 수 있다. 따라서 발광 디바이스의 열화가 억제되어 표시 장치의 신뢰성을 높일 수 있다. 보호층(131)은 단층 구조이어도 좋고 2층 이상의 적층 구조이어도 좋다. 보호층(131)의 도전성은 불문한다. 보호층(131)으로서는 절연층, 반도체층, 및 도전층 중 적어도 1종류를 사용할 수 있다.

[0321] 보호층(131)에는 무기물을 사용할 수 있다. 보호층(131)에는 예를 들어 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 구체적으로는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 및 산화 하프늄을 들 수 있다. 특히 보호층(131)은 질화물 또는 질화산화물을 포함하는 것이 바람직하고, 질화물을 포함하는 것이 더 바람직하다.

[0322] 보호층(131)에는 In-Sn 산화물(ITO), In-Zn 산화물, Ga-Zn 산화물, Al-Zn 산화물, 또는 In-Ga-Zn 산화물(IGZO)을 포함한 층을 사용할 수도 있다. 상기 층은 고저항인 것이 바람직하고, 구체적으로는 공통 전극(115)보다 고저항인 것이 바람직하다. 상기 층은 질소를 더 포함하여도 좋다.

[0323] 발광 디바이스의 발광을 보호층(131)을 통하여 추출하는 경우, 보호층(131)은 가시광에 대한 투과성이 높은 것이 바람직하다. 예를 들어 In-Sn 산화물, In-Ga-Zn 산화물, 및 산화 알루미늄은 각각 가시광에 대한 투과성이 높으므로 바람직하다.

[0324] 보호층(131)은 유기막을 더 가져도 좋다. 예를 들어 보호층(131)은 유기막과 무기막의 양쪽을 가져도 좋다.

[0325] 보호층(131)의 성막 방법으로서 진공 증착법, 스퍼터링법, CVD법, 및 ALD법을 들 수 있다. 보호층(131)은 상이한 성막 방법을 사용하여 형성된 적층 구조를 가져도 좋다.

[0326] 보호층(131)은 적어도 표시부(162)에 제공되고, 표시부(162) 전체를 덮도록 제공되는 것이 바람직하다. 보호층(131)은 표시부(162)뿐만 아니라 접속부(140) 및 회로(164)를 덮도록 제공되는 것이 바람직하다. 또한 보호층(131)은 표시 장치(200A)의 단부까지 제공되는 것이 바람직하다.

[0327] 기판(151)에서 기판(152)과 중첩되지 않는 영역에는 접속부(204)가 제공된다. 접속부(204)에서는 배선(165)이 도전층(166) 및 접속층(242)을 통하여 FPC(172)와 전기적으로 접속된다. 도전층(166)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 같은 공정으로 형성할 수 있다. 접속부(204)의 상면에서는 도전층(166)이 노출된다. 이에 의하여 접속층(242)을 통하여 접속부(204)와 FPC(172)를 전기적으로 접속할 수 있다.

[0328] 접속층(242)에는 예를 들어 이방성 도전 필름(ACF: Anisotropic Conductive Film) 또는 이방성 도전 페이스트(ACP: Anisotropic Conductive Paste)를 사용할 수 있다.

[0329] 또한 접속부(204)에는 FPC(172)와 도전층(166)을 전기적으로 접속시키기 위하여, 보호층(131)이 제공되지 않은 부분이 생긴다. 예를 들어 보호층(131)을 표시 장치(200A)의 일면 전체에 성막한 후, 마스크를 사용하여 보호층(131)에서 도전층(166)과 중첩되는 영역을 제거함으로써 도전층(166)을 노출시킬 수 있다.

[0330] 도전층(166) 위에 적어도 1층의 유기층과 도전층의 적층 구조를 제공하고, 상기 적층 구조 위에 보호층(131)을

제공하여도 좋다. 그리고 상기 적층 구조에 대하여 레이저 또는 예리한 날붙이(예를 들어 바늘 또는 커터)를 사용하여 박리 기점(박리의 기점이 되는 부분)을 형성하고, 상기 적층 구조 및 그 위의 보호층(131)을 선택적으로 제거하여 도전층(166)을 노출시켜도 좋다. 예를 들어 점착성 롤러를 기판(151)에 누르고, 롤러를 회전시키면서 상대적으로 이동시킴으로써 보호층(131)을 선택적으로 제거할 수 있다. 또는 점착성 테이프를 기판(151)에 붙이고 떼어도 좋다. 유기층과 도전층의 밀착성, 또는 유기층끼리의 밀착성이 낮기 때문에, 유기층과 도전층의 계면, 또는 유기층에서 분리가 일어난다. 이에 의하여, 보호층(131)에서 도전층(166)과 중첩되는 영역을 선택적으로 제거할 수 있다. 또한 도전층(166) 위에 유기층 등이 잔존한 경우에는, 유기 용제 등을 사용하여 제거할 수 있다.

[0331] 유기층에는 예를 들어 층(113B), 층(113G), 및 층(113R) 중 어느 것에 사용하는 적어도 1층의 유기층(발광층, 캐리어 차단층, 캐리어 수송층, 또는 캐리어 주입층으로서 기능하는 층)을 사용할 수 있다. 유기층은 층(113B), 층(113G), 및 층(113R) 중 어느 것을 형성할 때 형성하여도 좋고, 별도로 제공하여도 좋다. 도전층은 공통 전극(115)과 동일한 공정 및 동일 재료로 형성할 수 있다. 예를 들어 공통 전극(115) 및 도전층으로서 ITO막을 형성하는 것이 바람직하다. 또한 공통 전극(115)에 적층 구조를 사용하는 경우, 도전층으로서 공통 전극(115)을 구성하는 층 중 적어도 1층을 제공한다.

[0332] 도전층(166) 위에 보호층(131)이 성막되지 않도록 도전층(166)의 상면을 마스크로 덮어도 좋다. 마스크로서는 예를 들어 메탈 마스크(에리어 메탈 마스크)를 사용하여도 좋고, 점착성 또는 흡착성을 가지는 테이프 또는 필름을 사용하여도 좋다. 상기 마스크를 배치한 상태에서 보호층(131)을 형성하고, 그 후에 마스크를 제거함으로써, 보호층(131)을 형성한 후에도 도전층(166)이 노출된 상태를 유지할 수 있다.

[0333] 이러한 방법을 사용하여, 접속부(204)에 보호층(131)이 제공되지 않은 영역을 형성하고, 상기 영역에서 접속층(242)을 통하여 도전층(166)과 FPC(172)를 전기적으로 접속할 수 있다.

[0334] 접속부(140)에서 절연층(235) 위에 도전층(123)이 제공된다. 도전층(123)의 단부는 절연층(237)으로 덮인다. 또한 도전층(123) 위에 공통 전극(115)이 제공된다.

[0335] 도 16에 나타낸 표시 장치(200A)는 톱 이미션형이다. 발광 디바이스가 발하는 광은 기판(152) 측에 사출된다. 기판(152)에는 가시광에 대한 투과성이 높은 재료를 사용하는 것이 바람직하다. 화소 전극(111)은 가시광을 반사하는 재료를 포함하고, 공통 전극(115)은 가시광을 투과시키는 재료를 포함한다. 도 16에서는 발광 디바이스(130G) 및 발광 디바이스(130B)로부터 기판(152) 측에 사출되는 광(G) 및 광(B)을 각각 파선의 화살표로 나타내었다.

[0336] 기판(152)에서의 기판(151) 측의 면에는 차광층(117)이 제공되는 것이 바람직하다. 차광층(117)은 인접한 발광 디바이스들 사이, 접속부(140), 및 회로(164)에 제공할 수 있다. 차광층(117)을 제공함으로써, 인접한 부화소가 발하는 광이 차단되어 혼색을 방지할 수 있다. 또한 외광이 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)에 도달하는 것을 억제할 수 있어, 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)가 상기 외광에 의하여 열화되는 것을 억제할 수 있다. 또한 차광층(117)을 제공하지 않는 구성으로 하여도 좋다.

[0337] 기판(152)의 외측에는 각종 광학 부재를 배치할 수 있다. 광학 부재로서 편광판, 위상차판, 광 확산층(예를 들어 확산 필름), 반사 방지층, 및 집광 필름을 들 수 있다. 또한 기판(152)의 외측에는 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수성의 막, 사용에 따른 흠집의 발생을 억제하는 하드 코트막, 충격 흡수층 등의 표면 보호층을 배치하여도 좋다. 예를 들어 표면 보호층으로서 유리층 또는 실리카층(SiO_x층)을 제공함으로써, 표면 오염 및 흠집의 발생을 억제할 수 있어 바람직하다. 또한 표면 보호층으로서 DLC(Diamond Like Carbon), 산화 알루미늄(AlO_x), 폴리에스터계 재료, 또는 폴리카보네이트계 재료 등을 사용하여도 좋다. 또한 표면 보호층에는 가시광에 대한 투과율이 높은 재료를 사용하는 것이 바람직하다. 또한 표면 보호층에는 경도가 높은 재료를 사용하는 것이 바람직하다.

[0338] 기판(151) 및 기판(152)에는 도 1의 (B) 등에 나타낸 기판(102)에 사용할 수 있는 재료를 각각 사용할 수 있다. 발광 디바이스로부터의 광을 추출하는 측의 기판에는 상기 광을 투과시키는 재료를 사용한다. 또한 발광 디바이스로부터의 광을 추출하는 측의 기판으로서 편광판을 사용하여도 좋다.

[0339] 기판(151) 및 기판(152)에 가요성을 가지는 재료를 사용하면, 표시 장치의 가요성을 높일 수 있다. 기판(151)

및 기판(152) 각각에는 예를 들어 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리아크릴로나이트릴 수지, 아크릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지(나일론, 아라미드 등), 폴리실록산 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리우레탄 수지, 폴리염화바이닐 수지, 폴리염화바이닐리덴 수지, 폴리프로필렌 수지, 폴리테트라플루오로에틸렌(PTFE) 수지, ABS 수지, 또는 셀룰로스 나노섬유를 사용할 수 있다. 기판(151) 및 기판(152) 각각에는 가요성을 가질 정도의 두께의 유리를 사용하여도 좋다.

[0340] 또한 표시 장치에 원편광판을 중첩시키는 경우, 표시 장치가 가지는 기판에는 광학적 등방성이 높은 기판을 사용하는 것이 바람직하다. 광학적 등방성이 높은 기판은 복굴절이 작다(복굴절량이 작다고도 할 수 있음).

[0341] 광학적 등방성이 높은 기판의 위상차(retardation)값의 절댓값은 30nm 이하가 바람직하고, 20nm 이하가 더 바람직하고, 10nm 이하가 더 바람직하다.

[0342] 광학적 등방성이 높은 필름으로서는 트라이아세틸셀룰로스(TAC, 셀룰로스트라이아세테이트라고도 함) 필름, 사이클로올레핀 폴리머(COP) 필름, 사이클로올레핀 공중합체(COC) 필름, 및 아크릴 필름 등을 들 수 있다.

[0343] 기판으로서 필름을 사용하는 경우, 필름이 흡수(吸水)함으로써 표시 장치에 주름이 생기는 등 형상 변화가 일어날 우려가 있다. 그러므로 기판에는 흡수율이 낮은 필름을 사용하는 것이 바람직하다. 예를 들어, 흡수율이 1% 이하의 필름을 사용하는 것이 바람직하고, 0.1% 이하의 필름을 사용하는 것이 더 바람직하고, 0.01% 이하의 필름을 사용하는 것이 더 바람직하다.

[0344] 접착층(142)에는 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 및 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 에폭시 수지, 아크릴 수지, 실리콘 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 특히 에폭시 수지 등 투습성이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트 등을 사용하여도 좋다.

[0345] 이하에서는 상술한 표시 장치와 다른 구성예에 대하여 설명한다. 또한 상술한 표시 장치와 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다. 또한 이하에서 설명하는 도면에서, 상술한 표시 장치와 같은 기능을 가지는 부분에 대해서는 해치 패턴을 같게 하고, 부호를 붙이지 않은 경우도 있다.

[0346] <표시 장치(200B)>

[0347] 도 17에 나타낸 표시 장치(200B)는 발광 디바이스(130R)(미도시), 발광 디바이스(130G), 및 발광 디바이스(130B)의 구성이 도 16에 나타낸 표시 장치(200A)와 주로 다르다.

[0348] 발광 디바이스(130R)는 층(113R) 대신에 층(113W)을 가진다. 발광 디바이스(130G)는 층(113G) 대신에 층(113W)을 가진다. 발광 디바이스(130B)는 층(113B) 대신에 층(113W)을 가진다. 층(113W)은 예를 들어 백색의 광을 발하는 구성으로 할 수 있다. 층(113W) 형성에는 예를 들어 진공 증착법 또는 스퍼터링법을 사용할 수 있다. 층(113W)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유되는 구성으로 할 수 있다. 복수의 발광 디바이스(130)가 층(113W)을 공유함으로써, 파인 메탈 마스크를 사용하지 않고 층(113W)을 형성할 수 있다. 층(113W)은 표시부(162)에 제공된다. 층(113W) 형성에는 예를 들어 에어리어 마스크를 사용할 수 있다.

[0349] 화소 전극(111)과 층(113) 사이에 광학 조정층(미도시)을 제공하여도 좋다. 광학 조정층으로서, 가시광에 대하여 투과성을 가지는 도전층을 사용할 수 있다. 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 광학 조정층의 막 두께를 각각 다르게 하여도 좋다. 광학 조정층의 막 두께를 최적의 광로 길이가 되도록 조정함으로써, 백색의 광을 발하는 층(113W)을 사용한 경우에도 원하는 파장의 광이 강해진 광을 발광 디바이스(130)로부터 얻을 수 있다.

[0350] 기판(152)에서의 접착층(142) 측의 면에는 적색의 광을 투과시키는 착색층(132R)(미도시), 녹색의 광을 투과시키는 착색층(132G), 및 청색의 광을 투과시키는 착색층(132B)을 제공하여도 좋다. 착색층(132R)은 발광 디바이스(130R)와 중첩되는 영역에 제공된다. 착색층(132G)은 발광 디바이스(130G)와 중첩되는 영역에 제공된다. 착색층(132B)은 발광 디바이스(130B)와 중첩되는 영역에 제공된다. 예를 들어 적색의 발광 디바이스(130R)로부터 사출되는 불필요한 파장의 광을 착색층(132R)으로 차단할 수 있다. 이러한 구성으로 함으로써, 각 발광 디바이스로부터 사출되는 광의 색 순도를 높일 수 있다. 또한 발광 디바이스(130G)와 착색층(132G)의 조합, 및 발광

디바이스(130B)와 착색층(132B)의 조합에서도 각각 같은 효과를 나타낸다.

[0351] 또한 착색층(132R), 착색층(132G), 및 착색층(132B)은 다른 구성예에도 적용할 수 있다.

[0352] <표시 장치(200C)>

[0353] 도 18에 나타낸 표시 장치(200C)는 화소 전극(111R)(미도시), 화소 전극(111G), 화소 전극(111B), 도전층(123), 및 도전층(166)의 구성이 다른 점, 절연층(237)을 가지지 않는 점, 층(113)이 화소 전극(111)의 상면 및 측면을 덮는 점, 그리고 공통층(114), 절연층(125), 및 절연층(127)을 가지는 점에서 도 16에 나타낸 표시 장치(200A)와 주로 다르다.

[0354] 발광 디바이스(130R)(미도시)는 절연층(235) 위의 화소 전극(111R)과, 화소 전극(111R) 위의 섬 형상의 층(113R)(미도시)과, 섬 형상의 층(113R) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 발광 디바이스(130R)에서 층(113R) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다.

[0355] 발광 디바이스(130G)는 절연층(235) 위의 화소 전극(111G)과, 화소 전극(111G) 위의 섬 형상의 층(113G)과, 섬 형상의 층(113G) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 발광 디바이스(130G)에서 층(113G) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다.

[0356] 발광 디바이스(130B)는 절연층(235) 위의 화소 전극(111B)과, 화소 전극(111B) 위의 섬 형상의 층(113B)과, 섬 형상의 층(113B) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 발광 디바이스(130B)에서 층(113B) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다.

[0357] 본 명세서 등에서는 발광 디바이스가 가지는 EL층 중, 발광 디바이스마다 섬 형상으로 제공된 층을 층(113R), 층(113G), 또는 층(113B)이라고 기재하고, 복수의 발광 디바이스가 공유하는 층을 공통층(114)이라고 기재한다. 또한 본 명세서 등에서 공통층(114)을 포함시키지 않고, 층(113R), 층(113G), 및 층(113B)을 가리키는 용어로서 섬 형상의 EL층, 섬 형상으로 형성된 EL층 등이라고 부르는 경우도 있다.

[0358] 예를 들어 층(113R), 층(113G), 및 층(113B) 각각은 정공 주입층, 정공 수송층, 발광층, 및 전자 수송층을 이 순서대로 가져도 좋다. 또한 정공 수송층과 발광층 사이에 전자 차단층을 가져도 좋다. 또한 전자 수송층과 발광층 사이에 정공 차단층을 가져도 좋다. 또한 전자 수송층 위에 전자 주입층을 가져도 좋다.

[0359] 예를 들어 층(113R), 층(113G), 및 층(113B) 각각은 전자 주입층, 전자 수송층, 발광층, 및 정공 수송층을 이 순서대로 가져도 좋다. 또한 전자 수송층과 발광층 사이에 정공 차단층을 가져도 좋다. 또한 정공 수송층과 발광층 사이에 전자 차단층을 가져도 좋다. 또한 정공 수송층 위에 정공 주입층을 가져도 좋다.

[0360] 이와 같이 층(113R), 층(113G), 및 층(113B) 각각은 발광층과, 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다. 또는 층(113R), 층(113G), 및 층(113B) 각각은 발광층과, 발광층 위의 캐리어 차단층(정공 차단층 또는 전자 차단층)을 가지는 것이 바람직하다. 또는 층(113R), 층(113G), 및 층(113B) 각각은 발광층과, 발광층 위의 캐리어 차단층과, 캐리어 차단층 위의 캐리어 수송층을 가지는 것이 바람직하다.

[0361] 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에 탠덤 구조를 적용하여도 좋다. 탠덤 구조를 적용하는 경우, 층(113R)은 적색의 광을 발하는 발광 유닛을 복수로 가지고, 층(113G)은 녹색의 광을 발하는 발광 유닛을 복수로 가지고, 층(113B)은 청색의 광을 발하는 발광 유닛을 복수로 가지는 것이 바람직하다. 각 발광 유닛 사이에는 전하 발생층을 제공하는 것이 바람직하다. 층(113R), 층(113G), 및 층(113B)은 예를 들어 제 1 발광 유닛과, 제 1 발광 유닛 위의 전하 발생층과, 전하 발생층 위의 제 2 발광 유닛을 가져도 좋다.

[0362] 제 2 발광 유닛은 발광층과, 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다. 또는 제 2 발광 유닛은 발광층과, 발광층 위의 캐리어 차단층(정공 차단층 또는 전자 차단층)을 가지는 것이 바람직하다. 또는 제 2 발광 유닛은 발광층과, 발광층 위의 캐리어 차단층과, 캐리어 차단층 위의 캐리어 수송층을 가지는 것이 바람직하다. 제 2 발광 유닛의 표면은 표시 장치의 제작 공정에서 노출되기 때문에, 캐리어 수송층 및 캐리어 차단층 중 한쪽 또는 양쪽을 발광층 위에 제공함으로써, 최표면에서 발광층이 노출되는 것을 억제하여 발광층이 받는 대미지를 감소시킬 수 있다. 이에 의하여 발광 디바이스의 신뢰성을 높일 수 있다. 또한 발광 유닛을 3개 이상 가지는 경우에는, 가장 위층에 제공되는 발광 유닛이 발광층과, 발광층 위의 캐리어 수송층 및 캐리어 차단층 중 한쪽 또는 양쪽을 가지는 것이 바람직하다.

[0363] 공통층(114)은 예를 들어 전자 주입층 또는 정공 주입층을 가진다. 또는 공통층(114)은 전자 수송층과 전자 주

입층의 적층을 가져도 좋고, 정공 수송층과 정공 주입층의 적층을 가져도 좋다. 공통층(114)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유된다. 공통층(114) 형성에는 예를 들어 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 또는 도포법을 사용할 수 있다.

[0364] 접속부(140)에는 공통층(114)을 제공하지 않아도 된다. 도 18에는 도전층(123) 위에 공통 전극(115)이 직접 제공되는 구성을 나타내었다. 또한 도전층(123) 위에 공통층(114)이 제공되고, 공통층(114)을 통하여 도전층(123)과 공통 전극(115)이 전기적으로 접속되는 구성으로 하여도 좋다. 예를 들어 에어리어 마스크를 사용함으로써, 공통층(114)이 성막되는 영역과 공통 전극(115)이 성막되는 영역을 다르게 할 수 있다.

[0365] 도 18에 나타낸 바와 같이, 발광 디바이스(130G)가 가지는 화소 전극(111G)은 도전층(124G)과, 도전층(124G) 위의 도전층(126G)과, 도전층(126G) 위의 도전층(129G)의 적층 구조를 가진다.

[0366] 도전층(124G)은 절연층(218) 및 절연층(235)에 제공된 개구를 통하여 트랜지스터(206G)가 가지는 도전층(116b)과 전기적으로 접속된다.

[0367] 도전층(124G)의 단부는 도전층(126G)의 단부보다 외측에 위치한다. 도전층(126G)의 단부는 도전층(129G)의 단부보다 내측에 위치한다. 도전층(124G)의 단부는 도전층(129G)의 단부보다 외측에 위치한다. 즉 도전층(126G)의 단부는 도전층(124G) 위에 위치한다. 또한 도전층(129G)의 단부는 도전층(124G) 위에 위치한다. 도전층(126G)의 상면 및 측면은 도전층(129G)으로 덮인다.

[0368] 도전층(124G)의 가시광에 대한 투과성 및 반사성에 대해서는 특별히 한정되지 않는다. 도전층(124G)에는 가시광에 대하여 투과성을 가지는 도전층 또는 가시광에 대하여 반사성을 가지는 도전층을 사용할 수 있다. 가시광에 대하여 투과성을 가지는 도전층으로서 예를 들어 산화물 도전체를 포함한 도전층(산화물 도전층이라고도 함)을 사용할 수 있다. 구체적으로는 도전층(124G)에 In-Si-Sn 산화물(ITSO라고도 함)을 적합하게 사용할 수 있다. 가시광에 대하여 반사성을 가지는 도전층에는 예를 들어 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 은, 주석, 아연, 백금, 금, 몰리브데넘, 탄탈럼, 또는 텅스텐 등의 금속, 혹은 이들을 주성분으로 하는 합금(예를 들어 은과 팔라듐과 구리의 합금(APC: Ag-Pd-Cu))을 사용할 수 있다. 도전층(124G)은 가시광에 대하여 투과성을 가지는 도전층과, 상기 도전층 위의 반사성을 가지는 도전층의 적층 구조로 하여도 좋다. 도전층(124G)에는 도전층(124G)의 피형성면(여기서는 절연층(235))과의 밀착성이 높은 재료를 적용하는 것이 바람직하다. 이에 의하여 도전층(124G)의 막 박리를 억제할 수 있다.

[0369] 도전층(126G)에는 가시광에 대하여 반사성을 가지는 도전층을 사용할 수 있다. 도전층(126G)은 가시광에 대하여 투과성을 가지는 도전층과, 상기 도전층 위의 반사성을 가지는 도전층의 적층 구조로 하여도 좋다. 도전층(126G)에는 도전층(124G)과 같은 재료를 적용할 수 있다. 구체적으로는 도전층(126G)에는 In-Si-Sn 산화물(ITSO)과, In-Si-Sn 산화물(ITSO) 위의 은과 팔라듐과 구리의 합금(APC)의 적층 구조를 적합하게 사용할 수 있다.

[0370] 도전층(129G)에는 도전층(124G)과 같은 재료를 적용할 수 있다. 도전층(129G)에는 예를 들어 가시광에 대하여 투과성을 가지는 도전층을 사용할 수 있다. 구체적으로는 도전층(129G)에는 In-Si-Sn 산화물(ITSO)을 사용할 수 있다.

[0371] 도전층(126G)에 산화되기 쉬운 재료를 사용하는 경우, 도전층(129G)에 산화되기 어려운 재료를 적용하고 도전층(129G)으로 도전층(126G)을 덮음으로써 도전층(126G)의 산화를 억제할 수 있다. 또한 도전층(126G)에 포함되는 금속 성분이 석출되는 것을 억제할 수 있다. 예를 들어 도전층(126G)에 은을 포함한 재료를 적용하는 경우, 도전층(129G)에는 In-Si-Sn 산화물(ITSO)을 적합하게 사용할 수 있다. 이에 의하여 도전층(126G)의 산화 및 은의 석출을 억제할 수 있다.

[0372] 발광 디바이스(130R)에서의 도전층(124R)(미도시), 도전층(126R)(미도시), 및 도전층(129R)(미도시), 그리고 발광 디바이스(130B)에서의 도전층(124B), 도전층(126B), 및 도전층(129B)에 대해서는 각각, 발광 디바이스(130G)에서의 도전층(124G), 도전층(126G), 및 도전층(129G)과 같기 때문에 자세한 설명은 생략한다.

[0373] 또한 도 18 등에 나타낸 화소 전극(111R), 화소 전극(111G), 화소 전극(111B), 도전층(123), 및 도전층(166)은 다른 구성예에도 적용할 수 있다.

[0374] 도전층(124R), 도전층(124G), 및 도전층(124B)은 절연층(218) 및 절연층(235)에 제공된 개구를 덮도록 형성된다. 도전층(124R), 도전층(124G), 및 도전층(124B)의 오목부에는 층(128)이 매립되어 있다.

[0375] 층(128)은 도전층(124R), 도전층(124G), 및 도전층(124B)의 오목부를 평탄하게 하는 기능을 가진다. 도전층

(124R), 도전층(124G), 도전층(124B), 및 층(128) 위에는 도전층(124R), 도전층(124G), 및 도전층(124B)에 각각 전기적으로 접속되는 도전층(126R), 도전층(126G), 및 도전층(126B)이 제공된다. 따라서 발광 디바이스(130)에서 도전층(124R), 도전층(124G), 및 도전층(124B)의 오목부와 중첩되는 영역도 발광 영역으로서 기능하여 화소의 개구율을 높일 수 있다.

[0376] 층(128)은 절연층이어도 좋고 도전층이어도 좋다. 층(128)에는 각종 무기 절연 재료, 유기 절연 재료, 및 도전 재료를 적절히 사용할 수 있다. 층(128)은 유기 재료를 사용하여 형성되는 것이 바람직하다. 유기 재료로서 감광성 유기 수지를 사용하는 것이 특히 바람직하다. 층(128)에는 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 적합하게 사용할 수 있다.

[0377] 또한 층(128)을 도전층으로 하는 경우, 층(128)은 화소 전극의 일부로서 기능할 수 있다. 층(128)에는 예를 들어 금속 입자를 분산시킨 유기 수지를 사용할 수 있다.

[0378] 또한 도 18 등에 나타낸 층(128)은 다른 구성예에도 적용할 수 있다.

[0379] 도 18에는 층(113G)의 단부가 화소 전극(111G)의 단부보다 외측에 위치하는 예를 나타내었다. 층(113G)은 화소 전극(111G)의 단부를 덮도록 형성된다. 이러한 구성으로 함으로써, 화소 전극의 상면 전체를 발광 영역으로 할 수도 있기 때문에, 섬 형상의 EL층의 단부가 화소 전극의 단부보다 내측에 위치하는 구성에 비하여 개구율을 높일 수 있다. 또한 화소 전극(111)의 측면을 EL층으로 덮음으로써, 화소 전극(111)과 공통 전극(115)이 접하는 것을 억제할 수 있기 때문에 발광 디바이스(130)의 단락을 억제할 수 있다. 또한 여기서는 화소 전극(111G)과 층(113G)을 예로 들어 설명하지만, 화소 전극(111R)과 층(113R), 및 화소 전극(111B)과 층(113B)에서도 마찬가지이다.

[0380] 화소 전극(111G)과 층(113G) 사이에는 화소 전극(111G)의 상면 단부를 덮는 절연층(도 16의 절연층(237) 참조)이 제공되지 않는다. 또한 화소 전극(111B)과 층(113B) 사이에는 화소 전극(111B)의 상면 단부를 덮는 절연층이 제공되지 않는다. 그러므로 인접한 발광 디바이스들 사이의 간격을 작게 할 수 있다. 따라서 정세도 또는 해상도가 높은 표시 장치를 실현할 수 있다. 또한 상기 절연층을 형성하기 위한 마스크도 불필요하므로 표시 장치의 제조 비용을 절감할 수 있다.

[0381] EL층은 예를 들어 포토리소그래피법을 사용하여 형성할 수 있다. 구체적으로는 부화소마다 화소 전극을 형성한 후, 복수의 화소 전극에 걸쳐 발광층이 되는 막을 성막한다. 그 후, 상기 막을 포토리소그래피법으로 가공하여 하나의 화소 전극에 대하여 하나의 섬 형상의 발광층을 형성한다. 이에 의하여, 발광층이 부화소마다 분할되고, 부화소마다 섬 형상의 발광층을 형성할 수 있다. 포토리소그래피법을 사용함으로써 미세한 크기의 EL층을 형성할 수 있다. EL층을 발광 디바이스마다 섬 형상으로 제공함으로써, 인접한 발광 디바이스들 사이의 누설 전류를 억제할 수 있다. 이에 의하여, 의도하지 않는 발광에 기인한 크로스토크를 방지할 수 있어, 콘트라스트가 매우 높은 표시 장치를 실현할 수 있다. 특히 낮은 휘도에서의 전류 효율이 높은 표시 장치를 실현할 수 있다.

[0382] 층(113R), 층(113G), 및 층(113B)에 포함되는 화합물의 내열 온도는 각각 100℃ 이상 180℃ 이하인 것이 바람직하고, 120℃ 이상 180℃ 이하인 것이 더 바람직하고, 140℃ 이상 180℃ 이하인 것이 더 바람직하다. 예를 들어 이들 화합물의 유리 전이점(Tg)은 각각 100℃ 이상 180℃ 이하인 것이 바람직하고, 120℃ 이상 180℃ 이하인 것이 더 바람직하고, 140℃ 이상 180℃ 이하인 것이 더 바람직하다. 이에 의하여, 공정 중에 가해지는 열로 인하여 층(113R), 층(113G), 및 층(113B)이 대미지를 받아 발광 효율이 저하되는 것 및 수명이 짧아지는 것을 억제할 수 있다.

[0383] 인접한 발광 디바이스(130)들 사이의 영역에는 절연층(125)과, 절연층(125) 위의 절연층(127)이 제공된다. 도 18에서는 절연층(125) 및 절연층(127)의 복수의 단면을 나타내었지만, 표시 장치(200C)를 상면에서 볼 때, 절연층(125) 및 절연층(127)은 각각 하나로 연결되고 있다. 즉 표시 장치(200C)는 예를 들어 절연층(125) 및 절연층(127)을 하나씩 가지는 구성으로 할 수 있다. 또한 표시 장치(200C)는 서로 분리된 복수의 절연층(125)을 가져도 좋고, 서로 분리된 복수의 절연층(127)을 가져도 좋다.

[0384] 절연층(125)은 층(113R), 층(113G), 및 층(113B) 각각의 측면과 접하는 것이 바람직하다. 절연층(125)이 층(113R), 층(113G), 및 층(113B)과 접하는 구성으로 함으로써, 층(113R), 층(113G), 및 층(113B)의 막 박리를 방지할 수 있다. 절연층(125)과, 층(113R), 층(113G), 또는 층(113B)이 밀착됨으로써, 인접한 층(113) 등이 절연층(125)에 의하여 고정되거나 접착되는 효과를 나타낸다. 이에 의하여 발광 디바이스의 신뢰성을 높일 수 있다. 또한 발광 디바이스의 제작 수율을 높일 수 있다.

[0385] 절연층(125)에는 무기 재료를 사용할 수 있다. 절연층(125)에는 예를 들어 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 절연층(125)은 단층 구조이어도 좋고 적층 구조이어도 좋다. 산화물로서는 산화 실리콘, 산화 알루미늄, 산화 마그네슘, 인듐 갈륨 아연 산화물, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼을 들 수 있다. 질화물로서는 질화 실리콘 및 질화 알루미늄을 들 수 있다. 산화질화물로서는 산화질화 실리콘 및 산화질화 알루미늄을 들 수 있다. 질화산화물로서는 질화산화 실리콘 및 질화산화 알루미늄을 들 수 있다. 특히 산화 알루미늄은 에칭에 있어서 EL층과의 선택비가 높고 EL층을 보호하는 기능을 가지므로 바람직하다.

[0386] 절연층(125)은 물 및 산소 중 적어도 한쪽에 대한 배리어 절연층으로서의 기능을 가지는 것이 바람직하다. 또한 절연층(125)은 물 및 산소 중 적어도 한쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연층(125)은 물 및 산소 중 적어도 한쪽을 포획 또는 고착하는(게터링이라고도 함) 기능을 가지는 것이 바람직하다. 또한 본 명세서 등에서 배리어 절연층이란, 배리어성을 가지는 절연층을 가리킨다. 또한 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 가리킨다.

[0387] 절연층(125)이 배리어 절연층으로서의 기능 또는 게터링 기능을 가짐으로써, 외부로부터 각 발광 디바이스로 확산될 수 있는 불순물(대표적으로는 물 및 산소 중 적어도 한쪽)의 침입을 억제할 수 있다. 이에 의하여, 신뢰성이 높은 발광 디바이스, 나아가서는 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0388] 절연층(127)은 절연층(125)의 오목부를 채우도록 절연층(125) 위에 제공된다. 절연층(127)은 절연층(125)을 개재하여 층(113R), 층(113G), 및 층(113B) 각각의 상면의 일부 및 측면과 중첩되는 구성으로 할 수 있다. 절연층(127)은 절연층(125)의 측면의 적어도 일부를 덮는 것이 바람직하다. 절연층(125) 및 절연층(127)을 제공함으로써, 인접한 섬 형상의 층들 사이를 채울 수 있기 때문에 섬 형상의 층 위에 제공하는 층(예를 들어 캐리어 주입층 및 공통 전극 등)의 피형성면의 요철을 감소시켜 상기 층의 피복성을 높일 수 있다. 절연층(127)의 상면은 평탄성이 보다 높은 형상을 가지는 것이 바람직하지만 볼록부, 볼록 곡면, 오목 곡면, 또는 오목부를 가져도 좋다.

[0389] 절연층(127)으로서 유기 재료를 포함한 절연층을 적합하게 사용할 수 있다. 유기 재료로서 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다.

[0390] 절연층(127)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘 수지, 실록산 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 사용할 수 있다. 또한 절연층(127)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다. 또한 감광성 수지로서 포토레지스트를 사용하여도 좋다. 감광성 유기 수지로서 포지티브형 재료 및 네거티브형 재료 중 어느 것을 사용하여도 좋다.

[0391] 절연층(127)에는 가시광을 흡수하는 재료를 사용하여도 좋다. 절연층(127)이 발광 디바이스로부터의 발광을 흡수함으로써, 발광 디바이스로부터 절연층(127)을 통하여 인접한 발광 디바이스에 광이 누설되는 것(미광)을 억제할 수 있다. 이로써 표시 장치의 표시 품질을 높일 수 있다. 또한 표시 장치에 편광판을 사용하지 않아도 표시 품질을 높일 수 있기 때문에 표시 장치의 경량화 및 박형화를 도모할 수 있다.

[0392] 가시광을 흡수하는 재료로서는 흑색 등의 안료를 포함하는 재료, 염료를 포함하는 재료, 광 흡수성을 가지는 수지 재료(예를 들어 폴리이미드 등), 및 컬러 필터에 사용할 수 있는 수지 재료(컬러 필터 재료)를 들 수 있다. 특히 2색 또는 3색 이상의 컬러 필터 재료를 적층 또는 혼합시킨 수지 재료를 사용하면, 가시광의 차폐 효과를 높일 수 있어 바람직하다. 특히 3색 이상의 컬러 필터 재료를 혼합시킴으로써 흑색 또는 흑색 근방의 수지층으로 할 수 있다.

[0393] 발광 디바이스(130R)가 가지는 층(113R) 위에 마스크층(118R) 및 마스크층(119R)이 위치하고, 발광 디바이스(130G)가 가지는 층(113G) 위에 마스크층(118G) 및 마스크층(119G)이 위치하고, 발광 디바이스(130B)가 가지는 층(113B) 위에 마스크층(118B) 및 마스크층(119B)이 위치한다. 마스크층(118) 및 마스크층(119)은 발광 영역을 둘러싸도록 제공된다. 바꿔 말하면 마스크층(118) 및 마스크층(119)은 발광 영역과 중첩되는 부분에 개구를 가진다. 마스크층(118R) 및 마스크층(119R)은 층(113R)을 형성할 때 층(113R) 위에 제공한 마스크층의 일부가 잔존한 것이다. 마찬가지로 마스크층(118G) 및 마스크층(119G)은 층(113G) 형성 시, 그리고 마스크층(118B) 및 마스크층(119B)은 층(113B) 형성 시에 각각 제공한 마스크층의 일부가 잔존한 것이다. 이와 같이 본 발명의 일 형태의 표시 장치에서는 제작 시에 EL층을 보호하기 위한 마스크층이 일부 잔존하여도 좋다.

[0394] 공통층(114) 및 공통 전극(115)은 층(113R), 층(113G), 층(113B), 마스크층(118), 마스크층(119), 절연층(125), 및 절연층(127) 위에 제공된다. 절연층(125) 및 절연층(127)을 제공하기 전의 단계에서는, 화소 전극 및 섬 형상의 EL층이 제공되는 영역과, 화소 전극 및 섬 형상의 EL층이 제공되지 않는 영역(발광 디바이스들 사이의 영역) 사이에 단차가 생긴다. 본 발명의 일 형태의 표시 장치에서는 절연층(125) 및 절연층(127)을 가짐으로써 상기 단차를 작게 할 수 있어 공통층(114) 및 공통 전극(115)의 피복성을 향상시킬 수 있다. 따라서 공통층(114) 및 공통 전극(115)의 단절로 인한 접속 불량을 억제할 수 있다. 또한 상기 단차로 인하여 공통 전극(115)의 막 두께가 국소적으로 얇아져 공통 전극(115)의 전기 저항이 상승하는 것을 억제할 수 있다.

[0395] 또한 절연층(127)은 절연층(125)의 측면, 마스크층(118R)의 측면, 마스크층(119R)의 측면, 마스크층(118G)의 측면, 마스크층(119G)의 측면, 마스크층(118B)의 측면, 및 마스크층(119B)의 측면의 적어도 일부를 덮어도 좋다. 또한 절연층(127)은 층(113R), 층(113G), 및 층(113B)과 접한 영역을 가져도 좋다.

[0396] <표시 장치(200D)>

[0397] 도 19에 나타낸 표시 장치(200D)는 절연층(239)을 가지는 점에서 도 18에 나타낸 표시 장치(200C)와 주로 다르다.

[0398] 절연층(239)은 절연층(235) 위에 제공되고, 절연층(235)이 가지는 개구와 중첩되는 영역에 개구를 가진다. 화소 전극(111)은 절연층(239), 절연층(235), 및 절연층(218)에 제공된 개구를 덮도록 제공된다.

[0399] 절연층(239)은 층(113), 마스크층(118), 및 마스크층(119)을 형성할 때 에칭 보호막으로서 기능할 수 있다. 절연층(239)을 제공함으로써, 층(113), 마스크층(118), 및 마스크층(119)을 형성할 때 절연층(235)의 일부가 에칭되어 절연층(235)에 요철이 생기는 것을 방지할 수 있다. 즉 절연층(125)의 피형성면의 단차가 작게 되어 절연층(125)의 피복성을 높일 수 있다. 따라서 층(113)의 측면이 절연층(125)으로 덮이므로 층(113)의 막 박리를 방지할 수 있다.

[0400] 절연층(239)은 무기 재료를 포함한 절연층으로 할 수 있다. 절연층(239)으로서는 예를 들어 산화 절연막, 질화 절연막, 산화질화 절연막, 및 질화산화 절연막 등의 무기 절연막을 사용할 수 있다. 절연층(239)은 단층 구조이어도 좋고 적층 구조이어도 좋다. 산화 절연막으로서는 산화 실리콘막, 산화 알루미늄막, 산화 마그네슘막, 인듐 갈륨 아연 산화물막, 산화 갈륨막, 산화 저마늄막, 산화 이트륨막, 산화 지르코늄막, 산화 란타넘막, 산화 네오디뮴막, 산화 하프늄막, 및 산화 탄탈럼막 등을 들 수 있다. 질화 절연막으로서는 질화 실리콘막 및 질화 알루미늄막 등을 들 수 있다. 산화질화 절연막으로서는 산화질화 실리콘막 및 산화질화 알루미늄막 등을 들 수 있다. 질화산화 절연막으로서는 질화산화 실리콘막 및 질화산화 알루미늄막 등을 들 수 있다. 절연층(239)에는 예를 들어 산화 실리콘막 또는 산화질화 실리콘막을 적합하게 사용할 수 있다.

[0401] 절연층(239)에는 층(113), 마스크층(118), 및 마스크층(119)이 되는 막을 에칭할 때 상기 막과의 에칭 레이트의 비율이 높은(선택비가 높다고도 함) 재료를 선택하는 것이 바람직하다.

[0402] 여기서 발광 디바이스(130)의 피형성면의 평탄성이 낮은 경우, 예를 들어 공통 전극(115)의 단절로 인한 접속 불량, 또는 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승 등의 문제가 생길 우려가 있다. 또한 상기 피형성면에 형성되는 층의 가공 정밀도가 낮아질 우려가 있다.

[0403] 본 발명의 일 형태인 표시 장치에서는 절연층(239)을 제공함으로써 발광 디바이스(130)의 피형성면을 더 평탄하게 할 수 있다. 따라서 절연층(239) 위에 제공되는 발광 디바이스(130) 등의 가공 정밀도가 높아져 정세도가 높은 표시 장치로 할 수 있다. 또한 공통 전극(115)의 단절로 인한 접속 불량, 및 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승 등의 문제가 생기는 것을 방지할 수 있어 표시 품질이 높은 표시 장치로 할 수 있다.

[0404] 또한 도 19에서는 절연층(239)을 단층 구조로 하였지만 본 발명의 일 형태는 이에 한정되지 않는다. 절연층(239)을 적층 구조로 하여도 좋다.

[0405] 층(113R), 층(113G), 및 층(113B) 모두와 중첩되지 않는 영역에서, 절연층(239)의 일부가 제거되어도 좋다. 층(113R), 층(113G), 및 층(113B) 모두와 중첩되지 않는 영역의 절연층(239)의 막 두께가 층(113R), 층(113G), 또는 층(113B)과 중첩되는 영역의 절연층(239)의 막 두께보다 얇아도 좋다.

[0406] 또한 절연층(239)은 다른 구성예에도 적용할 수 있다.

[0407] <표시 장치(200E)>

[0408] 도 20에 나타낸 표시 장치(200E)는 수광 디바이스(150)를 가지는 점에서 도 19에 나타낸 표시 장치(200D)와 주로 다르다.

[0409] 수광 디바이스(150)로서는 예를 들어 pn형 또는 pin형 포토다이오드를 사용할 수 있다. 수광 디바이스(150)는 수광 디바이스에 입사되는 광을 검출하여 전하를 발생시키는 광전 변환 디바이스(광전 변환 소자라고도 함)로서 기능한다. 수광 디바이스(150)에 입사되는 광의 양에 따라 수광 디바이스(150)로부터 발생되는 전하의 양이 정해진다.

[0410] 수광 디바이스(150)는 가시광 및 적외광 중 한쪽 또는 양쪽을 검출할 수 있다. 가시광을 검출하는 경우, 예를 들어 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 적색 등의 광 중 하나 또는 복수를 검출할 수 있다. 적외광을 검출하는 경우, 어두운 장소에서 대상물의 검출이 가능하게 되어 바람직하다.

[0411] 특히 수광 디바이스(150)로서, 유기 화합물을 포함한 층을 가지는 유기 포토다이오드를 사용하는 것이 바람직하다. 유기 포토다이오드는 박형화, 경량화, 및 대면적화가 용이하고, 형상 및 디자인의 자유도가 높으므로, 다양한 표시 장치에 적용할 수 있다.

[0412] 본 발명의 일 형태에서는, 발광 디바이스(130)로서 유기 EL 디바이스를 사용하고, 수광 디바이스(150)로서 유기 포토다이오드를 사용한다. 유기 EL 디바이스 및 유기 포토다이오드는 동일한 기판에 형성할 수 있다. 따라서 유기 EL 디바이스를 사용한 표시 장치에 유기 포토다이오드를 내장시킬 수 있다.

[0413] 화소 전극(111S)과 공통 전극(115) 사이에 역바이어스를 인가하여 수광 디바이스(150)를 구동함으로써, 수광 디바이스에 입사되는 광을 검출하여 전하를 발생시켜 전류로서 추출할 수 있다.

[0414] 도 20에서는 발광 디바이스(130G)로부터 기판(152) 측에 사출되는 광(G), 및 기판(152) 측으로부터 수광 디바이스(150)에 입사되는 광(Lin)을 각각 파선의 화살표로 나타내었다.

[0415] 수광 디바이스(150)는 발광 디바이스(130)와 같은 제작 방법을 적용하여 형성할 수 있다. 수광 디바이스가 가지는 섬 형상의 활성층(광전 변환층이라고도 함)은 예를 들어 파인 메탈 마스크를 사용하여 형성할 수 있다. 또는 활성층은 파인 메탈 마스크를 사용하지 않고 포토리소그래피법을 사용하여 형성할 수 있다. 포토리소그래피법을 사용하는 경우, 활성층이 되는 막을 일면 전체에 성막한 후에 가공하기 때문에 섬 형상의 활성층을 균일한 두께로 형성할 수 있다. 또한 활성층 위에 마스크층을 제공함으로써, 표시 장치의 제작 공정 중에 활성층이 받는 대미지를 감소시켜 수광 디바이스의 신뢰성을 높일 수 있다. 여기서는 포토리소그래피법을 사용하여 활성층을 형성하는 구성을 예로 들어 설명한다.

[0416] 수광 디바이스(150)는 화소 전극(111S)과, 층(113S)과, 공통층(114)과, 공통 전극(115)을 가진다. 층(113S)은 적어도 활성층을 가진다. 화소 전극(111S)은 도전층(124S)과, 도전층(124S) 위의 도전층(126S)과, 도전층(126S) 위의 도전층(129S)의 적층 구조를 가진다. 화소 전극(111S)은 화소 전극(111R)(미도시), 화소 전극(111G), 및 화소 전극(111B)(미도시)과 같은 공정으로 형성할 수 있다.

[0417] 화소 전극(111S)은 트랜지스터(206S)가 가지는 도전층(116b)과 전기적으로 접속된다. 트랜지스터(205S)는 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)와 같은 공정으로 형성할 수 있다. 또한 트랜지스터(206S)는 트랜지스터(206R), 트랜지스터(206G), 및 트랜지스터(206B)와 같은 공정으로 형성할 수 있다. 절연층(235) 및 절연층(218)은 각각 트랜지스터(206S)가 가지는 도전층(116b)과 중첩되는 영역에 개구를 가진다. 수광 디바이스(150)가 가지는 화소 전극(111S)이 상기 개구를 덮도록 제공된다. 트랜지스터(206S)가 가지는 도전층(116b)은 상기 개구를 통하여 화소 전극(111S)과 전기적으로 접속된다. 층(113S)은 화소 전극(111S) 위에 제공된다. 층(113S) 위에 공통층(114)이 제공되고, 공통층(114) 위에 공통 전극(115)이 제공된다. 공통층(114)은 수광 디바이스(150)와 발광 디바이스(130)에 공통적으로 제공되는 연속된 층이다.

[0418] 층(113S)은 적어도 활성층을 포함하고, 바람직하게는 복수의 기능층을 가진다. 예를 들어 기능층으로서 캐리어 수송층(정공 수송층 및 전자 수송층) 및 캐리어 차단층(정공 차단층 및 전자 차단층) 등을 들 수 있다. 또한 활성층 위에 1층 이상의 층을 가지는 것이 바람직하다. 활성층과 마스크층 사이에 다른 층을 가짐으로써, 표시 장치의 제작 공정 중에 최표면에서 활성층이 노출되는 것을 억제하여 활성층이 받는 대미지를 감소시킬 수 있다. 이에 의하여 수광 디바이스(150)의 신뢰성을 높일 수 있다. 따라서 층(113S)은 활성층과, 활성층 위의 캐리어 차단층(정공 차단층 또는 전자 차단층) 또는 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다.

[0419] 층(113S)은 수광 디바이스(150)에 제공되고, 발광 디바이스(130)에는 제공되지 않는 층이다. 다만 층(113S)에

포함되는 활성층 이외의 기능층은 층(113R), 층(113G), 및 층(113B)에 포함되는 발광층 이외의 기능층과 같은 재료를 포함하는 경우가 있다. 한편, 공통층(114)은 발광 디바이스(130)와 수광 디바이스(150)가 공유하는 연속된 층이다.

[0420] 여기서 수광 디바이스와 발광 디바이스에서 공통적으로 사용되는 층은 발광 디바이스에서의 기능과 수광 디바이스에서의 기능이 상이한 경우가 있다. 본 명세서 중에서는 발광 디바이스에서의 기능을 바탕으로 구성 요소를 호칭하는 경우가 있다. 예를 들어, 정공 주입층은 발광 디바이스에서 정공 주입층으로서 기능하고, 수광 디바이스에서 정공 수송층으로서 기능한다. 마찬가지로 전자 주입층은 발광 디바이스에서 전자 주입층으로서 기능하고, 수광 디바이스에서 전자 수송층으로서 기능한다. 또한 수광 디바이스와 발광 디바이스에서 공통적으로 사용되는 층은 발광 디바이스에서의 기능과 수광 디바이스에서의 기능이 같은 경우도 있다. 예를 들어 정공 수송층은 발광 디바이스 및 수광 디바이스 중 어느 쪽에서도 정공 수송층으로서 기능하고, 전자 수송층은 발광 디바이스 및 수광 디바이스 중 어느 쪽에서도 전자 수송층으로서 기능한다.

[0421] 인접한 발광 디바이스(130)와 수광 디바이스(150) 사이의 영역에는 절연층(125)과, 절연층(125) 위의 절연층(127)이 제공된다. 또한 도시하지 않았지만, 인접한 발광 디바이스들 사이의 영역에도 절연층(125)과, 절연층(125) 위의 절연층(127)이 제공된다.

[0422] 층(113R)과 절연층(125) 사이에는 마스크층(118R) 및 마스크층(119R)이 위치하고, 층(113S)과 절연층(125) 사이에는 마스크층(118S) 및 마스크층(119S)이 위치한다. 마스크층(118R) 및 마스크층(119R)은 층(113R)을 가공할 때 층(113R) 위에 제공한 마스크층의 일부가 잔존한 것이다. 또한 마스크층(118S) 및 마스크층(119S)은 활성층을 포함한 층인 층(113S)을 가공할 때 층(113S)의 상면에 접하여 제공한 마스크층의 일부가 잔존한 것이다. 마스크층(118R)과 마스크층(118S)은 같은 재료를 포함하여도 좋고 상이한 재료를 포함하여도 좋다. 마스크층(119R)과 마스크층(119S)은 같은 재료를 포함하여도 좋고 상이한 재료를 포함하여도 좋다.

[0423] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0424] (실시형태 3)

[0425] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 도 21의 (A) 내지 도 22의 (K)를 사용하여 설명한다.

[0426] 화소 레이아웃에 대하여 설명한다. 부화소의 배열은 특별히 한정되지 않고, 다양한 방법을 적용할 수 있다. 부화소의 배열로서는 예를 들어 스트라이프 배열, S스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 및 펜타일 배열이 있다.

[0427] 부화소의 평면 형상으로서는 예를 들어 삼각형, 사각형(장방형, 정방형을 포함함), 오각형 등의 다각형, 이들 다각형의 모서리가 둥근 형상, 타원형, 및 원형이 있다. 부화소의 평면 형상은 발광 디바이스의 발광 영역 또는 수광 디바이스의 수광 영역의 평면 형상에 상당한다.

[0428] 도 21의 (A)에 나타낸 화소(210)에는 스트라이프 배열이 적용되어 있다. 화소(210)는 부화소(11a), 부화소(11b), 및 부화소(11c)의 3종류의 부화소로 구성된다. 부화소(11a), 부화소(11b), 및 부화소(11c)는 각각 다른 색의 광을 나타낸다. 부화소(11a), 부화소(11b), 및 부화소(11c)로서, 적색(R), 녹색(G), 및 청색(B)의 3색의 부화소, 황색(Y), 시안(C), 및 마젠타(M)의 3색의 부화소 등을 들 수 있다. 또한 부화소의 색 종류는 3개에 한정되지 않고, 4개 이상으로 하여도 좋다. 4색의 부화소로서 R, G, B, 및 백색(W)의 4색의 부화소, R, G, B, 및 Y의 4색의 부화소, 그리고 R, G, B, 및 적외광(IR)의 4색의 부화소를 들 수 있다.

[0429] 부화소는 각각 발광 디바이스를 제어하는 화소 회로를 가진다. 화소 회로는 도 21의 (A)에 나타낸 부화소의 범위에 한정되지 않고, 그 외측에 배치되어도 좋다. 예를 들어 부화소(11a)의 화소 회로가 가지는 트랜지스터는 도 21의 (A)에 나타낸 부화소(11a)의 범위 내에 위치하여도 좋고, 일부 또는 모두가 부화소(11a)의 범위 외측에 위치하여도 좋다.

[0430] 도 21의 (A)에서는 부화소(11a), 부화소(11b), 및 부화소(11c)의 개구율(크기, 발광 영역의 크기라고도 함)을 동등 또는 대략 동등하게 하였지만 본 발명의 일 형태는 이에 한정되지 않는다. 부화소(11a), 부화소(11b), 및 부화소(11c)의 개구율은 각각 적절히 결정할 수 있다. 부화소(11a), 부화소(11b), 및 부화소(11c)의 개구율은 각각 달라도 좋고, 2개 이상이 동등 또는 대략 동등하여도 좋다.

[0431] 도 21의 (B)에 나타낸 화소(210)에는 S스트라이프 배열이 적용되어 있다. 도 21의 (B)에 나타낸 화소(210)는 부화소(11a), 부화소(11b), 및 부화소(11c)의 3종류의 부화소로 구성되고, 왼쪽 열(첫 번째 열)에 2개의 부화소

(부화소(11a) 및 부화소(11b))를 가지고, 오른쪽 열(두 번째 열)에 하나의 부화소(부화소(11c))를 가진다.

[0432] 도 21의 (C)에 나타낸 화소(210)는 모서리가 둥근 대략 사다리꼴의 평면 형상을 가지는 부화소(11a)와, 모서리가 둥근 대략 삼각형의 평면 형상을 가지는 부화소(11b)와, 모서리가 둥근 대략 사각형 또는 대략 육각형의 평면 형상을 가지는 부화소(11c)를 가진다. 또한 부화소(11a)는 부화소(11b)보다 발광 면적이 작다. 이와 같이, 각 부화소의 형상 및 크기는 각각 독립적으로 결정할 수 있다. 예를 들어 신뢰성이 높은 발광 디바이스를 가지는 부화소일수록 크기를 작게 할 수 있다.

[0433] 도 21의 (D)에 나타낸 화소(210a) 및 화소(210b)에는 펜타일 배열이 적용되어 있다. 도 21의 (D)에서는 부화소(11a) 및 부화소(11b)를 가지는 화소(210a)와, 부화소(11b) 및 부화소(11c)를 가지는 화소(210b)가 번갈아 배치되는 예를 나타내었다.

[0434] 도 21의 (E) 내지 (G)에 나타낸 화소(210a) 및 화소(210b)에는 델타 배열이 적용되어 있다. 화소(210a)는 위 행(첫 번째 행)에 2개의 부화소(부화소(11a) 및 부화소(11b))를 가지고, 아래 행(두 번째 행)에 하나의 부화소(부화소(11c))를 가진다. 화소(210b)는 위 행(첫 번째 행)에 하나의 부화소(부화소(11c))를 가지고, 아래 행(두 번째 행)에 2개의 부화소(부화소(11a) 및 부화소(11b))를 가진다.

[0435] 도 21의 (E)는 각 부화소가, 모서리가 둥근 대략 사각형의 평면 형상을 가지는 예를 나타낸 것이고, 도 21의 (F)는 각 부화소가 원형의 평면 형상을 가지는 예를 나타낸 것이고, 도 21의 (G)는 각 부화소가, 모서리가 둥근 대략 육각형의 평면 형상을 가지는 예를 나타낸 것이다.

[0436] 도 21의 (G)에서는 각 부화소가 최대한 조밀하게 배열된 육각형 영역의 내측에 배치되어 있다. 각 부화소는 그 하나의 부화소에 주목한 경우, 6개의 부화소로 둘러싸이도록 배치되어 있다. 또한 같은 색의 광을 나타내는 부화소가 인접하지 않도록 제공되어 있다. 예를 들어 부화소(11a)에 주목한 경우, 이를 둘러싸도록 3개의 부화소(11b)와 3개의 부화소(11c)가 번갈아 배치되도록 각 부화소가 제공되어 있다.

[0437] 도 21의 (H)는 각 색의 부화소가 지그재그로 배치되는 예를 나타낸 것이다. 구체적으로는, 평면에서 볼 때, 열 방향으로 배열되는 2개의 부화소(예를 들어 부화소(11a)와 부화소(11b), 또는 부화소(11b)와 부화소(11c))의 상변의 위치가 어긋난다.

[0438] 도 21의 (A) 내지 (H)에 나타낸 각 화소에서, 예를 들어 부화소(11a)를 적색의 광을 나타내는 부화소(R)로 하고, 부화소(11b)를 녹색의 광을 나타내는 부화소(G)로 하고, 부화소(11c)를 청색의 광을 나타내는 부화소(B)로 하는 것이 바람직하다. 또한 부화소의 구성은 이에 한정되지 않고, 부화소가 나타내는 색과 그 배열 순서는 적절히 결정할 수 있다. 예를 들어 부화소(11b)를 적색의 광을 나타내는 부화소(R)로 하고, 부화소(11a)를 녹색의 광을 나타내는 부화소(G)로 하여도 좋다.

[0439] 포토리소그래피법에서는 가공하는 패턴이 미세화될수록 광 회절의 영향을 무시할 수 없게 되기 때문에, 노광에 의하여 포토마스크의 패턴을 전사할 때 충실(忠實)성이 낮아져 레지스트 마스크를 원하는 형상으로 가공하기 어려워진다. 그러므로 포토마스크의 패턴이 직사각형이어도 모서리가 둥근 패턴이 형성되기 쉽다. 따라서 부화소의 평면 형상이 다각형의 모서리가 둥근 형상, 타원형, 또는 원형 등이 되는 경우가 있다.

[0440] 또한 부화소의 평면 형상을 원하는 형상으로 하기 위하여 설계 패턴과 전사 패턴이 일치하도록 마스크 패턴을 미리 보정하는 기술(OPC(Optical Proximity Correction: 광 근접 효과 보정) 기술)을 사용하여도 좋다. 구체적으로, OPC 기술에서는 마스크 패턴상의 도형 모서리 부분 등에 보정용 패턴을 추가한다.

[0441] 도 22의 (A) 내지 (I)에 나타낸 바와 같이 화소는 부화소를 4종류 가지는 구성으로 할 수 있다.

[0442] 도 22의 (A) 내지 (C)에 나타낸 화소(210)에는 스트라이프 배열이 적용되어 있다.

[0443] 도 22의 (A)는 각 부화소가 장방형의 평면 형상을 가지는 예를 나타낸 것이고, 도 22의 (B)는 각 부화소가 2개의 반원형과 장방형을 연결한 평면 형상을 가지는 예를 나타낸 것이고, 도 22의 (C)는 각 부화소가 타원형의 평면 형상을 가지는 예를 나타낸 것이다.

[0444] 도 22의 (D) 내지 (F)에 나타낸 화소(210)에는 매트릭스 배열이 적용되어 있다.

[0445] 도 22의 (D)는 각 부화소가 정방형의 평면 형상을 가지는 예를 나타낸 것이고, 도 22의 (E)는 각 부화소가, 모서리가 둥근 대략 정방형의 평면 형상을 가지는 예를 나타낸 것이고, 도 22의 (F)는 각 부화소가 원형의 평면 형상을 가지는 예를 나타낸 것이다.

[0446] 도 22의 (G) 및 (H)에는 하나의 화소(210)가 2행 3열로 구성되는 예를 나타내었다.

[0447] 도 22의 (G)에 나타낸 화소(210)는 위 행(첫 번째 행)에 3개의 부화소(부화소(11a), 부화소(11b), 및 부화소(11c))를 가지고, 아래 행(두 번째 행)에 하나의 부화소(부화소(11d))를 가진다. 바꿔 말하면 화소(210)는 왼쪽 열(첫 번째 열)에 부화소(11a)를 가지고, 중앙 열(두 번째 열)에 부화소(11b)를 가지고, 오른쪽 열(세 번째 열)에 부화소(11c)를 가지고, 이 3개의 열에 걸쳐 부화소(11d)를 가진다.

[0448] 도 22의 (H)에 나타낸 화소(210)는 위 행(첫 번째 행)에 3개의 부화소(부화소(11a), 부화소(11b), 및 부화소(11c))를 가지고, 아래 행(두 번째 행)에 3개의 부화소(11d)를 가진다. 바꿔 말하면 화소(210)는 왼쪽 열(첫 번째 열)에 부화소(11a) 및 부화소(11d)를 가지고, 중앙 열(두 번째 열)에 부화소(11b) 및 부화소(11d)를 가지고, 오른쪽 열(세 번째 열)에 부화소(11c) 및 부화소(11d)를 가진다. 도 22의 (H)에 나타낸 바와 같이, 위 행과 아래 행의 부화소의 배치를 정렬시키는 구성으로 함으로써, 제조 공정에서 생길 수 있는 먼지 등을 효율적으로 제거할 수 있다. 따라서 표시 품질이 높은 표시 장치를 제공할 수 있다.

[0449] 도 22의 (I)에는 하나의 화소(210)가 3행 2열로 구성되는 예를 나타내었다.

[0450] 도 22의 (I)에 나타낸 화소(210)는 위 행(첫 번째 행)에 부화소(11a)를 가지고, 중앙 행(두 번째 행)에 부화소(11b)를 가지고, 첫 번째 행에서 두 번째 행에 걸쳐 부화소(11c)를 가지고, 아래 행(세 번째 행)에 하나의 부화소(부화소(11d))를 가진다. 바꿔 말하면 화소(210)는 왼쪽 열(첫 번째 열)에 부화소(11a) 및 부화소(11b)를 가지고, 오른쪽 열(두 번째 열)에 부화소(11c)를 가지고, 이 2개의 열에 걸쳐 부화소(11d)를 가진다.

[0451] 도 22의 (A) 내지 (I)에 나타낸 화소(210)는 부화소(11a), 부화소(11b), 부화소(11c), 및 부화소(11d)의 4개의 부화소로 구성된다.

[0452] 부화소(11a), 부화소(11b), 부화소(11c), 및 부화소(11d)는 각각 다른 색의 광을 발하는 발광 디바이스를 가지는 구성으로 할 수 있다. 부화소(11a), 부화소(11b), 부화소(11c), 및 부화소(11d)로서 R, G, B, 및 백색(W)의 4색의 부화소, R, G, B, 및 Y의 4색의 부화소, 또는 R, G, B, 및 적외광(IR)의 4색의 부화소 등을 들 수 있다.

[0453] 도 22의 (A) 내지 (I)에 나타낸 각 화소(210)에서 예를 들어 부화소(11a)를 적색의 광을 나타내는 부화소(R)로 하고, 부화소(11b)를 녹색의 광을 나타내는 부화소(G)로 하고, 부화소(11c)를 청색의 광을 나타내는 부화소(B)로 하고, 부화소(11d)를 백색의 광을 나타내는 부화소(W), 황색의 광을 나타내는 부화소(Y), 및 근적외광을 나타내는 부화소(IR) 중 어느 것으로 하는 것이 바람직하다. 이러한 구성으로 하면, 도 22의 (G) 및 (H)에 나타낸 화소(210)에서는 R, G, B의 레이아웃이 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다. 또한 도 22의 (I)에 나타낸 화소(210)에서는 R, G, B의 레이아웃이 소위 S스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다.

[0454] 화소(210)는 수광 디바이스를 가지는 부화소를 가져도 좋다.

[0455] 도 22의 (A) 내지 (I)에 나타낸 각 화소(210)에서 부화소(11a) 내지 부화소(11d) 중 어느 하나를 수광 디바이스를 가지는 부화소로 하여도 좋다.

[0456] 도 22의 (A) 내지 (I)에 나타낸 각 화소(210)에서 예를 들어 부화소(11a)를 적색의 광을 나타내는 부화소(R)로 하고, 부화소(11b)를 녹색의 광을 나타내는 부화소(G)로 하고, 부화소(11c)를 청색의 광을 나타내는 부화소(B)로 하고, 부화소(11d)를 수광 디바이스를 가지는 부화소(S)로 하는 것이 바람직하다. 이러한 구성으로 하면, 도 22의 (G) 및 (H)에 나타낸 화소(210)에서는 R, G, B의 레이아웃이 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다. 또한 도 22의 (I)에 나타낸 화소(210)에서는 R, G, B의 레이아웃이 소위 S스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다.

[0457] 수광 디바이스를 가지는 부화소(S)가 검출하는 광의 파장은 특별히 한정되지 않는다. 부화소(S)는 가시광 및 적외광 중 한쪽 또는 양쪽을 검출하는 구성으로 할 수 있다.

[0458] 도 22의 (J) 및 (K)에 나타낸 바와 같이 화소는 부화소를 5종류 가지는 구성으로 할 수 있다.

[0459] 도 22의 (J)에는 하나의 화소(210)가 2행 3열로 구성되는 예를 나타내었다.

[0460] 도 22의 (J)에 나타낸 화소(210)는 위 행(첫 번째 행)에 3개의 부화소(부화소(11a), 부화소(11b), 및 부화소(11c))를 가지고, 아래 행(두 번째 행)에 2개의 부화소(부화소(11d) 및 부화소(11e))를 가진다. 바꿔 말하면 화소(210)는 왼쪽 열(첫 번째 열)에 부화소(11a) 및 부화소(11d)를 가지고, 중앙 열(두 번째 열)에 부화소(11

b)를 가지고, 오른쪽 열(세 번째 열)에 부화소(11c)를 가지고, 두 번째 열에서 세 번째 행에 걸쳐 부화소(11e)를 가진다.

[0461] 도 22의 (K)에는 하나의 화소(210)가 3행 2열로 구성되는 예를 나타내었다.

[0462] 도 22의 (K)에 나타낸 화소(210)는 위 행(첫 번째 행)에 부화소(11a)를 가지고, 중앙 행(두 번째 행)에 부화소(11b)를 가지고, 첫 번째 행에서 두 번째 행에 걸쳐 부화소(11c)를 가지고, 아래 행(세 번째 행)에 2개의 부화소(부화소(11d) 및 부화소(11e))를 가진다. 바꿔 말하면 화소(210)는 왼쪽 열(첫 번째 열)에 부화소(11a), 부화소(11b), 및 부화소(11d)를 가지고, 오른쪽 열(두 번째 열)에 부화소(11c) 및 부화소(11e)를 가진다.

[0463] 도 22의 (J) 및 (K)에 나타낸 각 화소(210)에서 예를 들어 부화소(11a)를 적색의 광을 나타내는 부화소(R)로 하고, 부화소(11b)를 녹색의 광을 나타내는 부화소(G)로 하고, 부화소(11c)를 청색의 광을 나타내는 부화소(B)로 하는 것이 바람직하다. 이러한 구성으로 하면, 도 22의 (J)에 나타낸 화소(210)에서는 R, G, B의 레이아웃이 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다. 또한 도 22의 (K)에 나타낸 화소(210)에서는 R, G, B의 레이아웃이 소위 S스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다.

[0464] 도 22의 (J) 및 (K)에 나타낸 각 화소(210)에서 예를 들어 부화소(11d) 및 부화소(11e) 중 적어도 한쪽에 수광 디바이스를 가지는 부화소(S)를 적용하는 것이 바람직하다. 부화소(11d)와 부화소(11e)의 양쪽에 수광 디바이스를 사용하는 경우, 수광 디바이스의 구성이 상이하여도 좋다. 예를 들어 검출하는 광의 파장 영역의 적어도 일부가 각각 달라도 좋다. 구체적으로 부화소(11d) 및 부화소(11e) 중 한쪽은 주로 가시광을 검출하는 수광 디바이스를 가지고, 다른 쪽은 주로 적외광을 검출하는 수광 디바이스를 가져도 좋다.

[0465] 도 22의 (J) 및 (K)에 나타낸 각 화소(210)에서, 예를 들어 부화소(11d) 및 부화소(11e) 중 한쪽에 수광 디바이스를 가지는 부화소(S)를 적용하고, 다른 쪽에 광원으로서 사용할 수 있는 발광 디바이스를 가지는 부화소를 적용하는 것이 바람직하다. 예를 들어, 부화소(11d) 및 부화소(11e) 중 한쪽은 적외광을 나타내는 부화소(IR)로 하고, 다른 쪽은 적외광을 검출하는 수광 디바이스를 가지는 부화소(S)로 하는 것이 바람직하다.

[0466] 부화소(R), 부화소(G), 부화소(B), 부화소(IR), 및 부화소(S)를 가지는 화소에서는 부화소(R), 부화소(G), 및 부화소(B)를 사용하여 화상을 표시하면서 부화소(IR)를 광원으로서 사용하고, 부화소(S)는 부화소(IR)가 발하는 적외광의 반사광을 검출할 수 있다.

[0467] 상술한 바와 같이, 본 발명의 일 형태의 표시 장치에서는 발광 디바이스를 가지는 부화소로 이루어지는 화소에 다양한 레이아웃을 적용할 수 있다. 또한 본 발명의 일 형태의 표시 장치에서는 화소에 발광 디바이스와 수광 디바이스의 양쪽이 포함되는 구성을 적용할 수 있다. 이 경우에도 다양한 레이아웃을 적용할 수 있다.

[0468] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0469] (실시형태 4)

[0470] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 사용할 수 있는 발광 디바이스에 대하여 설명한다.

[0471] [발광 디바이스]

[0472] 도 23의 (A)에 나타낸 바와 같이 발광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 EL층(763)을 가진다. EL층(763)은 층(780), 발광층(771), 및 층(790) 등의 복수의 층으로 구성될 수 있다.

[0473] 발광층(771)은 적어도 발광 물질(발광 재료라고도 함)을 포함한다.

[0474] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780)은 정공 주입성이 높은 재료를 포함한 층(정공 주입층), 정공 수송성이 높은 재료를 포함한 층(정공 수송층), 및 전자 차단성이 높은 재료를 포함한 층(전자 차단층) 중 하나 또는 복수를 가진다. 또한 층(790)은 전자 주입성이 높은 재료를 포함한 층(전자 주입층), 전자 수송성이 높은 재료를 포함한 층(전자 수송층), 및 정공 차단성이 높은 재료를 포함한 층(정공 차단층) 중 하나 또는 복수를 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780)과 층(790)은 상기와 반대의 구성이 된다.

[0475] 한 쌍의 전극 사이에 제공된 층(780), 발광층(771), 및 층(790)을 가지는 구성은 하나의 발광 유닛으로서 기능할 수 있고, 본 명세서에서는 도 23의 (A)의 구성을 싱글 구조라고 부른다.

[0476] 도 23의 (B)는 도 23의 (A)에 나타낸 발광 디바이스가 가지는 EL층(763)의 변형예이다. 구체적으로는 도 23의 (B)에 나타낸 발광 디바이스는 하부 전극(761) 위의 층(781)과, 층(781) 위의 층(782)과, 층(782) 위의 발광층

(771)과, 발광층(771) 위의 층(791)과, 층(791) 위의 층(792)과, 층(792) 위의 상부 전극(762)을 가진다.

[0477] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(781)을 정공 주입층, 층(782)을 정공 수송층, 층(791)을 전자 수송층, 층(792)을 전자 주입층으로 할 수 있다. 또한 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(781)을 전자 주입층, 층(782)을 전자 수송층, 층(791)을 정공 수송층, 층(792)을 정공 주입층으로 할 수 있다. 이러한 층 구조로 함으로써, 발광층(771)에 캐리어가 효율적으로 주입되어 발광층(771)에서의 캐리어 재결합의 효율을 높일 수 있다.

[0478] 또한 도 23의 (C) 및 (D)에 나타낸 바와 같이 층(780)과 층(790) 사이에 복수의 발광층(발광층(771), 발광층(772), 및 발광층(773))이 제공되는 구성도 싱글 구조의 베리에이션이다. 또한 도 23의 (C) 및 (D)에는 발광층을 3층 가지는 예를 나타내었지만, 싱글 구조의 발광 디바이스에서의 발광층은 2층이어도 좋고 4층 이상이어도 좋다. 또한 싱글 구조의 발광 디바이스는 2개의 발광층 사이에 버퍼층을 가져도 좋다. 버퍼층으로서는 예를 들어 캐리어 수송층(정공 수송층 또는 전자 수송층)을 사용할 수 있다.

[0479] 도 23의 (E) 및 (F)에 나타낸 바와 같이, 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)을 개재하여 직렬로 접속된 구성을 본 명세서에서는 탠덤 구조라고 부른다. 또한 탠덤 구조를 스택 구조라고 불러도 좋다. 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 디바이스로 할 수 있다. 또한 탠덤 구조는 싱글 구조와 비교하여 같은 휘도를 얻기 위하여 필요한 전류를 저감할 수 있기 때문에 신뢰성을 높일 수 있다.

[0480] 또한 도 23의 (D) 및 (F)는 표시 장치가 발광 디바이스와 중첩되는 층(764)을 가지는 예를 나타낸 것이다. 도 23의 (D)는 층(764)이 도 23의 (C)의 발광 디바이스와 중첩되는 예를 나타낸 것이고, 도 23의 (F)는 층(764)이 도 23의 (E)의 발광 디바이스와 중첩되는 예를 나타낸 것이다. 도 23의 (D) 및 (F)에서는 상부 전극(762) 측에 광을 추출하기 때문에, 상부 전극(762)에는 가시광을 투과시키는 도전막을 사용한다.

[0481] 층(764)으로서 색 변환층 및 컬러 필터(착색층) 중 한쪽 또는 양쪽을 사용할 수 있다.

[0482] 도 23의 (C) 및 (D)에서 발광층(771), 발광층(772), 및 발광층(773)에 같은 색의 광을 발하는 발광 물질, 나아가서는 같은 발광 물질을 사용하여도 좋다. 예를 들어 발광층(771), 발광층(772), 및 발광층(773)에 청색의 광을 발하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에서는 발광 디바이스가 발하는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는 도 23의 (D)에 나타낸 층(764)으로서 색 변환층을 제공하여 발광 디바이스가 발하는 청색의 광을 파장이 더 긴 광으로 변환함으로써 적색 또는 녹색의 광을 추출할 수 있다. 또한 층(764)으로서 색 변환층과 착색층의 양쪽을 사용하는 것이 바람직하다. 발광 디바이스가 발하는 광의 일부는 색 변환층에서 변환되지 않고 그대로 투과하는 경우가 있다. 색 변환층을 투과한 광을 착색층을 통하여 추출함으로써, 원하는 색의 광 이외의 광을 착색층에서 흡수하여 부화소가 나타내는 광의 색 순도를 높일 수 있다.

[0483] 도 23의 (C) 및 (D)에서 발광층(771), 발광층(772), 및 발광층(773)에 상이한 색의 광을 발하는 발광 물질을 사용하여도 좋다. 발광층(771), 발광층(772), 및 발광층(773)이 각각 발하는 광이 보색 관계에 있는 경우, 광이 서로 혼합되어 전체로서 백색 발광이 얻어진다. 예를 들어 싱글 구조의 발광 디바이스는 청색의 광을 발하는 발광 물질을 포함한 발광층, 및 청색보다 파장이 긴 가시광을 발하는 발광 물질을 포함한 발광층을 가지는 것이 바람직하다.

[0484] 도 23의 (D)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써, 원하는 색의 광을 얻을 수 있다.

[0485] 예를 들어 싱글 구조의 발광 디바이스가 3층의 발광층을 가지는 경우, 적색(R)의 광을 발하는 발광 물질을 포함한 발광층, 녹색(G)의 광을 발하는 발광 물질을 포함한 발광층, 및 청색(B)의 광을 발하는 발광 물질을 포함한 발광층을 가지는 것이 바람직하다. 발광층의 적층 순서는 양극 측으로부터 R, G, B, 또는 양극 측으로부터 R, B, G 등으로 할 수 있다. 이때 R와 G 또는 B 사이에 버퍼층이 제공되어도 좋다.

[0486] 예를 들어 싱글 구조의 발광 디바이스가 2층의 발광층을 가지는 경우, 청색(B)의 광을 발하는 발광 물질을 포함한 발광층 및 황색(Y)의 광을 발하는 발광 물질을 포함한 발광층을 가지는 구성으로 하는 것이 바람직하다. 상기 구성을 BY 싱글 구조라고 부르는 경우가 있다.

[0487] 백색의 광을 발하는 발광 디바이스는 2종류 이상의 발광 물질을 포함하는 것이 바람직하다. 백색 발광을 얻기 위해서는, 2개 이상의 발광 물질의 각 발광이 보색 관계가 되는 발광 물질을 선택하면 좋다. 예를 들어 제 1

발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 디바이스 전체로서 백색 발광하는 발광 디바이스를 얻을 수 있다. 또한 발광층을 3개 이상 가지는 발광 디바이스의 경우도 마찬가지이다.

[0488] 또한 도 23의 (C), (D)에서도, 도 23의 (B)에 나타낸 바와 같이 층(780)과 층(790)을 각각 2층 이상의 층으로 이루어지는 적층 구조로 하여도 좋다.

[0489] 도 23의 (E) 및 (F)에서 발광층(771) 및 발광층(772)에 같은 색의 광을 발하는 발광 물질, 나아가서는 같은 발광 물질을 사용하여도 좋다. 예를 들어 각 색의 광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 청색의 광을 발하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소에서는 발광 디바이스가 발하는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는 도 23의 (F)에 나타낸 층(764)으로서 색 변환층을 제공하여 발광 디바이스가 발하는 청색의 광을 파장이 더 긴 광으로 변환함으로써 적색 또는 녹색의 광을 추출할 수 있다. 또한 층(764)으로서 색 변환층과 착색층의 양쪽을 사용하는 것이 바람직하다.

[0490] 각 색의 광을 나타내는 부화소에 도 23의 (E) 또는 (F)에 나타낸 구성을 가지는 발광 디바이스를 사용하는 경우, 부화소에 따라 상이한 발광 물질을 사용하여도 좋다. 구체적으로는 적색의 광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772) 각각에 적색의 광을 발하는 발광 물질을 사용하여도 좋다. 마찬가지로 녹색의 광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772) 각각에 녹색의 광을 발하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772) 각각에 청색의 광을 발하는 발광 물질을 사용하여도 좋다. 이러한 구성을 가지는 표시 장치는 탠덤 구조의 발광 디바이스가 적용되며 SBS 구조라고 할 수 있다. 그러므로 탠덤 구조의 장점과 SBS 구조의 장점의 양쪽을 가질 수 있다. 이에 의하여, 고휘도 발광이 가능하고 신뢰성이 높은 발광 디바이스를 실현할 수 있다.

[0491] 도 23의 (E) 및 (F)에서 발광층(771)과 발광층(772)에 상이한 색의 광을 발하는 발광 물질을 사용하여도 좋다. 발광층(771)이 발하는 광과 발광층(772)이 발하는 광이 보색 관계에 있는 경우, 광이 서로 혼합되어 전체로서 백색 발광이 얻어진다. 도 23의 (F)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써, 원하는 색의 광을 얻을 수 있다.

[0492] 또한 도 23의 (E) 및 (F)에는 발광 유닛(763a)이 1층의 발광층(771)을 가지고, 발광 유닛(763b)이 1층의 발광층(772)을 가지는 예를 나타내었지만 이에 한정되지 않는다. 발광 유닛(763a) 및 발광 유닛(763b)은 각각 2층 이상의 발광층을 가져도 좋다.

[0493] 도 23의 (E) 및 (F)에는 발광 유닛을 2개 가지는 발광 디바이스를 예시하였지만 이에 한정되지 않는다. 발광 디바이스는 발광 유닛을 3개 이상 가져도 좋다. 또한 발광 유닛을 2개 가지는 구성을 2단 탠덤 구조라고 부르고, 발광 유닛을 3개 가지는 구성을 3단 탠덤 구조라고 불러도 좋다.

[0494] 도 23의 (E) 및 (F)에서 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 가지고, 발광 유닛(763b)은 층(780b), 발광층(772), 및 층(790b)을 가진다.

[0495] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780a) 및 층(780b) 각각은 정공 주입층, 정공 수송층, 및 전자 차단층 중 하나 또는 복수를 가진다. 또한 층(790a) 및 층(790b) 각각은 전자 주입층, 전자 수송층, 및 정공 차단층 중 하나 또는 복수를 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780a)과 층(790a)은 상기와 반대의 구성이 되고, 층(780b)과 층(790b)도 상기와 반대의 구성이 된다.

[0496] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(780a)은 정공 주입층과, 정공 주입층 위의 정공 수송층을 가지고, 정공 수송층 위의 전자 차단층을 더 가져도 좋다. 또한 층(790a)은 전자 수송층을 가지고, 발광층(771)과 전자 수송층 사이의 정공 차단층을 더 가져도 좋다. 또한 층(780b)은 정공 수송층을 가지고, 정공 수송층 위의 전자 차단층을 더 가져도 좋다. 또한 층(790b)은 전자 수송층과, 전자 수송층 위의 전자 주입층을 가지고, 발광층(772)과 전자 수송층 사이의 정공 차단층을 더 가져도 좋다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 예를 들어 층(780a)은 전자 주입층과, 전자 주입층 위의 전자 수송층을 가지고, 전자 수송층 위의 정공 차단층을 더 가져도 좋다. 또한 층(790a)은 정공 수송층을 가지고, 발광층(771)과 정공 수송층 사이의 전자 차단층을 더 가져도 좋다. 또한 층(780b)은 전자 수송층을 가지고, 전자 수송층 위의 정공 차단층을 더 가져도 좋다. 또한 층(790b)은 정공 수송층과, 정공 수송층 위의 정공 주입층을 가지고, 발광층(772)과 정공 수송층 사이의 전자 차단층을 더 가져도 좋다.

[0497] 탠덤 구조의 발광 디바이스를 제작하는 경우, 2개의 발광 유닛은 전하 발생층(785)을 개재하여 적층된다. 전하

발생층(785)은 적어도 전하 발생 영역을 가진다. 전하 발생층(785)은 한 쌍의 전극 사이에 전압을 인가한 경우에 2개의 발광 유닛 중 한쪽에 전자를 주입하고, 다른 쪽에 정공을 주입하는 기능을 가진다.

[0498] 탠덤 구조의 발광 디바이스의 일례로서, 도 24의 (A) 내지 (C)에 나타낸 구성을 들 수 있다.

[0499] 도 24의 (A)는 발광 유닛을 3개 가지는 구성을 나타낸 것이다. 도 24의 (A)에서는 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 개재하여 직렬로 접속된다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 가지고, 발광 유닛(763b)은 층(780b)과, 발광층(772)과, 층(790b)을 가지고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 가진다. 또한 층(780c)에는 층(780a) 및 층(780b)에 적용 가능한 구성을 사용할 수 있고, 층(790c)에는 층(790a) 및 층(790b)에 적용 가능한 구성을 사용할 수 있다.

[0500] 도 24의 (A)에서 발광층(771), 발광층(772), 및 발광층(773)은 같은 색의 광을 발하는 발광 물질을 포함하는 것이 바람직하다. 구체적으로는 발광층(771), 발광층(772), 및 발광층(773) 각각이 적색(R)의 발광 물질을 포함한 구성(소위 R\R\R의 3단 탠덤 구조), 발광층(771), 발광층(772), 및 발광층(773) 각각이 녹색(G)의 발광 물질을 포함한 구성(소위 G\G\G의 3단 탠덤 구조), 또는 발광층(771), 발광층(772), 및 발광층(773) 각각이 청색(B)의 발광 물질을 포함한 구성(소위 B\B\B의 3단 탠덤 구조)으로 할 수 있다. 또한 "a\b"는 a의 광을 발하는 발광 물질을 포함한 발광 유닛 위에 전하 발생층을 개재하여 b의 광을 발하는 발광 물질을 포함한 발광 유닛이 제공되어 있는 것을 의미하고, a, b는 색을 의미한다.

[0501] 도 24의 (A)에서 발광층(771), 발광층(772), 및 발광층(773) 중 일부 또는 모두에 상이한 색의 광을 발하는 발광 물질을 사용하여도 좋다. 발광층(771), 발광층(772), 및 발광층(773)의 발광색의 조합으로서는, 예를 들어 어느 2개가 청색(B)이고 나머지 하나가 황색(Y)인 구성, 그리고 어느 하나가 적색(R)이고 다른 하나가 녹색(G)이고 나머지 하나가 청색(B)인 구성이 있다.

[0502] 또한 각각 같은 색의 광을 발하는 발광 물질은 상기 구성에 한정되지 않는다. 예를 들어 도 24의 (B)에 나타낸 바와 같이 복수의 발광층을 가지는 발광 유닛을 적층시킨 탠덤형 발광 디바이스로 하여도 좋다. 도 24의 (B)에서는 2개의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)을 개재하여 직렬로 접속된다. 또한 발광 유닛(763a)은 층(780a), 발광층(771a), 발광층(771b), 발광층(771c), 및 층(790a)을 가지고, 발광 유닛(763b)은 층(780b), 발광층(772a), 발광층(772b), 발광층(772c), 및 층(790b)을 가진다.

[0503] 도 24의 (B)에서는 보색 관계가 되도록 발광층(771a), 발광층(771b), 및 발광층(771c)의 발광 물질을 선택하여 발광 유닛(763a)을 백색 발광(W)이 가능한 구성으로 한다. 또한 발광층(772a), 발광층(772b), 및 발광층(772c)에 대해서도 보색 관계가 되도록 발광 물질을 선택하여 발광 유닛(763b)을 백색 발광(W)이 가능한 구성으로 한다. 즉 도 24의 (B)의 구성은 W\W의 2단 탠덤 구조이다. 또한 보색 관계가 되는 발광 물질의 적층 순서에 대해서는 특별히 한정되지 않는다. 실시자가 최적의 적층 순서를 적절히 선택할 수 있다. 또한 도시하지 않았지만, W\W\W의 3단 탠덤 구조 또는 4단 이상의 탠덤 구조로 하여도 좋다.

[0504] 탠덤 구조의 발광 디바이스를 사용하는 경우, 황색(Y)의 광을 발하는 발광 유닛과 청색(B)의 광을 발하는 발광 유닛을 가지는 B\Y 또는 Y\B의 2단 탠덤 구조, 적색(R)과 녹색(G)의 광을 발하는 발광 유닛과 청색(B)의 광을 발하는 발광 유닛을 가지는 R·G\B 또는 B\R·G의 2단 탠덤 구조, 청색(B)의 광을 발하는 발광 유닛과, 황색(Y)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 이 순서대로 가지는 B\Y\B의 3단 탠덤 구조, 청색(B)의 광을 발하는 발광 유닛과, 황록색(YG)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 이 순서대로 가지는 B\YG\B의 3단 탠덤 구조, 청색(B)의 광을 발하는 발광 유닛과, 녹색(G)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 이 순서대로 가지는 B\G\B의 3단 탠덤 구조 등을 들 수 있다. 또한 "a·b"는 하나의 발광 유닛이 a의 광을 발하는 발광 물질과 b의 광을 발하는 발광 물질을 포함하는 것을 의미한다.

[0505] 도 24의 (C)에 나타낸 바와 같이 하나의 발광층을 가지는 발광 유닛과 복수의 발광층을 가지는 발광 유닛을 조합하여도 좋다.

[0506] 구체적으로는 도 24의 (C)에 나타낸 구성에서는 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 개재하여 직렬로 접속된다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 가지고, 발광 유닛(763b)은 층(780b)과, 발광층(772a)과, 발광층(772b)과, 발광층(772c)과, 층(790b)을 가지고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 가진다.

[0507] 예를 들어 도 24의 (C)에 나타낸 구성에서 발광 유닛(763a)이 청색(B)의 광을 발하는 발광 유닛이고, 발광 유닛

(763b)이 적색(R), 녹색(G), 및 황록색(YG)의 광을 발하는 발광 유닛이고, 발광 유닛(763c)이 청색(B)의 광을 발하는 발광 유닛인 B\R·G·YG\B의 3단 탠덤 구조 등을 적용할 수 있다.

[0508] 예를 들어 발광 유닛의 적층 수와 색의 순서는 양극 측으로부터 B, Y의 2단 구조, B와 발광 유닛 X의 2단 구조, B, Y, B의 3단 구조, B, X, B의 3단 구조를 들 수 있고, 발광 유닛 X에서의 발광층의 적층 수와 색의 순서는 양극 측으로부터 R, Y의 2층 구조, R, G의 2층 구조, G, R의 2층 구조, G, R, G의 3층 구조, 또는 R, G, R의 3층 구조 등으로 할 수 있다. 또한 2개의 발광층 사이에 다른 층이 제공되어도 좋다.

[0509] 다음으로 발광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.

[0510] 하부 전극(761) 및 상부 전극(762) 중 광을 추출하는 측의 전극에는 가시광을 투과시키는 도전막을 사용한다. 또한 광을 추출하지 않는 측의 전극에는 가시광을 반사하는 도전막을 사용하는 것이 바람직하다. 또한 표시 장치가 적외광을 발하는 발광 디바이스를 가지는 경우에는, 광을 추출하는 측의 전극에는 가시광 및 적외광을 투과시키는 도전막을 사용하고, 광을 추출하지 않는 측의 전극에는 가시광 및 적외광을 반사하는 도전막을 사용하는 것이 바람직하다.

[0511] 광을 추출하지 않는 측의 전극에도 가시광을 투과시키는 도전막을 사용하여도 좋다. 이 경우, 반사층과 EL층(763) 사이에 상기 전극을 배치하는 것이 바람직하다. 즉 EL층(763)의 발광은 상기 반사층에 의하여 반사되어 표시 장치로부터 추출되어도 좋다.

[0512] 발광 디바이스의 한 쌍의 전극을 형성하는 재료로서는 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수 있다. 상기 재료로서 구체적으로는 알루미늄, 마그네슘, 타이타늄, 크로뮴, 망가니즈, 철, 코발트, 니켈, 구리, 갈륨, 아연, 인듐, 주석, 몰리브데넘, 탄탈럼, 텅스텐, 팔라듐, 금, 백금, 은, 이트륨, 네오디뮴 등의 금속, 및 이들을 적절히 조합하여 포함한 합금을 들 수 있다. 또한 상기 재료로서 인듐 주석 산화물(In-Sn 산화물, ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), 인듐 아연 산화물(In-Zn 산화물), 및 In-W-Zn 산화물 등을 들 수 있다. 또한 상기 재료로서 알루미늄, 니켈, 및 란타넘의 합금(Al-Ni-La) 등 알루미늄을 포함한 합금(알루미늄 합금), 그리고 은과 마그네슘의 합금 및 은과 팔라듐과 구리의 합금(APC) 등 은을 포함한 합금을 들 수 있다. 이 외에, 상기 재료로서 위에서 예시하지 않은 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어 리튬, 세슘, 칼슘, 스트론튬), 유로퓸, 이터븀 등의 희토류 금속, 및 이들을 적절히 조합하여 포함한 합금, 그래핀 등을 들 수 있다.

[0513] 발광 디바이스에는 미소 광공진기(마이크로캐비티) 구조가 적용되는 것이 바람직하다. 따라서 발광 디바이스가 가지는 한 쌍의 전극 중 한쪽은 가시광에 대한 투과성 및 반사성을 가지는 전극(반투과·반반사 전극)을 가지는 것이 바람직하고, 다른 쪽은 가시광에 대한 반사성을 가지는 전극(반사 전극)을 가지는 것이 바람직하다. 발광 디바이스가 마이크로캐비티 구조를 가짐으로써, 발광층으로부터 얻어지는 발광을 양쪽 전극 사이에서 공진시켜, 발광 디바이스로부터 사출되는 광을 강하게 할 수 있다.

[0514] 투명 전극의 광 투과율은 40% 이상으로 한다. 예를 들어 발광 디바이스의 투명 전극에는 가시광(파장 400nm 이상 750nm 미만의 광)의 투과율이 40% 이상인 전극을 사용하는 것이 바람직하다. 반투과·반반사 전극의 가시광의 반사율은 10% 이상 95% 이하, 바람직하게는 30% 이상 80% 이하로 한다. 반사 전극의 가시광의 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이들 전극의 저항률은 1×10^{-2} Ω cm 이하가 바람직하다.

[0515] 발광 디바이스는 적어도 발광층을 가진다. 또한 발광 디바이스는 발광층 이외의 층으로서, 정공 주입성이 높은 재료, 정공 수송성이 높은 재료, 정공 차단 재료, 전자 수송성이 높은 재료, 전자 차단 재료, 전자 주입성이 높은 재료, 또는 양극성 재료(전자 수송성 및 정공 수송성이 높은 재료) 등을 포함한 층을 더 가져도 좋다. 예를 들어 발광 디바이스는 발광층 외에 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 1층 이상을 가지는 구성으로 할 수 있다.

[0516] 발광 디바이스에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 발광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0517] 발광층은 1종류 또는 복수 종류의 발광 물질을 포함한다. 발광 물질로서는 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 또는 적색 등의 발광색을 나타내는 물질을 적절히 사용한다. 또한 발광 물질로서 근적외광을 발하는 물질을 사용할 수도 있다.

[0518] 발광 물질로서는 형광 재료, 인광 재료, TADF 재료, 및 퀀텀닷 재료 등을 들 수 있다.

[0519] 형광 재료로서는 예를 들어 피렌 유도체, 안트라센 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 카바졸 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 다이벤조퀴녹살린 유도체, 퀴녹살린 유도체, 피리딘 유도체, 피리미딘 유도체, 페난트렌 유도체, 및 나프탈렌 유도체 등이 있다.

[0520] 인광 재료로서는 예를 들어 4H-트라이아졸 골격, 1H-트라이아졸 골격, 이미다졸 골격, 피리미딘 골격, 피라진 골격, 또는 피리딘 골격을 가지는 유기 금속 착체(특히 이리듐 착체), 전자 흡인기를 가지는 페닐피리딘 유도체를 리간드로 하는 유기 금속 착체(특히 이리듐 착체), 백금 착체, 및 희토류 금속 착체 등이 있다.

[0521] 발광층은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(호스트 재료, 어시스트 재료 등)을 포함하여도 좋다. 1종류 또는 복수 종류의 유기 화합물로서는 정공 수송성이 높은 재료(정공 수송성 재료) 및 전자 수송성이 높은 재료(전자 수송성 재료) 중 한쪽 또는 양쪽을 사용할 수 있다. 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다. 전자 수송성 재료로서는 후술하는 전자 수송층에 사용할 수 있는 전자 수송성이 높은 재료를 사용할 수 있다. 또한 1종류 또는 복수 종류의 유기 화합물로서 양극성 재료 또는 TADF 재료를 사용하여도 좋다.

[0522] 발광층은 예를 들어 인광 재료와, 들뜬 복합체를 형성하기 쉬운 정공 수송성 재료와 전자 수송성 재료의 조합을 포함하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 들뜬 복합체로부터 발광 물질(인광 재료)로의 에너지 이동인 ExTET(Exciplex-Triplet Energy Transfer)를 사용한 발광을 효율적으로 얻을 수 있다. 발광 물질의 가장 낮은 에너지 측의 흡수대의 파장과 중첩되는 발광을 나타내는 들뜬 복합체를 형성하는 조합을 선택함으로써, 에너지 이동이 원활해져 발광을 효율적으로 얻을 수 있다. 이 구성에 의하여, 발광 디바이스의 고효율, 저전압 구동, 장수명을 동시에 실현할 수 있다.

[0523] 정공 주입층은 양극으로부터 정공 수송층에 정공을 주입하는 층이고, 정공 주입성이 높은 재료를 포함한 층이다. 정공 주입성이 높은 재료로서는 방향족 아민 화합물, 및 정공 수송성 재료와 억셉터성 재료(전자 수용성 재료)를 포함한 복합 재료 등을 들 수 있다.

[0524] 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다.

[0525] 억셉터성 재료로서 예를 들어 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물을 사용할 수 있다. 구체적으로는 산화 몰리브데넘, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 텅스텐, 산화 망가니즈, 및 산화 레늄을 들 수 있다. 그 중에서도, 산화 몰리브데넘은 대기 중에서도 안정적이고 흡습성이 낮으며 취급하기 쉽기 때문에 특히 바람직하다. 또한 플루오린을 포함한 유기 억셉터성 재료를 사용할 수도 있다. 또한 퀴노다이메테인 유도체, 클로라닐 유도체, 및 헥사아자트라이페닐렌 유도체 등의 유기 억셉터성 재료를 사용할 수도 있다.

[0526] 예를 들어 정공 주입성이 높은 재료로서, 정공 수송성 재료와 상술한 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물(대표적으로는 산화 몰리브데넘)을 포함한 재료를 사용하여도 좋다.

[0527] 정공 수송층은 정공 주입층에 의하여 양극으로부터 주입된 정공을 발광층으로 수송하는 층이다. 정공 수송층은 정공 수송성 재료를 포함한 층이다. 정공 수송성 재료로서는 정공 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 전자보다 정공의 수송성이 높은 재료이면, 이들 외의 물질을 사용할 수도 있다. 정공 수송성 재료로서는 π전자 과잉형 헤테로 방향족 화합물(예를 들어 카바졸 유도체, 싸이오펜 유도체, 퓨란 유도체 등), 방향족 아민(방향족 아민 골격을 가지는 화합물) 등의 정공 수송성이 높은 재료가 바람직하다.

[0528] 전자 차단층은 발광층에 접하여 제공된다. 전자 차단층은 정공 수송성을 가지며 전자를 차단할 수 있는 재료를 포함한 층이다. 전자 차단층에는 상기 정공 수송성 재료 중 전자 차단성을 가지는 재료를 사용할 수 있다.

[0529] 전자 차단층은 정공 수송성을 가지므로 정공 수송층이라고 할 수도 있다. 또한 정공 수송층 중 전자 차단성을 가지는 층을 전자 차단층이라고 할 수도 있다.

[0530] 전자 수송층은 전자 주입층에 의하여 음극으로부터 주입된 전자를 발광층으로 수송하는 층이다. 전자 수송층은 전자 수송성 재료를 포함한 층이다. 전자 수송성 재료로서는 전자 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 정공보다 전자의 수송성이 높은 재료이면, 이들 외의 물질을 사용할 수도 있다. 전자 수송성 재료로서는, 퀴놀린 골격을 가지는 금속 착체, 벤조퀴놀린 골격을 가지는 금속 착체, 옥사졸 골격을 가지는 금속 착체, 싸이아졸 골격을 가지는 금속 착체 등 외에, 옥사다이아졸 유도체, 트라이아졸 유도체, 이미다졸 유도체,

옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 리간드를 가지는 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴녹살린 유도체, 다이벤조퀴녹살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 그 외에 질소 함유 헤테로 방향족 화합물을 포함한 π전자 부족형 헤테로 방향족 화합물 등의 전자 수송성이 높은 재료를 사용할 수 있다.

[0531] 정공 차단층은 발광층에 접하여 제공된다. 정공 차단층은 전자 수송성을 가지며 정공을 차단할 수 있는 재료를 포함한 층이다. 정공 차단층에는 상기 전자 수송성 재료 중 정공 차단성을 가지는 재료를 사용할 수 있다.

[0532] 정공 차단층은 전자 수송성을 가지므로 전자 수송층이라고 할 수도 있다. 또한 전자 수송층 중 정공 차단성을 가지는 층을 정공 차단층이라고 할 수도 있다.

[0533] 전자 주입층은 음극으로부터 전자 수송층에 전자를 주입하는 층이고, 전자 주입성이 높은 재료를 포함한 층이다. 전자 주입성이 높은 재료로서는 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 전자 주입성이 높은 재료로서는 전자 수송성 재료와 도너성 재료(전자 공여성 재료)를 포함한 복합 재료를 사용할 수도 있다.

[0534] 전자 주입성이 높은 재료의 최저 비점유 분자 궤도(LUMO: Lowest Unoccupied Molecular Orbital) 준위는 음극에 사용하는 재료의 일함수의 값과의 차이가 작은(구체적으로는 0.5eV 이하) 것이 바람직하다.

[0535] 전자 주입층에는 예를 들어 리튬, 세슘, 이터븀, 플루오린화 리튬(LiF), 플루오린화 세슘(CsF), 플루오린화 칼슘(CaF_x, X는 임의의 수), 8-(퀴놀리놀레이토)리튬(약칭: Liq), 2-(2-피리딜)페놀레이토리튬(약칭: LiPP), 2-(2-피리딜)-3-피리디놀레이토리튬(약칭: LiPPy), 4-페닐-2-(2-피리딜)페놀레이토리튬(약칭: LiPPP), 리튬 산화물(LiO_x), 탄산 세슘 등과 같은 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 또한 전자 주입층은 2층 이상의 적층 구조로 하여도 좋다. 상기 적층 구조로서는, 예를 들어 첫 번째 층에 플루오린화 리튬을 사용하고, 두 번째 층에 이터븀을 사용하는 구성이 있다.

[0536] 전자 주입층은 전자 수송성 재료를 포함하여도 좋다. 예를 들어 비공유 전자쌍을 가지고, 전자 부족형 헤테로 방향족 고리를 가지는 화합물을 전자 수송성 재료에 사용할 수 있다. 구체적으로는 피리딘 고리, 다이아진 고리(피리미딘 고리, 피라진 고리, 피리다진 고리), 및 트라이아진 고리 중 적어도 하나를 가지는 화합물을 사용할 수 있다.

[0537] 또한 비공유 전자쌍을 가지는 유기 화합물의 LUMO 준위는 -3.6eV 이상 -2.3eV 이하인 것이 바람직하다. 또한 일반적으로 CV(사이클릭 볼타메트리), 광전자 분광법, 광 흡수 분광법, 역광전자 분광법 등에 의하여 유기 화합물의 최고 점유 분자 궤도(HOMO: Highest Occupied Molecular Orbital) 준위 및 LUMO 준위를 추산할 수 있다.

[0538] 예를 들어 4,7-다이페닐-1,10-페난트롤린(약칭: BPhen), 2,9-다이(나프탈렌-2-일)-4,7-다이페닐-1,10-페난트롤린(약칭: NBPhen), 2,2'-(1,3-페닐렌)비스(9-페닐-1,10-페난트롤린)(약칭: mPPhen2P), 다이퀴녹살리노[2,3-a:2',3'-c]페나진(약칭: HATNA), 2,4,6-트리스[3'-(피리딘-3-일)바이페닐-3-일]-1,3,5-트라이아진(약칭: TmPPPyTz) 등을, 비공유 전자쌍을 가지는 유기 화합물에 사용할 수 있다. 또한 NBPhen은 BPhen과 비교하여 높은 유리 전이점(Tg)을 가지므로 내열성이 우수하다.

[0539] 전하 발생층은 상술한 바와 같이 적어도 전하 발생 영역을 가진다. 전하 발생 영역은 억셉터성 재료를 포함하는 것이 바람직하고, 예를 들어 상술한 정공 주입층에 적용할 수 있는 정공 수송성 재료와 억셉터성 재료를 포함하는 것이 바람직하다.

[0540] 전하 발생층은 전자 주입성이 높은 재료를 포함한 층을 가지는 것이 바람직하다. 상기 층은 전자 주입 버퍼층이라고 부를 수도 있다. 전자 주입 버퍼층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 주입 버퍼층을 제공함으로써, 전하 발생 영역과 전자 수송층 사이의 주입 장벽을 완화할 수 있기 때문에, 전하 발생 영역에서 발생한 전자를 전자 수송층에 용이하게 주입할 수 있다.

[0541] 전자 주입 버퍼층은 알칼리 금속 또는 알칼리 토금속을 포함하는 것이 바람직하고, 예를 들어 알칼리 금속의 화합물 또는 알칼리 토금속의 화합물을 포함하는 구성으로 할 수 있다. 구체적으로는, 전자 주입 버퍼층은 알칼리 금속과 산소를 포함한 무기 화합물, 또는 알칼리 토금속과 산소를 포함한 무기 화합물을 포함하는 것이 바람직하고, 리튬과 산소를 포함한 무기 화합물(산화 리튬(Li_2O) 등)을 포함하는 것이 더 바람직하다. 그 외에, 전자 주입 버퍼층에는 상술한 전자 주입층에 적용할 수 있는 재료를 적합하게 사용할 수 있다.

[0542] 전하 발생층은 전자 수송성이 높은 재료를 포함한 층을 가지는 것이 바람직하다. 상기 층은 전자 릴레이층이라

고 부를 수도 있다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층 사이에 제공되는 것이 바람직하다. 전하 발생층이 전자 주입 버퍼층을 가지지 않는 경우, 전자 릴레이층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층(또는 전자 수송층)의 상호 작용을 방지하고, 전자를 원활하게 주고받는 기능을 가진다.

[0543] 전자 릴레이층에는 구리(II) 프탈로사이아닌(약칭: CuPc) 등의 프탈로사이아닌계의 재료, 또는 금속-산소 결합과 방향족 리간드를 가지는 금속 착체를 사용하는 것이 바람직하다.

[0544] 또한 상술한 전하 발생 영역, 전자 주입 버퍼층, 및 전자 릴레이층은 단면 형상 또는 특성 등에 따라 명확히 구별할 수 없는 경우가 있다.

[0545] 또한 전하 발생층은 억셉터성 재료 대신에 도너성 재료를 포함하여도 좋다. 예를 들어 전하 발생층으로서는 상술한 전자 주입층에 적용할 수 있는 전자 수송성 재료와 도너성 재료를 포함한 층을 가져도 좋다.

[0546] 발광 유닛을 적층시킬 때, 2개의 발광 유닛 사이에 전하 발생층을 제공함으로써 구동 전압의 상승을 억제할 수 있다.

[0547] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0548] (실시형태 5)

[0549] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 사용할 수 있는 수광 디바이스와 광 검출 기능을 가지는 표시 장치에 대하여 설명한다.

[0550] [수광 디바이스]

[0551] 도 25의 (A)에 나타낸 바와 같이 수광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 층(765)을 가진다. 층(765)은 적어도 1층의 활성층을 가지고, 다른 층을 더 가져도 좋다.

[0552] 도 25의 (B)는 도 25의 (A)에 나타낸 수광 디바이스가 가지는 층(765)의 변형예이다. 구체적으로는 도 25의 (B)에 나타낸 수광 디바이스는 하부 전극(761) 위의 층(766)과, 층(766) 위의 활성층(767)과, 활성층(767) 위의 층(768)과, 층(768) 위의 상부 전극(762)을 가진다.

[0553] 활성층(767)은 광전 변환층으로서 기능한다.

[0554] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(766)은 정공 수송층 및 전자 차단층 중 한쪽 또는 양쪽을 가진다. 또한 층(768)은 전자 수송층 및 정공 차단층 중 한쪽 또는 양쪽을 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(766)과 층(768)은 상기와 반대의 구성이 된다.

[0555] 다음으로 수광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.

[0556] 수광 디바이스에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 수광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0557] 수광 디바이스가 가지는 활성층은 반도체를 포함한다. 상기 반도체로서는 실리콘 등의 무기 반도체 및 유기 화합물을 포함하는 유기 반도체를 들 수 있다. 본 실시형태에서는, 활성층에 포함되는 반도체로서 유기 반도체를 사용하는 예를 제시한다. 유기 반도체를 사용함으로써, 발광층과 활성층을 같은 방법(예를 들어 진공 증착법)으로 형성할 수 있기 때문에 같은 제조 장치를 사용할 수 있어 바람직하다.

[0558] 활성층이 가지는 n형 반도체의 재료로서는 풀러렌(예를 들어 C_{60}, C_{70} 등), 풀러렌 유도체 등의 전자 수용성의 유기 반도체 재료를 들 수 있다. 풀러렌 유도체로서는 예를 들어 [6,6]-페닐-C71-뷰티르산 메틸에스터(약칭: PC70BM), [6,6]-페닐-C61-뷰티르산 메틸에스터(약칭: PC60BM), 1',1'',4',4''-테트라하이드로-다이[1,4]메타노나프탈레노[1,2:2',3',56,60:2'',3''][5,6]풀러렌-C60(약칭: ICBA) 등을 들 수 있다.

[0559] n형 반도체의 재료로서는 예를 들어 N,N'-다이메틸-3,4,9,10-페릴렌테트라카복실산다이이미드(약칭: Me-PTCDI) 등의 페릴렌테트라카복실산 유도체, 및 2,2'-(5,5'-(티에노[3,2-b]싸이오펜-2,5-다이일)비스(싸이오펜-5,2-다이일))비스(메테인-1-일-1-일리덴)다이말로노나이트릴(약칭: FT2TDMN)이 있다.

[0560] n형 반도체의 재료로서는 퀴놀린 골격을 가지는 금속 착체, 벤조퀴놀린 골격을 가지는 금속 착체, 옥사졸 골격을 가지는 금속 착체, 싸이아졸 골격을 가지는 금속 착체, 옥사다이아졸 유도체, 트라이아졸 유도체, 이미다졸

유도체, 옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴녹살린 유도체, 다이벤조퀴녹살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 나프탈렌 유도체, 안트라센 유도체, 쿠마린 유도체, 로다민 유도체, 트라이아진 유도체, 및 퀴논 유도체 등을 들 수 있다.

[0561] 활성층이 가지는 p형 반도체의 재료로서는 구리(II) 프탈로사이아닌(Copper(II) phthalocyanine; CuPc), 테트라페닐다이벤조페리플란텐(Tetraphenyldibenzoperiflanthene; DBP), 아연 프탈로사이아닌(Zinc Phthalocyanine; ZnPc), 주석프탈로사이아닌(SnPc), 퀴나크리돈, 및 루브렌 등의 전자 공여성의 유기 반도체 재료를 들 수 있다.

[0562] p형 반도체의 재료로서는 카바졸 유도체, 싸이오펜 유도체, 퓨란 유도체, 방향족 아민 골격을 가지는 화합물 등을 들 수 있다. 또한 p형 반도체의 재료로서는 나프탈렌 유도체, 안트라센 유도체, 피렌 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 피롤 유도체, 벤조퓨란 유도체, 벤조싸이오펜 유도체, 인돌 유도체, 다이벤조퓨란 유도체, 다이벤조싸이오펜 유도체, 인돌로카바졸 유도체, 포르피린 유도체, 프탈로사이아닌 유도체, 나프탈로사이아닌 유도체, 퀴나크리돈 유도체, 루브렌 유도체, 테트라센 유도체, 폴리페닐렌바이닐렌 유도체, 폴리파라페닐렌 유도체, 폴리플루오렌 유도체, 폴리바이닐카바졸 유도체, 및 폴리싸이오펜 유도체 등을 들 수 있다.

[0563] 전자 공여성의 유기 반도체 재료의 HOMO 준위는 전자 수용성의 유기 반도체 재료의 HOMO 준위보다 얕은(높은) 것이 바람직하다. 전자 공여성의 유기 반도체 재료의 LUMO 준위는 전자 수용성의 유기 반도체 재료의 LUMO 준위보다 얕은(높은) 것이 바람직하다.

[0564] 전자 수용성의 유기 반도체 재료로서 구체 형상의 풀러렌을 사용하고, 전자 공여성의 유기 반도체 재료로서 평면에 가까운 형상의 유기 반도체 재료를 사용하는 것이 바람직하다. 유사한 형상의 분자들은 응집하기 쉬운 경향이 있고, 같은 종류의 분자들이 응집하면, 분자 궤도의 에너지 준위가 서로 가깝기 때문에 캐리어 수송성을 높일 수 있다.

[0565] 활성층에 도너로서 기능하는 폴리[[4,8-비스[5-(2-에틸헥실)-2-싸이엔일]벤조[1,2-b:4,5-b']다이싸이오펜-2,6-다이일]-2,5-싸이오펜다이일[5,7-비스(2-에틸헥실)-4,8-다이옥소-4H,8H-벤조[1,2-c:4,5-c']다이싸이오펜-1,3-다이일]]폴리머(약칭: PBDB-T), 또는 PBDB-T 유도체 등의 고분자 화합물을 사용할 수 있다. 예를 들어 PBDB-T 또는 PBDB-T 유도체에 억셉터 재료를 분산시키는 방법 등을 사용할 수 있다.

[0566] 예를 들어 활성층은 n형 반도체와 p형 반도체를 공증착하여 형성되는 것이 바람직하다. 또는 활성층은 n형 반도체와 p형 반도체를 적층하여 형성되어도 좋다.

[0567] 활성층은 3종류 이상의 재료를 포함하여도 좋다. 예를 들어 흡수 파장 영역을 확대하는 목적으로 n형 반도체의 재료와 p형 반도체의 재료에 더하여 제 3 재료를 혼합하여도 좋다. 이때 제 3 재료는 저분자 화합물이어도 고분자 화합물이어도 좋다.

[0568] 수광 디바이스는 활성층 이외의 층으로서 정공 수송성이 높은 재료, 전자 수송성이 높은 재료, 또는 양극성 재료(전자 수송성 및 정공 수송성이 높은 재료) 등을 포함한 층을 더 가져도 좋다. 또한 이에 한정되지 않고, 정공 주입성이 높은 재료, 정공 차단 재료, 전자 주입성이 높은 재료, 또는 전자 차단 재료 등을 포함한 층을 더 가져도 좋다. 수광 디바이스가 가지는 활성층 이외의 층에는 예를 들어 상술한 발광 디바이스에 사용할 수 있는 재료를 사용할 수 있다.

[0569] 예를 들어 정공 수송성 재료 또는 전자 차단 재료로서, 폴리(3,4-에틸렌다이옥시싸이오펜)/폴리(스타이렌설폰산)(PEDOT/PSS) 등의 고분자 화합물, 및 몰리브데넘 산화물, 아이오딘화 구리(CuI) 등의 무기 화합물을 사용할 수 있다. 또한 전자 수송성 재료 또는 정공 차단 재료로서, 산화 아연(ZnO) 등의 무기 화합물, 폴리에틸렌이민에톡시레이트(PEIE) 등의 유기 화합물을 사용할 수 있다. 수광 디바이스는 예를 들어 PEIE와 ZnO의 혼합막을 가져도 좋다.

[0570] [광 검출 기능을 가지는 표시 장치]

[0571] 본 발명의 일 형태의 표시 장치는 표시부에 발광 디바이스가 매트릭스상으로 배치되고, 상기 표시부에서 화상을 표시할 수 있다. 또한 상기 표시부에는 수광 디바이스가 매트릭스상으로 배치되고, 표시부는 화상 표시 기능에 더하여 촬상 기능 및 센싱 기능 중 한쪽 또는 양쪽을 가진다. 표시부는 이미지 센서 또는 터치 센서에 사용할 수 있다. 즉 표시부에서 광을 검출함으로써 화상의 촬상, 또는 대상물(손가락, 손, 또는 펜 등)의 근접 또는 접촉의 검출을 할 수 있다.

[0572] 또한 본 발명의 일 형태의 표시 장치는 발광 디바이스를 센서의 광원으로서 이용할 수 있다. 본 발명의 일 형

태의 표시 장치에서는, 표시부가 가지는 발광 디바이스가 발한 광을 대상물이 반사(또는 산란)하였을 때 수광 디바이스가 그 반사광(또는 산란광)을 검출할 수 있기 때문에, 어두운 장소에서도 촬상 또는 터치 검출이 가능하다.

[0573] 따라서 표시 장치와 별도로 수광부 및 광원을 제공하지 않아도 되기 때문에 전자 기기의 부품 점수를 삭감할 수 있다. 예를 들어 전자 기기에 제공되는 생체 인증 장치, 또는 스크롤 등을 하기 위한 정전 용량 방식의 터치 패널 등을 별도로 제공할 필요가 없다. 따라서 본 발명의 일 형태의 표시 장치를 사용함으로써 제조 비용이 절감된 전자 기기를 제공할 수 있다.

[0574] 구체적으로는 본 발명의 일 형태의 표시 장치는 화소에 발광 디바이스와 수광 디바이스를 가진다. 본 발명의 일 형태의 표시 장치에서는, 발광 디바이스로서 유기 EL 디바이스를 사용하고, 수광 디바이스로서 유기 포토다이오드를 사용한다. 유기 EL 디바이스 및 유기 포토다이오드는 동일한 기판에 형성할 수 있다. 따라서 유기 EL 디바이스를 사용한 표시 장치에 유기 포토다이오드를 내장시킬 수 있다.

[0575] 발광 디바이스 및 수광 디바이스를 화소에 가지는 표시 장치에서는, 화소가 수광 기능을 가지기 때문에, 화상을 표시하면서 대상물의 접촉 또는 근접을 검출할 수 있다. 예를 들어, 표시 장치가 가지는 모든 부화소에서 화상을 표시할 뿐만 아니라, 일부의 부화소는 광원으로서의 광을 나타내고, 다른 일부의 부화소는 광 검출을 수행하고, 나머지 부화소는 화상을 표시할 수도 있다.

[0576] 수광 디바이스를 이미지 센서로서 사용하는 경우, 표시 장치는 수광 디바이스를 사용하여 화상을 촬상할 수 있다. 예를 들어 본 실시형태의 표시 장치는 스캐너로서 사용할 수 있다.

[0577] 예를 들어 이미지 센서를 사용하여 지문, 장문, 홍채, 맥 형상(정맥 형상, 동맥 형상을 포함함), 또는 얼굴 등을 사용한 개인 인증을 위한 촬상을 수행할 수 있다.

[0578] 예를 들어 이미지 센서를 사용하여 웨어러블 기기의 사용자의 눈 주변, 눈 표면, 또는 눈 내부(안저 등)의 촬상을 수행할 수 있다. 따라서 웨어러블 기기는 사용자의 눈 깜박임, 검은 자위의 움직임, 및 눈꺼풀의 움직임에서 선택되는 어느 하나 또는 복수를 검출하는 기능을 가질 수 있다.

[0579] 수광 디바이스는 터치 센서(디렉트 터치 센서라고도 함) 또는 니어 터치 센서(호버 센서, 호버 터치 센서, 비접촉 센서, 터치리스 센서라고도 함) 등에 사용할 수 있다.

[0580] 여기서, 터치 센서 또는 니어 터치 센서는 대상물(손가락, 손, 또는 펜 등)의 근접 또는 접촉을 검출할 수 있다.

[0581] 터치 센서는 표시 장치와 대상물이 직접 접함으로써 대상물을 검출할 수 있다. 또한 니어 터치 센서는 대상물이 표시 장치에 접촉되지 않아도 상기 대상물을 검출할 수 있다. 예를 들어 표시 장치와 대상물 사이의 거리가 0.1㎜ 이상 300㎜ 이하, 바람직하게는 3㎜ 이상 50㎜ 이하의 범위에서 표시 장치가 상기 대상물을 검출할 수 있는 구성이 바람직하다. 상기 구성으로 함으로써, 표시 장치에 대상물이 직접 접촉되지 않아도 조작이 가능해지고, 바꿔 말하면 비접촉(터치리스)으로 표시 장치를 조작할 수 있다. 상기 구성으로 함으로써, 표시 장치에 오염 또는 흠이 생기는 리스크를 저감할 수 있거나, 표시 장치에 부착된 오염(예를 들어 먼지 또는 바이러스 등)에 대상물이 직접 접촉되지 않고 표시 장치를 조작할 수 있다.

[0582] 본 발명의 일 형태의 표시 장치는 리프레시 레이트를 가변으로 할 수 있다. 예를 들어 표시 장치에 표시되는 콘텐츠에 따라 리프레시 레이트를 조정(예를 들어 1Hz 이상 240Hz 이하의 범위에서 조정)하여 소비 전력을 저감시킬 수 있다. 또한 상기 리프레시 레이트에 따라 터치 센서 또는 니어 터치 센서의 구동 주파수를 변화시켜도 좋다. 예를 들어 표시 장치의 리프레시 레이트가 120Hz인 경우, 터치 센서 또는 니어 터치 센서의 구동 주파수를 120Hz보다 높은 주파수(대표적으로는 240Hz)로 할 수 있다. 상기 구성으로 함으로써, 저소비 전력을 실현할 수 있으며, 터치 센서 또는 니어 터치 센서의 응답 속도를 높일 수 있다.

[0583] 도 25의 (C) 내지 (E)에 나타낸 표시 장치(200)는 기판(351)과 기판(359) 사이에 수광 디바이스를 가지는 층(353), 기능층(355), 및 발광 디바이스를 가지는 층(357)을 가진다.

[0584] 기능층(355)은 수광 디바이스를 구동하는 회로 및 발광 디바이스를 구동하는 회로를 가진다. 기능층(355)에는 스위치, 트랜지스터, 용량 소자, 저항 소자, 배선, 및 단자 등 중 하나 또는 복수를 제공할 수 있다. 또한 발광 디바이스 및 수광 디바이스를 패시브 매트릭스 방식으로 구동시키는 경우에는, 스위치 및 트랜지스터를 제공하지 않는 구성으로 하여도 좋다. 기능층(355)에 제공하는 트랜지스터로서는 실시형태 1에서 설명한 트랜지스

터를 적합하게 사용할 수 있다.

[0585] 예를 들어 도 25의 (C)에 나타낸 바와 같이, 발광 디바이스를 가지는 층(357)에서의 발광 디바이스가 발한 광이 표시 장치(200)에 접촉된 손가락(352)에서 반사됨으로써, 수광 디바이스를 가지는 층(353)에서의 수광 디바이스가 그 반사광을 검출한다. 이에 의하여 표시 장치(200)에 손가락(352)이 접촉된 것을 검출할 수 있다.

[0586] 도 25의 (D) 및 (E)에 나타낸 바와 같이, 표시 장치에 근접한(접촉되지 않음) 대상물을 검출 또는 촬상하는 기능을 가져도 좋다. 도 25의 (D)는 사람의 손가락을 검출하는 예를 나타낸 것이고, 도 25의 (E)는 사람의 눈 주변, 표면, 또는 내부의 정보(눈 깜박임의 횟수, 안구의 움직임, 눈꺼풀의 움직임 등)를 검출하는 예를 나타낸 것이다.

[0587] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0588] (실시형태 6)

[0589] 본 실시형태에서는, 본 발명의 일 형태의 전자 기기에 대하여 도 26의 (A) 내지 도 28의 (G)를 사용하여 설명한다.

[0590] 본 실시형태의 전자 기기는 표시부에 본 발명의 일 형태의 표시 장치를 가진다. 본 발명의 일 형태의 표시 장치는 고정세화 및 고해상도화가 용이하다. 따라서 다양한 전자 기기의 표시부에 사용할 수 있다.

[0591] 전자 기기로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지, 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다.

[0592] 특히 본 발명의 일 형태의 표시 장치는 정세도를 높일 수 있기 때문에, 비교적 작은 표시부를 가지는 전자 기기에 적합하게 사용할 수 있다. 이와 같은 전자 기기로서는, 예를 들어 손목시계형 및 팔찌형 정보 단말기(웨어러블 기기), 그리고 헤드 마운트 디스플레이 등의 VR용 기기, 안경형 AR용 기기, 및 MR용 기기 등, 머리에 장착할 수 있는 웨어러블 기기 등이 있다.

[0593] 본 발명의 일 형태의 표시 장치는 HD(화소수 1280×720), FHD(화소수 1920×1080), WQHD(화소수 2560×1440), WQXGA(화소수 2560×1600), 4K(화소수 3840×2160), 8K(화소수 7680×4320)와 같은 매우 높은 해상도를 가지는 것이 바람직하다. 특히 4K, 8K, 또는 그 이상의 해상도로 하는 것이 바람직하다. 또한 본 발명의 일 형태의 표시 장치에서의 화소 밀도(정세도)는 100ppi 이상이 바람직하고, 300ppi 이상이 바람직하고, 500ppi 이상이 더 바람직하고, 1000ppi 이상이 더 바람직하고, 2000ppi 이상이 더 바람직하고, 3000ppi 이상이 더 바람직하고, 5000ppi 이상이 더 바람직하고, 7000ppi 이상이 더 바람직하다. 이와 같이 높은 해상도 및 높은 정세도 중 한쪽 또는 양쪽을 가진 표시 장치를 사용함으로써 현장감 및 깊이감 등을 더 높일 수 있다. 또한 본 발명의 일 형태의 표시 장치의 화면 비율(종횡비)은 특별히 한정되지 않는다. 예를 들어 표시 장치는 1:1(정방형), 4:3, 16:9, 16:10 등 다양한 화면 비율에 대응할 수 있다.

[0594] 본 실시형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지하거나, 검출하거나, 또는 측정하는 기능을 가지는 것)를 가져도 좋다.

[0595] 본 실시형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다.

[0596] 도 26의 (A) 내지 (D)를 사용하여 머리에 장착할 수 있는 웨어러블 기기의 일례에 대하여 설명한다. 이들 웨어러블 기기는 AR의 콘텐츠를 표시하는 기능, VR의 콘텐츠를 표시하는 기능, SR의 콘텐츠를 표시하는 기능, 및 MR의 콘텐츠를 표시하는 기능 중 적어도 하나를 가진다. 전자 기기가 AR, VR, SR, 및 MR 등 중 적어도 하나의 콘텐츠를 표시하는 기능을 가짐으로써 사용자의 몰입감을 높일 수 있다.

[0597] 도 26의 (A)에 나타낸 전자 기기(700A) 및 도 26의 (B)에 나타낸 전자 기기(700B)는 각각 한 쌍의 표시 패널(751)과, 한 쌍의 하우징(721)과, 통신부(미도시)와, 한 쌍의 장착부(723)와, 제어부(미도시)와, 촬상부(미도시)와, 한 쌍의 광학 부재(753)와, 프레임(757)과, 한 쌍의 코 받침(758)을 가진다.

[0598] 표시 패널(751)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가

능한 전자 기기로 할 수 있다.

[0599] 전자 기기(700A) 및 전자 기기(700B)는 각각 광학 부재(753)의 표시 영역(756)에, 표시 패널(751)에 표시한 화상을 투영할 수 있다. 광학 부재(753)는 투광성을 가지기 때문에, 사용자는 광학 부재(753)를 통하여 보이는 투과 이미지에 겹쳐, 표시 영역에 표시된 화상을 볼 수 있다. 따라서 전자 기기(700A) 및 전자 기기(700B)는 각각 AR 표시가 가능한 전자 기기이다.

[0600] 전자 기기(700A) 및 전자 기기(700B)에는 촬상부로서, 앞쪽 방향을 촬상할 수 있는 카메라가 제공되어도 좋다. 또한 전자 기기(700A) 및 전자 기기(700B)는 각각 자이로 센서 등의 가속도 센서를 가짐으로써, 사용자의 머리의 방향을 검지하여 그 방향에 대응한 화상을 표시 영역(756)에 표시할 수도 있다.

[0601] 통신부는 무선 통신기를 가지고, 상기 무선 통신기에 의하여 영상 신호 등을 공급할 수 있다. 또한 무선 통신기 대신에, 또는 무선 통신기에 더하여 영상 신호 및 전원 전위가 공급되는 케이블을 접속 가능한 커넥터를 가져도 좋다.

[0602] 전자 기기(700A) 및 전자 기기(700B)에는 배터리가 제공되고, 무선 및 유선 중 한쪽 또는 양쪽으로 충전할 수 있다.

[0603] 하우징(721)에는 터치 센서 모듈이 제공되어도 좋다. 터치 센서 모듈은 하우징(721)의 외측 면이 터치되는 것을 검출하는 기능을 가진다. 터치 센서 모듈에 의하여 사용자의 탭 조작 또는 슬라이드 조작 등을 검출하여 다양한 처리를 실행할 수 있다. 예를 들어 탭 조작에 의하여 동영상의 일시 정지 또는 재개 등의 처리의 실행이 가능하고, 슬라이드 조작에 의하여 빨리 감기 또는 빨리 되감기의 처리의 실행 등이 가능하다. 또한 2개의 하우징(721) 각각에 터치 센서 모듈을 제공함으로써 조작의 폭을 넓힐 수 있다.

[0604] 터치 센서 모듈에는 다양한 터치 센서를 적용할 수 있다. 예를 들어 정전 용량 방식, 저항막 방식, 적외선 방식, 전자기 유도 방식, 표면 탄성파 방식, 광학 방식 등 다양한 방식을 채용할 수 있다. 특히 정전 용량 방식 또는 광학 방식의 센서를 터치 센서 모듈에 적용하는 것이 바람직하다.

[0605] 광학 방식의 터치 센서를 사용하는 경우에는 수광 디바이스로서 광전 변환 디바이스(광전 변환 소자라고도 함)를 사용할 수 있다. 광전 변환 디바이스의 활성층에는 무기 반도체 및 유기 반도체 중 한쪽 또는 양쪽을 사용할 수 있다.

[0606] 도 26의 (C)에 나타낸 전자 기기(800A) 및 도 26의 (D)에 나타낸 전자 기기(800B)는 각각 한 쌍의 표시부(820)와, 하우징(821)과, 통신부(822)와, 한 쌍의 장착부(823)와, 제어부(824)와, 한 쌍의 촬상부(825)와, 한 쌍의 렌즈(832)를 가진다.

[0607] 표시부(820)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기로 할 수 있다. 이에 의하여 사용자는 높은 몰입감을 느낄 수 있다.

[0608] 표시부(820)는 하우징(821)의 내부의 렌즈(832)를 통하여 볼 수 있는 위치에 제공된다. 또한 한 쌍의 표시부(820)에 상이한 화상을 표시시킴으로써, 시차를 이용한 3차원 표시도 가능하다.

[0609] 전자 기기(800A) 및 전자 기기(800B)는 각각 VR용 전자 기기라고 할 수 있다. 전자 기기(800A) 또는 전자 기기(800B)를 장착한 사용자는 렌즈(832)를 통하여 표시부(820)에 표시되는 화상을 볼 수 있다.

[0610] 전자 기기(800A) 및 전자 기기(800B)는 각각 렌즈(832) 및 표시부(820)가 사용자의 눈 위치에 따라 최적의 위치가 되도록, 이들의 좌우 위치를 조정 가능한 기구를 가지는 것이 바람직하다. 또한 렌즈(832)와 표시부(820)의 거리를 변경함으로써 초점을 조정하는 기구를 가지는 것이 바람직하다.

[0611] 장착부(823)에 의하여 사용자는 전자 기기(800A) 또는 전자 기기(800B)를 머리에 장착할 수 있다. 또한 도 26의 (C) 등에서는 안경다리(조인트, 템플이라고도 함)와 같은 형상을 예시하였지만 이에 한정되지 않는다. 장착부(823)는 사용자가 장착할 수 있으면 좋고, 예를 들어 헬멧형 또는 밴드형이어도 좋다.

[0612] 촬상부(825)는 외부의 정보를 취득하는 기능을 가진다. 촬상부(825)가 취득한 데이터는 표시부(820)에 출력할 수 있다. 촬상부(825)에는 이미지 센서를 사용할 수 있다. 또한 망원, 광각 등, 복수의 화각에 대응할 수 있도록 복수의 카메라를 제공하여도 좋다.

[0613] 또한 여기서는 촬상부(825)를 가지는 예를 나타내었지만 대상물의 거리를 측정할 수 있는 측거 센서(이하 검지부라고도 함)를 제공하면 좋다. 즉 촬상부(825)는 검지부의 일 형태이다. 검지부에는 예를 들어 이미지 센서

또는 라이다(LIDAR: Light Detection And Ranging) 등의 거리 화상 센서를 사용할 수 있다. 카메라로 얻은 화상과, 거리 화상 센서로 얻은 화상을 사용함으로써 더 많은 정보를 취득하고, 정밀도가 더 높은 제스처 조작이 가능해진다.

[0614] 전자 기기(800A)는 골전도 이어폰으로서 기능하기 위하여 진동 기구를 가져도 좋다. 예를 들어 표시부(820), 하우징(821), 및 장착부(823) 중 어느 하나 또는 복수에 상기 진동 기구를 가지는 구성을 적용할 수 있다. 이에 의하여 헤드폰, 이어폰, 또는 스피커 등의 음향 기기가 별도로 필요하지 않아, 전자 기기(800A)를 장착하기만 하면 영상과 음성을 즐길 수 있다.

[0615] 전자 기기(800A) 및 전자 기기(800B)는 각각 입력 단자를 가져도 좋다. 입력 단자에는 영상 출력 기기 등으로부터의 영상 신호, 및 전자 기기 내에 제공되는 배터리를 충전하기 위한 전력 등을 공급하는 케이블을 접속할 수 있다.

[0616] 본 발명의 일 형태의 전자 기기는 이어폰(750)과 무선 통신을 하는 기능을 가져도 좋다. 이어폰(750)은 통신부(미도시)를 가지고, 무선 통신 기능을 가진다. 이어폰(750)은 무선 통신 기능에 의하여 전자 기기로부터 정보(예를 들어 음성 데이터)를 수신할 수 있다. 예를 들어 도 26의 (A)에 나타낸 전자 기기(700A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다. 또한 예를 들어 도 26의 (C)에 나타낸 전자 기기(800A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다.

[0617] 전자 기기가 이어폰부를 가져도 좋다. 도 26의 (B)에 나타낸 전자 기기(700B)는 이어폰부(727)를 가진다. 예를 들어 이어폰부(727)와 제어부는 서로 유선으로 접속되는 구성으로 할 수 있다. 이어폰부(727)와 제어부를 연결하는 배선의 일부는 하우징(721) 또는 장착부(723)의 내부에 배치되어도 좋다.

[0618] 마찬가지로, 도 26의 (D)에 나타낸 전자 기기(800B)는 이어폰부(827)를 가진다. 예를 들어 이어폰부(827)와 제어부(824)는 서로 유선으로 접속되는 구성으로 할 수 있다. 이어폰부(827)와 제어부(824)를 연결하는 배선의 일부는 하우징(821) 또는 장착부(823)의 내부에 배치되어도 좋다. 또한 이어폰부(827)와 장착부(823)가 자석을 가져도 좋다. 이에 의하여 이어폰부(827)를 장착부(823)에 자기력으로 고정할 수 있어 수납이 용이해지기 때문에 바람직하다.

[0619] 또한 전자 기기는 이어폰 또는 헤드폰 등을 접속할 수 있는 음성 출력 단자를 가져도 좋다. 또한 전자 기기는 음성 입력 단자 및 음성 입력 기구 중 한쪽 또는 양쪽을 가져도 좋다. 음성 입력 기구로서는, 예를 들어 마이크로폰 등의 집음 장치를 사용할 수 있다. 전자 기기가 음성 입력 기구를 가짐으로써, 전자 기기에 소위 헤드셋으로서의 기능을 부여하여도 좋다.

[0620] 이와 같이 본 발명의 일 형태의 전자 기기는 안경형(전자 기기(700A) 및 전자 기기(700B) 등) 및 고글형(전자 기기(800A) 및 전자 기기(800B) 등) 어느 쪽에 적용하여도 적합하다.

[0621] 본 발명의 일 형태의 전자 기기는 유선 또는 무선에 의하여 이어폰에 정보를 송신할 수 있다.

[0622] 도 27의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다.

[0623] 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 및 광원(6508) 등을 가진다. 표시부(6502)는 터치 패널 기능을 가진다.

[0624] 표시부(6502)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0625] 도 27의 (B)는 하우징(6501)의 마이크로폰(6506) 측의 단부를 포함한 단면 개략도이다.

[0626] 하우징(6501)의 표시면 측에는 투광성을 가지는 보호 부재(6510)가 제공되고, 하우징(6501)과 보호 부재(6510)로 둘러싸인 공간 내에 표시 패널(6511), 광학 부재(6512), 터치 센서 패널(6513), 인쇄 기판(6517), 배터리(6518) 등이 배치되어 있다.

[0627] 보호 부재(6510)에는 표시 패널(6511), 광학 부재(6512), 및 터치 센서 패널(6513)이 접착층(미도시)에 의하여 고정되어 있다.

[0628] 표시부(6502)보다 외측의 영역에서 표시 패널(6511)의 일부가 접혀 있고, 이 접힌 부분에 FPC(6515)가 접속되어 있다. FPC(6515)에는 IC(6516)가 실장되어 있다. FPC(6515)는 인쇄 기판(6517)에 제공된 단자에 접속되어 있다.

[0629] 표시 패널(6511)에는 본 발명의 일 형태의 가요성을 가지는 표시 장치를 적용할 수 있다. 그러므로 매우 가벼

운 전자 기기를 실현할 수 있다. 또한 표시 패널(6511)이 매우 얇기 때문에, 전자 기기의 두께를 늘리지 않고 대용량 배터리(6518)를 탑재할 수도 있다. 또한 표시 패널(6511)의 일부를 접어 표시부(6502)의 이면 측에 FPC(6515)와의 접속부를 배치함으로써, 슬림 베젤의 전자 기기를 실현할 수 있다.

[0630] 도 27의 (C)에 텔레비전 장치의 일례를 나타내었다. 텔레비전 장치(7100)에서는, 하우징(7101)에 표시부(7000)가 포함되어 있다. 여기서는 스탠드(7103)에 의하여 하우징(7101)이 지지되어 있다.

[0631] 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0632] 도 27의 (C)에 나타낸 텔레비전 장치(7100)의 조작은 하우징(7101)이 가지는 조작 스위치 및 별체의 리모트 컨트롤러(7111)에 의하여 수행할 수 있다. 또는 표시부(7000)에 터치 센서를 가져도 좋고, 손가락 등으로 표시부(7000)를 터치함으로써 텔레비전 장치(7100)를 조작하여도 좋다. 리모트 컨트롤러(7111)는 상기 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부를 가져도 좋다. 리모트 컨트롤러(7111)가 가지는 조작 키 또는 터치 패널에 의하여 채널 및 음량을 조작할 수 있고, 표시부(7000)에 표시되는 영상을 조작할 수 있다.

[0633] 또한 텔레비전 장치(7100)는 수신기 및 모뎀 등을 가지는 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자끼리 등)의 정보 통신을 수행할 수도 있다.

[0634] 도 27의 (D)에 노트북형 퍼스널 컴퓨터의 일례를 나타내었다. 노트북형 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 외부 접속 포트(7214) 등을 가진다. 하우징(7211)에 표시부(7000)가 포함되어 있다.

[0635] 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0636] 도 27의 (E) 및 (F)에 디지털 사이니지의 일례를 나타내었다.

[0637] 도 27의 (E)에 나타낸 디지털 사이니지(7300)는 하우징(7301), 표시부(7000), 및 스피커(7303) 등을 가진다. 또한 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 마이크로폰 등을 가질 수 있다.

[0638] 도 27의 (F)는 원기둥 모양의 기둥(7401)에 장착된 디지털 사이니지(7400)를 나타낸 것이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7000)를 가진다.

[0639] 도 27의 (E) 및 (F)에서는 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0640] 표시부(7000)가 넓을수록 한번에 제공할 수 있는 정보량을 늘릴 수 있다. 또한 표시부(7000)가 넓을수록 사람의 눈에 띄기 쉽기 때문에, 예를 들어 광고의 홍보 효과를 높일 수 있다.

[0641] 표시부(7000)에 터치 패널을 적용함으로써, 표시부(7000)에 화상 또는 동영상을 표시할 뿐만 아니라, 사용자가 직관적으로 조작할 수 있어 바람직하다. 또한 노선 정보 또는 교통 정보 등의 정보를 제공하기 위한 용도로 사용하는 경우에는, 직관적인 조작에 의하여 사용성을 높일 수 있다.

[0642] 또한 도 27의 (E) 및 (F)에 나타낸 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신에 의하여 연계 가능한 것이 바람직하다. 예를 들어 표시부(7000)에 표시되는 광고의 정보를 정보 단말기(7311) 또는 정보 단말기(7411)의 화면에 표시할 수 있다. 또한 정보 단말기(7311) 또는 정보 단말기(7411)를 조작함으로써 표시부(7000)의 표시를 전환할 수 있다.

[0643] 디지털 사이니지(7300) 또는 디지털 사이니지(7400)에 정보 단말기(7311) 또는 정보 단말기(7411)의 화면을 조작 수단(컨트롤러)으로 한 게임을 실행시킬 수도 있다. 이에 의하여, 불특정 다수의 사용자가 동시에 게임에 참가하여 즐길 수 있다.

[0644] 도 28의 (A) 내지 (G)에 나타낸 전자 기기는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 포함하는 것), 마이크로폰(9008) 등을 가진다.

[0645] 도 28의 (A) 내지 (G)에서는 표시부(9001)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0646] 도 28의 (A) 내지 (G)에 나타낸 전자 기기는 다양한 기능을 가진다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하여 처리하는 기능 등을 가질 수 있다. 또한 전자 기기의 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다. 전자 기기는 복수의 표시부를 가져도 좋다. 또한 전자 기기는 카메라 등이 제공되고, 정지 화상 또는 동영상을 촬영하고 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0647] 도 28의 (A) 내지 (G)에 나타낸 전자 기기의 자세한 사항에 대하여 이하에서 설명한다.

[0648] 도 28의 (A)는 휴대 정보 단말기(9101)를 나타낸 사시도이다. 휴대 정보 단말기(9101)는 예를 들어 스마트폰으로서 사용할 수 있다. 또한 휴대 정보 단말기(9101)에는 스피커(9003), 접속 단자(9006), 센서(9007) 등을 제공하여도 좋다. 또한 휴대 정보 단말기(9101)는 문자 및 화상 정보를 그 복수의 면에 표시할 수 있다. 도 28의 (A)에는 3개의 아이콘(9050)을 표시한 예를 나타내었다. 또한 파선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면에 표시할 수도 있다. 정보(9051)의 예로서는 전자 메일, SNS, 전화 등의 착신의 알림, 전자 메일 또는 SNS 등의 제목, 송신자명, 일시, 시각, 배터리의 잔량, 전파 강도 등이 있다. 또는 정보(9051)가 표시되는 위치에는 아이콘(9050) 등을 표시하여도 좋다.

[0649] 도 28의 (B)는 휴대 정보 단말기(9102)를 나타낸 사시도이다. 휴대 정보 단말기(9102)는 표시부(9001)의 3면 이상에 정보를 표시하는 기능을 가진다. 여기서는 정보(9052), 정보(9053), 정보(9054)가 각각 상이한 면에 표시되어 있는 예를 나타내었다. 예를 들어 사용자는 옷의 가슴 포켓에 휴대 정보 단말기(9102)를 수납한 상태에서, 휴대 정보 단말기(9102) 위쪽에서 볼 수 있는 위치에 표시된 정보(9053)를 확인할 수도 있다. 사용자는 휴대 정보 단말기(9102)를 포켓에서 꺼내지 않고 표시를 확인하고, 예를 들어 전화를 받을지 여부를 판단할 수 있다.

[0650] 도 28의 (C)는 태블릿 단말기(9103)를 나타낸 사시도이다. 태블릿 단말기(9103)는 일례로서, 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 다양한 애플리케이션의 실행이 가능하다. 태블릿 단말기(9103)는 하우징(9000)의 앞면에 표시부(9001), 카메라(9002), 마이크로폰(9008), 스피커(9003)를 가지고, 하우징(9000)의 측면에 조작용 버튼으로서의 조작 키(9005)를 가지고, 바닥면에 접속 단자(9006)를 가진다.

[0651] 도 28의 (D)는 손목시계형 휴대 정보 단말기(9200)를 나타낸 사시도이다. 휴대 정보 단말기(9200)는 예를 들어 스마트워치(등록 상표)로서 사용할 수 있다. 또한 표시부(9001)는 그 표시면이 만곡되어 제공되고, 만곡된 표시면을 따라 표시를 할 수 있다. 또한 휴대 정보 단말기(9200)가, 예를 들어 무선 통신이 가능한 헤드셋과 상호 통신함으로써 핸즈프리로 통화를 할 수도 있다. 또한 휴대 정보 단말기(9200)는 접속 단자(9006)에 의하여 다른 정보 단말기와 상호로 데이터를 주고받거나 충전할 수도 있다. 또한 충전 동작은 무선 급전에 의하여 수행하여도 좋다.

[0652] 도 28의 (E) 내지 (G)는 접을 수 있는 휴대 정보 단말기(9201)를 나타낸 사시도이다. 또한 도 28의 (E)는 휴대 정보 단말기(9201)를 펼친 상태의 사시도이고, 도 28의 (G)는 접은 상태의 사시도이고, 도 28의 (F)는 도 28의 (E) 및 (G) 중 한쪽으로부터 다른 쪽으로 변화되는 도중의 상태의 사시도이다. 휴대 정보 단말기(9201)는 접은 상태에서는 가반성이 우수하고, 펼친 상태에서는 이음매가 없고 넓은 표시 영역을 가지므로 표시의 일람성이 우수하다. 휴대 정보 단말기(9201)가 가지는 표시부(9001)는 힌지(9055)에 의하여 연결된 3개의 하우징(9000)으로 지지되어 있다. 예를 들어 표시부(9001)는 곡률 반경 0.1㎜ 이상 150㎜ 이하로 구부릴 수 있다.

[0653] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

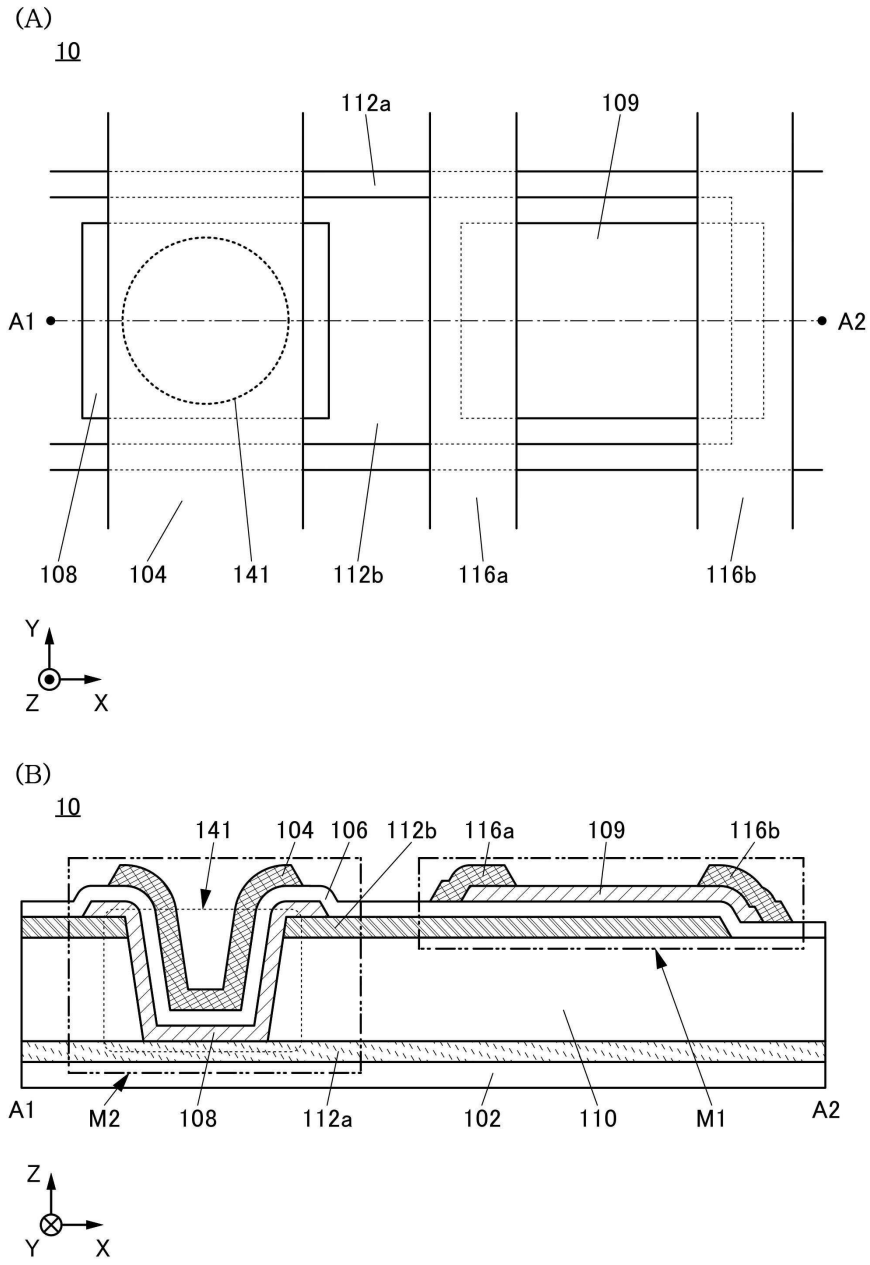
부호의 설명

[0654] 10A: 반도체 장치, 10B: 반도체 장치, 10C: 반도체 장치, 10D: 반도체 장치, 10E: 반도체 장치, 10F: 반도체 장치, 10G: 반도체 장치, 10H: 반도체 장치, 10I: 반도체 장치, 10J: 반도체 장치, 10K: 반도체 장치, 10: 반도체 장치, 11a: 부화소, 11b: 부화소, 11c: 부화소, 11d: 부화소, 11e: 부화소, 51A: 화소 회로, 51B: 화소 회로, 51C: 화소 회로, 51D: 화소 회로, 51: 화소 회로, 52A: 트랜지스터, 52B: 트랜지스터, 52C: 트랜지스터, 52D: 트랜지스터, 53A: 용량 소자, 53: 용량 소자, 61: 발광 디바이스, 102: 기판, 103: 도전층, 104: 도전층, 106: 절연층, 107: 절연층, 108f: 금속 산화물막, 108: 반도체층, 109f: 금속 산화물막, 109: 반도체층, 110a: 절연층, 110b: 절연층, 110c: 절연층, 110: 절연층, 111B: 화소 전극, 111G: 화소 전극, 111R: 화소 전극,

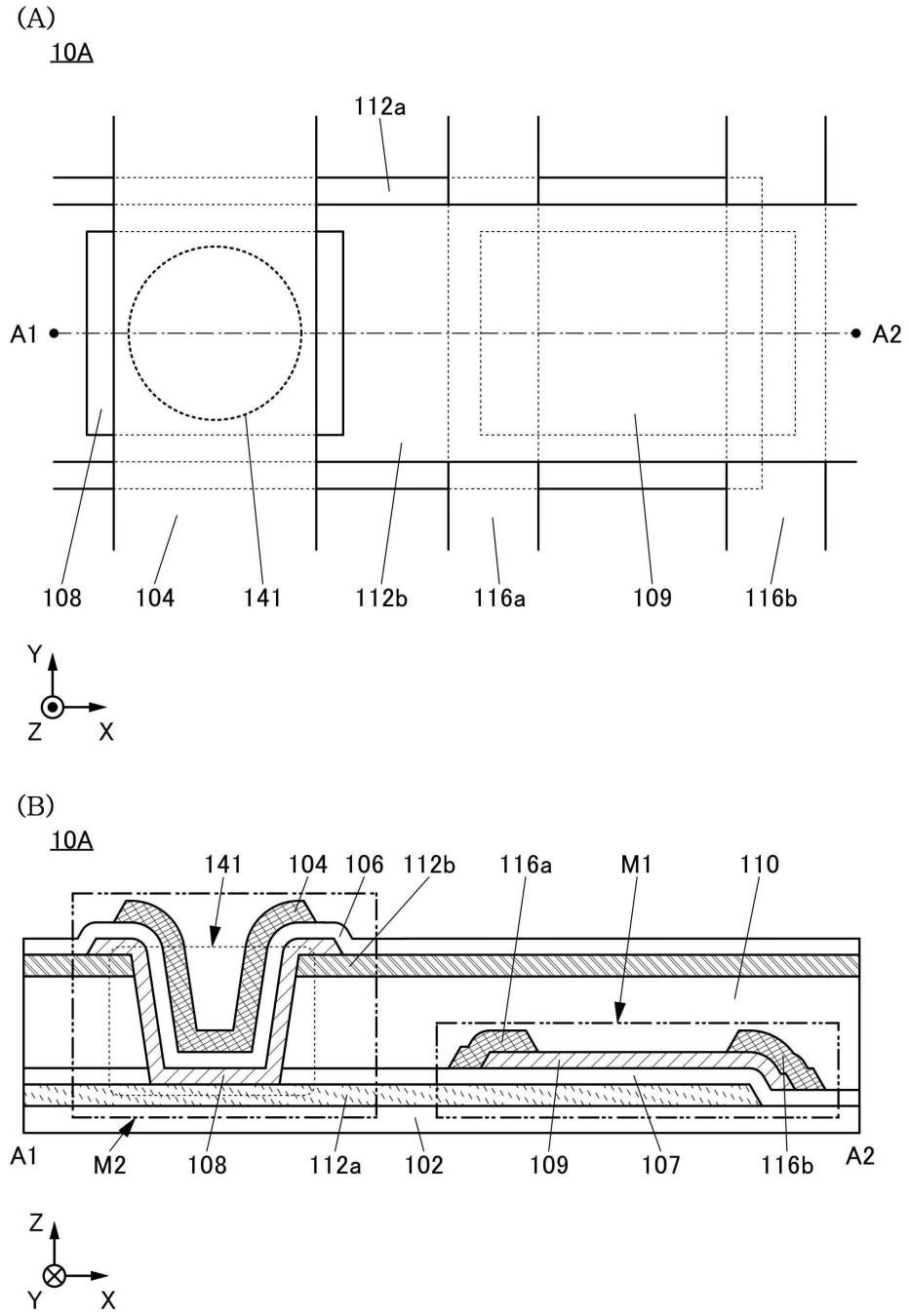
111S: 화소 전극, 111: 화소 전극, 112a: 도전층, 112b: 도전층, 112c: 도전층, 112d: 도전층, 112e: 도전층, 112f: 도전막, 112g: 도전층, 113B: 층, 113G: 층, 113R: 층, 113S: 층, 113W: 층, 113: 층, 114: 공통층, 115: 공통 전극, 116a: 도전층, 116b: 도전층, 116f: 도전막, 117: 차광층, 118B: 마스크층, 118G: 마스크층, 118R: 마스크층, 118S: 마스크층, 118: 마스크층, 119B: 마스크층, 119G: 마스크층, 119R: 마스크층, 119S: 마스크층, 119: 마스크층, 123: 도전층, 124B: 도전층, 124G: 도전층, 124R: 도전층, 124S: 도전층, 125: 절연층, 126B: 도전층, 126G: 도전층, 126R: 도전층, 126S: 도전층, 127: 절연층, 128: 층, 129B: 도전층, 129G: 도전층, 129R: 도전층, 129S: 도전층, 130B: 발광 디바이스, 130G: 발광 디바이스, 130R: 발광 디바이스, 130: 발광 디바이스, 131: 보호층, 132B: 착색층, 132G: 착색층, 132R: 착색층, 140: 접속부, 141: 개구, 142: 접착층, 150: 수광 디바이스, 151: 기판, 152: 기판, 160: 산소, 162: 표시부, 164: 회로, 165: 배선, 166: 도전층, 172: FPC, 173: IC, 200A: 표시 장치, 200B: 표시 장치, 200C: 표시 장치, 200D: 표시 장치, 200E: 표시 장치, 200: 표시 장치, 201: 트랜지스터, 204: 접속부, 205B: 트랜지스터, 205G: 트랜지스터, 205R: 트랜지스터, 205S: 트랜지스터, 205: 트랜지스터, 206B: 트랜지스터, 206G: 트랜지스터, 206R: 트랜지스터, 206S: 트랜지스터, 206: 트랜지스터, 210a: 화소, 210b: 화소, 210: 화소, 218: 절연층, 230: 화소, 235: 절연층, 237: 절연층, 239: 절연층, 242: 접속층, 351: 기판, 352: 손가락, 353: 층, 355: 기능층, 357: 층, 359: 기판, 700A: 전자 기기, 700B: 전자 기기, 721: 하우징, 723: 장착부, 727: 이어폰부, 750: 이어폰, 751: 표시 패널, 753: 광학 부재, 756: 표시 영역, 757: 프레임, 758: 코 받침, 761: 하부 전극, 762: 상부 전극, 763a: 발광 유닛, 763b: 발광 유닛, 763c: 발광 유닛, 763: EL층, 764: 층, 765: 층, 766: 층, 767: 활성층, 768: 층, 771a: 발광층, 771b: 발광층, 771c: 발광층, 771: 발광층, 772a: 발광층, 772b: 발광층, 772c: 발광층, 772: 발광층, 773: 발광층, 780a: 층, 780b: 층, 780c: 층, 780: 층, 781: 층, 782: 층, 785: 전하 발생층, 790a: 층, 790b: 층, 790c: 층, 790: 층, 791: 층, 792: 층, 800A: 전자 기기, 800B: 전자 기기, 820: 표시부, 821: 하우징, 822: 통신부, 823: 장착부, 824: 제어부, 825: 촬상부, 827: 이어폰부, 832: 렌즈, 6500: 전자 기기, 6501: 하우징, 6502: 표시부, 6503: 전원 버튼, 6504: 버튼, 6505: 스피커, 6506: 마이크로폰, 6507: 카메라, 6508: 광원, 6510: 보호 부재, 6511: 표시 패널, 6512: 광학 부재, 6513: 터치 센서 패널, 6515: FPC, 6516: IC, 6517: 인쇄 기판, 6518: 배터리, 7000: 표시부, 7100: 텔레비전 장치, 7101: 하우징, 7103: 스탠드, 7111: 리모트 컨트롤러, 7200: 노트북형 퍼스널 컴퓨터, 7211: 하우징, 7212: 키보드, 7213: 포인팅 디바이스, 7214: 외부 접속 포트, 7300: 디지털 사이니지, 7301: 하우징, 7303: 스피커, 7311: 정보 단말기, 7400: 디지털 사이니지, 7401: 기둥, 7411: 정보 단말기, 9000: 하우징, 9001: 표시부, 9002: 카메라, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰, 9050: 아이콘, 9051: 정보, 9052: 정보, 9053: 정보, 9054: 정보, 9055: 힌지, 9101: 휴대 정보 단말기, 9102: 휴대 정보 단말기, 9103: 태블릿 단말기, 9200: 휴대 정보 단말기, 9201: 휴대 정보 단말기

도면

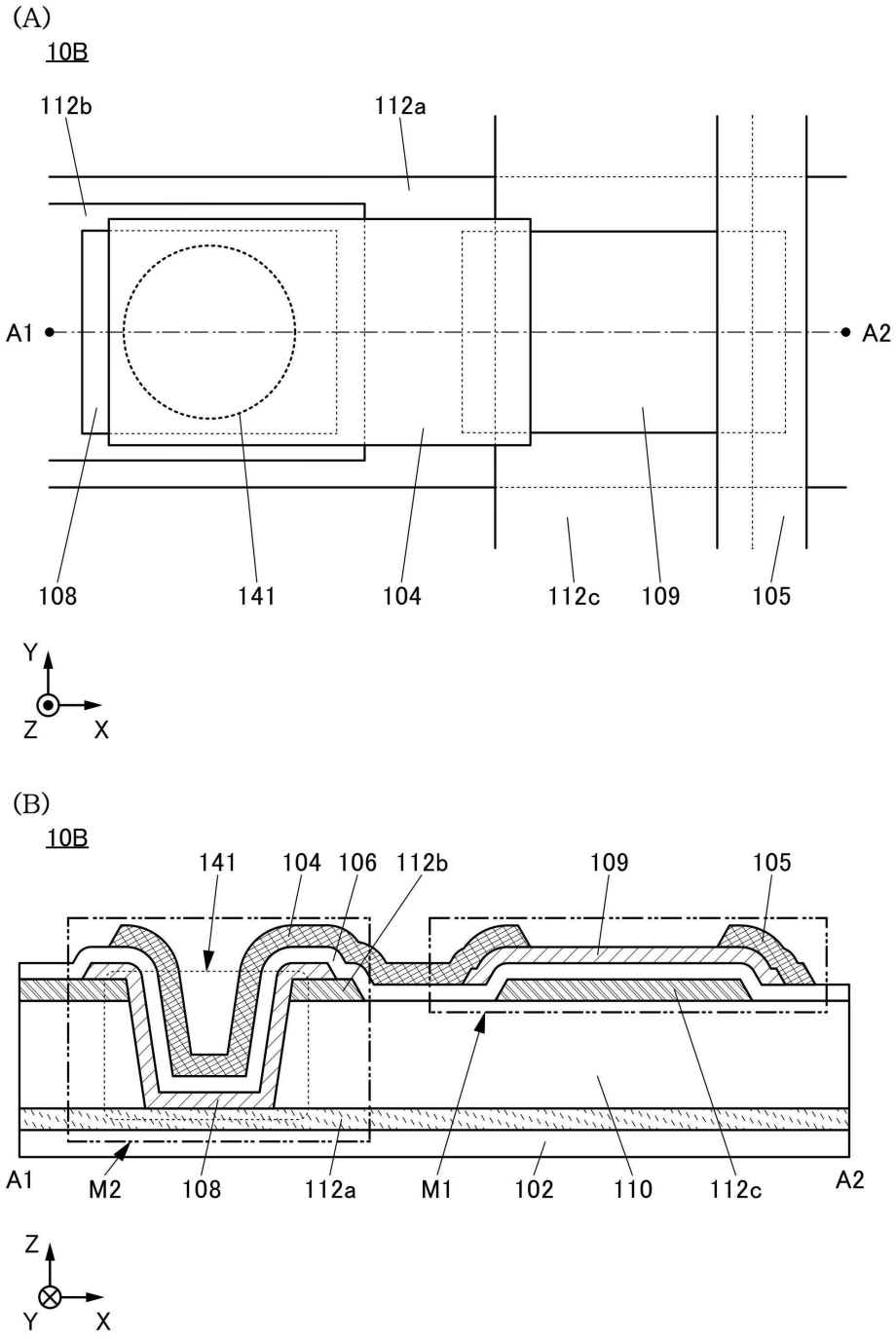
도면1


(A)
10
112a
109
A1
A2
108
104
141
112b
116a
116b
Y
Z
X
(B)
10
141
104
106
112b
116a
109
116b
A1
M2
108
112a
102
110
M1
A2
Z
Y
X

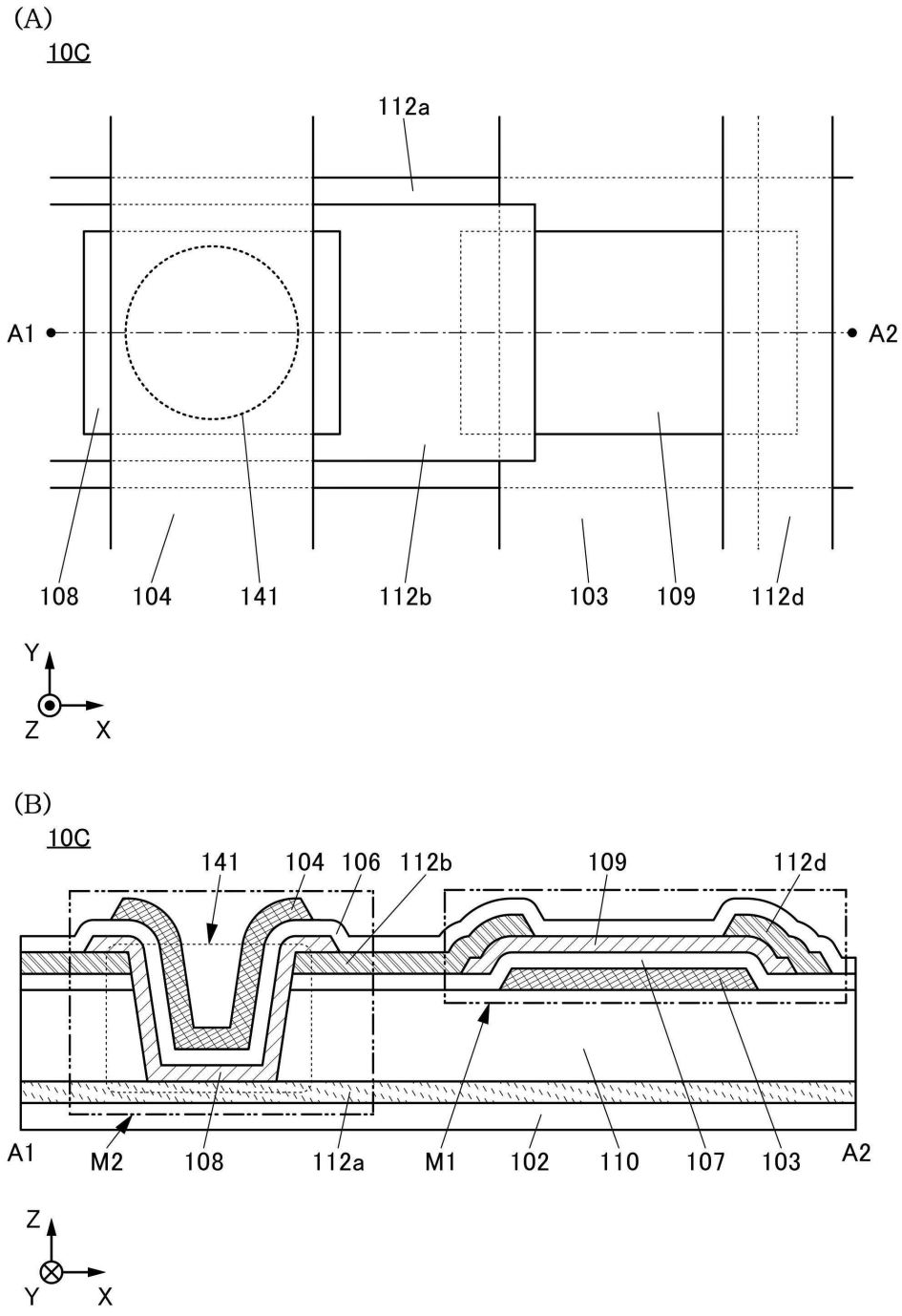
도면2


(A)
10A
112a
A1
A2
108
104
141
112b
116a
109
116b
Y
Z
X
(B)
10A
141
104
106
112b
116a
M1
110
A1
M2
108
112a
102
109
107
116b
A2
Z
Y
X

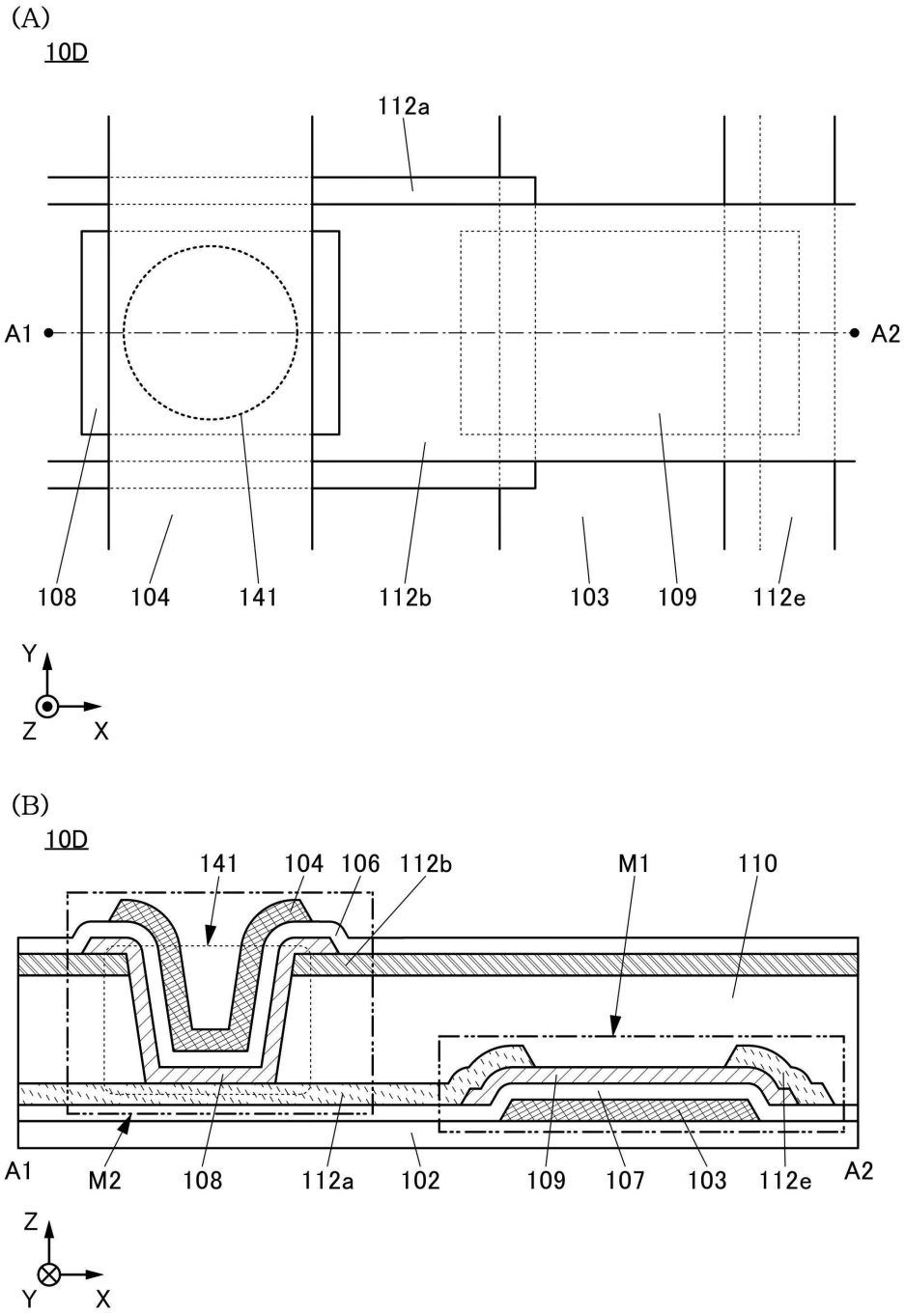
도면3


(A)
10B
112b
112a
A1
A2
108
141
104
112c
109
105
Y
Z
X
(B)
10B
141
104
106
112b
109
105
A1
M2
108
112a
M1
102
110
112c
A2
Z
Y
X

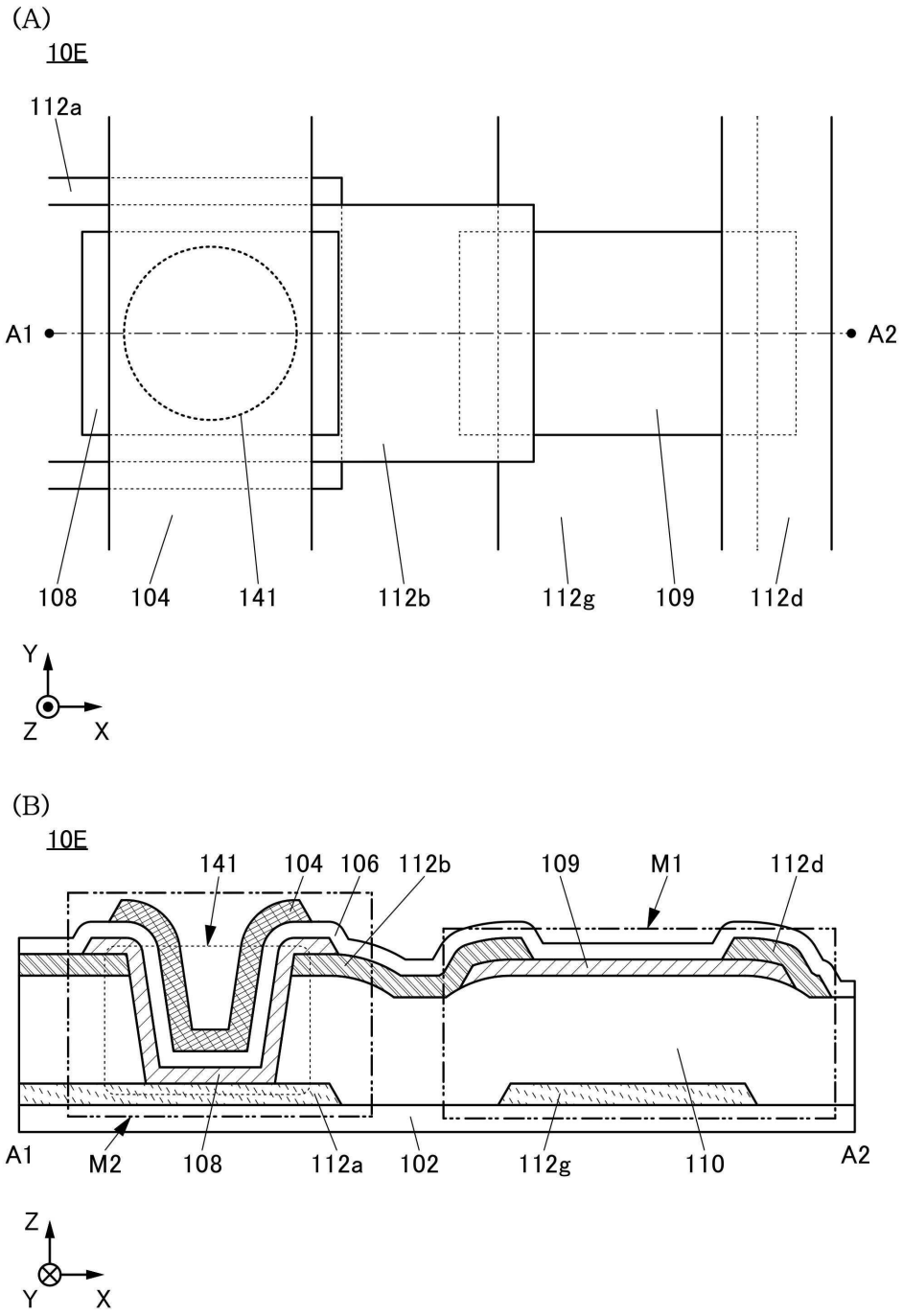
도면4


(A)
10C
112a
A1
A2
108
104
141
112b
103
109
112d
Y
Z
X
(B)
10C
141
104
106
112b
109
112d
A1
M2
108
112a
M1
102
110
107
103
A2
Z
Y
X

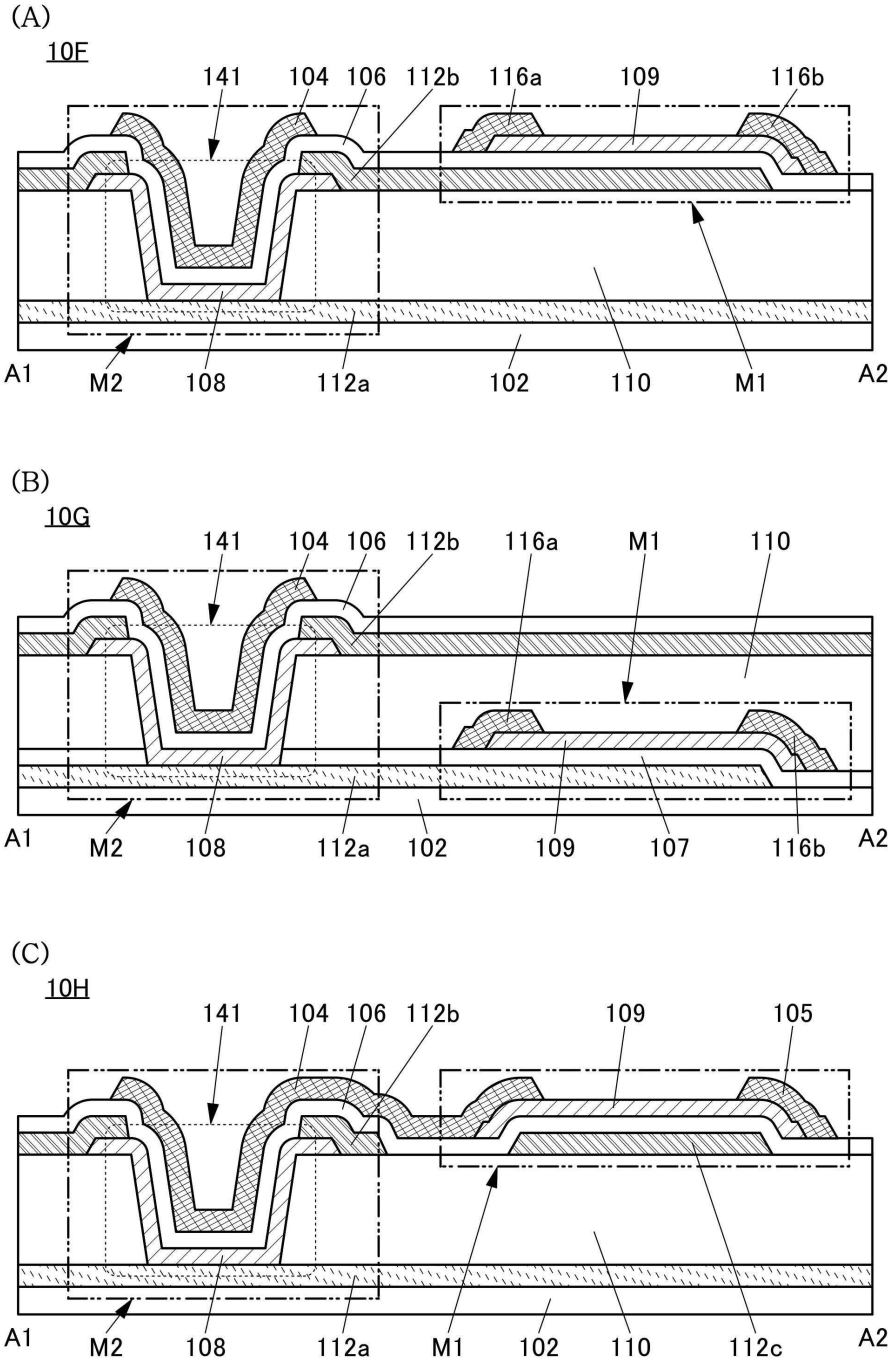
도면5


(A)
10D
112a
A1
A2
108
104
141
112b
103
109
112e
Y
Z
X
(B)
10D
141
104
106
112b
M1
110
A1
M2
108
112a
102
109
107
103
112e
A2
Z
Y
X

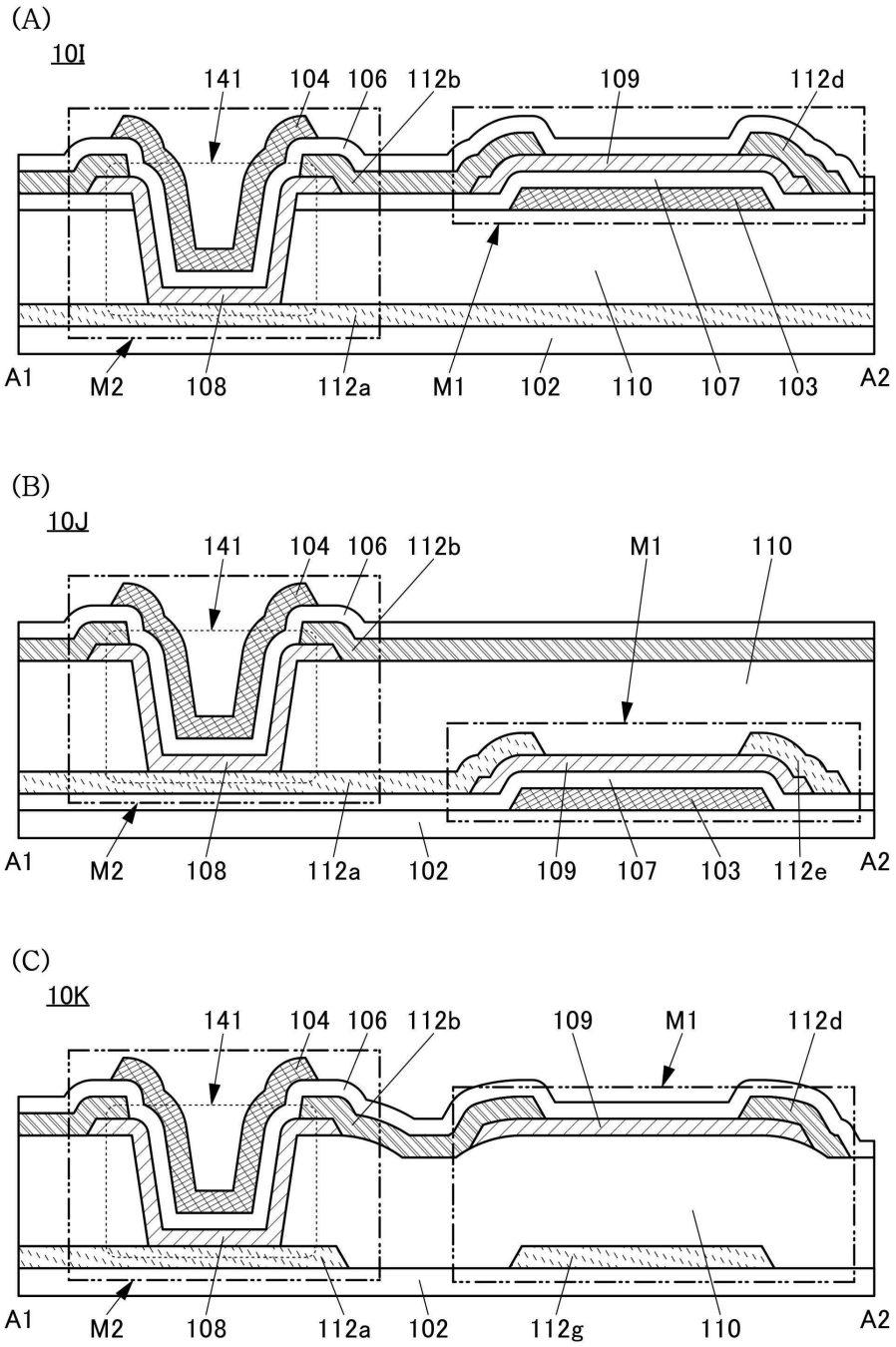
도면6


(A)
10E
112a
A1
A2
108
104
141
112b
112g
109
112d
Y
Z
X
(B)
10E
141
104
106
112b
109
M1
112d
A1
M2
108
112a
102
112g
110
A2
Z
Y
X

도면7

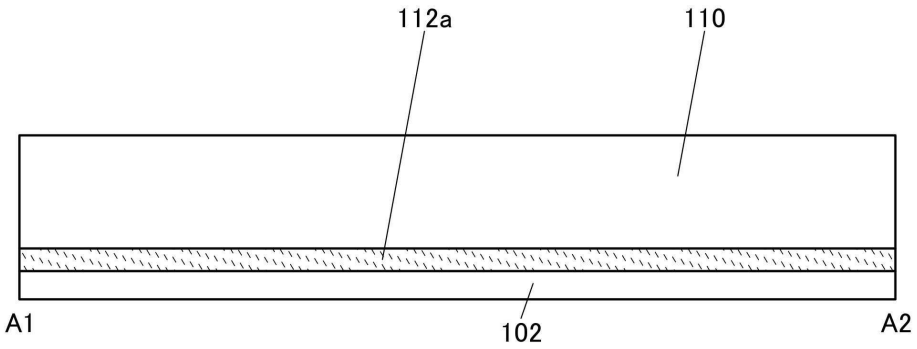

(A)
10F
141
104
106
112b
116a
109
116b
A1
M2
108
112a
102
110
M1
A2
(B)
10G
141
104
106
112b
116a
M1
110
A1
M2
108
112a
102
109
107
116b
A2
(C)
10H
141
104
106
112b
109
105
A1
M2
108
112a
M1
102
110
112c
A2

도면8

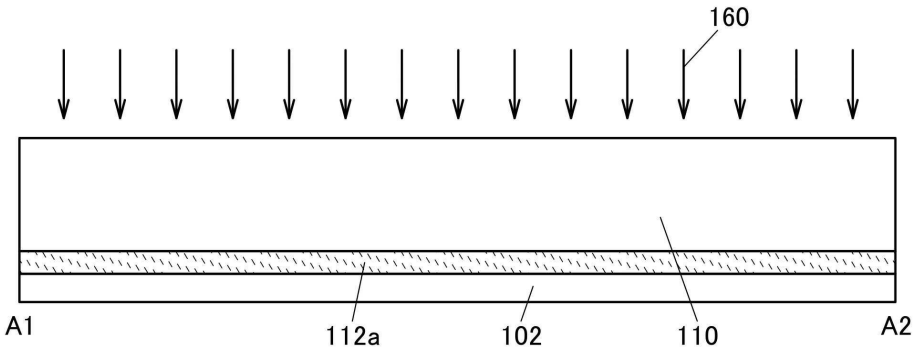

(A)
10I
141
104
106
112b
109
112d
A1
M2
108
112a
M1
102
110
107
103
A2
(B)
10J
141
104
106
112b
M1
110
A1
M2
108
112a
102
109
107
103
112e
A2
(C)
10K
141
104
106
112b
109
M1
112d
A1
M2
108
112a
102
112g
110
A2

도면9

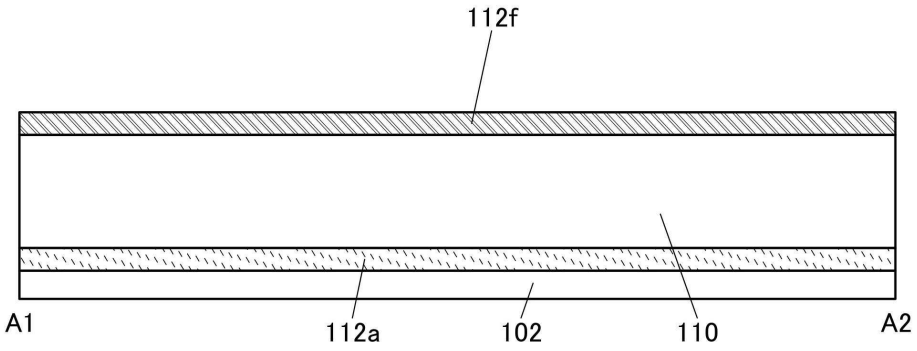
(A)



(B)

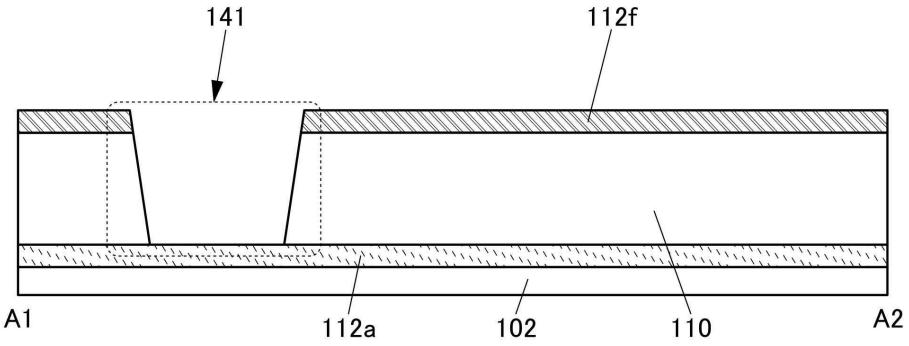


(C)

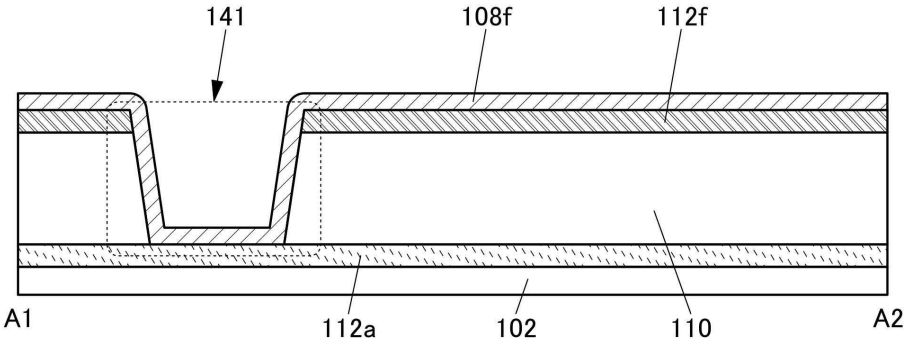


도면10

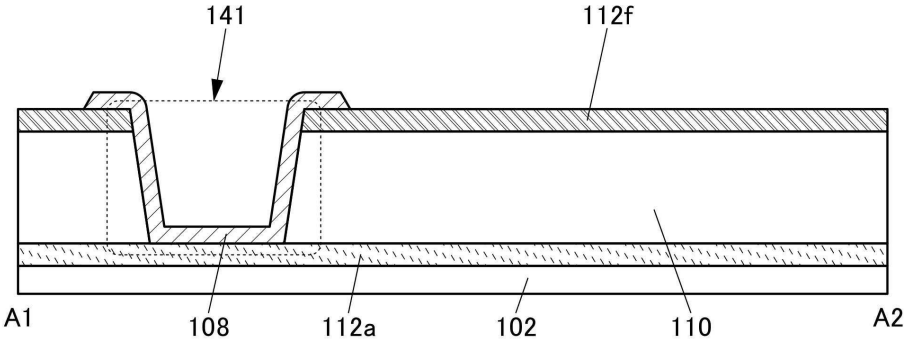
(A)


141
112f
A1
112a
102
110
A2

(B)

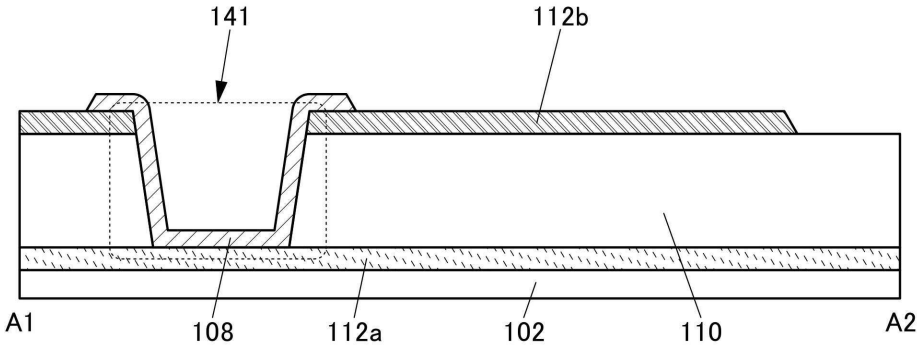

141
108f
112f
A1
112a
102
110
A2

(C)

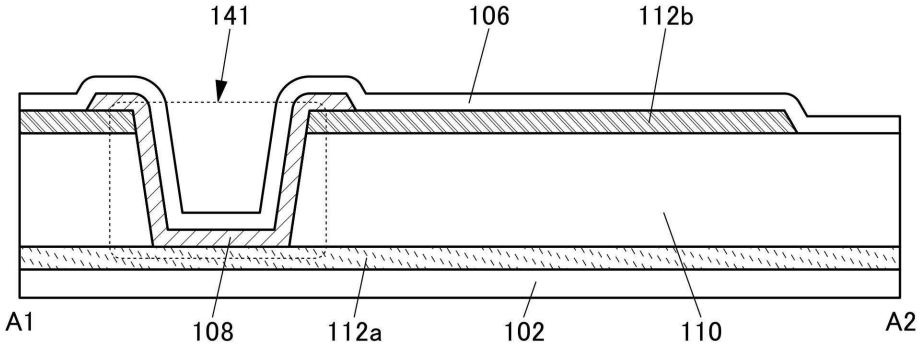

141
112f
A1
108
112a
102
110
A2

도면11

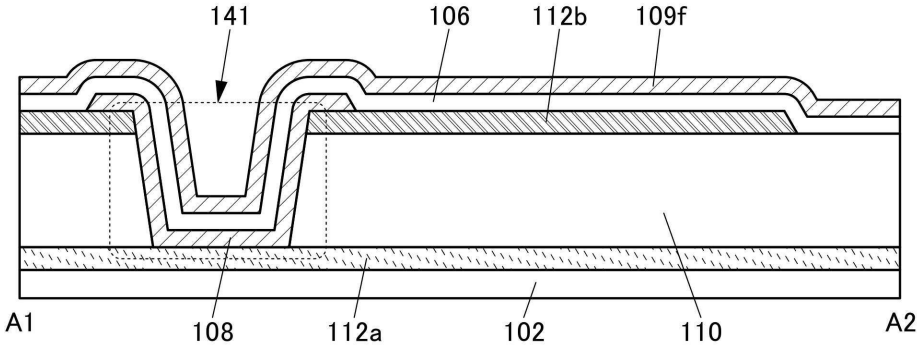
(A)


141
112b
A1
108
112a
102
110
A2

(B)

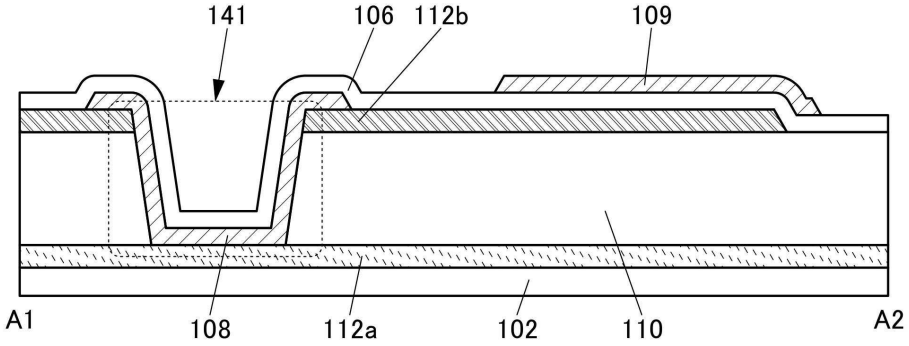

141
106
112b
A1
108
112a
102
110
A2

(C)

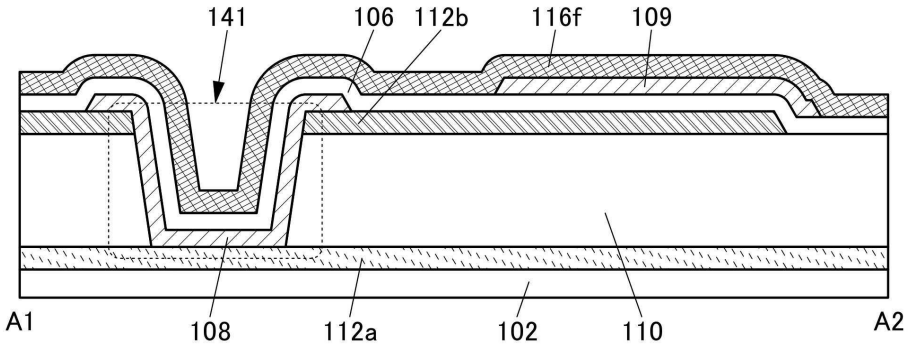

141
106
112b
109f
A1
108
112a
102
110
A2

도면12

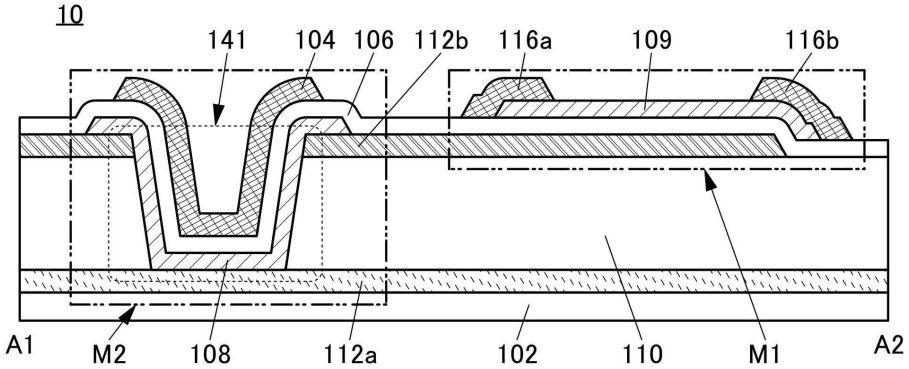
(A)


141
106
112b
109
A1
108
112a
102
110
A2

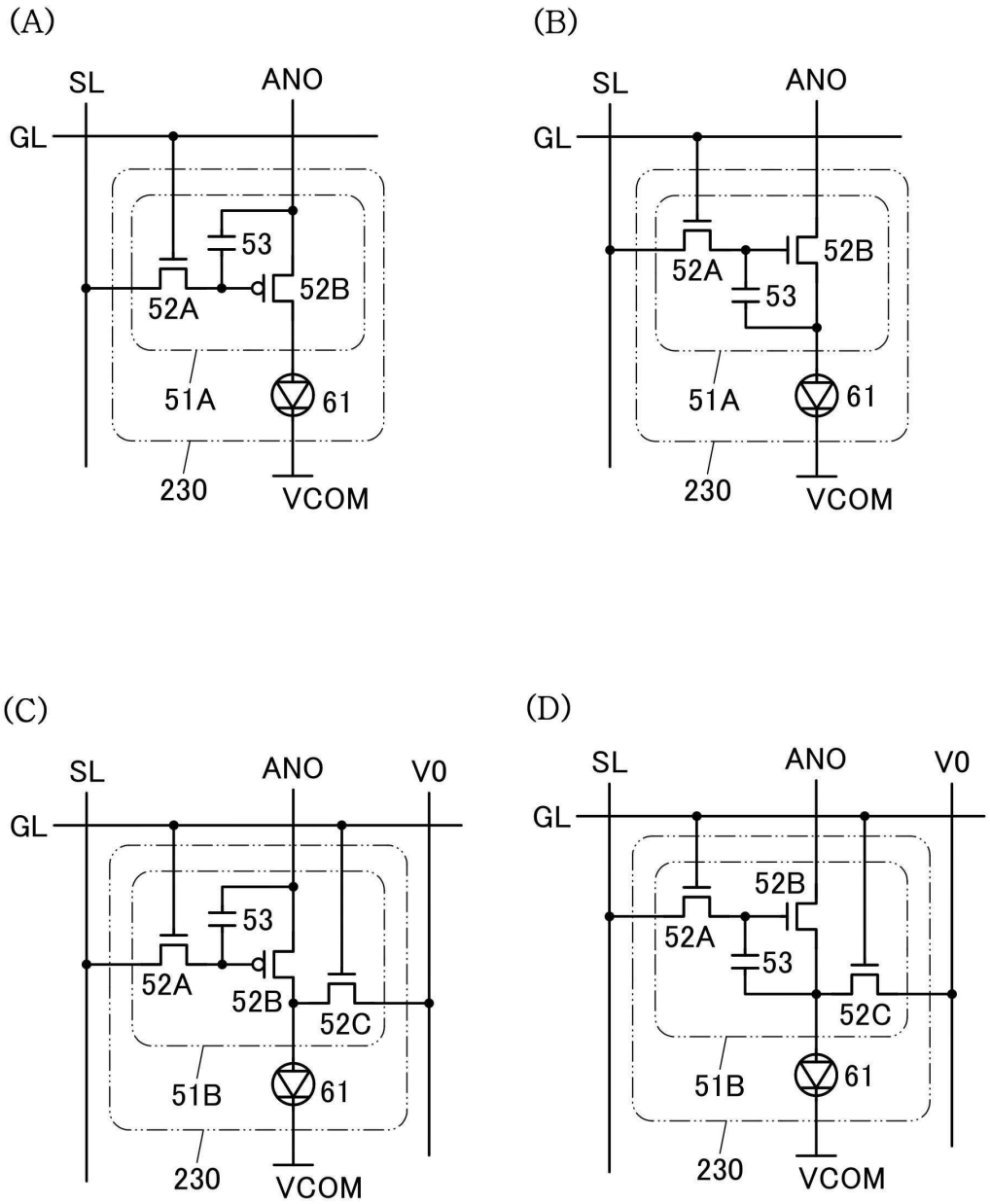
(B)


141
106
112b
116f
109
A1
108
112a
102
110
A2

(C)

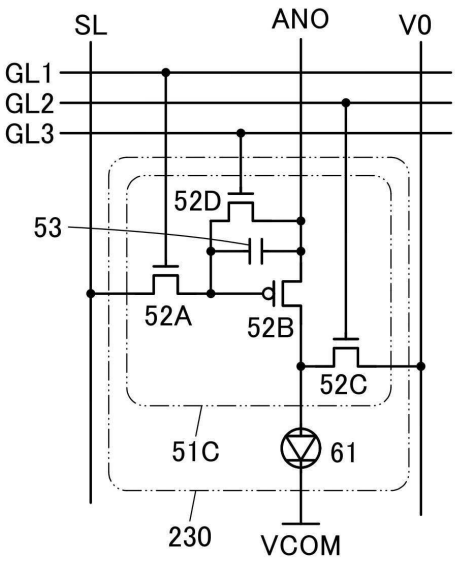

10
141
104
106
112b
116a
109
116b
A1
M2
108
112a
102
110
M1
A2

도면13

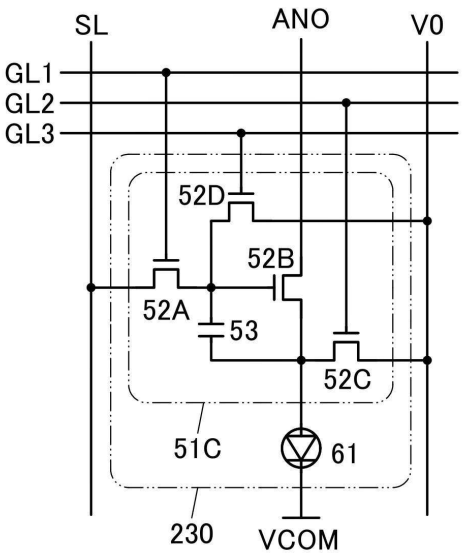

(A)
SL
ANO
GL
53
52A
52B
51A
61
230
VCOM
(B)
SL
ANO
GL
52A
52B
53
51A
61
230
VCOM
(C)
SL
ANO
V0
GL
53
52A
52B
52C
51B
61
230
VCOM
(D)
SL
ANO
V0
GL
52B
52A
53
52C
51B
61
230
VCOM

도면14

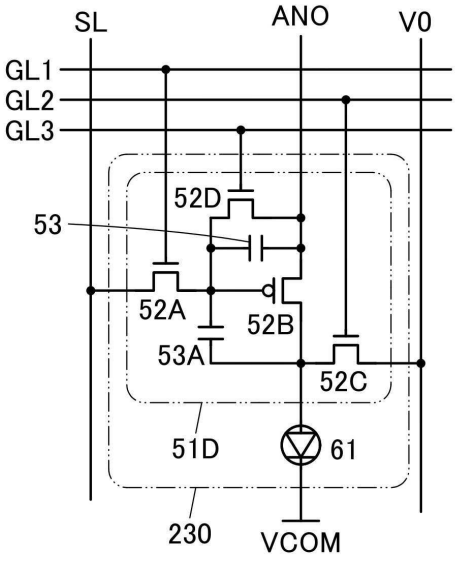
(A)


SL
ANO
V0
GL1
GL2
GL3
52D
53
52A
52B
52C
51C
61
230
VCOM

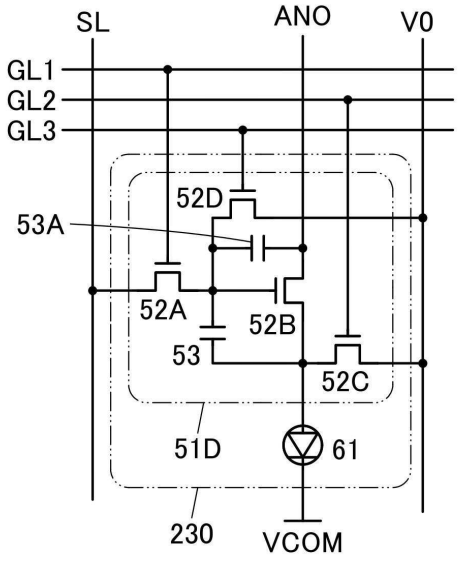
(B)


SL
ANO
V0
GL1
GL2
GL3
52D
52B
52A
53
52C
51C
61
230
VCOM

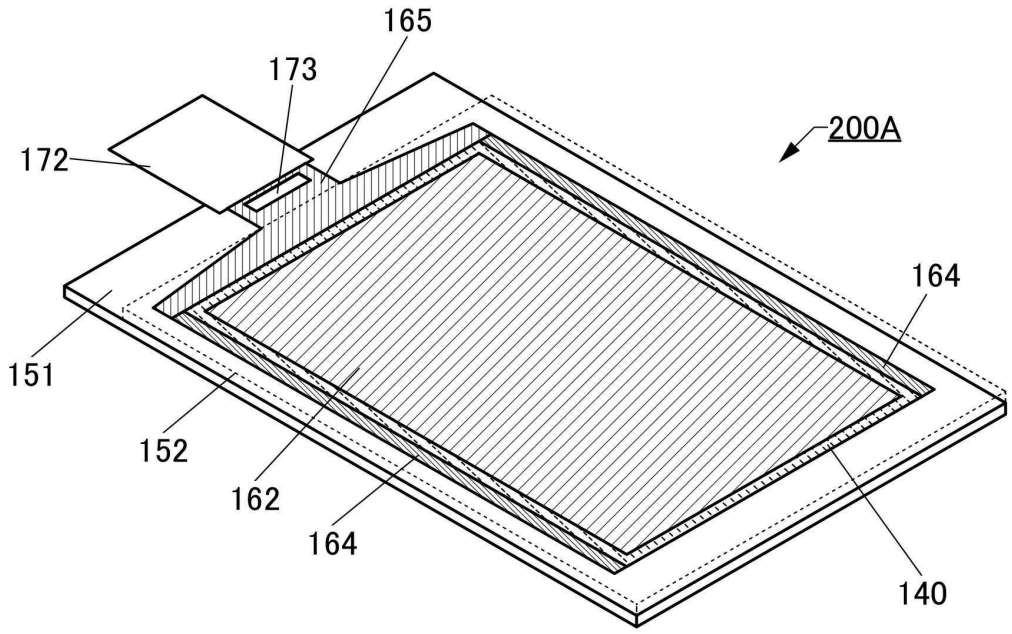
(C)


SL
ANO
V0
GL1
GL2
GL3
52D
53
52A
52B
53A
52C
51D
61
230
VCOM

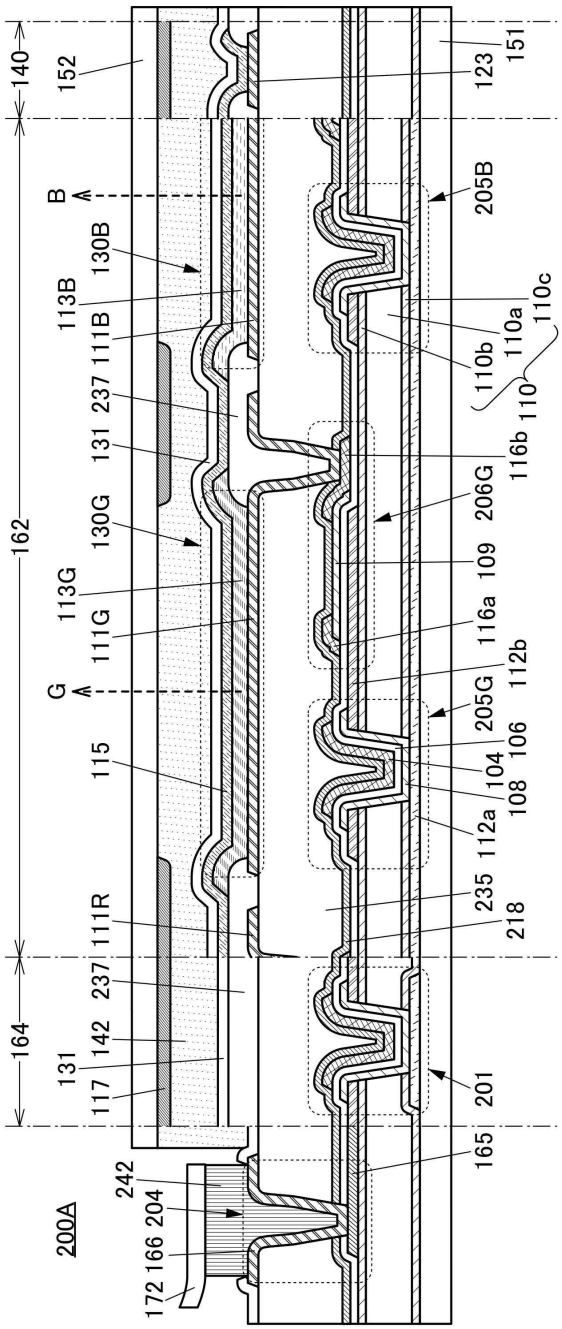
(D)


SL
ANO
V0
GL1
GL2
GL3
52D
53A
52A
52B
53
52C
51D
61
230
VCOM

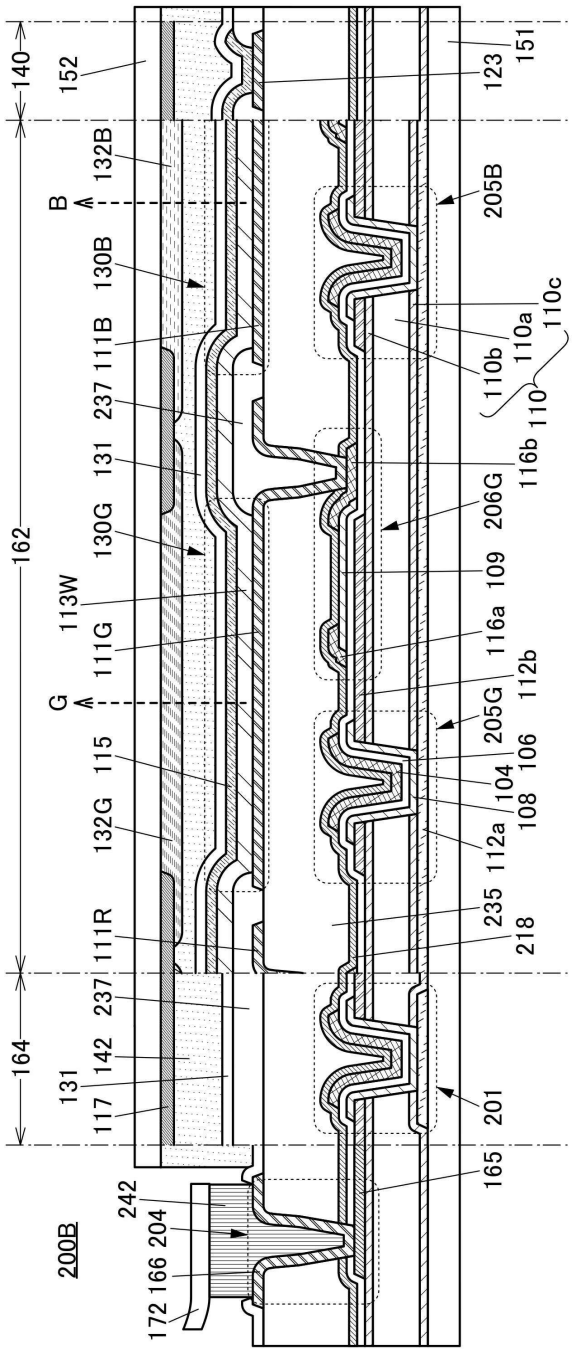
도면15



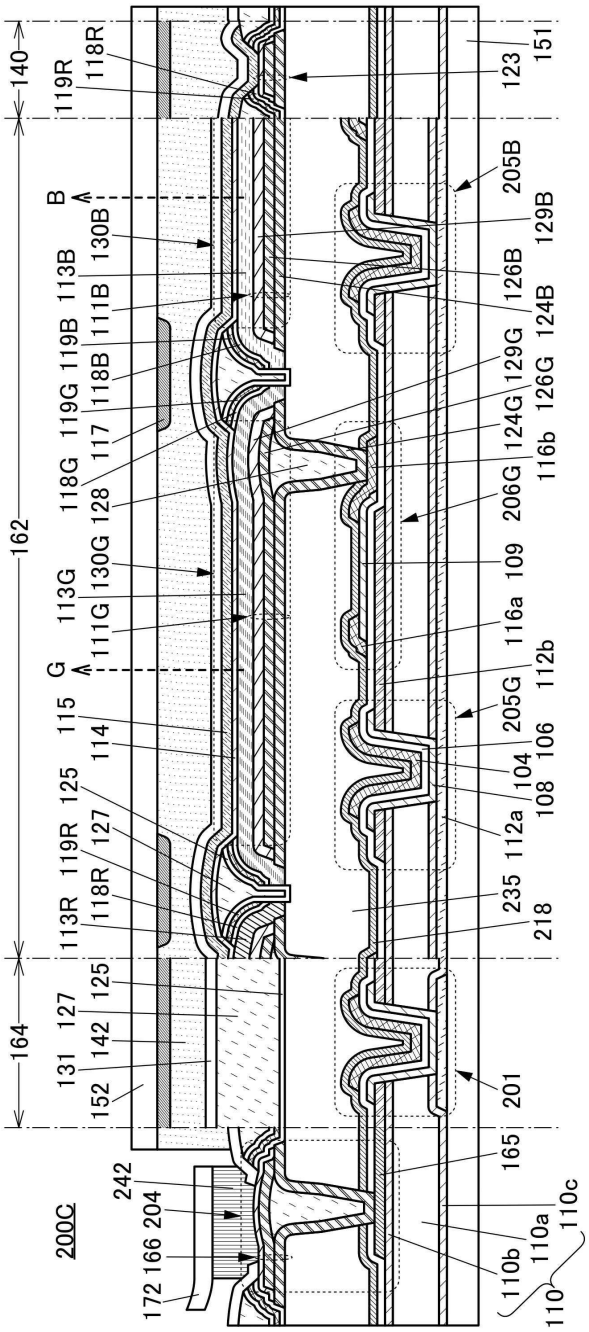
도면16


140
152
123
151
B
205B
130B
113B
111B
237
131
110a
110c
110b
110
116b
206G
130G
113G
111G
109
116a
112b
G
205G
115
106
104
108
112a
235
111R
218
237
142
131
117
201
165
242
204
200A
166
172

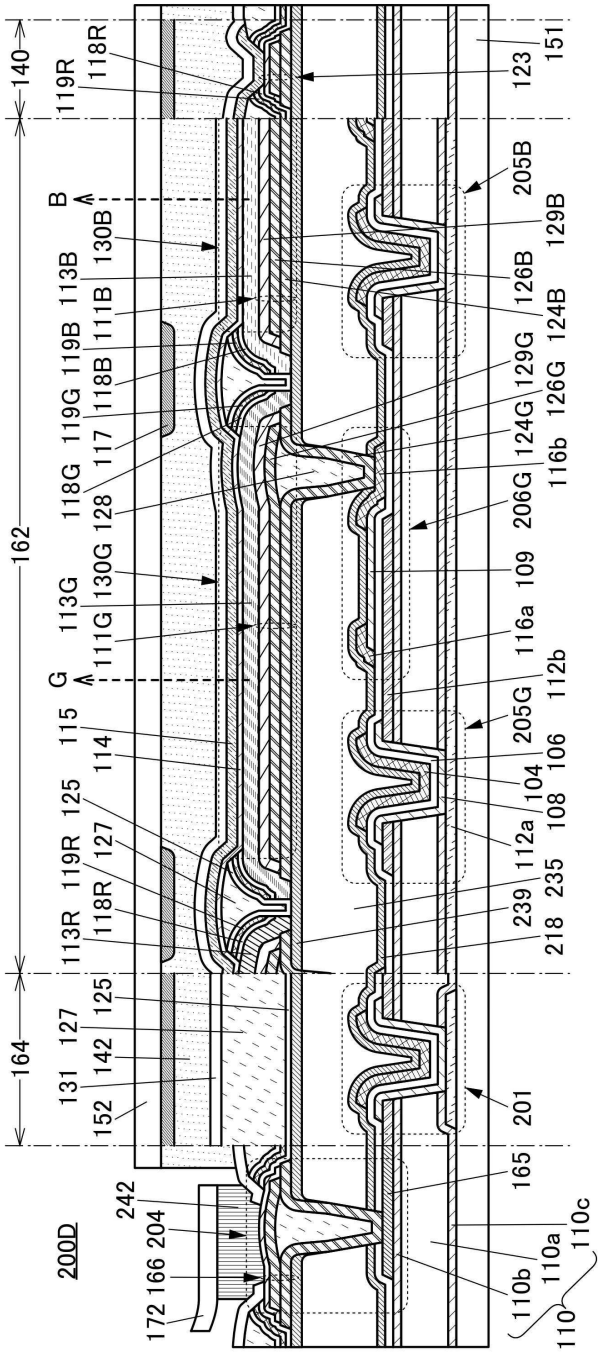
도면17


140
152
132B
B
130B
111B
237
131
130G
113W
111G
G
115
132G
111R
237
142
131
117
164
162
200B
242
204
166
172
123
151
205B
110a
110c
110b
110
116b
206G
109
116a
112b
205G
106
104
108
112a
235
218
201
165

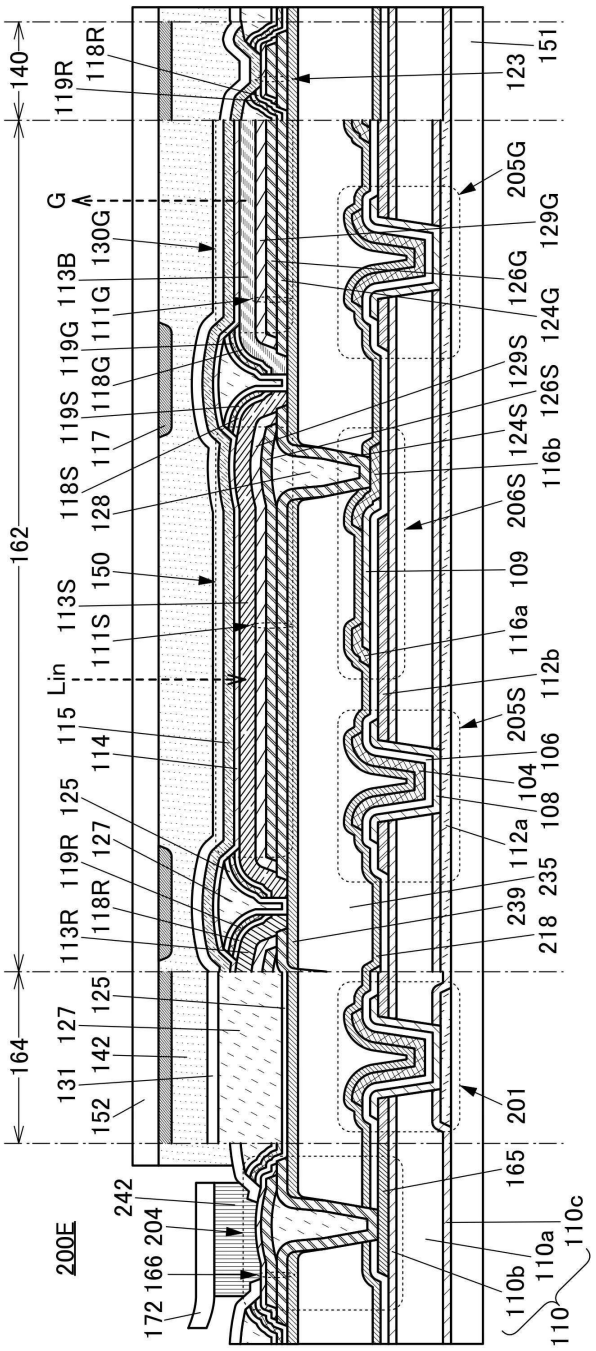
도면18


140
162
164
200C
B
G
118R
119R
113B
130B
111B
119B
118B
119G
117
118G
128
130G
113G
111G
115
114
125
127
119R
118R
113R
125
127
142
131
152
242
204
166
172
151
123
205B
129B
126B
124B
129G
126G
124G
116b
206G
109
116a
112b
205G
106
104
108
112a
235
218
201
165
110c
110a
110b
110

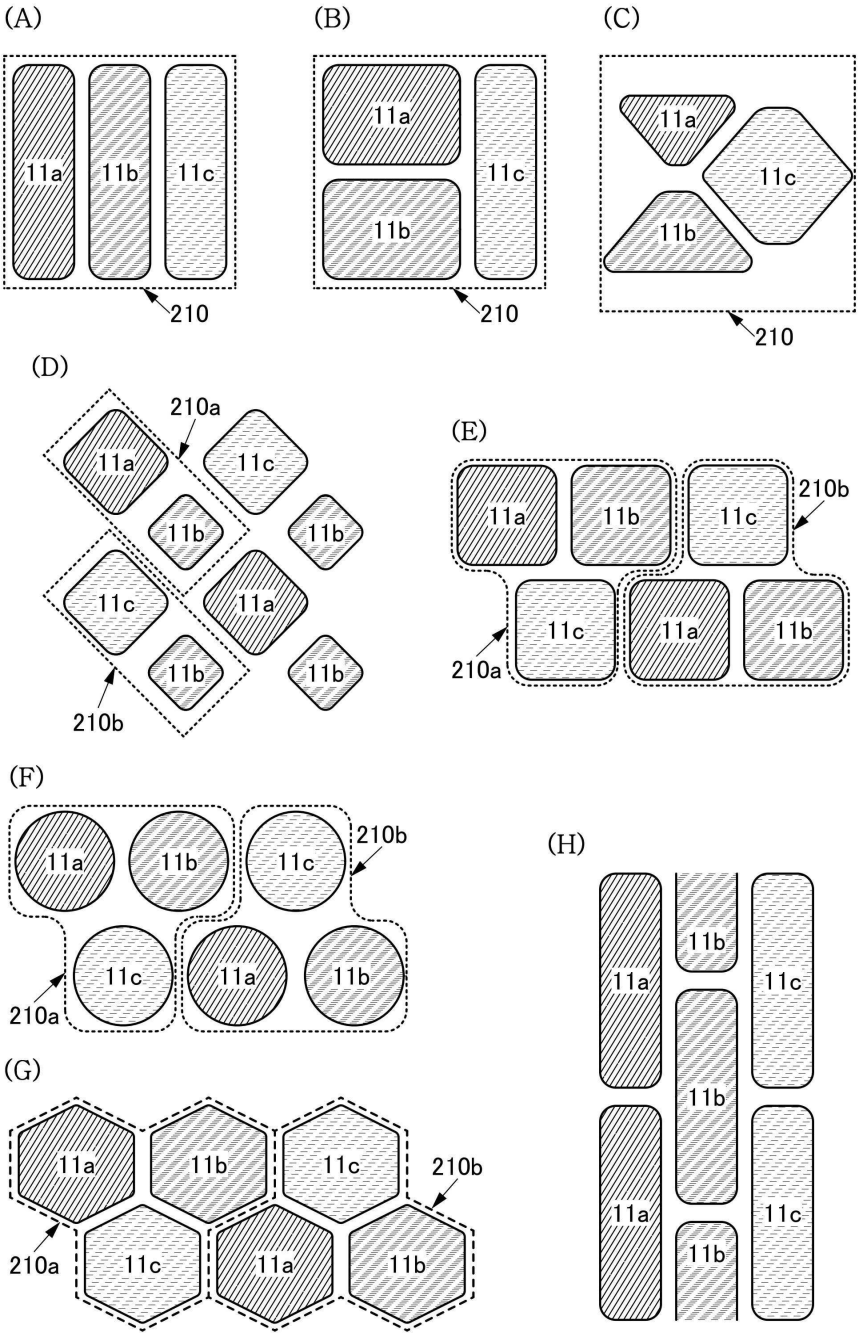
도면19


140
162
164
200D
B
G
118R
119R
113R
118R
119R
125
127
131
142
152
125
127
114
115
111G
113G
130G
128
118G
117
119G
118B
119B
111B
113B
130B
B
123
151
205B
129B
126B
124B
129G
126G
124G
116b
206G
109
116a
112b
205G
106
104
108
112a
235
239
218
201
165
242
204
166
172
110b
110a
110c
110

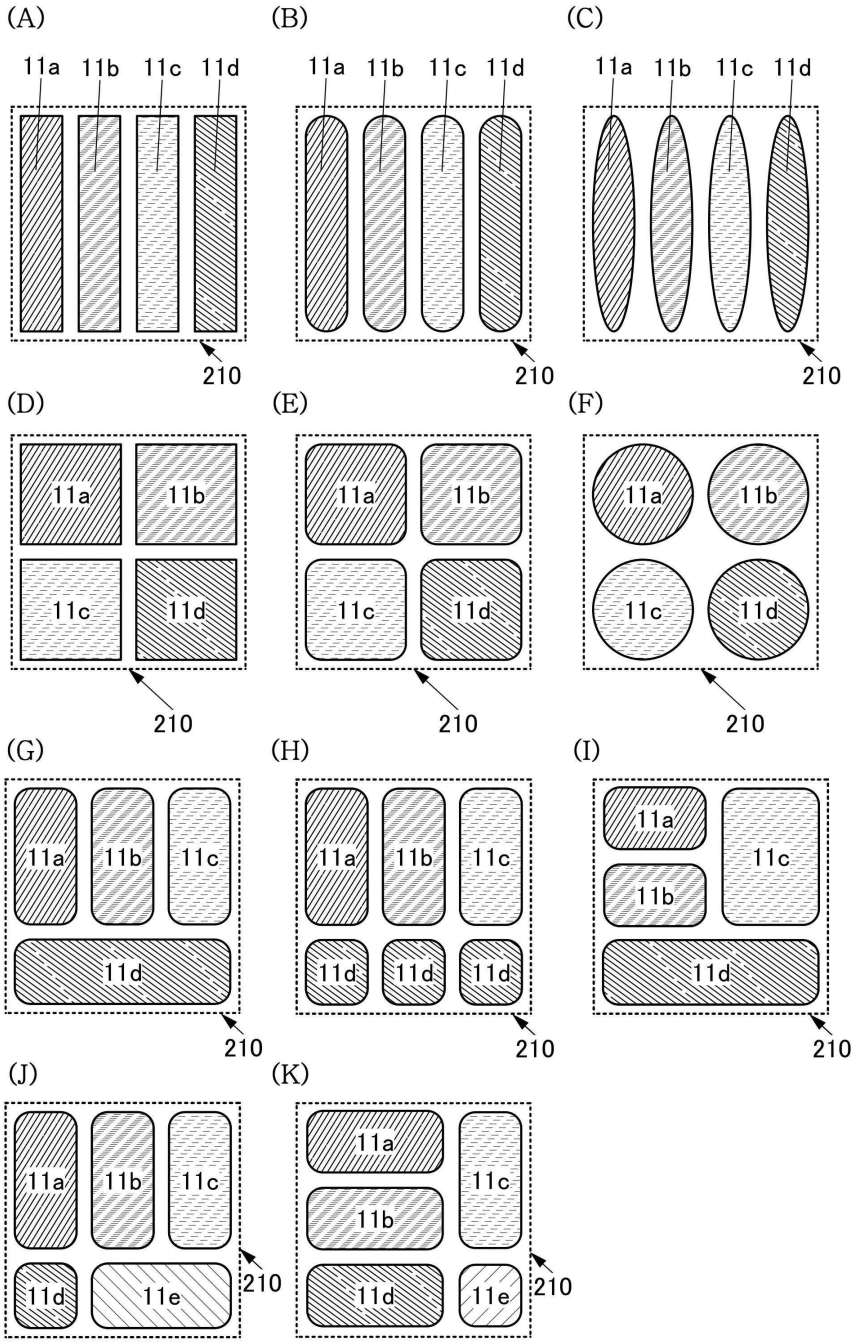
도면20


140
162
164
200E
Lin
G
118R
119R
123
151
205G
130G
113B
111G
119G
126G
129G
118G
124G
119S
129S
117
126S
118S
124S
128
116b
206S
150
109
113S
116a
111S
112b
115
205S
114
106
125
104
108
127
112a
119R
235
118R
239
113R
218
125
127
142
131
152
201
165
242
204
166
172
110b
110a
110c
110

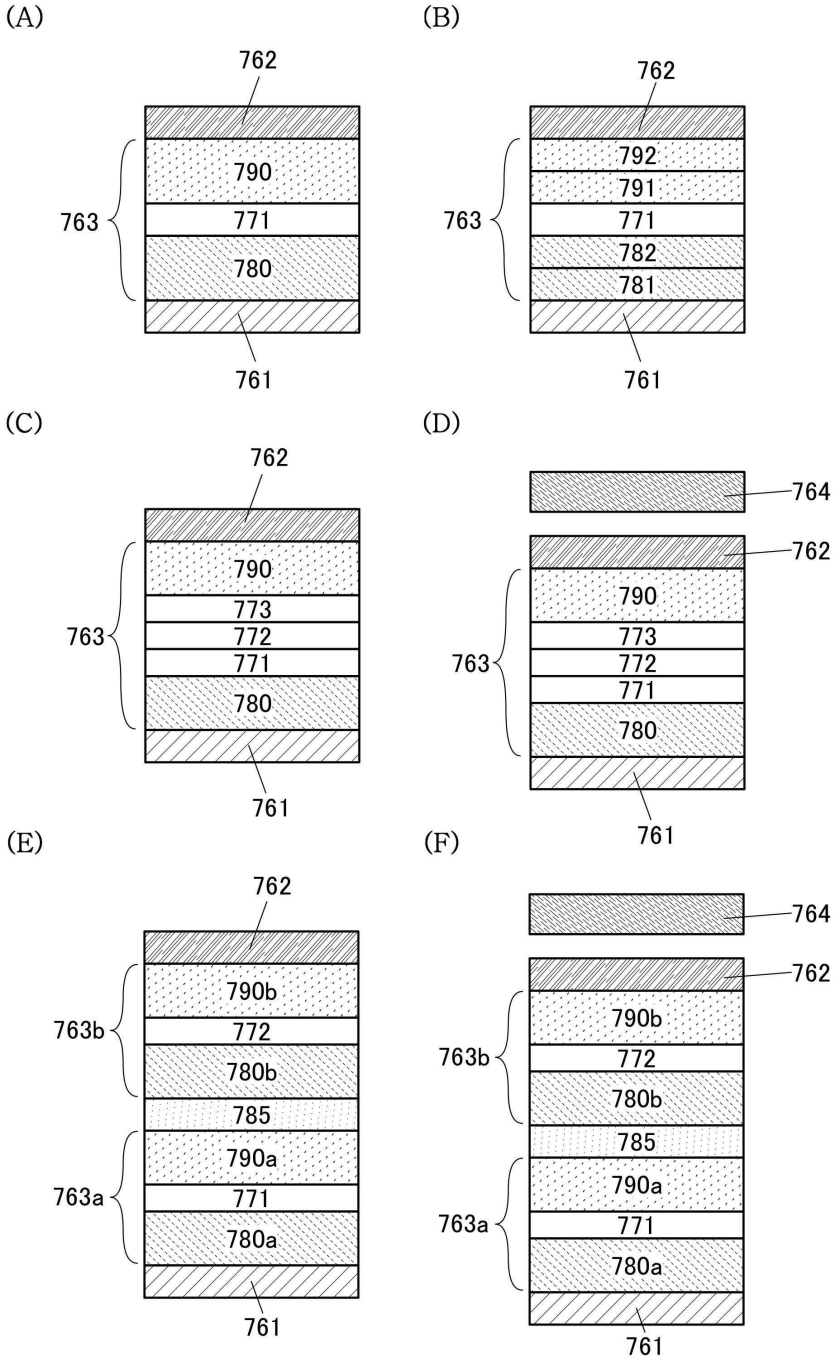
도면21


(A)
11a
11b
11c
210
(B)
11a
11b
11c
210
(C)
11a
11b
11c
210
(D)
210a
11a
11c
11b
11b
11c
11a
11b
11b
210b
(E)
11a
11b
11c
210b
210a
11c
11a
11b
(F)
11a
11b
11c
210b
210a
11c
11a
11b
(G)
11a
11b
11c
210b
210a
11c
11a
11b
(H)
11a
11b
11c
11b
11a
11c
11a
11b

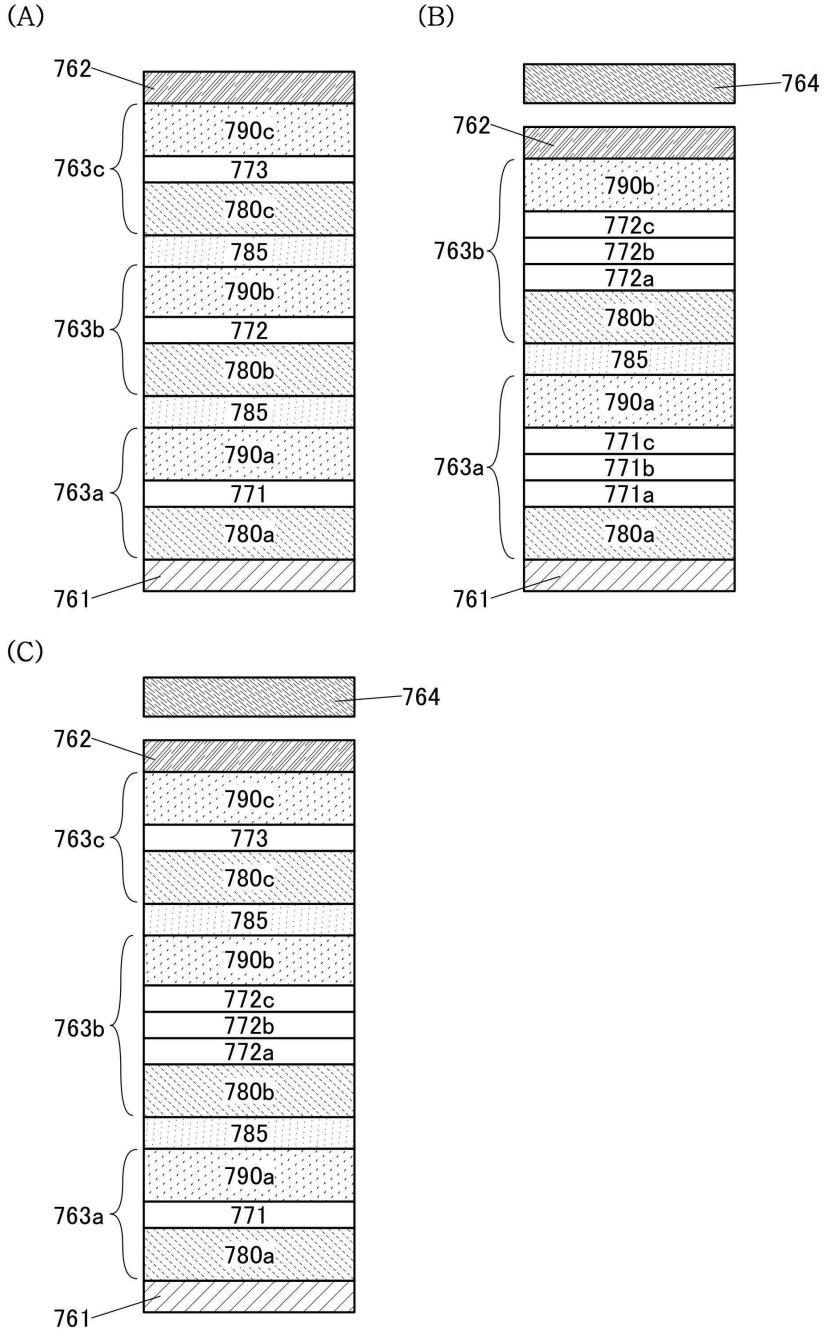
도면22


(A)
11a
11b
11c
11d
210
(B)
11a
11b
11c
11d
210
(C)
11a
11b
11c
11d
210
(D)
11a
11b
11c
11d
210
(E)
11a
11b
11c
11d
210
(F)
11a
11b
11c
11d
210
(G)
11a
11b
11c
11d
210
(H)
11a
11b
11c
11d
11d
11d
210
(I)
11a
11b
11c
11d
210
(J)
11a
11b
11c
11d
11e
210
(K)
11a
11b
11c
11d
11e
210

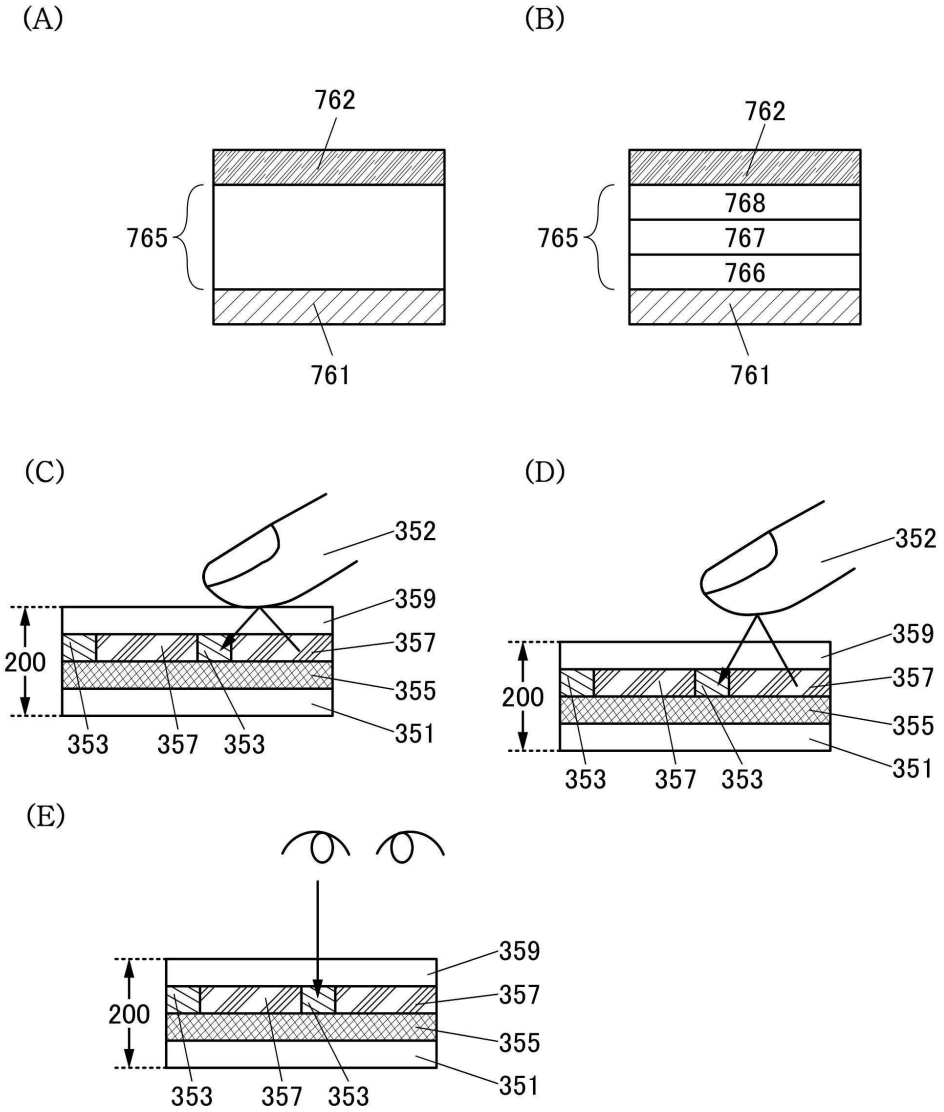
도면23


(A)
762
790
763
771
780
761
(B)
762
792
791
763
771
782
781
761
(C)
762
790
773
763
772
771
780
761
(D)
764
762
790
773
763
772
771
780
761
(E)
762
790b
763b
772
780b
785
790a
763a
771
780a
761
(F)
764
762
790b
763b
772
780b
785
790a
763a
771
780a
761

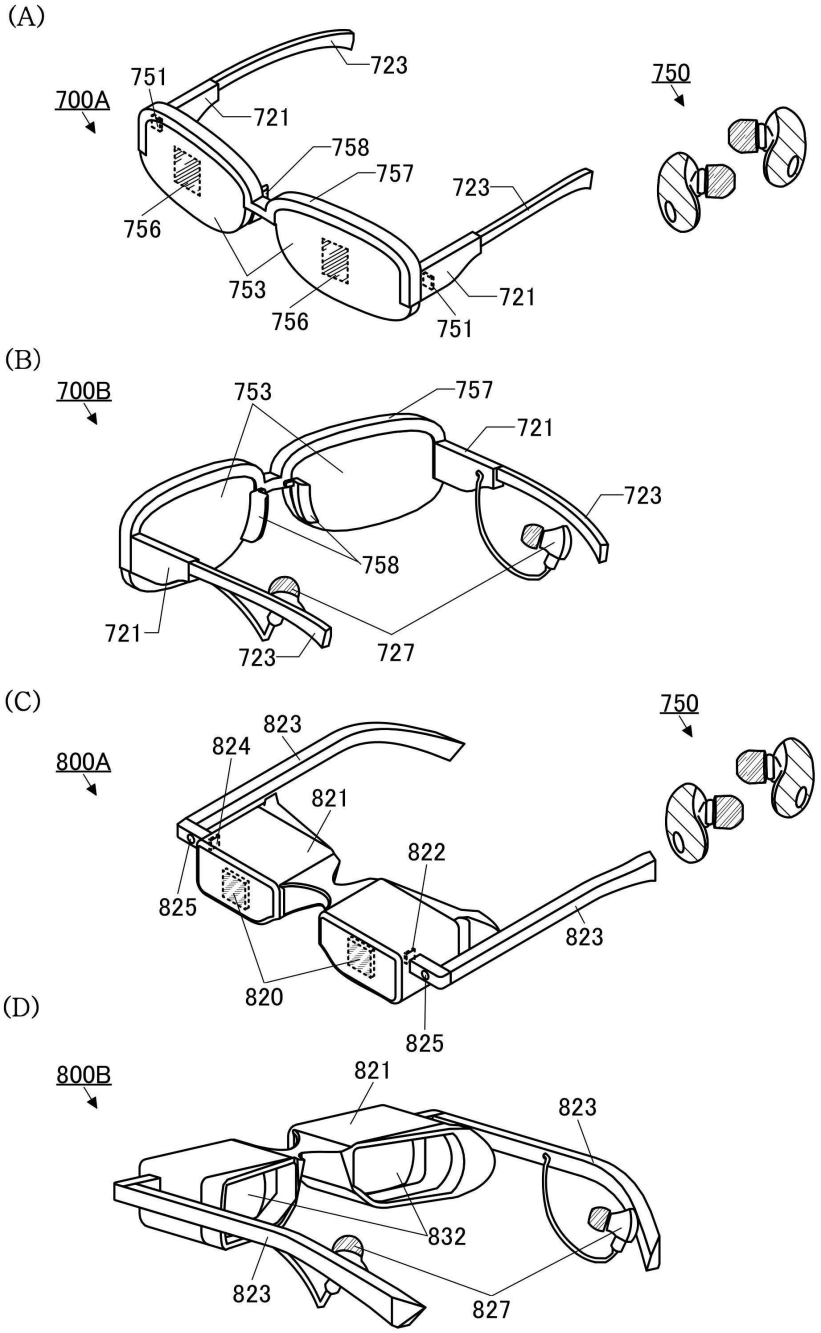
도면24


(A)
762
763c
790c
773
780c
785
763b
790b
772
780b
785
763a
790a
771
780a
761
(B)
764
762
763b
790b
772c
772b
772a
780b
785
763a
790a
771c
771b
771a
780a
761
(C)
764
762
763c
790c
773
780c
785
763b
790b
772c
772b
772a
780b
785
763a
790a
771
780a
761

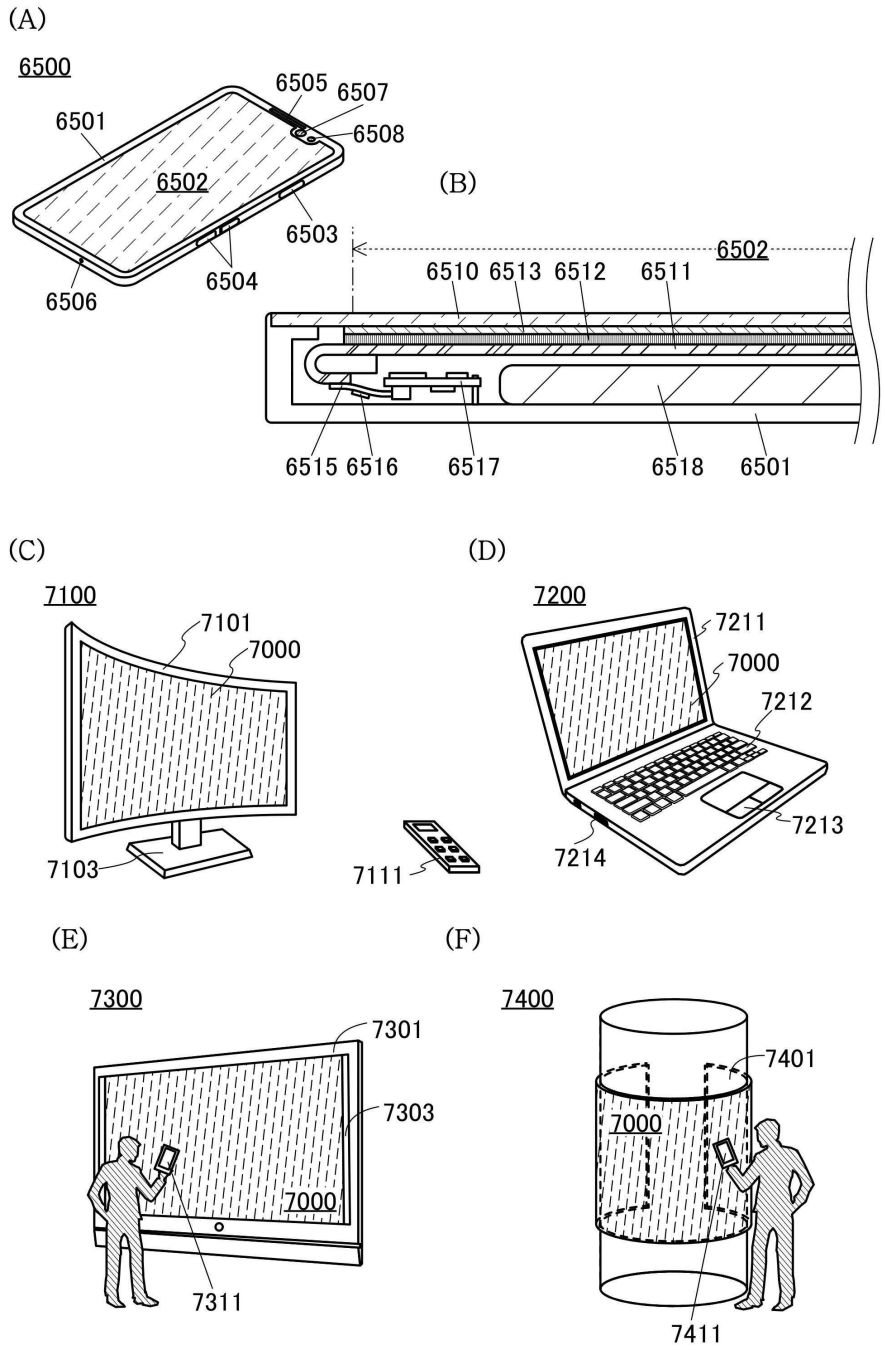
도면25


(A)
762
765
761
(B)
762
768
767
766
765
761
(C)
352
359
357
355
351
200
353
357
353
(D)
352
359
357
355
351
200
353
357
353
(E)
359
357
355
351
200
353
357
353

도면26


(A)
700A
751
723
721
758
757
723
750
756
753
756
751
721
(B)
700B
753
757
721
723
758
721
723
727
(C)
750
800A
823
824
821
822
825
823
820
825
(D)
800B
821
823
832
823
827

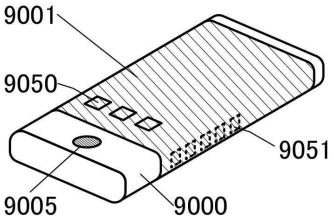
도면27


(A)
6500
6505
6507
6501
6508
6502
6503
6504
6506
(B)
6502
6510 6513 6512 6511
6515 6516
6517
6518
6501
(C)
7100
7101
7000
7103
7111
(D)
7200
7211
7000
7212
7213
7214
(E)
7300
7301
7303
7000
7311
(F)
7400
7401
7000
7411

도면28

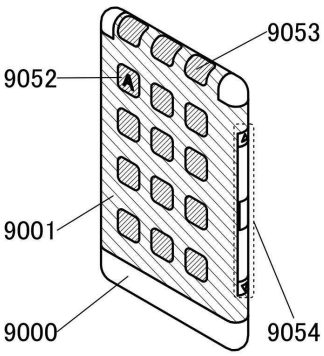
(A)

9101



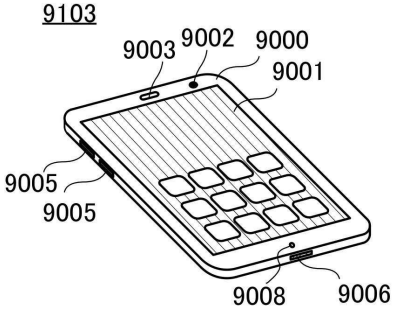
(B)

9102



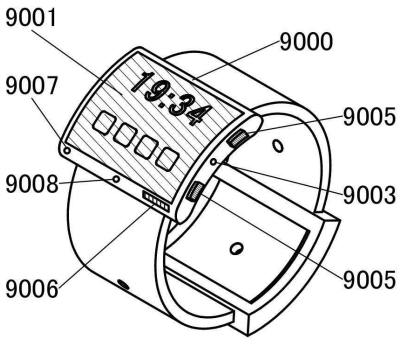
(C)

9103



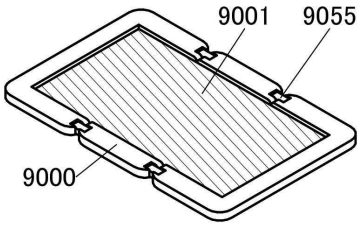
(D)

9200



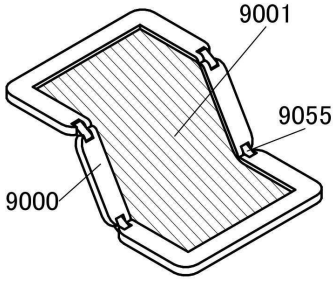
(E)

9201



(F)

9201



(G)

9201

