

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年5月19日(19.05.2011)

(10) 国際公開番号  
WO 2011/058892 A1

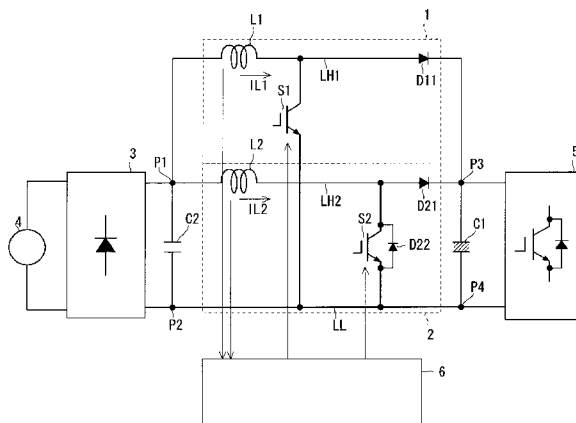
- (51) 国際特許分類: H02M 3/155 (2006.01) H02M 7/12 (2006.01)
- (21) 国際出願番号: PCT/JP2010/069305
- (22) 国際出願日: 2010年10月29日(29.10.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2009-258565 2009年11月12日(12.11.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): ダイキン工業株式会社 (DAIKIN INDUSTRIES, LTD.) [JP/JP]; 〒5308323 大阪府大阪市北区中崎西2丁目4番12号梅田センタービル Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大下 和広 (OHSHITA Kazuhiro) [JP/JP]; 〒5258526 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社 滋賀製作所内 Shiga (JP). 矢吹俊生 (YABUKI Toshio) [JP/JP]; 〒5258526 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社 滋賀製作所内 Shiga (JP). 榮紀雄 (SAKAE Norio) [JP/JP]; 〒5258526 滋賀県草津
- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE, Hidetoshi et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号 住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SWITCHING POWER SUPPLY CIRCUIT

(54) 発明の名称: スイッチング電源回路

[図1]



(57) Abstract: Provided is a power factor improving circuit whereby the problem of reverse voltage can be solved. A master transistor (S1) and a slave transistor (S2) both are insulated-gate bipolar transistors. A slave diode (D21) is anti-parallel connected to the slave transistor (S2). The master transistor (S1) is rendered conductive when the current flowing through a main reactor (L1) becomes null, and the master transistor (S1) is rendered nonconductive after a lapse of a first time period. The slave transistor (S2) is rendered conductive on conditions including one condition that a time period, which is shorter than a time period from the time the master transistor (S1) is rendered conductive to the time the master transistor (S1) is rendered conductive next, has elapsed, and the slave transistor (S2) is rendered nonconductive after a lapse of a second time period that is shorter than the first time period.

(57) 要約:

[続葉有]

WO 2011/058892 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

---

本発明は逆電圧を解消できる力率改善回路である。主トランジスタ (S1) 及び従トランジスタ (S2) はいずれも絶縁ゲートバイポーラトランジスタである。従トランジスタ (S2) には従ダイオード (D21) が逆並列接続されている。主トランジスタ (S1) は主リアクトル (L1) を流れる電流が零に至ることを以って導通し、第1期間経過後に非導通する。従トランジスタ (S2) は主トランジスタ (S1) が導通した時点から次に導通するまでの期間よりも短い一定期間を経過したことを条件の一つとして導通し、第1期間よりも短い第2期間経過後に非導通する。

## 明 細 書

**発明の名称**：スイッチング電源回路

### 技術分野

[0001] 本発明はスイッチング電源回路に関し、特に力率改善回路に関する。

### 背景技術

[0002] 非特許文献1には力率改善回路が記載されている。かかる力率改善回路においては主力率改善回路と従力率改善回路とが設けられている。主力率改善回路及び従力率改善回路には同じ直流電源に接続され、主力率改善回路と従力率改善回路は互いに並列に接続される。またこれらは互いに同じ構成を有している。

[0003] 主力率改善回路及び従力率改善回路はいわゆる昇圧型のチョッパ回路であり、リアクトル、ダイオード、スイッチング素子を有している。かかるスイッチング素子としてMOS電界効果トランジスタが採用される。

[0004] 従力率改善回路のスイッチング素子は主力率改善回路のスイッチング素子が導通した時点から所定期間経過したときに導通する。即ち、かかる力率改善回路はいわゆるインターリーブで動作する。

[0005] また本発明に関連する技術として特許文献1, 2が開示されている。

### 先行技術文献

#### 特許文献

[0006] 特許文献1：特開2008-193818号公報

特許文献2：特開2007-252177号公報

#### 非特許文献

[0007] 非特許文献1：喜多村 守、「1.5kWの低ノイズ高調波対策電源を作れる臨界モード／インターリーブPFC IC R2A20112」、トランジスタ技術2008年5月号、CQ出版株式会社、2008年8月、P.176-184

### 発明の概要

#### 発明が解決しようとする課題

[0008] しかしながら、非特許文献1においてはスイッチング素子としてMOS電界効果トランジスタを採用しているため、非特許文献1の力率改善回路は大電流の用途に適していない。

[0009] そこで非特許文献1の力率改善回路を大電流の用途に適用させるべく、スイッチング素子として、特許文献2で紹介されるような絶縁ゲートバイポーラトランジスタを採用することが考えられる。非特許文献1の力率改善回路が大電流の用途に採用される場合は各構成要素で生じる導通損失の増大を招く。よって、スイッチング電源回路において、例えば順方向降下電圧の低いダイオードが採用される。ダイオードでは、順方向降下電圧と逆回復特性がトレードオフの関係にあるので、ダイオードには逆回復電流が流れ得る。かかる逆回復電流によってスイッチング素子には逆電圧が印加される可能性があった。

[0010] そこで、本発明は、スイッチング電源回路に採用されるスイッチング素子に印加される逆電圧を解消もしくは低減する力率改善回路を提供することを目的とする。

### 課題を解決するための手段

[0011] 本発明にかかるスイッチング電源回路の第1の態様は、低電源線(LL)と、いずれも前記低電源線よりも高い電位が印加される主電源線及び従電源線(LH1, LH2)と、前記主電源線及び前記従電源線の上にそれぞれ設けられ、互いに等しいインダクタンスを有する主リアクトル及び従リアクトル(L1, L2)と、前記主電源線及び前記従電源線の上でそれぞれ前記主リアクトル及び前記従リアクトルと直列に接続され、アノードをそれぞれ前記主リアクトル及び前記従リアクトル側に向けて設けられた第1の主ダイオード及び第1の従ダイオード(D11, D21)と、前記主リアクトルと前記主ダイオードとの間の点と、前記低電源線との間で、エミッタを前記低電源線に向けて設けられ、前記主リアクトルを流れる電流が零に至ることを以って導通し、第1期間(t1)経過後に非導通する主絶縁ゲートバイポーラトランジスタ(S1)と、前記従リアクトルと前記従ダイオードとの間の点と、前記低電源線との間で、エミッタ

を前記低電源線に向けて設けられ、前記主絶縁ゲートバイポーラトランジスタが導通した時点から、次に導通するまでの期間よりも短い一定期間を経過したことを条件の一つとして導通し、前記第1期間よりも短い第2期間 ( $t_2$ ) 経過後に非導通する従絶縁ゲートバイポーラトランジスタ (S1) と、前記従絶縁ゲートバイポーラトランジスタ (S2) と並列に接続され、アノードを前記前記低電源線に向けて設けられた第2の従ダイオード (D22) とを備える。

[0012] 本発明にかかるスイッチング電源回路の第2の態様は、第1の態様にかかるスイッチング電源回路であって、前記主絶縁ゲートバイポーラトランジスタ (S1) と並列に接続され、アノードを前記主電源線 (LH1) に向けて設けられた第2の主ダイオード (D12) を更に有する。

[0013] 本発明にかかるスイッチング電源回路の第3の態様は、第1又は第2の態様にかかるスイッチング電源回路であって、一端が前記低電位線 (LL) と、他端が、前記主リアクトル (L1) に対して前記第1の主ダイオード (D11) とは反対側で前記主電源線 (LH1) と、前記従リアクトル (L2) に対して前記第1の従ダイオード (D21) とは反対側で前記従電源線 (LH2) とに共通して接続され、静電容量が  $0.5 \mu\text{F}$  以上であるコンデンサ (C2) を更に備える。

[0014] 本発明にかかるスイッチング電源回路の第4の態様は、第1乃至第3のいずれか一つの態様にかかるスイッチング電源回路であって、前記条件と、前記従リアクトル (L2) を流れる電流が零に至る第2条件との両方を満足するとき前記従絶縁ゲートバイポーラトランジスタ (S2) を導通させる。

### 発明の効果

[0015] 本発明にかかるスイッチング電源回路の第1の態様によれば、本スイッチング電源回路を電流臨界モード (リアクトルに流れる電流が零に至った以後に絶縁ゲートバイポーラトランジスタを導通させるモード) で動作するインターリーブ型の力率改善回路 (PFC) として機能させることができる。

[0016] また絶縁ゲートバイポーラトランジスタを採用しているので大電流に対応できる。

[0017] しかも、第2期間は第1期間よりも短い。しかも主リアクトルと従リアク

トルとのインダクタンスが互いに等しいので、従リアクトルを流れる電流の最大値は主リアクトルを流れる電流の最大値よりも小さい。ひいては従絶縁ゲートバイポーラトランジスタ（以下、従 IGBT と呼ぶ）が非導通してから従リアクトルを流れる電流が零に至るまでの期間は、主絶縁ゲートバイポーラトランジスタ（以下、主 IGBT と呼ぶ）が非導通してから主リアクトルを流れる電流が零に至るまでの期間よりも短い（図 4 参照）。

- [0018] 主リアクトル及び従リアクトルに流れる電流が零に至った後は、第 1 の主ダイオード及び第 1 の従ダイオードの逆回復電流が主リアクトル及び従リアクトルをそれぞれ流れる。従 IGBT は従リアクトルが零に至った後に導通するので、従 IGBT は従ダイオードによる逆回復電流が従リアクトルを流れた状態で導通する。一方、主 IGBT は従リアクトルが零に至るときに導通する。よって、主リアクトルを流れる逆回復電流のピークに比べて従リアクトルを流れる逆回復電流のピークが高く、したがって逆回復電流の絶対値が下降して零に至るまでの期間は従リアクトルの方が長い。これにより、従 IGBT には主 IGBT に比してより長い期間にわたって逆電圧が印加され得るところ、従 IGBT には第 2 の従ダイオードが並列に接続されているので、かかる逆電圧を回避することができる。
- [0019] 本発明にかかるスイッチング電源回路の第 2 の態様によれば、主絶縁ゲートバイポーラトランジスタにかかる逆電圧をも回避できる。
- [0020] 本発明にかかるスイッチング電源回路の第 3 の態様によれば、主絶縁ゲートバイポーラトランジスタの導通／非導通の切り替えに起因にして、各部に寄生する寄生容量の充放電による電流を低減できる。
- [0021] 本発明にかかるスイッチング電源回路の第 4 の態様によれば、例えば電圧の瞬時増大によって主 IGBT が導通してから一定期間経過後よりも後に従リアクトルが零に至り、これによって主 IGBT が導通してから一定期間よりも後に従 IGBT が導通したとしても、主 IGBT 及び従 IGBT の導通／非導通が繰り返し行われるにつれ、主 IGBT と従 IGBT の導通時点の間の期間を一定期間に戻すことができる。

[0022] この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

### 図面の簡単な説明

[0023] [図1]スイッチング電源回路の概念的な構成の一例を示す図である。

[図2]タイミングチャートの概念的な一例を示す図である。

[図3]タイミングチャートの概念的な一例を示す図である。

[図4]タイミングチャートの概念的な一例を示す図である。

[図5]タイミングチャートの概念的な一例を示す図である。

[図6]タイミングチャートの概念的な一例を示す図である。

[図7]スイッチング電源回路の概念的な構成の一例を示す図である。

### 発明を実施するための形態

[0024] 実施の形態.

#### <構成>

図1に例示するように、本スイッチング電源回路は主回路1と従回路2と入力端P1、P2と出力端P3、P4と電源線LLとを備えている。電源線LLは入力端P2と出力端P4とを接続している。

[0025] 入力端P1、P2の間には直流電圧が印加される。図1の例示では、入力端P1、P2にはダイオード整流回路3が接続されている。ダイオード整流回路3は交流電源4からの交流電圧を整流し、整流後の直流電圧を入力端P1、P2の間に印加する。ここでは入力端P2に印加される電位は入力端P1に印加される電位よりも低い。なお、入力端P1、P2にダイオード整流回路3が接続されることは必須要件ではない。入力端P1、P2の間に直流電圧を印加する任意の構成が入力端P1、P2に接続されていればよい。

[0026] また入力端P1、P2の間にはコンデンサC2が設けられてもよい。コンデンサC2は電流のノイズを低減することができる。

[0027] 主回路1は主電源線LH1と主リアクトルL1と主ダイオードD11と主絶縁ゲートバイポーラトランジスタ（以下、主トランジスタと呼ぶ）S1とを備えている。

- [0028] 主電源線LH1は入力端P1と出力端P3とを接続している。主リアクトルL1及び主ダイオードD11は主電源線LH1の上に設けられている。主ダイオードD11は主リアクトルL1に対して入力端P1とは反対側で主リアクトルL1と直列に接続される。また主ダイオードD11はそのアノードが主リアクトルL1側に向けて設けられる。
- [0029] 主トランジスタS1は主リアクトルL1と主ダイオードD11との間の点と、電源線LLとの間に設けられる。また主トランジスタS1はそのコレクタ端子を主電源線LH1側にそのエミッタ端子を電源線LL側に向けて設けられる。主トランジスタS1は、制御部6からそのゲート端子にスイッチ信号が入力されて導通する。
- [0030] 従回路2は従電源線LH2と従リアクトルL2と従ダイオードD21, D22と従絶縁ゲートバイポーラトランジスタ（以下、従トランジスタと呼ぶ）S2とを備えている。
- [0031] 従電源線LH2は入力端P1と出力端P3とを接続している。従リアクトルL2及び従ダイオードD21は従電源線LH2の上に設けられている。従リアクトルL2のインダクタンスは主リアクトルL1のインダクタンスと等しい。従ダイオードD21は従リアクトルL2に対して入力端P1とは反対側で従リアクトルL2と直列に接続される。また従ダイオードD21はそのアノードが従リアクトルL2側に向けて設けられる。
- [0032] 従トランジスタS2は従リアクトルL2と従ダイオードD21との間の点と、電源線LLとの間に設けられる。また従トランジスタS2はそのコレクタ端子を従電源線LH2側にそのエミッタ端子を電源線LL側に向けて設けられる。従トランジスタS2は、制御部6からそのゲート端子にスイッチ信号が入力されて導通する。従ダイオードD22はそのアノードを電源線LL側に向けて従トランジスタS2と並列に接続される。
- [0033] 出力端P3, P4の間には平滑コンデンサC1が設けられている。
- [0034] 制御部6は主リアクトルL1を流れる電流IL1を検知し、電流IL1に基づいて主トランジスタS1を導通させる。制御部6は主トランジスタS1

が導通した時点から所定期間が経過したことを条件の一つとして従トランジスタS2を導通させる。また制御部6は従リアクトルL2を流れる電流IL2を検知し、上記条件の一つと電流IL2に基づく条件とを満たしたときに従トランジスタS2を導通させてもよい。これらの導通については後に詳述する。また、電流IL1、IL2の検出については先行技術文献で挙げられた各文献のように、各リアクトルL1、L2がトランスを構成する手法を採用できる。なお、以下で説明する主トランジスタS1及び従トランジスタS2の制御について、特別な記載が無い限りその主体は制御部6である。

[0035] またここでは、制御部6はマイクロコンピュータと記憶装置を含んで構成される。マイクロコンピュータは、プログラムに記述された各処理ステップ（換言すれば手順）を実行する。上記記憶装置は、例えばROM(Read Only Memory)、RAM(Random Access Memory)、書き換え可能な不揮発性メモリ（EPROM(Erasable Programmable ROM)等）、ハードディスク装置などの各種記憶装置の1つ又は複数で構成可能である。当該記憶装置は、各種の情報やデータ等を格納し、またマイクロコンピュータが実行するプログラムを格納し、また、プログラムを実行するための作業領域を提供する。なお、マイクロコンピュータは、プログラムに記述された各処理ステップに対応する各種手段として機能するとともに把握でき、あるいは、各処理ステップに対応する各種機能を実現するとともに把握できる。また、制御部6はこれに限らず、制御部6によって実行される各種手順、あるいは実現される各種手段又は各種機能の一部又は全部をハードウェアで実現しても構わない。

[0036] 本スイッチング電源回路は、主回路1及び従回路2がそれぞれ絶縁ゲートバイポーラトランジスタS1、S2を備えているので、例えばMOS電界効果トランジスタに比して大電流の用途に適する。本スイッチング電源回路が大電流の用途に用いられる場合には、主ダイオードD11及び従ダイオードD21として順方向降下電圧を小さいダイオードを採用することが望ましい。大電流になるほど主ダイオードD11及び従ダイオードD21での導通損失が高まるからである。他方、かかる主ダイオードD11及び従ダイオード

D 2 1 の逆回復特性が優れておらず、主ダイオード D 1 1 及び従ダイオード D 2 1 には逆回復電流が流れやすい。ここでは主ダイオード D 1 1 と従ダイオード D 2 1 の逆回復特性は互いに同じである。

[0037] 図 1 の例示では出力端 P 3, P 4 にはインバータ 5 が接続されている。なお出力端 P 3, P 4 にはインバータ 5 が接続される必要はなく、他の任意の負荷が出力端 P 3, P 4 に接続されればよい。

[0038] <動作>

まず図 1, 2 を参照して本スイッチング電源回路の動作の概要について説明する。なお以下の説明及び図面では、電流  $I_{L1}$ ,  $I_{L2}$  についてダイオード整流回路 3 からインバータ 5 側へ向かう方向を正と仮定している。

[0039] 主回路 1 において主トランジスタ S 1 が導通していれば、入力端 P 1 から入力端 P 2 へと主リアクトル L 1 及び主トランジスタ S 1 を経由して電流が流れる。かかる電流は主リアクトル L 1 のインダクタンスと入力端 P 1, P 2 の間の直流電圧とによって定まる傾斜に応じて増大する（図 2 において電流  $I_{L1}$  を参照）。かかる電流によってリアクトル L 1 には電磁エネルギーが蓄積される。

[0040] そして主トランジスタ S 1 が導通から非導通へと切り替わると、入力端 P 1 から入力端 P 2 へと主リアクトル L 1、主ダイオード D 1 1 及び平滑コンデンサ C 1 を経由して電流が流れる。このとき、リアクトル L 1 に蓄積された電磁エネルギーによる電圧（誘導起電圧）が入力端 P 1, P 2 の間の直流電圧に加算されて、その合計が平滑コンデンサ C 1 に印加される。よって、主回路 1 は入力端 P 1, P 2 の間の直流電圧を昇圧してこれを平滑コンデンサ C 1 に印加できる。

[0041] かかる電流は主リアクトル L 1 のインダクタンス及び平滑コンデンサ C 1 の静電容量等に基づく傾斜で低減する（図 2 において電流  $I_{L1}$  を参照）。そして、かかる電流、即ち電流  $I_{L1}$  が、零になったときに、再び主トランジスタ S 1 を導通させる。その後は上述した動作を繰り返す。かかる動作により電流  $I_{L1}$  は鋸歯状の形状に沿って変化する。このように主リアクトル

L 1に流れる電流  $I_{L1}$  が零に至った以後に主トランジスタ S 1 を導通させるモードは、いわゆる臨界電流モードと呼ばれる。

[0042] 以上のように主回路 1 は、入力端 P 1, P 2 の間の電圧を昇圧してこれを出力端 P 3, P 4 の間に印加するスイッチング電源回路として機能することができる。また平滑コンデンサ C 1 へと電流が流れない期間（主トランジスタ S 1 が導通する期間）であっても、主トランジスタ S 1 を介してダイオード整流回路 3 には電流が流れる。よって、ダイオード整流回路 3 を流れる電流の導通角度を広げることができる。換言すれば主回路 1 は力率改善回路として機能することができる。また主回路 1 のスイッチング素子として絶縁ゲートバイポーラトランジスタが採用されている。よって例えば MOS 電界効果トランジスタが採用された構成と比較して、より大きな電流を流すことができる。

[0043] 従回路 2 においても主回路 1 と同様の動作が行われる。但し、従トランジスタ S 2 は、主トランジスタ S 1 が導通した時点から所定期間経過したことを第 1 の条件として導通する。かかる所定期間は、主トランジスタ S 1 が導通してから再び導通するまでの期間（以下、周期とも呼ぶ）T より短い期間である。図 2 の例示では、所定期間として期間 T の半分を採用しており、以下では所定期間として期間 T の半分を採用した場合について説明する。

[0044] 第 1 の条件により、従回路 2 においては主回路 1 に対して半周期遅れて同じ動作が行われる。よって、従リアクトル L 2 を流れる電流  $I_{L2}$  は主リアクトル L 1 に流れる電流  $I_{L1}$  に対して半周期遅れる。したがって、電流  $I_{L1}$ ,  $I_{L2}$  の一方が小さいときには他方は大きい。

[0045] 例えば本スイッチング電源回路が主回路 1 のみを有している場合には、ダイオード整流回路 3 を流れる電流は主リアクトル L 1 を流れる電流  $I_{L1}$  と等しい。一方、本スイッチング電源回路によれば、ダイオード整流回路 3 を流れる電流は電流  $I_{L1}$ ,  $I_{L2}$  の和と等しい。本スイッチング電源回路では電流  $I_{L1}$ ,  $I_{L2}$  の一方が小さいときには他方が大きいので、ダイオード整流回路 3 を流れる電流の平均値を、その電流の最大値（ピーク）を変え

ることなく高めることができる（図2の電流 $I_{L1}$ の平均電流と、電流 $I_{L1}$ 、 $I_{L2}$ の和の平均電流とをご参照）。換言すれば、同じ電流の平均値を達成するために、ダイオード整流回路3を流れる電流のピークを低減することができる。

[0046] また従トランジスタ $S2$ は第1の条件に加えて、従リアクトル $L2$ に流れる電流 $I_{L2}$ が零に至ることを第2の条件として導通するとよい。これにより、より確実に従回路2において臨界電流モードでの動作を確保することができる。

[0047] また電流 $I_{L1}$ 、 $I_{L2}$ の位相差が例えば半周期に相当する値からずれたとしても、かかる位相差が半周期に戻るように、本スイッチング電源回路が以下のように工夫される。まず位相差のずれについて説明する。例えば入力端 $P1$ 、 $P2$ の間の電圧が瞬間的に増大し、これにより電流 $I_{L2}$ が遅れて零に至り得る。この場合、第2の条件により、主トランジスタ $S1$ が導通する時点から半周期遅れた時点よりさらに遅れて従トランジスタ $S2$ が導通する。図3の例示では、主トランジスタ $S1$ が導通した時点から5分の3周期経過した時点で従トランジスタ $S2$ が導通している。その後は電流 $I_{L1}$ 、 $I_{L2}$ が互いに同じ周期で零に至るので、電流 $I_{L1}$ 、 $I_{L2}$ の位相差は5分の3周期に相当する値を維持する。よって、主トランジスタ $S1$ と従トランジスタ $S2$ の導通時点が互いに5分の3周期ずれる。

[0048] かかる位相差のずれを半周期へと戻すべく、本実施の形態では従トランジスタ $S2$ の導通期間 $t2$ を主トランジスタ $S1$ の導通期間 $t1$ よりも短く設定している。例えば主トランジスタ $S1$ の導通期間は数 $\mu$ 秒であり、従トランジスタ $S2$ の導通期間はそれよりも数百 $n$ 秒短く設定される。

[0049] 導通期間 $t2$ が導通期間 $t1$ よりも短く、主リアクトル $L1$ と従リアクトル $L2$ のインダクタンスが互いに同程度であるので、電流 $I_{L1}$ のピークは電流 $I_{L2}$ のピークよりも低い。

[0050] よって、電流 $I_{L2}$ は電流 $I_{L1}$ よりも低い値から低減する。また、主リアクトル $L1$ と従リアクトル $L2$ のインダクタンスが互いに同程度であるの

で、電流  $I_{L1}$ 、 $I_{L2}$  が低減する際の傾斜も同程度である。したがって、主トランジスタ  $S_1$  が導通してから電流  $I_{L1}$  が零に至るまでの期間（1周期  $T$ ）よりも、従トランジスタ  $S_2$  が導通してから電流  $I_{L2}$  が零に至る期間のほうが短い。よって電流  $I_{L2}$  は従トランジスタ  $S_2$  が導通した時点から1周期  $T$  を経過する前に零に至る。

[0051] これにより、図4に例示するように、例えば入力端  $P_1$ 、 $P_2$  の間の電圧の瞬時的な増大に起因して主トランジスタ  $S_1$  及び従トランジスタ  $S_2$  の導通時点の間の期間が5分の3周期となったとしても、主トランジスタ  $S_1$  及び従トランジスタ  $S_2$  が導通／非導通を繰り返すにつれ、当該期間を半周期へと戻すことができる。

[0052] なお、導通期間  $t_2$  と導通期間  $t_1$  との差を可変としても構わない。例えば、主トランジスタ  $S_1$  が導通した時点から所定期間（ここでは半周期）経過した時に電流  $I_{L2}$  が既に零に至っている場合は、差  $S_{UB1}$  を採用する。そして主トランジスタ  $S_1$  が導通した時点から所定期間経過した時に電流  $I_{L1}$  が未だ零に至っていない場合は、差  $S_{UB1}$  よりも大きい差  $S_{UB2}$  を採用する。

[0053] これによれば、位相差が所望の値からずれたときには、より大きい差  $S_{UB2}$  を採用している。よって、電流  $I_{L2}$  が零に至る期間が短縮されて、早期に位相差を所望の値に戻すことができる。一方、位相差が所望の値であるときにはより小さい差  $S_{UB1}$  を採用している。よって、電流  $I_{L2}$  のピークを高めることができ、ひいてはダイオード整流回路3を流れる電流の平均電流を高めることができる。

[0054] なお、図2から図4では図示を省略していたが、実際には電流  $I_{L1}$ 、 $I_{L2}$  がそれぞれ零に至った後は、それぞれ主ダイオード  $D_{11}$  及び従ダイオード  $D_{21}$  の逆回復特性に起因して、出力端  $P_3$  側から入力端  $P_1$  側へと主リアクトル  $L_1$  及び従リアクトル  $L_2$  に電流が流れる。図5の例示では、かかる電流  $I_{L1}$ 、 $I_{L2}$  が負の電流として示されている。

[0055] 本制御方法によれば電流  $I_{L2}$  の最小値は電流  $I_{L1}$  の最小値よりも小さ

い。図5の例示では、電流 $I_{L1}$ の最小値は $-0.32\text{ A}$ であって、電流 $I_{L2}$ の最小値は $-0.40\text{ A}$ である。このような電流 $I_{L1}$ 、 $I_{L2}$ の最小値の大小関係は以下の理由によると考察される。

[0056] 主トランジスタ $S1$ が非導通から導通へと切り替わるときには主トランジスタ $S1$ の両端電圧は低下してほぼ零に至る。これにより、主ダイオード $D11$ には大きな逆電圧が印加される。かかる逆電圧によって主ダイオード $D11$ の内部に蓄積されたキャリアが移動する量が増える。よって、移動可能なキャリアが尽きて逆回復電流は低下に向かう。

[0057] 同じく、従トランジスタ $S2$ が非導通から導通へと切り替わるときには従トランジスタ $S2$ の両端電圧は低下してほぼ零に至る。これにより、従ダイオード $D21$ には大きな逆電圧が印加される。かかる逆電圧によって従ダイオード $D21$ の内部に蓄積されたキャリアが移動する量が増える。よって、移動可能なキャリアが尽きて逆回復電流は低下に向かう。

[0058] 以上のように、電流 $I_{L1}$ 、 $I_{L2}$ が低下から増大へと転じる時点は、それぞれ主トランジスタ $S1$ 及び従トランジスタ $S2$ が導通する時点にも依存する。

[0059] 主トランジスタ $S1$ は電流 $I_{L1}$ が零に至ったときに、そのゲート端子にスイッチ信号が入力され、従トランジスタ $S2$ は電流 $I_{L2}$ が零に至った後に、そのゲート端子にスイッチ信号が入力される。よって、電流 $I_{L2}$ が零に至ってから電流 $I_{L2}$ が低下から増大へと転じるまでの期間は、電流 $I_{L1}$ が零に至ってから電流 $I_{L1}$ が低下から増大へと転じるまでの期間よりも長い。よって電流 $I_{L2}$ の最小値は電流 $I_{L1}$ の最小値よりも小さい。

[0060] 電流 $I_{L2}$ が増大するとき、従リアクトル $L2$ には従ダイオード $D21$ 側を低電位とし、入力端 $P1$ 側を高電位とする誘導起電圧が生じる。これにより、従ダイオード $D22$ が設けられていなければ、電流 $I_{L2}$ が最小値から零に至るまでの期間にわたって、従トランジスタ $S2$ には、コレクタ端子を低電位とし、エミッタ端子を高電位とする逆電圧が印加される。なお、電流 $I_{L2}$ が零以上のときには従リアクトル $L2$ と従トランジスタ $S2$ とに電流

が流れるので従トランジスタ  $S_2$  には逆電圧は印加されない。

[0061] 電流  $I_{L1}$  が最小値から零に至るまでの期間においては、主トランジスタ  $S_1$  にも逆電圧が生じ得るものの、電流  $I_{L1}$  の最小値が電流  $I_{L2}$  の最小値よりも小さいので、電流  $I_{L1}$  が最小値から零に至るまでの期間は電流  $I_{L2}$  が最小値から零に至るまでの期間よりも短い。よって、従トランジスタ  $S_2$  に比して主トランジスタ  $S_1$  には逆電圧が印加される期間が短い。

[0062] 本スイッチング電源回路では、より逆電圧が長期間にわたって印加され得る従トランジスタ  $S_2$  に対して、従ダイオード  $D_{22}$  が逆並列で設けられる。図6には、本スイッチング電源回路についてのタイミングチャートの一例が示されている。

[0063] なお、図6において、従ダイオード  $D_{21}$  を流れる電流  $I_{D2}$  と、電流  $I_{L2}$  と、従トランジスタ  $S_2$  及び従ダイオード  $D_{22}$  の一組を流れる電流  $I_{SD2}$  と、従トランジスタ  $S_2$  の両端電圧  $V_{S2}$  とが同じ座標に示されている。この座標において、縦軸を電流と見なすときにはその1ブロックの高さが5Aを示し、縦軸を電圧と見なすときにはその1ブロックの高さが200Vを示す。また図中上から順に配置された横軸A, B, Cはそれぞれ電流  $I_{SD2}$ 、 $I_{L2}$ 、 $I_{S2}$  の電流値が零であることを示し、図中下から2番目の横軸Dは両端電圧  $V_{S2}$  の電圧値が零であることを示している。また電流  $I_{D2}$  については、従リアクトル  $L_2$  から出力端  $P_3$  へと向かう方向を正とし、電流  $I_{SD2}$  については従電源線  $L_{H2}$  から電源線  $L_L$  へと向かう方向を正としている。

[0064] 図6に例示するように、従トランジスタ  $S_2$  に逆電圧が印加され得るときには、電流  $I_{SD2}$  が電源線  $L_L$  から従電源線  $L_{H2}$  側へ向かって流れる。即ち、従ダイオード  $D_{22}$  を流れるので、これと並列接続される従トランジスタ  $S_2$  の両端電圧  $V_{S2}$  はほぼ0である。よって従トランジスタ  $S_2$  に逆電圧が印加されることを回避できる。

[0065] なお、電流臨界モードをより確実としつつも、位相差を所望の値に戻すという効果を招来するためには、電流  $I_{L2}$  が零に至ったことを条件の一つと

して従トランジスタS2が導通する事項が必要である。しかしながら、上述した逆回復電流に起因する従トランジスタS2に印加される逆電圧については、上記事項は必須の要件ではない。要するに、主リアクトルL1と従リアクトルL2とのインダクタンスが互いに同じであって、導通期間t2が導通期間t1より短ければよい。

[0066] また図7に示すように、主回路1は主ダイオードD12を更に有してもよい。主ダイオードD12はアノードを電源線LL側に、カソードを主電源線LH1側にそれぞれ向けて、主トランジスタS1と並列に接続されている。主ダイオードD12によって、主トランジスタS1に印加される逆電圧をも解消することができる。

[0067] また主トランジスタS1の非導通から導通への切り替え（ターンオン）又は導通から非導通の切り替え（ターンオフ）によって、各部に存在する寄生容量による充放電電流が流れ得る。かかる充放電電流は主回路1のみならず、従回路2をも流れて従回路2の動作へと悪影響を与え得る。従トランジスタS2のターンオン又はターンオフによっても、充放電電流が流れ、主回路1へと悪影響を与え得る。またかかる充放電電流の影響を受けて、電流IL1、IL2が零になったことを検知し損ねる可能性がある。

[0068] そこで、コンデンサC2の静電容量を0.5μF以上とすることが望ましい。これによって充放電電流を低減することができる。ひいては、主回路1及び従回路2の相互に作用する悪影響、及び電流IL1、IL2の零電流検出の失敗を回避又は抑制できる。

[0069] なお、本実施の形態では、本スイッチング電源回路が一つの主回路1と一つの従回路2とを備えていた。しかしながら、複数の従回路2を備えていてもよい。スイッチング電源回路が2つの従回路2を備えていれば、一つの従回路2は主回路1に対して第1所定期間（例えば3分の1周期）遅れて動作し、他の一つの従回路2は主回路1に対して第2所定期間（例えば3分の2周期）遅れて動作する。

[0070] この発明は詳細に説明されたが、上記した説明は、すべての局面において

、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

### 符号の説明

- [0071]    1    主回路  
          2    従回路  
          C 2    コンデンサ  
          D 1 1, D 1 2, D 2 1, D 2 2    ダイオード  
          L 1, L 2   リアクトル  
          L H 1, L H 2, L L    電源線  
          S 1, S 2   絶縁ゲートバイポーラトランジスタ

## 請求の範囲

[請求項1]

低電源線(LL)と、

いずれも前記低電源線よりも高い電位が印加される主電源線及び従電源線(LH1, LH2)と、

前記主電源線及び前記従電源線の上にそれぞれ設けられ、互いに等しいインダクタンスを有する主リアクトル及び従リアクトル(L1, L2)と、

前記主電源線及び前記従電源線の上でそれぞれ前記主リアクトル及び前記従リアクトルと直列に接続され、アノードをそれぞれ前記主リアクトル及び前記従リアクトル側に向けて設けられた第1の主ダイオード及び第1の従ダイオード(D11, D21)と、

前記主リアクトルと前記主ダイオードとの間の点と、前記低電源線との間で、エミッタを前記低電源線に向けて設けられ、前記主リアクトルを流れる電流が零に至ることを以って導通し、第1期間( $t_1$ )経過後に非導通する主絶縁ゲートバイポーラトランジスタ(S1)と、

前記従リアクトルと前記従ダイオードとの間の点と、前記低電源線との間で、エミッタを前記低電源線に向けて設けられ、前記主絶縁ゲートバイポーラトランジスタが導通した時点から、次に導通するまでの期間よりも短い一定期間を経過したことを条件の一つとして導通し、前記第1期間よりも短い第2期間( $t_2$ )経過後に非導通する従絶縁ゲートバイポーラトランジスタ(S1)と、

前記従絶縁ゲートバイポーラトランジスタ(S2)と並列に接続され、アノードを前記前記低電源線に向けて設けられた第2の従ダイオード(D22)と

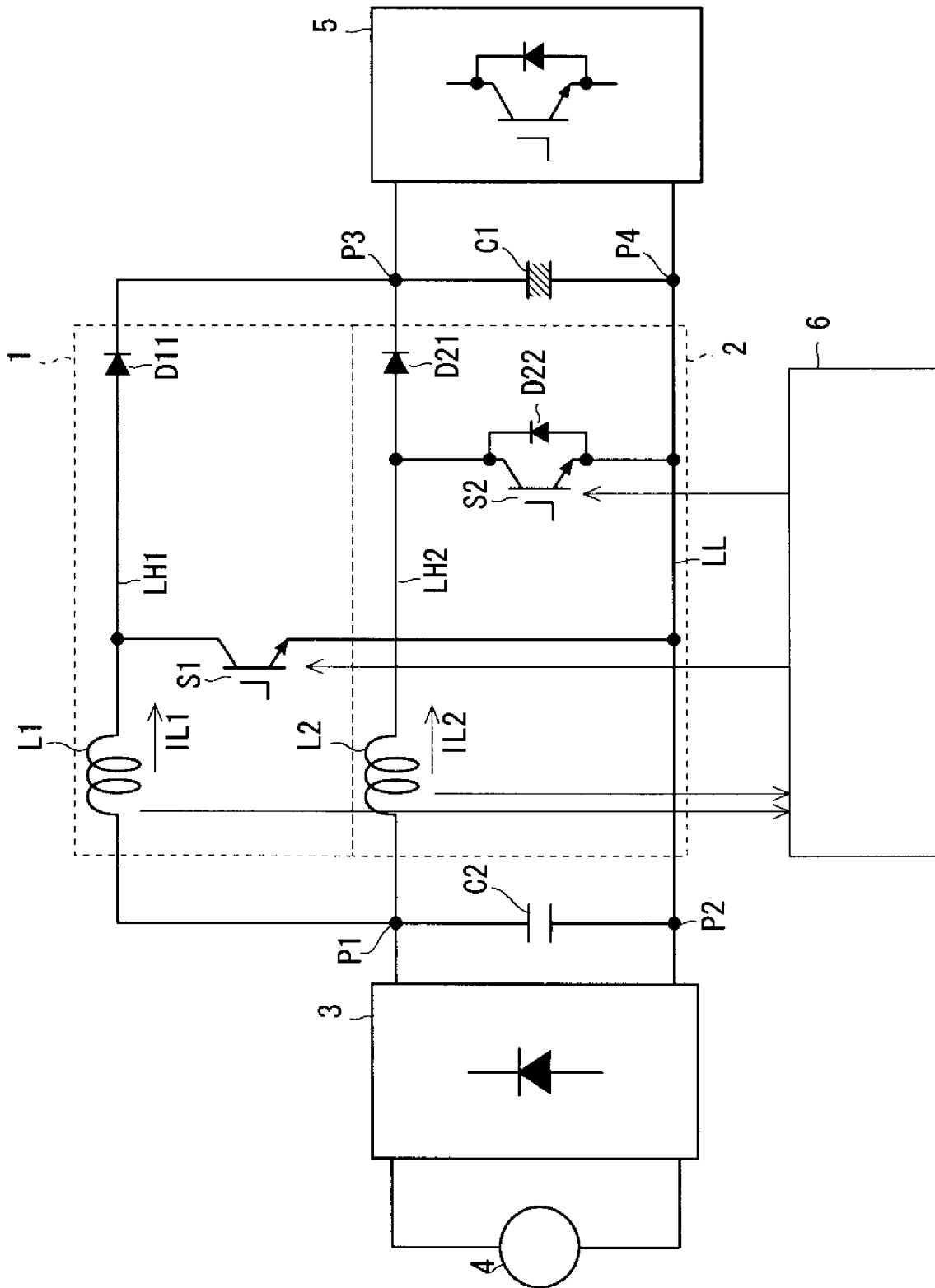
を備える、スイッチング電源回路。

[請求項2]

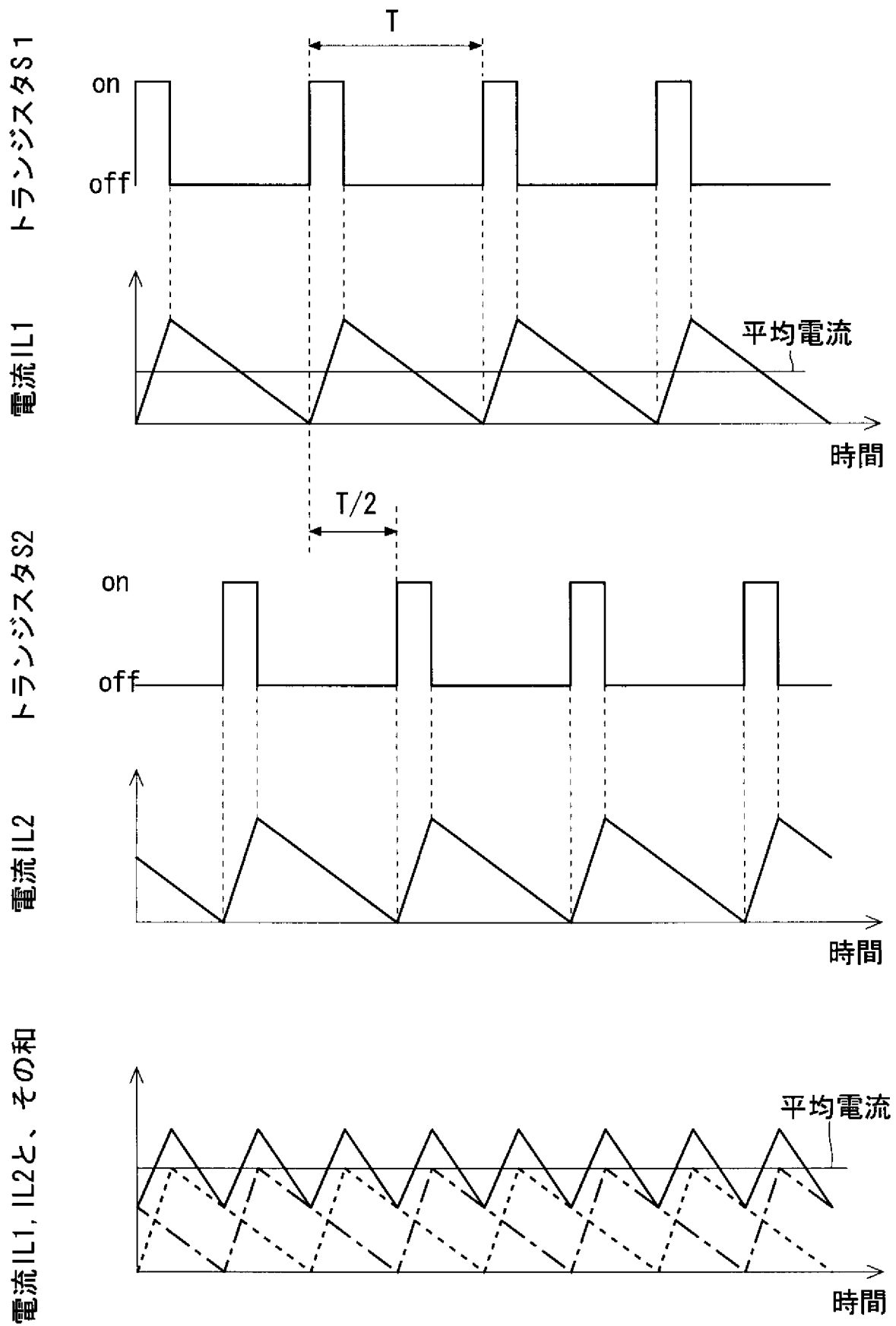
前記主絶縁ゲートバイポーラトランジスタ(S1)と並列に接続され、アノードを前記主電源線(LH1)に向けて設けられた第2の主ダイオード(D12)を更に有する、請求項1に記載のスイッチング電源回路。

- [請求項3] 一端が前記低電位線(LL)と、他端が、前記主リアクトル(L1)に対して前記第1の主ダイオード(D11)とは反対側で前記主電源線(LH1)と、前記従リアクトル(L2)に対して前記第1の従ダイオード(D21)とは反対側で前記従電源線(LH2)とに共通して接続され、静電容量が0.5  $\mu$ F以上であるコンデンサ(C2)を更に備える、請求項1又は2に記載のスイッチング電源回路。
- [請求項4] 前記条件と、前記従リアクトル(L2)を流れる電流が零に至る第2条件との両方を満足するときに前記従絶縁ゲートバイポーラトランジスタ(S2)を導通させる、請求項1又は2に記載のスイッチング電源回路。
- [請求項5] 前記条件と、前記従リアクトル(L2)を流れる電流が零に至る第2条件との両方を満足するときに前記従絶縁ゲートバイポーラトランジスタ(S2)を導通させる、請求項3に記載のスイッチング電源回路。

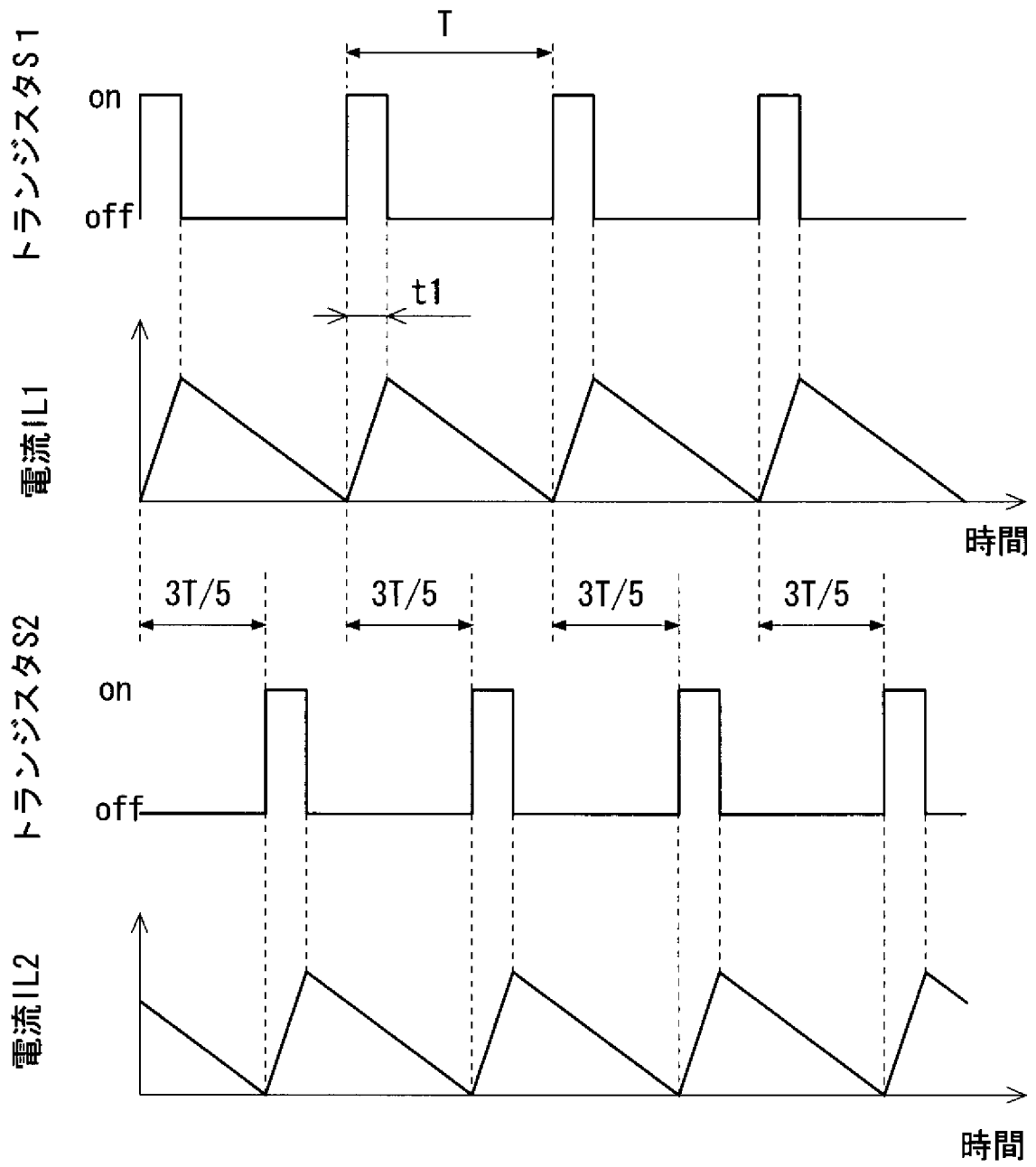
[図1]



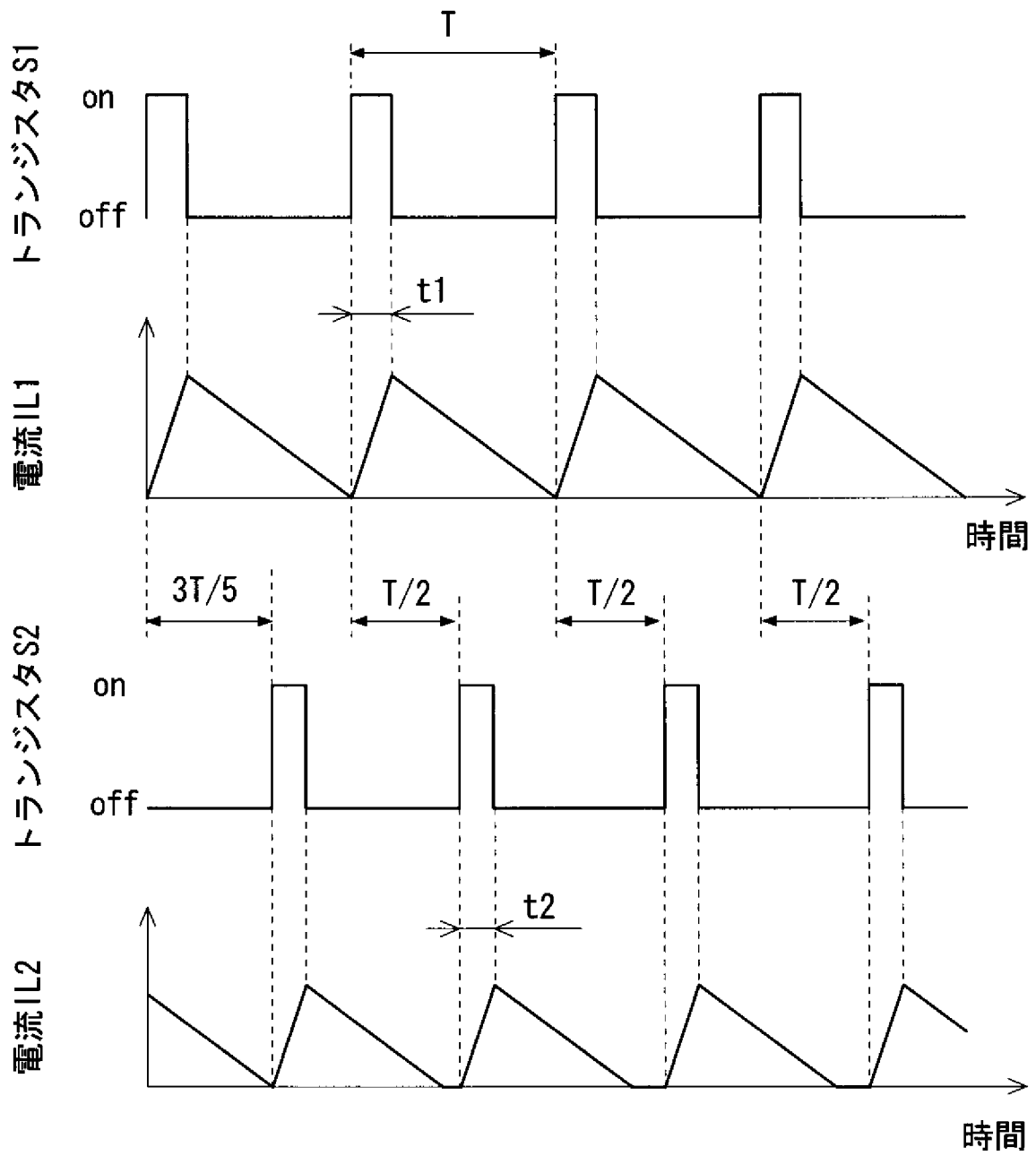
[図2]



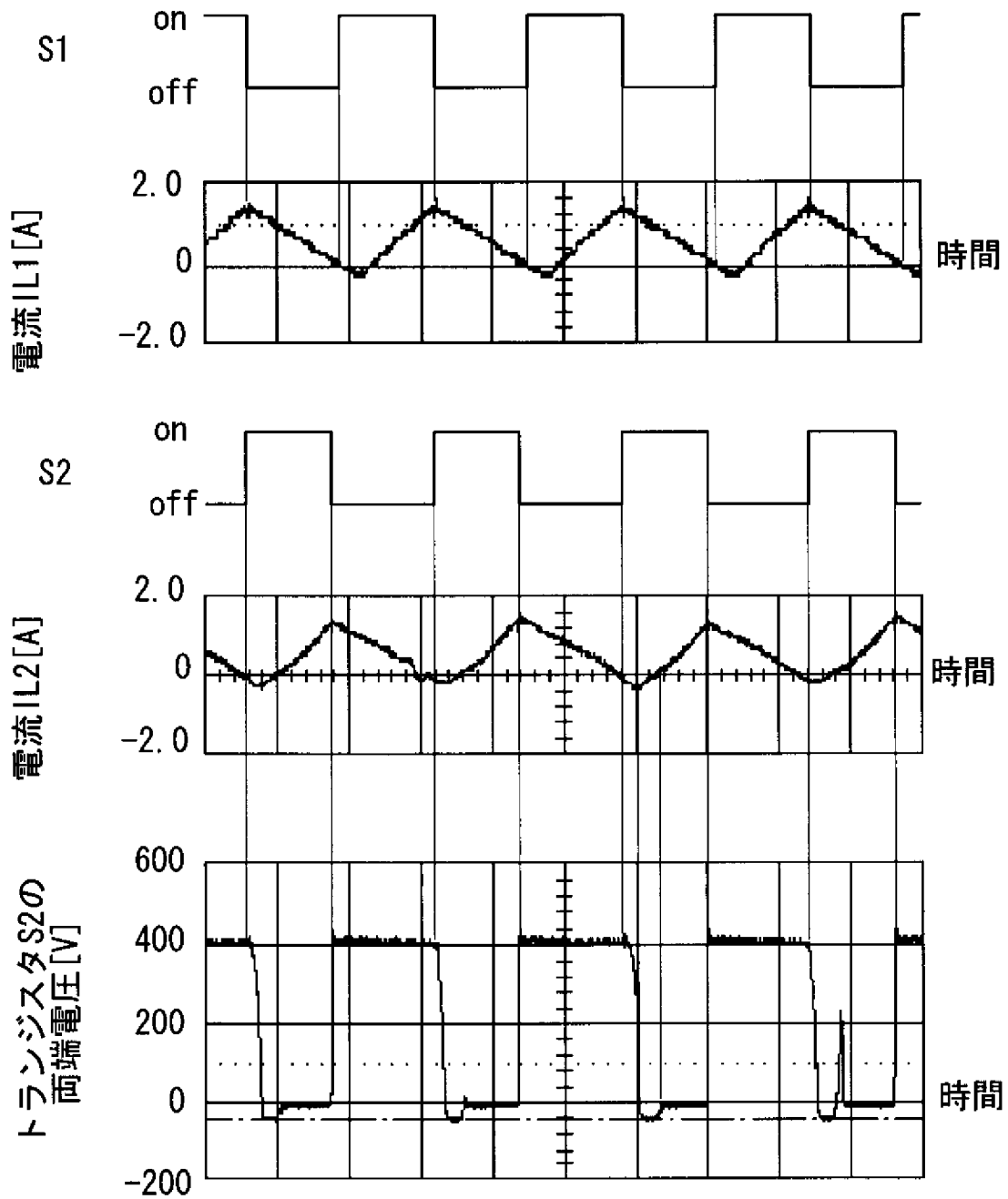
[図3]



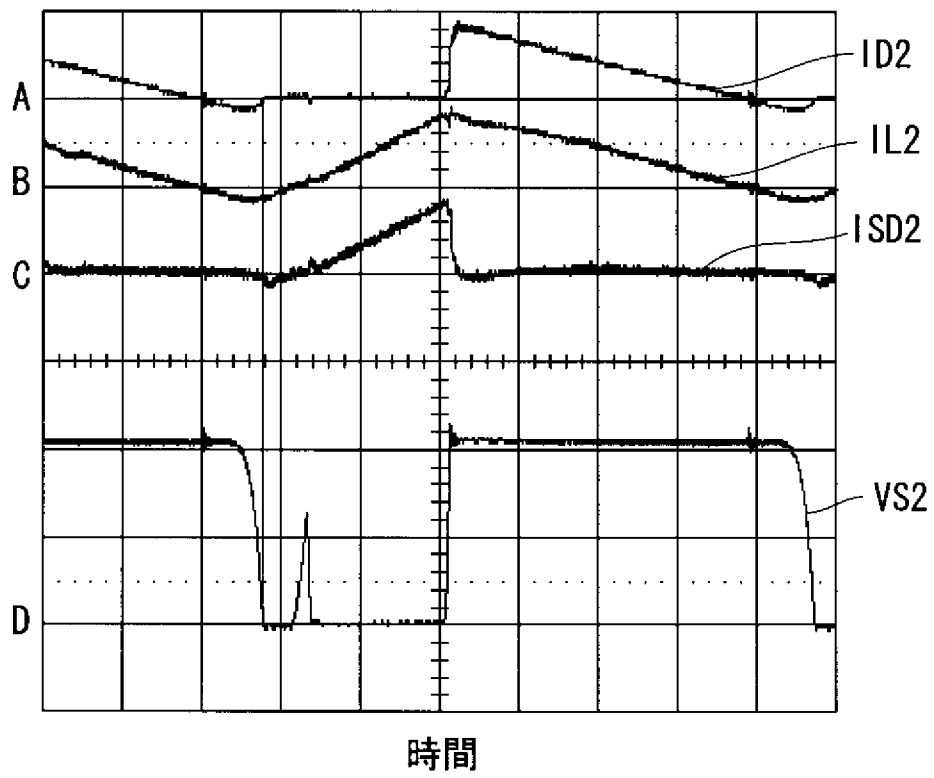
[図4]



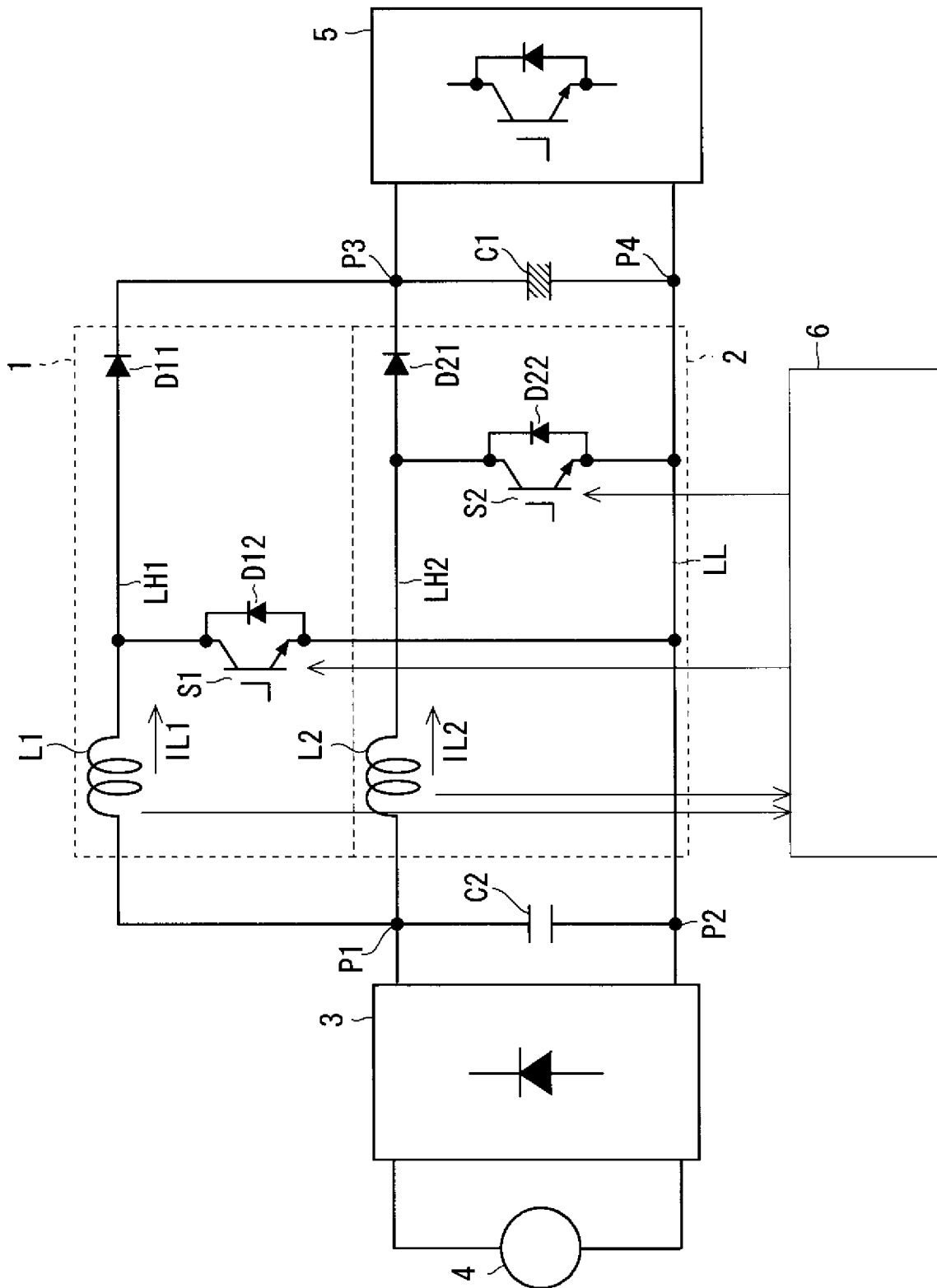
[図5]



[図6]



[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/069305

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <i>H02M3/155(2006.01) i, H02M7/12(2006.01) i</i>										
According to International Patent Classification (IPC) or to both national classification and IPC										
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) <i>H02M3/155, H02M7/12</i>										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <table border="0"> <tr> <td><i>Jitsuyo Shinan Koho</i></td> <td><i>1922-1996</i></td> <td><i>Jitsuyo Shinan Toroku Koho</i></td> <td><i>1996-2011</i></td> </tr> <tr> <td><i>Kokai Jitsuyo Shinan Koho</i></td> <td><i>1971-2011</i></td> <td><i>Toroku Jitsuyo Shinan Koho</i></td> <td><i>1994-2011</i></td> </tr> </table>			<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2011</i>	<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2011</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2011</i>
<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2011</i>							
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2011</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2011</i>							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
Y	JP 2007-195282 A (Renesas Technology Corp.), 02 August 2007 (02.08.2007), paragraphs [0023] to [0029]; fig. 2, 4 (Family: none)	1-5								
Y	Mamoru KITAMURA, "1.5kW no Tei-noise Ko-choha Taisaku Dengen o Tsukureru Rinkai Mode/ Interleave PFC IC R2A20112", Transistor Gijutsu, CQ Publishing Co., Ltd., 2008.05	1-5								
Y	JP 2006-223025 A (Honda Motor Co., Ltd.), 24 August 2006 (24.08.2006), fig. 2 & US 2006/0103359 A1 & US 2008/0049475 A1 & EP 1659678 A2	1-5								
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
Date of the actual completion of the international search 24 January, 2011 (24.01.11)		Date of mailing of the international search report 01 February, 2011 (01.02.11)								
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer								
Facsimile No.		Telephone No.								

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M3/155(2006.01)i, H02M7/12(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M3/155, H02M7/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-195282 A (株式会社ルネサステクノロジ) 2007.08.02, 【0023】 - 【0029】 , 図 2, 図 4 (ファミリーなし)	1-5
Y	喜多村守, 1.5kW の低ノイズ高調波対策電源を作れる臨界モード/ インターリーブ PFC IC R2A20112, トランジスタ技術, CQ出版株式 会社, 2008.05	1-5
Y	JP 2006-223025 A (本田技研工業株式会社) 2006.08.24, 図 2 & US 2006/0103359 A1 & US 2008/0049475 A1 & EP 1659678 A2	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 24.01.2011	国際調査報告の発送日 01.02.2011	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 天坂 康種 電話番号 03-3581-1101 内線 3358	3V 3519