



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

216 375

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 18 07 80
(21) PV 5118-80

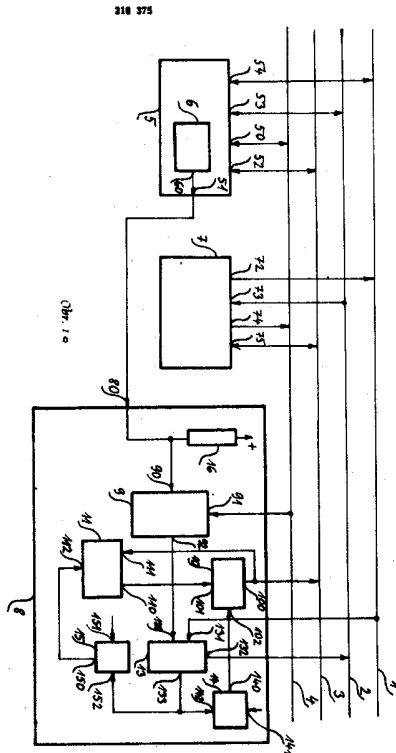
(51) Int. Cl.³ G 06 C 15/00

(40) Zveřejněno 31 12 81
(45) Vydáno 01 07 84

(75)
Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro ovládání paměti

Vynález se týká oboru samočinné počítače - operační paměť.
Zapojení řeší možnost hardwareového vyřazení paměti z činnosti.
Řešení se dosahuje spojením blokovacího vstupu paměti s blokovacím vstupem adresního dekodéru paměti, jehož výstup řídí čtení a zápis do paměťových modulů. Připojením ovládacího prvku servisního panelu s blokovacím vstupem paměti může operátor ovládat paměť a v případě potřeby ji vyřadit z činnosti.
Možnost použití je pouze v uvedeném oboru.



Vynález řeší zapojení, které řeší ovládání operační paměti, zejména její vyřazení z činnosti při zachování obsahu.

Nedílnou součástí samočinného počítače je operační paměť. Může být řešena buď jako společná pro data a pro instrukce, nebo jako různě realizované části, z nichž v permanentní části je uložen program a v přepisovatelné části jsou uložena data. Součástí paměti programu bývá i nahrávací program. V praxi existují případy, kdy je třeba celou paměť vyřadit z funkce zápisu nebo čtení například při testování procesoru nebo při ladění programu popřípadě při ožívování. Uvažujeme řídicí systém se společnou asynchronní sběrnici, na kterou jsou paralelně připojeny procesor, společná operační paměť včetně nahrávacího programu a jednotlivá přídavná zařízení. Dále je na tuto sběrnici připojen ovládací panel. Celé zařízení pracuje bez operačního systému.

Nevýhoda dosud známých zapojení uvažovaného typu spočívá v tom, že není možné z ovládacího panelu zablokovat v paměti signál odpovědi, operaci čtení nebo operaci zápis.

Tuto nevýhodu odstraňuje zapojení pro ovládání paměti s adresním dekodérem, s paměťovým modulem a s ovládacím panelem podle vynálezu, jehož podstatou je, že blokovací vstup paměti je spojen s blokovacím vstupem adresního dekodéru, jehož výstup je zapojen na hradlovací vstup generátoru vstupního synchronizačního signálu, jehož blokovací výstup je spojen s hradlovacím vstupem zápisového generátoru a s hradlovacím vstupem čtecího generátoru. Zapojení ovládací paměti může být také upraveno tak, že blokovací vstup paměti je dále spojen s výstupem ovládacího panelu, přičemž výstup ovládacího panelu je dále spojen s výstupem ovládacího prvku. Je také možná úprava, že blokovací vstup paměti je dále spojen buď s prvním výstupem procesoru, nebo přes první vstup procesoru je spojen s výstupem odpojitelného ovládacího panelu.

Výhodou uvedeného zapojení je možnost při spojení výstupu ovládacího panelu s blokovacím vstupem paměti vyřadit celou paměť z funkce čtení a zápisu pomocí ovládacího prvku na ovládacím panelu. Potom je možné provádět eventuální výměnu například desek procesoru. Při odpojení ovládacího panelu od systému je adresní dekodér odblokován a paměť je ve funkci s neporušeným obsahem.

Jedno z možných provedení vynálezu je znázorněno na výkresech, kde obr. 1a znázorňuje přímé spojení ovládacího prvku s pamětí a obr. 1b znázorňuje spojení ovládacího panelu s pamětí prostřednictvím procesoru.

Na obr. 1a je zapojení podle bodu 1 a 2 předmětu vynálezu, kde výstupní synchronizační linka 1 je spojena se vstupem 131 generátoru 13 vstupního synchronizačního signálu, s druhým výstupem 72 procesoru 7 a se čtvrtou svorkou 54 ovládacího panelu 5. Vstupní synchronizační linka 2 je spojena s výstupem 132 generátoru 13 vstupního synchronizačního signálu, s druhým vstupem 73 procesoru 7 a se třetí svorkou 53 ovládacího panelu 5. Datová sběrnice 3 je spojena s výstupem 100 datového vysílače 10, se vstupem 111 paměťového modulu 11, s datovou svorkou 75 procesoru 7 a s druhou svorkou 52 ovládacího panelu 5. Adresní sběrnice 4 je spojena s adresním vstupem 21 adresního dekodéru 2, s třetím výstupem 74 procesoru 7 a s první svorkou 50 ovládacího panelu 5. Výstup 60 ovládacího prvku

6 je spojen s výstupem 51 ovládacího panelu 5, který je dále spojen s blokovacím vstupem 80 paměti 8. Blokovací vstup 80 je spojen přes odpor 16 s kladnou svorkou zdroje napájecího napětí a dále je spojen s blokovacím vstupem 90 adresního dekódéru 9, jehož výstup 92 je spojen s hradlovacím vstupem 130 generátoru 13 vstupního synchronizačního signálu. Blokovací výstup 133 generátoru 13 vstupního synchronizačního signálu je spojen s hradlovacím vstupem 152 zápisového generátoru 15 a hradlovacím vstupem 142 čtecího generátoru 14. Výstup 140 čtecího generátoru 14 je spojen s hradlovacím vstupem 102 datového vysílače 10, jehož datový vstup 101 je spojen s datovým výstupem 110 paměťového modulu 11, na jehož zápisový vstup 112 je zapojen výstup 150 zápisového generátoru 15.

Na obrázku 1b je modifikace předchozího zapojení, kde paměť 8 a ovládací panel 5 mají stejnou vnitřní strukturu. Výstup 51 ovládacího panelu 5 je spojen s prvním vstupem 70 procesoru 7, jehož první výstup 71 je zapojen přes blokovací vstup 80 paměti 8 na blokovací vstup 90 adresního dekódéru 9.

Funkce zapojení podle obr. 1a je následující: V normálním provozu je na blokovacím vstupu 80 paměti 8 horní hladina signálu, která přes blokovací vstup 90 odblokuje funkci adresního dekódéru 9. Tato hladina se zde objeví ve dvou případech, a to jednak zrušením spojení výstupu 51 s blokovacím vstupem 80, jednak nastavením neaktivního stavu ovládacího prvku 6. V takové situaci adresa vyslaná na adresní sběrnici 4 se dekóduje v adresním dekódéru 9, a jestliže odpovídá hodnota adresy rozsahu adres paměťového modulu 11, nastaví se na hradlovacím vstupu 130 horní úroveň signálu. Po příchodu výstupního synchronizačního signálu na vstup 131 se generuje vstupní synchronizační signál z výstupu 132 a čtecí generátor 14 i zápisový generátor 15 jsou odblokovány. Pokud probíhá zápis, je aktivní signál na vstupu 151 zápisového generátoru 15 propuštěn na zápisový vstup 112 paměťového modulu 11, kam se zapíše na přijmutou adresu data z datového vstupu 111 vyslané na datovou sběrnici 3. Pokud probíhá operace čtení, je aktivní signál na vstupu 141 čtecího generátoru 14 propuštěn na hradlovací vstup 102 datového vysílače 10, který se otevře a vyšle data z výstupu 110 přes výstup 100 na datovou sběrnici 3. Tyto funkce je možno potlačit aktivací ovládacího prvku 6, z jehož výstupu 60 se šíří spodní hladina signálu na blokovací vstup 90, kde zablokuje funkci adresního dekódéru 9. Na jeho výstupu 92 se objeví spodní úroveň signálu, která se šíří na hradlovací vstup 130, kde blokuje signály na vstupu 131 generátoru 13 vstupního synchronizačního signálu. Paměť 8 pak nereaguje na signály na výstupní synchronizační lince 1 signálem na vstupní synchronizační lince 2 a data ani nezaznamenává ani je nevysílá.

Funkce zapojení podle obr. 1b je následující: Při normálním provozu je na výstupu 51 ovládacího panelu 5 neaktivní signál, který mění v procesoru svoji polaritu a z prvního výstupu 71 se dostává na blokovací vstup 80 paměti 8, kde neblokuje funkci paměti 8, protože v uvažovaném zapojení je adresní dekódér 9 ve funkci při spodní hladině blokovacího signálu. Stejný případ nastává při úplném odpojení ovládacího panelu 5 od systému. Po aktivaci ovládacího prvku 6 ovládacího panelu 5 se objeví na prvním vstupu 70 procesoru 7 spodní hladina signálu, která se dostane v opačné polaritě na blokovací vstup 80 paměti 8 a vyřadí ji z funkce. Zapojení platí i pro paměti, které umožňují pouze čte-

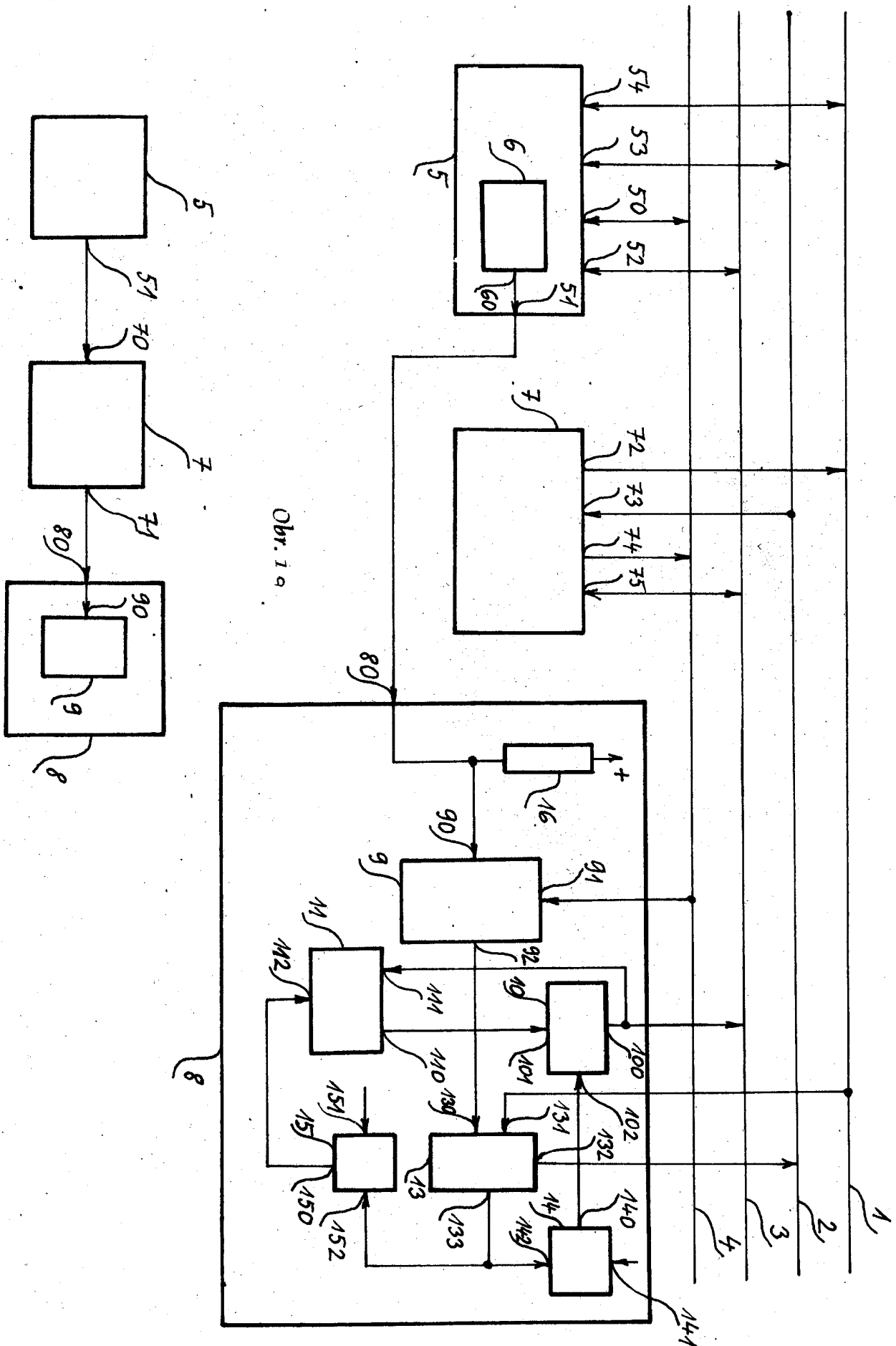
ní.

Možnost použití uvedeného zapojení je v systémech s popsaným způsobem spojení procesoru a paměti, a kde je podobně řešen ovládací panel.

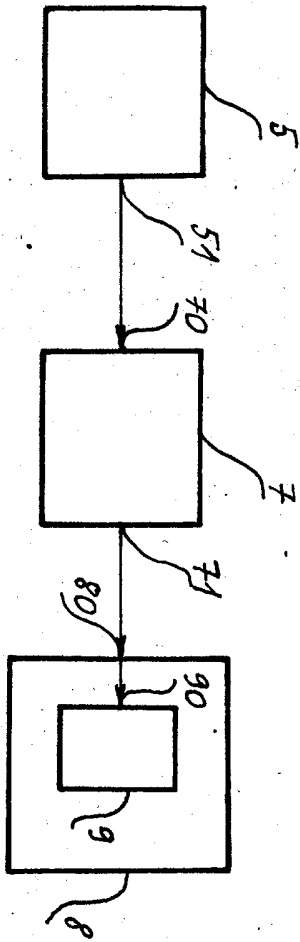
PŘEDMĚT VYNÁLEZU

1. Zapojení pro ovládání paměti s adresním dekódérem, s paměťovým modulem a s ovládacím panelem, vyznačující se tím, že blokovací vstup (80) paměti (8) je spojen s blokovacím vstupem (90) adresního dekódéru (9), jehož výstup (92) je zapojen na hradlovací vstup (130) generátoru (13) vstupního synchronizačního signálu, jehož blokovací výstup (133) je spojen s hradlovacím vstupem (152) zápisového generátoru (15) a s hradlovacím vstupem (142) čtecího generátoru (14).
2. Zapojení pro ovládání paměti podle bodu 1, vyznačující se tím, že blokovací vstup (80) paměti (8) je dále spojen s výstupem (51) ovládacího panelu (5), přičemž výstup (51) ovládacího panelu (5) je dále spojen s výstupem (60) ovládacího prvku (6).
3. Zapojení pro ovládání paměti podle bodu 1, vyznačující se tím, že blokovací vstup (80) paměti (8) je dále spojen buď s prvním výstupem (71) procesoru (7), nebo přes první vstup (70) procesoru (7) je spojen s výstupem (51) odpojitelného ovládacího panelu (5).

1 výkres



Obv. 19



Obv. 16