

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4804609号
(P4804609)

(45) 発行日 平成23年11月2日 (2011. 11. 2)

(24) 登録日 平成23年8月19日 (2011. 8. 19)

(51) Int. Cl.

F I

G 1 1 C 11/4074 (2006. 01)

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/403 (2006. 01)

G 1 1 C 11/34 3 6 3 M

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2000-38874 (P2000-38874)	(73) 特許権者	308014341
(22) 出願日	平成12年2月16日 (2000. 2. 16)		富士通セミコンダクター株式会社
(65) 公開番号	特開2001-229672 (P2001-229672A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成13年8月24日 (2001. 8. 24)		23
審査請求日	平成19年2月8日 (2007. 2. 8)	(74) 代理人	100094525
前置審査			弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(72) 発明者	北本 綾子
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	森 郁
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 セルアレイ電源の上昇を防止したメモリ回路

(57) 【特許請求の範囲】

【請求項1】

セルアレイと周辺回路とを有するメモリ回路において、

前記メモリ回路は、前記セルアレイが活性化される通常動作モードと、前記通常動作が行われないパワーダウンモードとを有し、更に、

セルアレイに供給されるセルアレイ電源を生成するセルアレイ電源発生回路と、

前記セルアレイ電源から前記パワーダウンモード時に前記セルアレイ電源発生回路の電圧レベルの上昇を防止する電流を消費する電流経路と、

前記パワーダウンモード時に動作して電流を消費し、所定の周期で前記セルアレイ内のメモリセルをリフレッシュさせるセルフリフレッシュ回路とを有し、

前記電流経路が当該セルフリフレッシュ回路の少なくとも一部の回路内に接続されていることを特徴とするメモリ回路。

【請求項2】

請求項1において、

前記リフレッシュ回路の少なくとも一部の回路は、前記パワーダウンモード時に活性化する発振回路と、前記発振回路の出力を分周する分周回路と、前記分周回路の出力にตอบสนองしてセルフリフレッシュ活性化タイミング信号を生成するセルフリフレッシュ信号生成回路のうちのいずれかを含むことを特徴とするメモリ回路。

【請求項3】

セルアレイと周辺回路とを有するメモリ回路において、

10

20

前記メモリ回路は、前記セルアレイが活性化される通常動作モードと、前記通常動作が行われないパワーダウンモードとを有し、更に、

セルアレイに供給されるセルアレイ電源を生成するセルアレイ電源発生回路と、

前記周辺回路に供給される内部電源を生成する内部電源発生回路と、

前記パワーダウンモード時に動作して電流を消費し、所定の周期で前記セルアレイ内のメモリセルをリフレッシュさせるセルフリフレッシュ回路とを有し、

前記セルアレイ電源が前記セルアレイ電源発生回路の電圧レベルの上昇を防止する電流を消費する前記セルフリフレッシュ回路の少なくとも一部の回路内に供給されることを特徴とするメモリ回路。

【請求項 4】

10

請求項 3 において、

前記セルフリフレッシュ回路の一部の回路は、セルフリフレッシュ時に動作する発振回路であることを特徴とするメモリ回路。

【請求項 5】

請求項 4 において、

前記セルフリフレッシュ回路には、前記セルアレイ電源と前記内部電源とが供給されることを特徴とするメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、通常動作モードとパワーダウンモードとを有するメモリ回路に関し、特に、パワーダウンモード時にメモリセルアレイに供給される電源電位が上昇するのを防止したメモリ回路に関する。

【0002】

【従来の技術】

ダイナミック RAM は、外部から供給される外部電源を基にして安定した内部電源を生成し、この内部電源で内部回路を駆動する。更に、ダイナミック RAM は、通常動作モードでの消費電力を節約するために、外部電源から降圧したセルアレイ電源を生成し、チップ内の大部分を占めるメモリセルアレイに供給する。この降圧されたセルアレイ電源は、具体的にはビット線を駆動するセンスアンプの電源として利用され、セルアレイ電源まで増幅されたビット線の電圧が、メモリセルに蓄積される H レベルの電圧になる。

30

【0003】

図 1 は、従来のダイナミック RAM の全体概略図である。図 1 に示されたメモリ回路は、複数のメモリセルを有するセルアレイ 1 と、その周辺回路 2 と、外部電源 V_{cc} からセルアレイ電源 V_1 を生成するセルアレイ電源生成回路 3 と、外部電源から内部電源 V_{ii} を生成する内部電源生成回路 4 と、外部電源から昇圧電源 V_{pp} を生成する昇圧電源生成回路 5 とを有する。チップ内の回路は、基本的には内部電源 V_{ii} で駆動される。但し、センスアンプを駆動するセルアレイ電源 V_1 とワード線を駆動する昇圧電源 V_{pp} とが、特別の内部電源としてさらにセルアレイ 1 に供給される。

【0004】

40

セルアレイ電源生成回路 3 は、一定電圧 V_{g1} がゲートに接続され、ドレインが外部電源 V_{cc} に接続され、ソースにセルアレイ電源 V_1 を出力する N チャネルトランジスタ N_8 を最終段に有する。このセルアレイ電源 V_1 がセルアレイに供給され、セルアレイでの読み出し、書き込み、リフレッシュに対して動作するセンスアンプ回路に電流を供給する。トランジスタ N_8 は、その電流を供給するだけの能力を有するサイズに設計されている。

【0005】

【発明が解決しようとする課題】

一方、ダイナミック RAM は、読み出し動作、書き込み動作、リフレッシュ動作などが行われる通常動作モードと、上記の動作が行われないで内部の大部分の回路が停止して消費電力を節約するパワーダウンモードとを有する。このパワーダウンモードでは、通常動作

50

モード時の読み出し、書き込み動作が行われない。従って、それらの動作に伴うセンスアンプ動作もなく、セルアレイ電源発生回路3の最終段のトランジスタN8には、ほとんど電流が流れなくなる。より厳密には、一定間隔でセルアレイが活性化されるセルフリフレッシュ動作が行われるが、長周期のためトランジスタN8にほとんど電流が流れない期間のほうが十分に長くなっている。

【0006】

図2は、セルアレイ電源生成回路の電流・電圧特性例を示す図である。横軸が最終段トランジスタN8のソース電流I、縦軸がセルアレイ電源V1の電圧を示す。この特性図から明らかな通り、例えば電流Iが1mA程度の際は、セルアレイ電源V1は所望の電圧（ 1.5 ± 0.1 V）の範囲にある。この電圧は、ゲート電圧Vg1からおよそトランジスタN8の閾値電圧だけ低いレベルである。しかし、ソース電流Iが減少すると、セルアレイ電源V1に関わる負荷容量に電荷が蓄積されるため、セルアレイ電源V1は上昇する。図2の例では、ソース電流Iが20 μ A程度まで低下すると、セルアレイ電源V1は、所望の電圧範囲（例えば $1.5 \text{ V} \pm 0.1 \text{ V}$ ）よりも高くなる。

【0007】

このように、ソース電流Iが減少するとソース電圧V1が上昇し、やがて、トランジスタN8はゲート・ソース間電圧が閾値電圧より低くなり、いわゆるサブスレッショルド領域で動作することになり、更にソース電流が0になると、ソース電圧V1は外部電源Vccにほとんど等しくなる。

【0008】

従って、セルアレイでの消費電流が極度に少なくなる上記のパワーダウンモードでは、ソース電流Iが減少し、セルアレイ電圧V1が通常動作モード時の（ $1.5 \text{ V} \pm 0.1 \text{ V}$ ）より高い電圧まで上昇してしまう。このとき、セルアレイ電源V1のノイズ防止、電位の安定化のために大きな容量（ C_1 ）を配置していると、所望の電圧範囲より高い電位分 $\Delta V \times C_1$ だけの電荷が蓄積されていることになる。この電荷をパワーダウンモードから通常動作モードに復帰した直後に消費できないと、セルアレイ電圧V1は通常レベルよりも高いままであり、センスアンプのH側の駆動電圧V1が通常時よりも高くなるため、ビット線のHレベル（セルアレイ電源V1）とLレベル（グラウンド）との中間電圧になるビット線プリチャージレベルが通常よりも高くなる。そして、次のサイクルでワード線を立ち上げてビット線に微少電圧を発生させて、センスアンプでその微少電圧を検出させる読み出し動作において、通常のセルアレイ電圧レベルのHレベルに蓄積されたセル蓄積電位と、上記の通常より高くなっているビット線プリチャージレベルとの電圧差が、通常よりも小さくなり、誤データと判定するなどの問題が生じる可能性がある。

【0009】

このように、従来例では、セルアレイ電源V1が、メモリ回路が活性状態である通常動作モード時とパワーダウンモード時とで電圧が異なってしまう、上記のような誤動作を生じる可能性があった。

【0010】

そこで、本発明の目的は、セルアレイ電源などの内部電源の電圧を通常動作モード時とパワーダウンモード時とで、同等のレベルにすることができ、上記誤動作の発生を抑えることができるメモリ回路を提供することにある。

【0011】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、セルアレイと周辺回路とを有するメモリ回路において、セルアレイに供給するセルアレイ電源を、パワーダウンモード時に動作する回路にも供給することを特徴とする。パワーダウンモード時に動作する回路は、好ましい実施の形態では、例えば、セルフリフレッシュ回路である。ダイナミックメモリは、パワーダウンモード時においても一定の周期でリフレッシュ動作を行う必要がある。従って、パワーダウンモード時でもセルフリフレッシュ回路は動作している。従って、セルフリフレッシュ回路にセルアレイ電源を供給することにより、パワーダウンモード時に

10

20

30

40

50

においても、セルアレイ電源生成回路からそのレベルを維持できる程度の所定の電流を消費することができ、セルアレイ電源を適切な電圧範囲内に維持することができる。

【0012】

セルフリフレッシュ回路には、常時動作する発振回路や、発振回路の出力を分周する分周回路や、その分周回路からの長い周期のセルフリフレッシュ活性化タイミング信号を生成するタイミング信号生成回路などが含まれる。これらの回路のいずれか一つまたは複数に対して、若しくは、これらの回路の一部の電源に対して、セルアレイ電源を供給することにより、セルアレイ電源の電圧レベルが上昇するのを防止することができる。

【0013】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0014】

図3は、本実施の形態例におけるメモリ回路の構成図である。図3に示されたメモリ回路は、従来例と同様にセルアレイ1と、周辺回路2と、セルアレイ電源生成回路3と、内部電源生成回路4と、昇圧電源生成回路5とを有する。そして、図1において周辺回路2内に含めていたセルフリフレッシュ回路20が、図3の例では周辺回路2と区別されて示されている。

【0015】

セルアレイ1内は、ワード線WLと図示しないビット線とその交差位置にメモリセルとを有するメモリセルアレイMCAと、ビット線を駆動するセンスアンプSAと、そのセンスアンプSAを駆動するセンスアンプドライバSADとを有する。更に、この実施例ではワード線を階層化して駆動する例を示しているが、ローアドレスの上位ビットをデコードし、メインワード線を駆動するメインワードデコーダMWDと、その出力に応答してローアドレスの下位ビットをデコードし、サブワード線を駆動するサブワードデコーダSWDとを有する。セルアレイ1内のセンスアンプドライバSADには、セルアレイ電源V1が供給される。

【0016】

周辺回路2は、クロックイネーブル信号CKEと、コマンド信号/CS、/RAS、/CAS、/WEとを入力し、コマンド信号をデコードする入力バッファ10と、アドレスA00～A14を入力するアドレスバッファ12とを有する。これらの入力バッファ10とアドレスバッファ12は、周辺回路2に供給される内部電源Viiに加えて、一部外部電源Vccが供給される。

【0017】

周辺回路2は、更に、入力バッファ10の出力コマンドS10に応答してロウアドレス活性化信号RASZを生成するロウアドレス活性化信号生成回路14と、そのロウアドレス活性化信号RASZに応答して、タイミング信号S16を生成するタイミング生成回路16と、アドレスバッファ12からのアドレスADDをデコードするアドレスデコーダ18と、セルフリフレッシュ用の内部アドレスIADDを生成する内部アドレス生成回路17とを有する。これらの周辺回路2には、内部電源Viiが供給される。内部電源Viiは、外部電源Vccから生成される比較的電圧値が安定している電源である。

【0018】

セルフリフレッシュ回路20は、パワーダウンモード時に外部からのセルフリフレッシュコマンドに応答して生成されるセルフリフレッシュイネーブル信号srflzに応答して動作する。セルフリフレッシュ回路20は、セルフリフレッシュオシレータ（発振回路）21と、その出力oscxを分周して比較的長いセルフリフレッシュ周期を有する出力信号srqczを生成する分周器22と、その出力信号srqczに応答して周辺回路2にセルフリフレッシュ活性化タイミング信号srtzを生成するセルフリフレッシュ信号生成回路23とを有する。

【0019】

セルフリフレッシュ回路20には、内部電源Viiに加えてセルアレイ電源V1も供給され、セルフリフレッシュ回路内の一部の回路にセルアレイ電源V1が供給される。

10

20

30

40

50

【0020】

図中、破線 S a は通常動作モード時のみの信号を、太線 S b はセルフリフレッシュモード時のみの信号を、細線 S c は通常動作モード時とセルフリフレッシュモード時の両方で生成される信号をそれぞれ示す。

【0021】

セルフリフレッシュモードでは、入力バッファ 1 0 がコマンド信号の組み合わせからセルフリフレッシュモードを検出し、セルフリフレッシュイネーブル信号 srfz を生成する。このイネーブル信号にตอบสนองして、セルフリフレッシュオシレータ 2 1 と分周器 2 2 により、セルフリフレッシュの周期に対応した比較的長い周期の信号 srqcz が生成される。この信号にตอบสนองして、セルフリフレッシュ信号生成回路 2 3 が、セルフリフレッシュ活性化タイミ

10

【0022】

ロードレス活性化信号生成回路 1 4 は、セルフリフレッシュ活性化タイミング信号 srtz にตอบสนองして、通常動作時と同様にロードレス活性化信号 RASZ を出力する。この信号 RASZ にตอบสนองして、セルアレイ 1 内では、ワード線 W L が駆動され、メモリセルのデータがビット線に読み出され、センスアンプでそれが検出、増幅され、メモリセルに再書き込みが行われる。この時のアドレスには、内部アドレス生成回路 1 7 が生成する内部アドレス IADD が使用される。従って、外部から何ら制御信号やアドレスを供給されることなく、メモリ回路自身でセルフリフレッシュ動作を行う。

20

【0023】

図 4 は、本実施の形態におけるメモリ回路の通常動作モードとパワーダウンモードとを示すタイミングチャート図である。メモリ回路にはクロック C L K に同期してコマンド信号 /CS, /RAS, /CAS, /WE が供給される。通常動作モードでは、このコマンド信号の組み合わせにより、読み出し動作、書き込み動作、リフレッシュ動作などが行われる。それぞれの動作においてセルアレイ 1 内は活性化状態になり、センスアンプドライバ SAD がセンスアンプ S A を駆動してセルアレイ電源 V 1 から電流を消費する。

【0024】

図 4 に示される通り、例えば時間 t 1 のクロック C L K の立ち上がりエッジに同期して、L レベルのクロックイネーブル信号 C K E が入力されると、メモリ回路はパワーダウンモードに入る。パワーダウンモードでは所定の長い周期でメモリセルをリフレッシュする必要がある。例えばコマンド信号 /CS=L, /RAS=L, /CAS=L, /WE=H の組み合わせが、C K E =H→L に遷移する時間 t 1 のタイミングで供給されると、入力バッファ 1 0 によりセルフリフレッシュコマンドが入力されたことが検出される。これにตอบสนองして、入力バッファ 1 0 は、セルフリフレッシュイネーブル信号 srfz を生成し、メモリ回路はセルフリフレッシュモードにエントリーする。

30

【0025】

そして、時間 t 2 でクロックイネーブル信号 C K E が H レベルに戻ると、メモリ回路はセルフリフレッシュモードが解除される。同時にパワーダウンモードから通常動作モードに復帰する。このように、パワーダウンモードは C K E のみで決まるのでセルフリフレッシュモードはパワーダウンモードに包含される動作モードである。但し、図 4 の例は、パワーダウンモードとセルフリフレッシュモードとが同じ期間となる場合を示している。

40

【0026】

図 5 は、本実施の形態例が適用されるメモリ回路のセンスアンプ回路とセンスアンプドライバ回路を示す図である。また、図 6 は、その動作を示す波形図である。

【0027】

図 5 には、センスアンプ回路 S A とその両側に配置されたメモリセルアレイ M C A と、センスアンプ回路を駆動するセンスアンプドライバ S A D が示される。メモリセルアレイ M C A は、ビット線対 BL, /BL とワード線 WL0~WL3 と、それらの交差位置に配置された 1 トランジスタ、1 キャパシタからなるメモリセル M C とを有する。ビット線対は、ビット線ト

50

ランスファークラッチ回路BLTを介して、センスアンプラッチ回路30とビット線リセット回路32とに接続される。センスアンプラッチ回路30は、P型トランジスタP10、P11とN型トランジスタN12、N13とを有する。また、ビット線リセット回路32は、ビット線対を短絡するショートトランジスタN14と、ビット線対にプリチャージ電圧Vprを供給するトランジスタN15、N16とを有する。

【0028】

センスアンプドライバ回路SADは、グラウンド電源GNDとドライブ電源Viidとの間に、P型トランジスタP20とN型トランジスタN21、N22、N23とを有する。ドライブ電源Viidは、通常はセルアレイ電源V1であるが、例えばセンスアンプラッチ回路30の駆動開始時において所定の期間だけオーバードライブする方式においては、その所定の期間に内部電源Viiになる。このときの波形の模式図を図6に示す。

10

【0029】

図6の波形図を参照して、図5の動作を説明する。プリチャージ期間では、リセット信号RSTがHレベルであり、ビット線リセット回路32のトランジスタが全て導通し、ビット線対BL_r/BLはグラウンドとセルアレイ電源V1との中間($V1/2$)レベルのプリチャージレベルVprにある。また、センスアンプドライバ回路SADでは、トランジスタN21、N22が導通し、プリチャージレベルVprがセンスアンプラッチ回路30への駆動信号psa,nsaと共にプリチャージレベルVprにする。

【0030】

読み出し動作で説明すると、メモリセルにアクティブコマンドが供給されて、ロウアドレス活性化信号RASZが生成されると、リセット信号RSTがLレベルに下がり、ビット線リセット回路32のトランジスタは非導通状態になり、ワード線WL0が昇圧電源Vppレベルまで駆動される。これにตอบสนองして、ワード線WL0に接続されるメモリセルMCのトランジスタが導通し、ビット線対BL_r/BLに微少電圧が発生する。リセット信号RSTのLレベルに伴い、センスアンプドライバ回路SADのトランジスタN21、N22は非導通になる。

20

【0031】

ビット線対に微少電圧が生成された後で、ラッチイネーブル信号LEX,LEZがLレベル、Hレベルになり、センスアンプドライバ回路SADのトランジスタP20とN23が導通し、センスアンプ駆動信号psa,nsaがHレベル、Lレベルになる。この時、センスアンプドライバ回路SADの電源Viidは一時的にセルアレイ電源V1より高い内部電源Viiになっているので、駆動信号psaは内部電源Viiに向かって上昇する。このセンスアンプ駆動信号にตอบสนองして、センスアンプラッチ回路30が活性化され、ビット線対BL_r/BLをHレベルとLレベルに駆動する。センスアンプ駆動信号psaがセルアレイ電源V1より高い電圧になっているので、ビット線BLのHレベルへの駆動がより高速に行われる。これがセンスアンプのオーバードライブ動作である。オーバードライブ動作は、本発明とは直接関係ないので、センスアンプドライバ回路SADの電源Viidは常にセルアレイ電源V1に維持されてもよい。

30

【0032】

ビット線BLがセルアレイ電源V1レベルまで上昇するタイミングで、電源Viidがセルアレイ電源V1に切り替えられ、Hレベル側のビット線BLはセルアレイ電源V1のレベルになり、そのレベルがメモリセルに蓄積される。やがて、ワード線WL0がリセットされ、セルトランジスタがオフし、読み出し動作が終了する。そして、リセット信号RSTがHレベルに駆動されることで、プリチャージ状態に戻る。

40

【0033】

上記の読み出し動作で明らかな通り、セルアレイ電源V1のレベルは一定に保たれることが望ましい。メモリセルに再書き込みされた電圧V1のレベルと、プリチャージ期間でのビット線対のレベルVprとは、 $Vpr = V1/2$ の関係にあることを前提にして、上記のセンスアンプによるビット線対の微少電圧の検出が行われる。その場合、通常動作モードに復帰した時に、パワーダウンモード時に上昇したセルアレイ電源V1を使用してビット線対を駆動した後、通常電圧より高いレベルのV1にあるビット線対を短絡してプリチャージ

50

レベル V_{pr} を生成すると、次のサイクルでのビット線駆動信号 psa のレベル V_1 との間で、 $V_{pr} > V_1 / 2$ となり、Hレベル側のビット線のセンス動作に誤動作が発生する可能性がある。

【0034】

従って、セルアレイ電源 V_1 は、パワーダウンモード時と通常動作モード時とで、同じ電圧範囲に維持される必要がある。

【0035】

セルアレイ電源生成回路は、図1の従来例に示した回路と同じである。図1を参照してセルアレイ電源生成回路を説明すると、出力トランジスタ N_8 のゲートに一定電圧 V_{gl} が供給される。この一定電圧 V_{gl} は、トランジスタ $N_1 \sim N_3$ 、 $P_4 \sim P_6$ 、 N_7 及び抵抗 R_1 、 R_2 からなる回路により生成される。この回路は、トランジスタ $N_1 \sim N_3$ と P_4 、 P_5 からなるオペアンプ回路と、そのオペアンプ回路のトランジスタ N_1 のドレイン端子を一方の入力であるトランジスタ N_2 のゲートにフィードバックする回路（ P_6 、 N_7 、 R_1 、 R_2 ）とで構成される。

【0036】

オペアンプ回路の他方の入力であるトランジスタ N_1 のゲートには、図示しない定電圧発生回路により生成される一定電圧 V_{flat} が供給される。トランジスタ N_1 のドレイン端子は、フィードバック回路のトランジスタ P_6 のゲートに供給される。トランジスタ P_6 のドレインとグラウンド GND との間に、ダイオード接続されたトランジスタ N_7 と抵抗 R_1 、 R_2 が設けられる。トランジスタ N_1 のドレイン端子が上昇すると、トランジスタ P_6 のオン抵抗が高くなり、ノード na のレベルを低下させ、トランジスタ N_1 のオン抵抗を低下させるようにフィードバックが働く。それにより、トランジスタ N_1 のドレイン端子のレベルは下降する。このフィードバックにより、ノード na のレベルは実質的に定電圧 V_{flat} のレベルに一致する。つまり、ゲート電圧 V_{gl} は、ノード na （ $=V_{flat}$ ）の $(R_1 + R_2) / R_2$ 倍よりトランジスタ N_7 の閾値電圧だけ高い電圧に保たれる。

【0037】

この一定のゲート電圧 V_{gl} に対して、セルアレイ電源 V_1 は、最終段トランジスタ N_8 の閾値電圧だけ低い電圧に保たれる。図2に示した通り、トランジスタ N_8 のソース電流 I がある程度の範囲にあると、セルアレイ電源 V_1 の電圧は一定の範囲内に維持される。

【0038】

本実施の形態例では、パワーダウンモード時においてもセルアレイ電源 V_1 が一定の範囲内に維持されるように、パワーダウンモード時に動作する回路に接続される。それにより、パワーダウンモード時においても、最終段トランジスタ N_8 のソース電流 I が最低限の電流範囲に維持され、セルアレイ電源 V_1 が過剰に上昇することが防止される。

【0039】

より好ましくは、図3に示した通り、セルフリフレッシュ回路内の一部の回路にセルアレイ電源 V_1 が供給される。最も好ましい態様では、セルフリフレッシュ回路20内のセルフリフレッシュオシレータ21にセルアレイ電源 V_1 が供給される。

【0040】

図7は、セルフリフレッシュオシレータ21の回路図である。図8は、その動作波形図である。この発振器21は、5段のインバータ（トランジスタ $P37/N38$ 、 $P42/N43$ 、 $P46/N47$ 、 $P51/N52$ 、 $P56/N57$ ）を縦列接続し、最終段のインバータ（ $P56/N57$ ）の出力 $n05$ が初段のインバータ（ $P37/N38$ ）にフィードバックされる構成を有する。そして、初段インバータの出力 $n01$ と3段目のインバータの出力 $n03$ とにより、トランジスタ $P63$ 、 $P64$ 、 $N65$ 、 $N66$ からなる出力生成回路102が所定の周期のクロック $oscx$ を生成する。

【0041】

各インバータには、電流調整用のトランジスタ $P36$ 、 $P41$ 、 $P45$ 、 $P50$ 、 $P55$ 及び $N40$ 、 $N44$ 、 $N49$ 、 $N54$ 、 $N58$ が設けられ、これらのゲートに供給される電圧 $n11$ 、 $n12$ のレベルに応じて、その電流量が制御される。この電流量を多くすれば発振器の周波数は高くなり、電流量を少なくすれば周波数は低くなる。この電圧 $n11$

10

20

30

40

50

、 $n12$ は、それぞれトランジスタ $P30$ 、 $P31$ 、 $P32$ と抵抗 $R11$ で形成される電圧生成回路 100 と、抵抗 $R12$ とトランジスタ $N33$ 、 $N34$ 、 $N35$ で形成される電圧生成回路 101 とにより生成される。

【0042】

また、インバータには、リセット用のトランジスタ $P60$ 、 $P61$ 、 $P62$ 、 $N39$ 、 $N48$ 、 $N53$ が設けられる。これらのトランジスタのゲートには、信号 $n14$ が与えられ、インバータの各ノード $n01 \sim n05$ を初期状態（Hレベル、Lレベル）にリセットする。

【0043】

図8を参照してセルフリフレッシュオシレータ回路の動作を説明する。通常動作モード時は、セルフリフレッシュイネーブル信号 $srfz$ がLレベルであり、オシレータ回路は非活性状態である。即ち、インバータ 40 、 41 により、活性化信号 $n14$ がLレベルとなり、リセット用トランジスタ $P60$ 、 $P61$ 、 $P62$ が導通、リセット用トランジスタ $N39$ 、 $N48$ 、 $N53$ が非導通であり、ノード $n01$ 、 $n03$ 、 $n04$ が全てHレベルにリセットされる。

10

【0044】

次に、パワーダウンモードになりセルフリフレッシュイネーブル信号 $srfz$ がHレベルになると、オシレータ回路が活性化される。即ち、活性化信号 $n14$ がHレベルになり、P型のリセットトランジスタを非導通、N型のリセットトランジスタを導通状態にする。また、インバータ 40 の出力がLレベルになり、電圧生成回路 100 のトランジスタ $P30$ が導通し、ノード $n11$ にトランジスタ $P30 \sim P32$ と抵抗 $R11$ とで決まる電圧が発生する。同様に、インバータ 41 の出力がHレベルになり、もう一方の電圧生成回路 101 のトランジスタ $N35$ が導通し、ノード $n12$ に抵抗 $R12$ とトランジスタ $N33$ 、 $N34$ 、 $N35$ で決まる電圧が発生する。これらの電圧生成回路 100 、 101 は、オシレータ回路が活性状態の間、継続的に微少電流を流す。

20

【0045】

そして、図8に示される通り、5段のインバータの出力 $n01, n02, n03, n04, n05$ が、それぞれL、H、L、H、Lレベルへと遷移し、発振する。ノード $n01$ のLレベルにより、出力生成回路 102 のトランジスタ $P63$ が導通し、その後のノード $n03$ のLレベルへの変化に応答して、トランジスタ $P64$ も導通し、出力 $oscx$ はHレベルになる。同様に、ノード $n01$ のHレベルとノード $n03$ のHレベルへの変化に応答して、トランジスタ $N66$ 、 $N65$ が導通し、出力 $oscx$ はLレベルになる。各インバータの出力波形が図8の通りなまっているので、ノード $n01$ と $n03$ とにより出力生成回路 102 を制御することで、その回路 102 の貫通電流の発生が防止される。

30

【0046】

さて、図7のセルフリフレッシュオシレータ回路において、電源 $V11$ 、 $V12$ 、 $V13$ のいずれか、又は組み合わせ、又は全てに対して、セルアレイ電源 $V1$ を供給することにより、 $V1$ のレベルを一定範囲内に保つ。例えば、電圧生成回路の電源 $V11, V12$ にセルアレイ電源 $V1$ を供給すると、オシレータ回路が活性化される間この電圧生成回路 100 、 101 は一定の微少電流を継続的に流すので、セルアレイ電圧 $V1$ を一定値に維持することができる。或いは、5段のインバータと出力生成回路 102 の電源 $V13$ にセルアレイ電源 $V1$ を供給することもできる。これらのインバータと出力生成回路 102 は、縦列に接続されているので、正常な動作を保証するためには、同じ電源を与える必要がある。これらの回路は、オシレータ回路の発振動作に応じて電流を消費する。従って、この電源 $V13$ にセルアレイ電源 $V1$ を供給しても、継続的に電流を消費するのでセルアレイ電源 $V1$ のレベルを一定に保つことができる。 $V11$ 、 $V12$ 、 $V13$ のどの電源に対して適用するかは、場合に応じて選択すればよい。

40

【0047】

尚、電源 $V13$ に内部電源 Vii より低いセルアレイ電源 $V1$ を与える場合は、インバータ 42 、 43 を、図中の下段に示したレベル変換回路 44 にして、出力 $oscx$ のHレベルを内

50

部電源Viiに昇圧しておくことが必要になる。レベル変換回路44は、トランジスタP67, P68, N69, N70を有し、Hレベルがセルアレイ電源V1の入力inに対して、内部電源ViiのHレベルを有する信号oscxを生成する。

【0048】

図9は、セルフリフレッシュ回路20の分周器22の1つのユニットの回路図である。図9に示されたユニットが複数段接続されて分周器22を構成し、オシレータ回路21の出力oscxを分周する。セルフリフレッシュの周期は、例えば10 μ s以上の長い周期であるので、オシレータ回路の出力信号oscxを、例えばn段のカウンタからなる分周器により、2ⁿ倍の周期の信号srqczを生成する。

【0049】

図9のユニット回路は、NANDゲート54、インバータ56, 57の3段構成になっていて、インバータ57とNANDゲート54との間にトランスファゲート53が、NANDゲート54とインバータ56との間にトランスファゲート55が設けられる。これらのトランスファゲート53, 55は、NANDゲート50とインバータ51により生成される信号により逆相に開閉制御される。そして、NANDゲート54とインバータ59によりラッチ回路が構成され、また、インバータ56, 60により別のラッチ回路が構成される。この1ユニットにより、入力oscxの周期が2倍に分周された信号cxが生成される。この分周器の電源は、通常内部電源Viiが使用されるが、セルアレイ電源V1を利用することもできる。

【0050】

図10は、図9のユニット回路を3段構成にした時の、それぞれのユニット回路の出力c0x, c1x, c2xを示す。出力c2xは入力oscxの周期が8倍になっている。

【0051】

図11は、分周器の最終段の出力信号srqczに基づいて、セルフリフレッシュ活性化タイミング信号srtzを生成するセルフリフレッシュ信号生成回路23の回路図である。セルフリフレッシュ信号生成回路23は、遅延回路61と、インバータ62, 64, 66と、NANDゲート63, 65とを有する。分周器出力信号srqczの立ち上がりエッジにตอบสนองして、遅延回路61の遅延時間のパルス幅を有する信号がNANDゲート63の出力に生成される。そして、セルフリフレッシュイネーブル信号srfzがHレベルの時に、インバータ66から上記パルス信号がセルフリフレッシュ活性化タイミング信号srtzとして出力される。このタイミング信号にตอบสนองして、セルアレイでは内部アドレスのメモリセルが活性化され、書き込みされる。

【0052】

以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0053】

【発明の効果】

以上、本発明によれば、パワーダウンモード時において動作する回路にセルアレイ電源V1が供給されるので、セルアレイ電源V1から適切な量の電流を消費し、セルアレイ電源V1が上昇するのが防止される。それにより、セルアレイの正常動作が保証される。

【図面の簡単な説明】

【図1】従来のダイナミックRAMの全体概略図である。

【図2】セルアレイ電源生成回路の電流・電圧特性例を示す図である。

【図3】本実施の形態例におけるメモリ回路の構成図である。

【図4】本実施の形態におけるメモリ回路の通常動作モードとパワーダウンモードとを示すタイミングチャート図である。

【図5】本実施の形態例が適用されるメモリ回路のセンスアンプ回路とセンスアンプドライバ回路を示す図である。

【図6】図5の動作を示す波形図である。

【図7】セルフリフレッシュオシレータ21の回路図である。

10

20

30

40

50

【図 8】セルフリフレッシュオシレータ 21 の動作波形図である。

【図 9】分周器の 1 ユニットの回路図である。

【図 10】分周器の動作タイミングチャート図である。

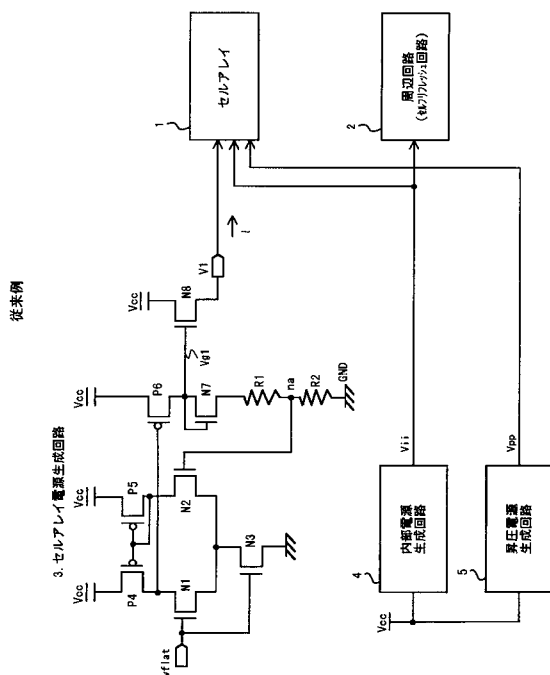
【図 1 1】セルフリフレッシュ信号生成回路 2 3 の回路図である。

【符号の説明】

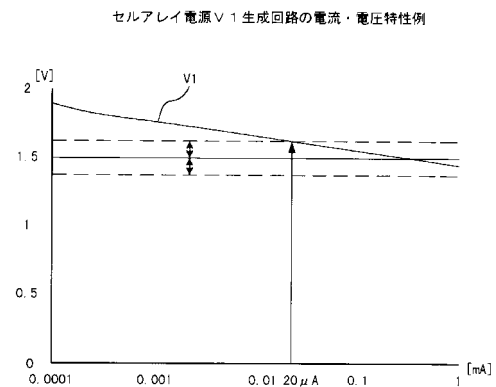
- | | |
|-----|---------------------|
| 1 | セルアレイ |
| 2 | 周辺回路 |
| 3 | セルアレイ電源生成回路 |
| 4 | 内部電源生成回路 |
| 2 0 | セルフリフレッシュ回路 |
| 2 1 | セルフリフレッシュオシレータ、発振回路 |
| V 1 | セルアレイ電源 |
| Vii | 内部電源 |
| Vcc | 外部電源 |

10

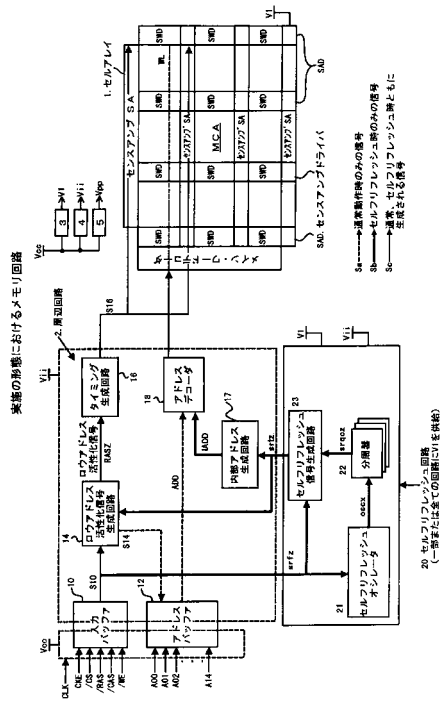
【図 1】



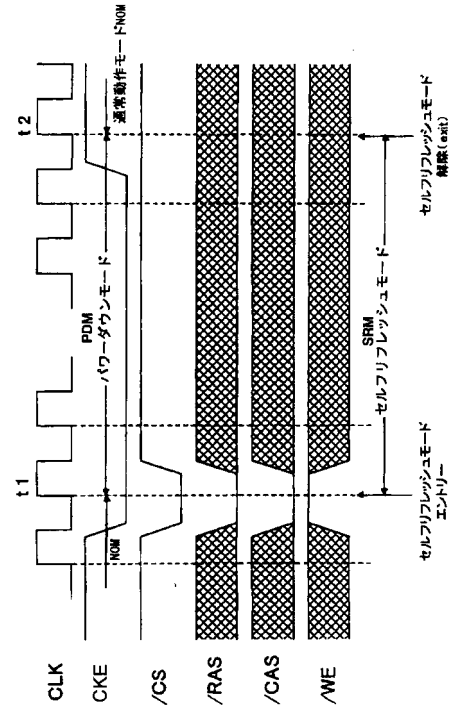
【図 2】



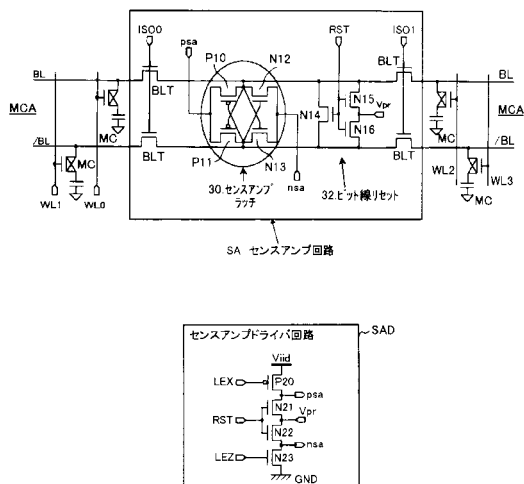
【図 3】



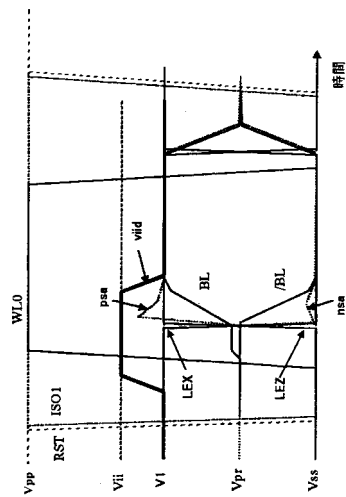
【図 4】



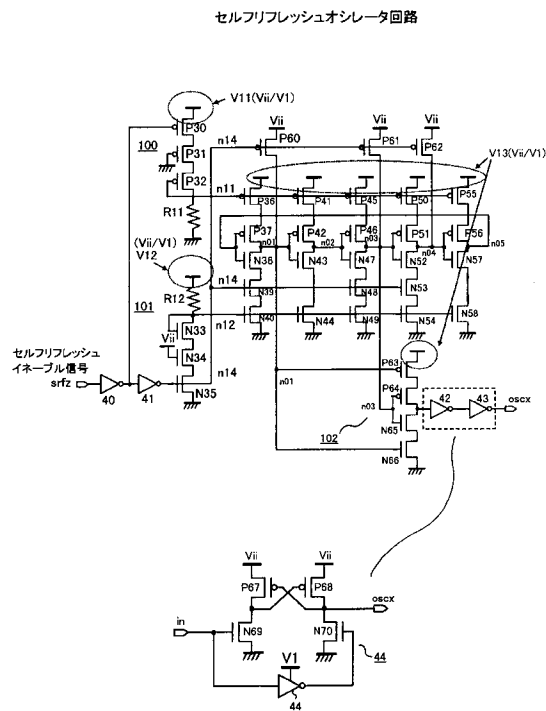
【図 5】



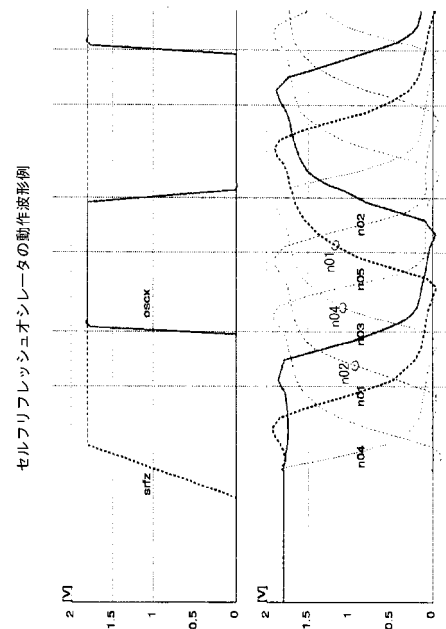
【图 6】



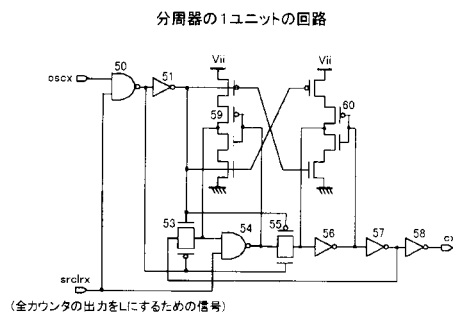
【図 7】



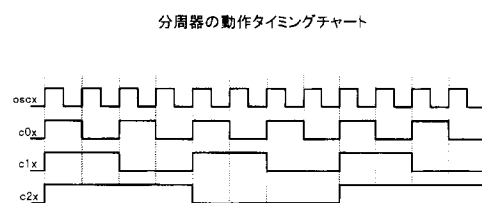
【図 8】



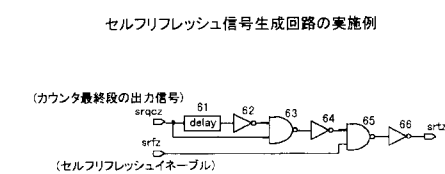
【図 9】



【図 10】



【図 11】



フロントページの続き

審査官 堀田 和義

- (56)参考文献 特開平10-172280 (JP, A)
特開2000-21167 (JP, A)
特開2001-216780 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/4074